

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-111377

(P2009-111377A)

(43) 公開日 平成21年5月21日(2009.5.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 O
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 6 0 1 N	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 T	
HO 1 L 51/05 (2006.01)	HO 1 L 29/78 6 1 7 V	
HO 1 L 51/30 (2006.01)	HO 1 L 29/28 1 0 0 A	

審査請求 未請求 請求項の数 12 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2008-265106 (P2008-265106)	(71) 出願人 503359821 独立行政法人理化学研究所 埼玉県和光市広沢2番1号
(22) 出願日 平成20年10月14日(2008.10.14)	
(31) 優先権主張番号 特願2007-265556 (P2007-265556)	(74) 代理人 110000109 特許業務法人特許事務所サイクス
(32) 優先日 平成19年10月11日(2007.10.11)	(72) 発明者 官▲崎▼ 久生 埼玉県和光市広沢2番1号 独立行政法人 理化学研究所内
(33) 優先権主張国 日本国(JP)	(72) 発明者 塚越 一仁 埼玉県和光市広沢2番1号 独立行政法人 理化学研究所内
特許法第30条第1項適用申請有り 2007年8月21日 社団法人 日本物理学会発行の「日本物理学会講演概要集 第62巻第2号(第62回年次大会)第4分冊」に発表	(72) 発明者 小高 隼介 埼玉県和光市広沢2番1号 独立行政法人 理化学研究所内
特許法第30条第1項適用申請有り 2007年9月4日 社団法人 応用物理学会発行の「2007年(平成19年)秋季 第68回応用物理学会学術講演会講演予稿集 第3分冊」に発表	

最終頁に続く

(54) 【発明の名称】 電子素子および電子素子の製造方法

(57) 【要約】

【課題】 グラファイトやグラフェン等を用いた新規な電子素子を提供する。

【解決手段】 基板と、6員環からなる炭素同族体を主成分とする層と、一对の電極と、該一对の電極間に設けられた酸化アルミニウムを主成分とする層と、アルミニウムを主成分とする層とを有し、かつ、前記酸化アルミニウムを主成分とする層は、前記6員環からなる炭素同族体を主成分とする層とアルミニウムを主成分とする層の間に両層に隣接して設けられている、電子素子。

【選択図】 なし

**【特許請求の範囲】****【請求項 1】**

基板と、6員環からなる炭素同族体を主成分とする層と、一对の電極と、該一对の電極間に設けられた酸化アルミニウムを主成分とする層と、アルミニウムを主成分とする層とを有し、かつ、前記酸化アルミニウムを主成分とする層は、前記6員環からなる炭素同族体を主成分とする層とアルミニウムを主成分とする層の間に両層に隣接して設けられている、電子素子。

**【請求項 2】**

前記基板の上に、前記6員環からなる炭素同族体を主成分とする層と、前記一对の電極と、前記酸化アルミニウムを主成分とする層と、前記アルミニウムを主成分とする層とを該順に有する、請求項1に記載の電子素子。

10

**【請求項 3】**

前記酸化アルミニウムを主成分とする層は、6員環からなる炭素同族体を主成分とする層と、該層に接するようにアルミニウムを主成分とする層とを設けた後、酸化させることにより形成されたものである、請求項1または2に記載の電子素子。

**【請求項 4】**

前記酸化アルミニウムを主成分とする層は、6員環からなる炭素同族体を主成分とする層と、該層に接するようにアルミニウムを主成分とする層とを設けた後、自然酸化させることにより形成されたものである、請求項1または2に記載の電子素子。

**【請求項 5】**

前記酸化アルミニウムを主成分とする層の厚さは、1～10nmである、請求項1～4のいずれか1項に記載の電子素子。

20

**【請求項 6】**

前記6員環からなる炭素同族体を主成分とする層の厚さが0.3～10nmであり、前記アルミニウムを主成分とする層の厚さが10～100nmであり、前記酸化アルミニウムを主成分とする層の厚さは、1～10nmである請求項1～5のいずれか1項に記載の電子素子。

**【請求項 7】**

前記6員環からなる炭素同族体は、グラファイト、グフラフェンまたはカーボンナノチューブである、請求項1～6のいずれか1項に記載の電子素子。

30

**【請求項 8】**

前記6員環からなる炭素同族体は、グラファイトまたはグラフェンである、請求項1～7のいずれか1項に記載の電子素子。

**【請求項 9】**

基板上に、6員環からなる炭素同族体を主成分とする層を設ける工程と、前記層に接するようにアルミニウムを主成分とする層を設ける工程と、一对の電極を設ける工程と、6員環からなる炭素同族体を主成分とする層とアルミニウムを主成分とする層との間に酸化によって酸化アルミニウムを主成分とする層を設ける工程とを含むことを特徴とする、電子素子の製造方法。

**【請求項 10】**

前記基板上に、前記6員環からなる炭素同族体を主成分とする層、前記アルミニウムを主成分とする層、および、前記一对の電極を該順に設けることを特徴とする、請求項9に記載の電子素子の製造方法。

40

**【請求項 11】**

前記電子素子が、請求項1～8のいずれか1項に記載の電子素子である、請求項9または10に記載の電子素子の製造方法。

**【請求項 12】**

前記酸化は、自然酸化により行う、請求項9～11のいずれか1項に記載の電子素子の製造方法。

**【発明の詳細な説明】**

50

## 【技術分野】

## 【0001】

本発明は、電子素子および電子素子の製造方法に関する。

## 【背景技術】

## 【0002】

次世代スイッチング材料としてグラファイトおよびグラフェンの研究が世界中で始まった。これはグラファイトやグラフェンの移動度がシリコンを大きく超える可能性があり、さらにカーボン材料であることからエコ材料としても可能性があるためである。

## 【0003】

例えば、非特許文献1および非特許文献2には、Si基板上のSiO<sub>2</sub>薄膜をゲート絶縁膜として用いた、グラファイト薄膜内のキャリア濃度についての報告がなされている。かかる文献に記載の素子では、基板をゲート電極として用いるため素子ごとのゲート操作ができない、SiO<sub>2</sub>絶縁膜が厚いため、大きなゲート電圧(100V程度)が必要、といった問題がある。

10

## 【0004】

また、非特許文献3には、グラファイト薄膜の上に塗布したポリメチルメタクリレート(PMMA)樹脂膜をトップゲートの絶縁膜とし、グラファイト薄膜内部でのポテンシャルについて制御することが報告されている。しかしながら、PMMAを塗布し大量の電子線照射をしてPMMAに架橋反応を起こさせなくてはならない点が煩雑であり、また、絶縁膜が40nmと十分には薄くないことから、ゲート電圧低減の効果は不十分である。

20

## 【0005】

【非特許文献1】Electric Field Effect in Atomically Thin Carbon Films、K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva, A. A. Firsov、Science Vol. 306, p.666、2004年

【非特許文献2】Fabrication and electric-field-dependent transport measurements of mesoscopic graphite devices、Yuanbo Zhang, Joshua P. Small, William V. Pontius, and Philip Kim、Applied Physics Letters、Vol. 86、073104、2005年

【非特許文献3】Transport Measurements Across a Tunable Potential Barrier in Graphene、B. Huard, J. A. Sulpizio, N. Stander, K. Todd, B. Yang, and D. Goldhaber-Gordon、Physical Review Letters、Vol. 98、236803 (2007)

30

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0006】

本願発明者らは、かかる従来技術のもと、グラファイトやグラフェン等を用いた有用な電子素子の作製を検討した。ここで、従来の電子素子のゲート構造は、チャンネルに対して、ゲート位置が下側となるボトムゲート型電子素子あるいはゲート位置が上側になるトップゲート型電子素子が知られているが、いずれについても問題が多かった。

まず、ボトムゲート型電子素子の場合、ゲート電極上にゲート絶縁膜が形成されるため、通常、Si基板上にSiO<sub>2</sub>薄膜を形成されたものが採用されていた。この場合、SiO<sub>2</sub>薄膜の厚さがゲート絶縁膜の厚さとなっていた。そして、電子素子を同一基板上に作製する場合、ゲート電極が共通となってしまう、個別の動作制御が不可能であることから、実用発展への展開が見込めなかった。また、ゲート絶縁膜を薄くした場合、直上に形成したチャンネルと電極端子からのリーク電流を抑えるために、絶縁膜は数十nm以上の厚さを必要とし、結果的にゲート電圧の印加効率を低下させるという問題があった。

40

一方、トップゲート型電子素子では、チャンネルの上に絶縁膜を形成する必要があるため、多くの場合、Si酸化膜やSi窒化膜、ならびにこれらの混合膜が使われていた。しかしながら、これらの薄膜を形成する場合、通常、500以上での操作やプラズマ処理が必要であり、チャンネルに大きなダメージを与えてしまっていた。また、この問題を回避するためにチャンネルに有機材料を用いることも検討されていたが、有機材料は一般的に無機材料と比較して誘電率が低くゲート印加効率を低下させるという問題があった。さらに、有機

50

材料では、長期使用に耐え得る絶縁膜の作製が困難であった。

本発明はこれらの問題点を解決することを目的としたものであって、次世代スイッチング材料として有用な、グラファイトやグラフェン等を用いた新規な電子素子を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題のもと、本願発明者が鋭意検討を行った結果、アルミニウム層をグラファイト上に直接に形成し、酸化することで、高い電圧効率で動作することを見出し、本発明を完成するに至った。具体的には、以下の手段により達成された。

(1) 基板と、6員環からなる炭素同族体を主成分とする層と、一对の電極と、該一对の電極間に設けられた酸化アルミニウムを主成分とする層と、アルミニウムを主成分とする層とを有し、かつ、前記酸化アルミニウムを主成分とする層は、前記6員環からなる炭素同族体を主成分とする層とアルミニウムを主成分とする層の間に両層に隣接して設けられている、電子素子。

(2) 前記基板の上に、前記6員環からなる炭素同族体を主成分とする層と、前記一对の電極と、前記酸化アルミニウムを主成分とする層と、前記アルミニウムを主成分とする層とを該順に有する、(1)に記載の電子素子。

(3) 前記酸化アルミニウムを主成分とする層は、6員環からなる炭素同族体を主成分とする層と、該層に接するようにアルミニウムを主成分とする層とを設けた後、酸化させることにより形成されたものである、(1)または(2)に記載の電子素子。

(4) 前記酸化アルミニウムを主成分とする層は、6員環からなる炭素同族体を主成分とする層と、該層に接するようにアルミニウムを主成分とする層とを設けた後、自然酸化させることにより形成されたものである、(1)または(2)に記載の電子素子。

(5) 前記酸化アルミニウムを主成分とする層の厚さは、1~10nmである、(1)~(4)のいずれかに記載の電子素子。

(6) 前記6員環からなる炭素同族体を主成分とする層の厚さが0.3~10nmであり、前記アルミニウムを主成分とする層の厚さが10~100nmであり、前記酸化アルミニウムを主成分とする層の厚さは、1~10nmである(1)~(5)のいずれかに記載の電子素子。

(7) 前記6員環からなる炭素同族体は、グラファイト、グフラフェンまたはカーボンナノチューブである、(1)~(6)のいずれかに記載の電子素子。

(8) 前記6員環からなる炭素同族体は、グラファイトまたはグラフェンである、(1)~(7)のいずれかに記載の電子素子。

(9) 基板上に、6員環からなる炭素同族体を主成分とする層を設ける工程と、前記層に接するようにアルミニウムを主成分とする層を設ける工程と、一对の電極を設ける工程と、6員環からなる炭素同族体を主成分とする層とアルミニウムを主成分とする層との間に酸化によって酸化アルミニウムを主成分とする層を設ける工程とを含むことを特徴とする、電子素子の製造方法。

(10) 前記基板上に、前記6員環からなる炭素同族体を主成分とする層、前記アルミニウムを主成分とする層、および、前記一对の電極を該順に設けることを特徴とする、(9)に記載の電子素子の製造方法。

(11) 前記電子素子が、(1)~(8)のいずれかに記載の電子素子である、(9)または(10)に記載の電子素子の製造方法。

(12) 前記酸化は、自然酸化により行う、(9)~(11)のいずれかに記載の電子素子の製造方法。

【発明の効果】

【0008】

本発明により、従来の電子素子と比して、著しく高い電圧効率で動作する電子素子の提供が可能になった。また、本発明の電子素子は、従来の電子素子の製造方法に対して、極めて簡単なプロセスで製造できるため、効率的である。

10

20

30

40

50

## 【発明を実施するための最良の形態】

## 【0009】

以下において、本発明の内容について詳細に説明する。尚、本願明細書において「～」とはその前後に記載される数値を下限値及び上限値として含む意味で使用される。また、6員環からなる炭素同族体を主成分とする層、酸化アルミニウムを主成分とする層、アルミニウムを主成分とする層における「主成分とする」とは、該層中において、その成分の含量（重量比）が最も多いことをいい、通常、不純物や電子素子の性能を高めるための添加剤等以外は含まれていないことを意味する。

## 【0010】

本発明の電子素子は、基板と、6員環からなる炭素同族体を主成分とする層（以下、「6員環からなる炭素同族体層」ということがある）と、酸化アルミニウムを主成分とする層（以下、「酸化アルミニウム層」ということがある）と、アルミニウムを主成分とする層（以下、「アルミニウム層」ということがある）とを有し、かつ、酸化アルミニウム層は、6員環からなる炭素同族体層とアルミニウム層の間に両層に接するように設けられていることを特徴とする。今まで、電圧印加に効率的な構造の研究は全く提案されていなかった。本発明では、このような構成とすることにより、一般に使われる300nm厚のSiO<sub>2</sub>膜を絶縁膜とする電子素子の100倍以上の電圧効率で動作することに成功したのである。これは世界最高効率である。また、従来は無機絶縁膜を用いる場合、製造過程における高温プロセスによるダメージが問題となっていたが、このような問題も解決された。さらに、従来有機絶縁膜を用いた場合と比して経時変化による劣化が少ないというメリットもある。

10

20

## 【0011】

以下、本発明の電子素子について詳細に説明する。図1は、本発明の好ましい形態の一例を示したものである。

図1中、1は基板であり、これらの材質としては、電界効果トランジスタ等の分野において用いられているものを広く採用できる。一例を挙げると、Siをドーブした基材の上にSiO<sub>2</sub>膜が設けられた基板やプラスチック基板を採用することができる。もちろん、これ以外の基板であってもよい。

## 【0012】

図1中、2は6員環からなる炭素同族体層であり、3はアルミニウム層である。そして、本発明では、6員環からなる炭素同族体層2と、アルミニウム層3の間に両層に接するように酸化アルミニウム層が設けられている（図示せず）。本実施形態では、酸化アルミニウム層が電子素子の絶縁膜として働き、6員環からなる炭素同族体層がチャンネルとして働き、アルミニウム層がゲート電極として働く。このような構成とすることにより、グラファイト等の6員環からなる炭素同族体の高い移動度を利用することができる。また、本実施形態の電子素子では、個々の電子素子ごとにゲート電圧操作ができる。さらに、後述する理由により、本実施形態の電子素子では、酸化アルミニウム層を薄くでき、かつ、高い誘電率を有するため、低ゲート電圧での動作が可能になる。加えて、バックゲートとトップゲートによって上下両面からポテンシャル制御が可能になり、面間に広がった電子波の制御ができるようになる可能性がある。また、ゲート絶縁膜が薄いため短距離でのポテンシャル変調が可能であり、素子の微細化に有利であるという利点もある。

30

40

## 【0013】

本発明における6員環からなる炭素同族体層の厚さは、0.3nm～10nmであることが好ましい。また、アルミニウム層の厚さは、10nm以上であることが好ましく、10～100nmであることがより好ましい。さらに、酸化アルミニウム層の厚さは、1～10nmであることが好ましい。

## 【0014】

図1中、4および5はそれぞれソース電極およびドレイン電極を表す。ソース電極およびドレイン電極の材料は特に定めるものではなく、電界効果トランジスタの分野において採用されている電極が広く採用できる。例えば、チタン、金、クロム、プラチナ、銅等が

50

挙げられる。

【0015】

本実施形態では、トップゲート型について示したが、バックゲート型にも用いることができる。

また、本発明の電子素子は、本発明の趣旨を逸脱しない範囲内において、他の構成層が含まれていてもよい。

本発明の電子素子の厚さは、基板を含めない場合、通常、30～100nmであり、基板を含めた場合、通常、0.1～1mmである。

【0016】

本発明の電子素子は、例えば、以下の方法に従って製造することができる。

まず、基板上に、6員環からなる炭素同族体層を設ける。該層を設ける方法は特に定めるものではないが、例えば、グラフェン等の薄膜を粘着テープにより劈開して基板上に転写して設けることができる。このような手段を採用することにより、平坦で清浄な結晶面を表面に出すことができ、薄いグラファイトを基板に付着させやすくなる。

次に、一对の電極を設ける。電極を設ける方法も公知の方法を採用できるが、例えば、電子線リソグラフィーおよび真空蒸着によって設けることができる。

その次に、6員環からなる炭素同族体層の上に、該層に接するように、アルミニウム層を形成する。アルミニウム層を設ける方法も特に定めるものではないが、例えば、電子線リソグラフィーおよび真空蒸着によって設けることができる。

アルミニウム層を設けた状態で、酸化させて、6員環からなる炭素同族体層とアルミニウム層の間に酸化アルミニウム層を設ける。酸化は、空気中に放置することによる自然酸化によって行うことが好ましい。また、酸化アルミニウム層は、6員環からなる炭素同族体層と接しているにもかかわらず、自然に酸化されるものであるから、自己修復性に優れるという利点もある。

本発明では、このような簡易な方法で酸化アルミニウム層を設けているが、6員環からなる炭素同族体層とアルミニウム層の間の絶縁性は、十分なものとすることができる。さらに、アルミニウム層にゲート電圧を印加することで、6員環からなる炭素同族体層の伝導性をゲート変調することができる。

尚、上記はトップゲート型の電子素子の製造方法について説明したが、ボトムゲート型の場合も、上記の方法を参照して製造することができる。

【0017】

本発明の電子素子は、高移動度電界効果トランジスタ等に広く用いることができる。

【実施例】

【0018】

以下に実施例を挙げて本発明をさらに具体的に説明する。以下の実施例に示す材料、使用量、割合、処理内容、処理手順等は、本発明の趣旨を逸脱しない限り、適宜、変更することができる。従って、本発明の範囲は以下に示す具体例に限定されるものではない。

【0019】

図1の構成の電子素子を作製した。具体的には、以下の手段により行った。

高配向熱分解グラファイト(HOPG)(NT-MDT製、GRBS)を粘着テープ上で劈開し、それを300nm厚さの酸化膜付低抵抗Si基板(フェローテックシリコン社製、12488-131A)に押し付け、キッシュグラファイトを基板上に付着させた。これを、光学顕微鏡で探し、電子線レジストを塗布し、電子線リソグラフィーおよび金属蒸着(チタン、50nm厚)し、リフトオフによってソース電極およびドレイン電極を取り付けた。続いて、同様の方法でアルミニウム(30nm厚)電極を取り付け、これをゲート電極とした(素子の厚さ:50nm)。その光学顕微鏡写真を図2に示した。図2中、22はグラファイト膜を、23はトップゲート(アルミニウム)を、24はソース電極(チタン)を、25はドレイン電極(チタン)をそれぞれ示している。

その後、この素子を、空気中に約5時間放置し、アルミニウム電極とグラファイト間に自然に酸化膜を形成させた。

10

20

30

40

50

## 【 0 0 2 0 】

図 3 に、上記で得られた素子の、温度  $T = 208$  (K) における、ゲート電圧による抵抗  $R$  (k) の変化を示す。本実施例で得られた電子素子の抵抗  $R$  は、トップゲート電圧  $V_{tg}$  (V) に対してピーク構造を持つ両極性型の抵抗変化を示した。すなわち、抵抗ピークよりゲート電圧が低い側では正孔、高い側では電子が多数キャリアになっている。ここでトップゲート電圧 1 V による抵抗変化は、図 3 の挿入図との比較から明らかとなり、バックゲート電圧が ( $V_{bg}$ ) 100 V による抵抗変化と同程度であることが認められた。すなわち、本実施例で得られた電子素子のトップゲートはバックゲートの約  $1/100$  の低電圧で動作していることが確認された。また、バックゲートの印加により、トップゲートに対する抵抗変化の曲線がシフトしている様子が確認できた。バックゲートに対する変化を細かく見ていくと、図 4 に示すように、トップゲートに対する抵抗のピークの位置は、バックゲートに対して一定の割合で変化していることがわかる。これは、トップゲートにより制御される薄膜上面のキャリア濃度が、バックゲートからも制御されていることを示している。このことから、このグラフィイトは、電場侵入長より薄いと同程度であることが推測された。

10

## 【 産業上の利用可能性 】

## 【 0 0 2 1 】

本発明により、従来の電子素子より、著しく高い電圧効率で動作する電子素子の提供が可能になった。また、本発明の電子素子は、従来の技術に対して、極めて簡単なプロセスで製造できるため、効率的である。また、素子のグラフェンやグラフィイトに対するダメージも低減できる。本発明では、アルミニウムを用いることにより、材料単価が低く、工業化に適したものとなった。さらに、ゲート電圧駆動に関しても、電圧印加効率を高めることになった。

20

## 【 図面の簡単な説明 】

## 【 0 0 2 2 】

【 図 1 】 図 1 は、本発明の電子素子の一例を示す概略図である。

【 図 2 】 図 2 は、本願実施例で作製した電子素子の光学顕微鏡観察の結果を示す。

【 図 3 】 図 3 は、本願実施例で作製した電子素子のゲート電圧による抵抗の変化を示す。

【 図 4 】 図 4 は、本願実施例で作製した電子素子のバックゲートの印加によるトップゲートの抵抗変化を示す図である。

30

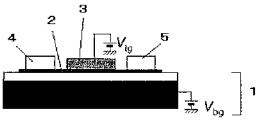
## 【 符号の説明 】

## 【 0 0 2 3 】

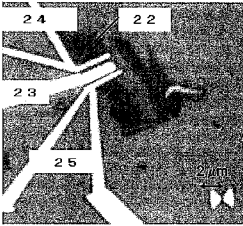
- 1 基板
- 2 6員環からなる炭素同族体層
- 3 アルミニウム層
- 4 ソース電極
- 5 ドレイン電極
- 2 2 グラフィイト膜
- 2 3 トップゲート
- 2 4 ソース電極
- 2 5 ドレイン電極

40

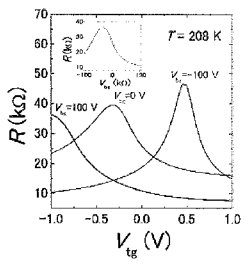
【 図 1 】



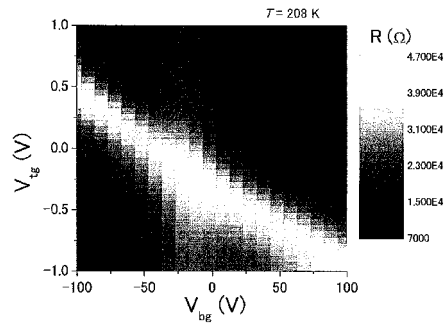
【 図 2 】



【 図 3 】



【 図 4 】





---

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/28	2 5 0 E
	H 0 1 L 29/28	2 8 0

(72)発明者 青柳 克信

埼玉県和光市広沢 2 番 1 号 独立行政法人理化学研究所内

Fターム(参考) 5F110 AA06 AA16 CC01 DD01 DD05 DD13 DD22 EE03 EE30 EE43  
FF01 FF22 GG01 GG22 GG25 GG42 HK02 HK04 HK32 QQ14