

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/025682

発行日 平成29年3月2日 (2017.3.2)

(43) 国際公開日 平成27年2月26日 (2015.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 5/134 (2014.01)	H03K 5/13 C	2G132
G01R 31/28 (2006.01)	G01R 31/28 V	5J001
H03K 19/173 (2006.01)	H03K 19/173 I01	5J042

審査請求 未請求 予備審査請求 未請求 (全 32 頁)

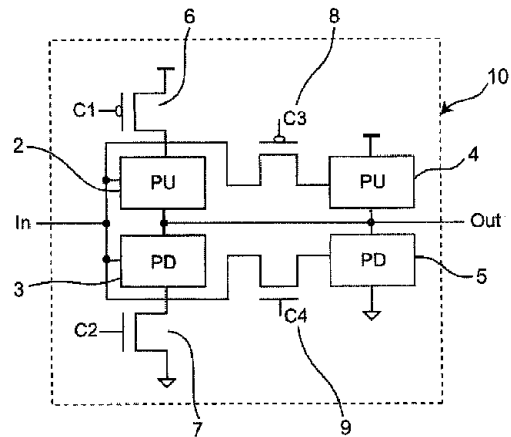
出願番号 特願2015-532785 (P2015-532785)	(71) 出願人 503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(21) 国際出願番号 PCT/JP2014/069976	
(22) 国際出願日 平成26年7月29日 (2014.7.29)	
(31) 優先権主張番号 特願2013-169965 (P2013-169965)	(74) 代理人 100101454 弁理士 山田 卓二
(32) 優先日 平成25年8月19日 (2013.8.19)	(74) 代理人 100081422 弁理士 田中 光雄
(33) 優先権主張国 日本国 (JP)	(74) 代理人 100125874 弁理士 川端 純市
	(72) 発明者 小野寺 秀俊 京都府京都市左京区吉田本町36番地1 国立大学法人京都大学内
	(72) 発明者 イスラム・エイケイエム・マーフズル 京都府京都市左京区吉田本町36番地1 国立大学法人京都大学内

最終頁に続く

(54) 【発明の名称】再構成可能な遅延回路、並びにその遅延回路を用いた遅延モニタ回路、ばらつき補正回路、ばらつき測定方法及びばらつき補正方法

(57) 【要約】

遅延回路(10)は、プルアップ回路(2)とプルダウン回路(3)を含む第1の反転回路と、プルアップ回路(4)とプルダウン回路(5)を含む第2の反転回路とを含む。遅延回路はさらに電源電位と出力ノードの間において、第1の反転回路のプルアップ回路と直列に接続された第1のバスタランジスタ(6)と、グランド電位と出力ノード(Out)の間において、第1の反転回路のプルダウン回路(2)と直列に接続された第2のバスタランジスタ(7)と、入力ノード(In)と第2の反転回路のプルアップ回路との間に直列に挿入された第3のバスタランジスタ(8)と、入力ノードと第2の反転回路のプルダウン回路との間に直列に挿入された第4のバスタランジスタ(9)とを含む。遅延回路の遅延特性は第1~第4のバスタランジスタのゲートに印加する制御信号(C1~C4)の組み合わせにより変更される。



【特許請求の範囲】

【請求項 1】

集積回路内の信号伝搬時間の遅延を測定する遅延モニタ回路に含まれる再構成可能な遅延回路であって、

入力信号を入力する入力ノードと、

出力信号を出力する出力ノードと、

前記入力信号に基づきオンしたときに電源電位を出力ノードに接続するプルアップ回路と、前記入力信号に基づきオンしたときにグランド電位を前記出力ノードに接続するプルダウン回路との直列回路を含む第 1 の反転回路と、

前記入力信号に基づきオンしたときに電源電位を出力ノードに接続するプルアップ回路と、前記入力信号に基づきオンしたときにグランド電位を前記出力ノードに接続するプルダウン回路との直列回路を含む第 2 の反転回路と、

前記電源電位と前記出力ノードの間において、前記第 1 の反転回路のプルアップ回路と直列に接続された第 1 のパストランジスタと、

前記グランド電位と前記出力ノードの間において、前記第 1 の反転回路のプルダウン回路とに直列に接続された第 2 のパストランジスタと、

前記入力ノードと前記第 2 の反転回路のプルアップ回路の入力との間に直列に接続された第 3 のパストランジスタと、

前記入力ノードと前記第 2 の反転回路のプルダウン回路の入力との間に直列に接続された第 4 のパストランジスタと、を備え、

前記第 1 ないし第 4 のパストランジスタのゲートに印加する制御信号の組み合わせにより遅延特性が変更される、

ことを特徴とする遅延回路。

【請求項 2】

前記第 3 のパストランジスタに並列に少なくとも第 5 のパストランジスタがさらに接続され、前記第 4 のパストランジスタに並列に少なくとも第 6 のパストランジスタがさらに接続された、ことを特徴とする請求項 1 記載の遅延回路。

【請求項 3】

前記第 2 の反転回路のプルアップ回路と前記電源電位との間に接続された第 7 のパストランジスタと、

前記第 2 の反転回路のプルダウン回路と前記グランド電位との間に接続された第 8 のパストランジスタと、

をさらに備えたことを特徴とする請求項 1 または 2 記載の遅延回路。

【請求項 4】

前記第 2 の反転回路のプルアップ回路の制御入力と前記電源電位との間に接続された第 7 のパストランジスタと、

前記第 2 の反転回路のプルダウン回路の制御入力と前記グランド電位との間に接続された第 8 のパストランジスタと、

をさらに備えたことを特徴とする請求項 1 または 2 記載の遅延回路。

【請求項 5】

前記制御信号の組み合わせは、

前記第 1 及び第 2 のパストランジスタをオンにし、前記第 3 及び第 4 のパストランジスタをオフにするための制御信号の組み合わせと、

前記第 1 及び第 4 のパストランジスタをオンにし、前記第 2 及び第 3 のパストランジスタをオフにするための制御信号の組み合わせと、

前記第 2 及び第 3 のパストランジスタをオンにし、前記第 1 及び第 4 のパストランジスタをオフにするための制御信号の組み合わせと、を含む

ことを特徴とする請求項 1 ないし 4 のいずれかに記載の遅延回路。

【請求項 6】

前記第 1 のパストランジスタは、前記電源電位と前記第 1 の反転回路のプルアップ回路

10

20

30

40

50

との間に直列に接続され、前記第 2 のパストランジスタは、前記グランド電位と前記第 1 の反転回路のプルダウン回路との間に直列に接続されている、ことを特徴とする請求項 1 ないし 5 のいずれかに記載の遅延回路。

【請求項 7】

前記第 1 のパストランジスタは、前記第 1 の反転回路のプルアップ回路と前記出力ノードとの間に直列に接続され、前記第 2 のパストランジスタは、前記出力ノードと前記第 1 の反転回路のプルダウン回路との間に直列に接続されている、ことを特徴とする請求項 1 ないし 5 のいずれかに記載の遅延回路。

【請求項 8】

前記プルアップ回路及び前記第 3 のパストランジスタは pMOS トランジスタで構成され、前記プルダウン回路及び前記第 4 のパストランジスタは nMOS トランジスタで構成されたことを特徴とする請求項 1 ないし 7 のいずれかに記載の遅延回路。

【請求項 9】

集積回路内の信号伝搬時間の遅延を測定する回路であって、

請求項 1 ないし 8 のいずれかに記載の遅延回路を複数段直列に接続した回路を含む、ことを特徴とする遅延モニタ回路。

【請求項 10】

最終段の遅延回路の出力が第 1 段目の遅延回路の入力に帰還される、ことを特徴とする請求項 9 記載の遅延モニタ回路。

【請求項 11】

集積回路における回路素子の特性のばらつきを補正するばらつき補正回路であって、

請求項 9 または 10 に記載の遅延モニタ回路と、

前記遅延モニタ回路で測定された信号伝搬遅延に基づき前記回路素子の特性のばらつきを補正する補正回路と

を備えた、ばらつき補正回路。

【請求項 12】

前記回路素子はトランジスタであって、前記補正回路は、前記測定された信号伝搬遅延に基づき前記トランジスタの基板電圧を変化させることにより、前記トランジスタの特性を補正する、請求項 11 記載のばらつき補正回路。

【請求項 13】

遅延モニタ回路を用いた、集積回路内の回路素子の特性のばらつき測定方法であって、前記遅延モニタ回路は請求項 1 ないし 8 のいずれかに記載の遅延回路を複数段直列に接続した回路を含み、

前記測定方法は、

特定の段の遅延回路の構成と、その特定の段以外の段の遅延回路の構成とが異なるように各段において制御信号を設定し、前記パストランジスタに印加する第 1 のステップと、

前記制御信号を印加した状態で、前記遅延モニタ回路の出力を測定する第 2 のステップと、

前記特定の段を順次変更しながら前記第 1 のステップと第 2 のステップとを繰り返す第 3 のステップと、

前記第 3 のステップにより得られた測定結果に基づき、前記集積回路が形成されるチップ内の回路素子の特性のばらつきを測定する第 4 のステップと、を含む、測定方法。

【請求項 14】

遅延モニタ回路を用いた、集積回路が形成される半導体チップ間の回路素子の特性のばらつき測定方法であって、

前記遅延モニタ回路は請求項 1 ないし 8 のいずれかに記載の遅延回路を複数段直列に接続した回路を含み、

前記測定方法は、

10

20

30

40

50

全ての段の遅延回路の構成が同じになるように各段において制御信号を設定し、前記パストランジスタに印加する第 1 のステップと、

前記制御信号を印加した状態で、前記遅延モニタ回路の出力を測定する第 2 のステップと、

前記第 2 のステップにより得られた測定結果に基づき、前記集積回路が形成されるチップ間の回路素子の特性のばらつきを測定する第 3 のステップと、を含む、測定方法。

【請求項 15】

遅延モニタ回路を用いた、集積回路内の回路素子の特性のばらつき測定方法であって、前記遅延モニタ回路は請求項 2 に記載の遅延回路を複数段直列に接続した回路を含み、前記測定方法は、

特定の段の遅延回路の構成と、その特定の段以外の段の遅延回路の構成とが異なるように各段において制御信号を設定し、前記パストランジスタに印加する第 1 のステップと、

前記制御信号を印加した状態で、前記遅延モニタ回路の出力を測定する第 2 のステップと、

前記特定の段を順次変更しながら前記第 1 のステップと第 2 のステップとを繰り返す第 3 のステップと、

前記第 3 のステップにより得られた測定結果に基づき、前記集積回路が形成されるチップ内の回路素子の特性のばらつきを測定する第 4 のステップと、を含む、

前記第 2 のステップは、

前記特定の段について、前記第 3 のパストランジスタをオンし、前記第 5 のパストランジスタをオフして前記遅延モニタ回路の出力を測定する第 5 のステップと、

前記特定の段において、前記第 3 のパストランジスタをオフし、前記第 5 のパストランジスタをオンして前記遅延モニタ回路の出力を測定する第 6 のステップと、

前記第 5 のステップの測定結果と前記第 6 のステップの測定結果の差分を計算する第 7 のステップと、を含む、測定方法。

【請求項 16】

遅延モニタ回路を用いた、集積回路内の回路素子の特性のばらつき測定方法であって、前記遅延モニタ回路は請求項 2 に記載の遅延回路を複数段直列に接続した回路を含み、前記測定方法は、

特定の段の遅延回路の構成と、その特定の段以外の段の遅延回路の構成とが異なるように各段において制御信号を設定し、前記パストランジスタに印加する第 1 のステップと、

前記制御信号を印加した状態で、前記遅延モニタ回路の出力を測定する第 2 のステップと、

前記特定の段を順次変更しながら前記第 1 のステップと第 2 のステップとを繰り返す第 3 のステップと、

前記第 3 のステップにより得られた測定結果に基づき、前記集積回路が形成されるチップ内の回路素子の特性のばらつきを測定する第 4 のステップと、を含む、

前記第 2 のステップは、

前記特定の段について、前記第 4 のパストランジスタをオンし、前記第 6 のパストランジスタをオフして前記遅延モニタ回路の出力を測定する第 5 のステップと、

前記特定の段において、前記第 4 のパストランジスタをオフし、前記第 6 のパストランジスタをオンして前記遅延モニタ回路の出力を測定する第 6 のステップと、

前記第 5 のステップの測定結果と前記第 6 のステップの測定結果の差分を計算するステップと、を含む、測定方法。

【請求項 17】

10

20

30

40

50

請求項 13 ないし 16 のいずれかに記載の測定方法を用いて集積回路内の回路素子の特性のばらつきを測定するステップと、

前記測定したばらつきに基づき前記回路素子の特性を補正するステップとを備えたばらつき補正方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路が動作する際の信号伝搬時間をチップ上で測定する遅延モニタ回路及びそれに用いることができる再構成可能な遅延回路に関する。また、本発明は、集積回路におけるトランジスタのばらつきを測定、補正する回路及び方法に関する。

10

【背景技術】

【0002】

集積回路の微細化に伴い、トランジスタの特性ばらつきが拡大している。特性ばらつきは、チップ内のトランジスタ特性が一様に変動するチップ間ばらつき成分と、各トランジスタの特性が独立に変動するチップ内ばらつき成分に大別される。トランジスタ特性のばらつきにより、集積回路内の信号伝搬時間がばらつく。なるべく少ない消費エネルギーで集積回路を動作させるために、トランジスタの特性ばらつきに応じてクロック周波数や電源電圧を適切な値に調節したり、トランジスタの基板に加える電圧を調節したりして、特性ばらつき量を補正する方法が用いられる。これらの調節を行うためには、nMOSトランジスタ特性とpMOSトランジスタ特性のばらつき量を評価することが必要であり、そのために遅延回路を多段に接続した遅延モニタ回路が用いられる（特許文献1等、非特許文献1等参照）。

20

【0003】

図18に、非特許文献1に開示された、遅延モニタ回路に用いられる従来の遅延回路の例を示す。図18(a)に示す遅延回路は、通常の変換論理ゲート（インバータ）であり、その遅延特性はnMOSトランジスタとpMOSトランジスタの双方の特性で決まる。図18(b)に示す遅延回路は、nMOSトランジスタのゲートにnMOSバストラジスタを挿入した構造で、その遅延特性はnMOSトランジスタの特性が強く影響する。図18(c)に示す遅延回路は、pMOSトランジスタのゲートにpMOSバストラジスタを挿入した構造で、その遅延特性はpMOSトランジスタの特性が強く影響する。

30

【0004】

トランジスタの特性のばらつきの要因として、閾値電圧とチャネル長がある。ここで、図18(a)～(c)に示す遅延回路について、チャネル長変動量 L を0とした場合の、nMOSトランジスタの閾値電圧の変動量 V_{thn} と、pMOSトランジスタの閾値電圧の変動量 V_{thp} に対する遅延時間の変動量を求めると、図19に示すような特性となる。図19において、実線A、B、Cは、図18(a)、(b)、(c)に示す遅延回路それぞれに対する特性を示している。図18(a)の遅延回路については、 V_{thn} と V_{thp} が同程度に遅延時間に影響している。図18(b)の遅延回路については、主に V_{thn} が遅延時間に影響している。図18(c)の遅延回路については主に V_{thp} が遅延時間に影響している。

【0005】

40

遅延モニタ回路は、これらの遅延回路を、論理が反転しない段数だけ直列に接続して構成されるリング発振回路で構成される。この回路の発振周波数は、各遅延回路の遅延時間により定まる。

【0006】

全ての遅延回路を図18(a)～(c)に示す回路のいずれかのみで構成した遅延モニタ回路の発振周波数を決める要因は、それぞれ、 L と V_{thn} と V_{thp} 、 L と V_{thn} 、 L と V_{thp} と近似できる。 L 、 V_{thn} 、 V_{thp} のチップ内ばらつき成分はランダムに発生する。そのため、多数段の同一種類の遅延回路を通過することによる信号伝搬遅延時間には、チップ内ばらつきの影響は相殺されて表れず、すべての遅延回路に共通に発生するチップ間ばらつきの影響が表れる。従って、全ての遅延回路を図18(a)～(c)に示

50

す回路のいずれかのみで構成した3種類の遅延モニタ回路の発振周波数より、nMOSトランジスタの閾値電圧変動量、pMOSトランジスタの閾値電圧変動量両トランジスタのチャンネル長変動量のチップ間ばらつき量を逆算することができる。

【0007】

チップ内ばらつきは、ランダムに発生する現象であるから、統計的に有意となる数の遅延モニタ回路を用意し、それらの発振周波数のばらつき量より、チップ内ばらつき量を逆算することができる。推定するばらつき量の精度を上げるためには、多数の遅延モニタ回路を用意することが必要となり、遅延モニタ回路に割り当てるチップ面積が増加する。

【先行技術文献】

【特許文献】

10

【0008】

【特許文献1】特開2001-44369号公報

【特許文献2】国際公開W099/12263

【非特許文献】

【0009】

【非特許文献1】Islam A.K.M. Mahfuzul, Akira Tsuchiya, Kazutoshi Kobayashi, Hidetoshi Onodera, "Variation-sensitive Monitor Circuits for Estimation of Global Process Parameter Variation," IEEE Trans. Semiconductor Manufacturing, vol 25, no 4, pp. 571-580, 2012/12.

【非特許文献2】Shuichi Fujimoto, Takashi Matsumoto and Hidetoshi Onodera, "Inhomogeneous Ring Oscillator for WID Variability and RTN Characterization," Proc. 25th IEEE International Conference on Microelectronic Test Structures, pp. 25-30, 2012/03.

20

【発明の概要】

【発明が解決しようとする課題】

【0010】

上記のように、従来の遅延回路を用いて遅延モニタを構成した場合、トランジスタ特性にばらつきを与える要因のチップ間ばらつき量を推定するためには、少なくとも要因の数以上の異なる遅延特性を持つ遅延モニタ回路が必要であった。更に、チップ内ばらつき量の統計量を推定するためには、多数の遅延モニタ回路が必要となった。

30

【0011】

すなわち、従来の遅延回路を用いた遅延モニタ回路によりトランジスタのチップ間ばらつきやチップ内ばらつきを評価するためには、多数個の遅延モニタ回路が必要となる。必要とされる遅延モニタ回路の数に応じてチップ面積は増大するため、チップの製造コストが増加するという問題があった。

【0012】

本発明は、上記の課題を解決するためになされたものであり、その目的とするところは、集積回路が動作する際の信号伝搬時間をチップ上で測定する遅延モニタ回路に用いられる遅延回路であって、遅延モニタ回路に関するチップ面積の増大を抑制し、製造コストの低減を実現可能な遅延回路を提供することにある。

40

【課題を解決するための手段】

【0013】

本発明の第1の態様において、集積回路内の信号伝搬時間の遅延を測定する遅延モニタ回路に含まれる再構成可能な遅延回路が提供される。遅延回路は、入力信号を入力する入力ノードと、出力信号を出力する出力ノードと、第1の反転回路と、第2の反転回路とを含む。第1の反転回路は、入力信号に基づきオンしたときに電源電位を出力ノードに接続するプルアップ回路と、入力信号に基づきオンしたときにグランド電位を出力ノードに接続するプルダウン回路との直列回路を含む。第2の反転回路は、入力信号に基づきオンしたときに電源電位を出力ノードに接続するプルアップ回路と、入力信号に基づきオンしたときにグランド電位を出力ノードに接続するプルダウン回路との直列回路を含む。遅延回

50

路は、さらに、電源電位と出力ノードの間において、第1の反転回路のプルアップ回路と直列に接続された第1のバストラジスタと、グランド電位と出力ノードの間において、第1の反転回路のプルダウン回路と直列に接続された第2のバストラジスタと、入力ノードと第2の反転回路のプルアップ回路の入力との間に直列に接続された第3のバストラジスタと、入力ノードと第2の反転回路のプルダウン回路の入力との間に直列に接続された第4のバストラジスタとを備える。遅延回路の遅延特性は、第1ないし第4のバストラジスタのゲートに印加する制御信号の組み合わせにより変更される。

【0014】

上記の構成により、1つの遅延回路により、種々の遅延特性を有する回路構成を実現できる。例えば、プルアップ回路及び第3のバストラジスタをpMOSトランジスタで構成し、プルダウン回路及び第4のバストラジスタをnMOSトランジスタで構成することで、1) 通常の反転論理ゲート(インバータ)の遅延特性を持つ回路、2) nMOSトランジスタの特性が強く影響される遅延特性を持つ回路、3) pMOSトランジスタの特性が強く影響される遅延特性を持つ回路を1つの遅延回路により実現できる。

10

【0015】

本発明の第2の態様において、集積回路内の信号伝搬時間の遅延を測定する遅延モニタ回路が提供される。遅延モニタ回路は上記の遅延回路を複数段直列に接続した回路を含む。このような遅延モニタ回路によれば、1つの遅延モニタ回路で種々の遅延特性の測定が可能となるため、遅延モニタ回路を多数設ける必要がなくなる。このため、チップ面積の増大を抑制でき、製造コストを低減できる。

20

【0016】

本発明の第3の態様において、上記の遅延モニタ回路を用いた、集積回路内(半導体チップ内)の回路素子の特性のばらつき測定方法が提供される。ばらつき測定方法は、特定の段の遅延回路の構成と、その特定の段以外の段の遅延回路の構成とが異なるように各段において制御信号を設定し、バストラジスタに印加する第1のステップと、制御信号を印加した状態で、遅延モニタ回路の出力を測定する第2のステップと、特定の段を順次変更しながら第1のステップと第2のステップとを繰り返す第3のステップと、第3のステップにより得られた測定結果に基づき、集積回路が形成されるチップ内の回路素子の特性のばらつきを測定する第4のステップと、を含む。上記のばらつき測定方法により、半導体チップ内でのトランジスタのばらつきを評価することが可能となる。

30

【0017】

本発明の第4の態様において、遅延モニタ回路を用いた、集積回路が形成される半導体チップ間の回路素子の特性のばらつき測定方法が提供される。ばらつき測定方法は、全ての段の遅延回路の構成が同じになるように各段において制御信号を設定し、バストラジスタに印加する第1のステップと、それらの制御信号を印加した状態で、遅延モニタ回路の出力を測定する第2のステップと、第2のステップにより得られた測定結果に基づき、集積回路が形成されるチップ間の回路素子の特性のばらつきを測定する第3のステップと、を含む。上記のばらつき測定方法により、半導体チップ間でのトランジスタのばらつきを評価することが可能となる。

【0018】

また、遅延モニタ回路は、第3のバストラジスタに並列に少なくとも第5のバストラジスタがさらに接続され、第4のバストラジスタに並列に少なくとも第6のバストラジスタがさらに接続されてもよい。この構成により、第3ないし第4のバストラジスタに対して、トランジスタ単位でばらつきの評価が可能となる。このような遅延モニタ回路に対しては、本発明の第5、第6の態様のばらつき測定方法が提供される。

40

【0019】

第5の態様のばらつき測定方法は、特定の段の遅延回路の構成と、その特定の段以外の段の遅延回路の構成とが異なるように各段において制御信号を設定し、バストラジスタに印加する第1のステップと、それらの制御信号を印加した状態で、遅延モニタ回路の出力を測定する第2のステップと、特定の段を順次変更しながら第1のステップと第2の

50

チップとを繰り返す第3のステップと、第3のステップにより得られた測定結果に基づき、集積回路が形成されるチップ内の回路素子の特性のばらつきを測定する第4のステップと、を含む。第2のステップは、特定の段について、第3のバストランジスタをオンし、第5のバストランジスタをオフして遅延モニタ回路の出力を測定する第5のステップと、特定の段において、第3のバストランジスタをオフし、第5のバストランジスタをオンして遅延モニタ回路の出力を測定する第6のステップと、第5のステップの測定結果と第6のステップの測定結果の差分を計算するステップと、を含む。上記のばらつき測定方法により、半導体チップ内でのトランジスタのばらつきを、トランジスタ単位で評価することが可能となる。

【0020】

第6の態様のばらつき測定方法は、特定の段の遅延回路の構成と、その特定の段以外の段の遅延回路の構成とが異なるように各段において制御信号を設定し、各バストランジスタに印加する第1のステップと、それらの制御信号を印加した状態で、遅延モニタ回路の出力を測定する第2のステップと、特定の段を順次変更しながら第1のステップと第2のステップとを繰り返す第3のステップと、第3のステップにより得られた測定結果に基づき、集積回路が形成されるチップ内の回路素子の特性のばらつきを測定する第4のステップと、を含む。第2のステップは、特定の段について、第4のバストランジスタをオンし、第6のバストランジスタをオフして遅延モニタ回路の出力を測定する第5のステップと、特定の段において、第4のバストランジスタをオフし、第6のバストランジスタをオンして遅延モニタ回路の出力を測定する第6のステップと、第5のステップの測定結果と第6のステップの測定結果の差分を計算するステップと、を含む。上記のばらつき測定方法により、半導体チップ内でのトランジスタのばらつきを、トランジスタ単位で評価することが可能となる。

【0021】

本発明の第7の態様において、集積回路における回路素子の特性のばらつきを補正するばらつき補正回路が提供される。ばらつき補正回路は、第2の態様の遅延モニタ回路と、遅延モニタ回路で測定された信号伝搬遅延に基づき回路素子の特性のばらつきを補正する補正回路とを備える。

【0022】

本発明の第8の態様において、第4～第6のばらつき測定方法を用いて集積回路内の回路素子の特性のばらつきを測定するステップと、測定したばらつきに基づき回路素子の特性を補正するステップと、を備えたばらつき補正方法が提供される。

【発明の効果】

【0023】

本発明の遅延回路はその遅延特性を様々に変化させることができる。このため、測定したい遅延特性に応じて複数の遅延モニタ回路を用意する必要がなく、単一の遅延モニタ回路を用いてトランジスタばらつきの評価を行うことができる。その結果、チップ面積の増大を抑制し、製造コストの低減を実現できる。

【図面の簡単な説明】

【0024】

【図1】本発明に係る遅延モニタ回路の一実施例の構成を示す図

【図2】本発明の実施の形態1における、遅延モニタ回路を構成する遅延回路の構成を示す図

【図3】実施の形態1の遅延回路のより具体的な構成を示す図

【図4】実施の形態1の遅延回路において、(a)信号C1, C2, C3, C4の論理値が(0, 1, 1, 0)である場合の等価回路を示す図、(b)信号C1, C2, C3, C4の論理値が(0, 0, 1, 1)である場合の等価回路を示す図、(c)信号C1, C2, C3, C4の論理値が(1, 1, 0, 0)である場合の等価回路を示す図

【図5】本発明の実施の形態2の遅延回路の構成を示す図

【図6】実施の形態2の遅延回路のレイアウト図

10

20

30

40

50

【図 7】本発明の実施の形態 3 の遅延回路の構成を示す図

【図 8】本発明の各実施形態の遅延モニタ回路に対してばらつきを測定する装置を説明した図

【図 9】チップ内のトランジスタ特性のばらつき測定結果を用いてばらつきを自動補正するための回路構成を示す図（実施形態 5）

【図 10】比較回路の動作を説明した図

【図 11】比較回路の回路構成の一例を説明した図

【図 12】パルス発生器から出力されるパルス信号を説明した図

【図 13】本発明の実施の形態 6 における遅延回路の構成を示す図

【図 14】実施の形態 6 の遅延回路において、（a）標準的なインバータに再構成された場合の等価回路を示す図、（b）nMOSトランジスタに敏感な構成に再構成された場合の等価回路を示す図、（c）pMOSトランジスタに敏感な構成に再構成された場合の等価回路を示す図

10

【図 15】実施の形態 6 の遅延回路の変形例の構成を示す図

【図 16】実施の形態 6 の遅延回路の別の変形例の構成を示す図

【図 17】実施の形態 6 の遅延回路のさらに別の変形例の構成を示す図

【図 18】nMOSトランジスタとpMOSトランジスタが遅延特性に影響する従来の遅延回路の例を示す図

【図 19】図 18 に示す遅延回路においてnMOSトランジスタ閾値電圧変動量 V_{thn} とpMOSトランジスタ閾値変動量 V_{thp} が遅延時間に及ぼす影響を説明するための図

20

【発明を実施するための形態】

【0025】

以下、添付の図面を参照して、本発明に係る遅延モニタ回路及びそれに用いる遅延回路の実施の形態を説明する。

【0026】

（実施の形態 1）

1. 構成

1.1 遅延モニタ回路

以下に説明する遅延モニタ回路は、チップ間またはチップ内のトランジスタの特性（閾値電圧等）のばらつきを検出するため、チップ上の信号伝搬の遅延時間を測定する回路である。

30

【0027】

図 1（a）に、遅延モニタ回路の構成を示す。同図に示すように、遅延モニタ回路 100 は遅延回路 10 を複数段直列に接続して構成されるリング発振回路である。ここで、遅延回路 10 は、入力信号を反転させて出力するインバータ回路である。特に、本実施形態の遅延回路 10 は、その構成が変更できる再構成可能に構成されている。再構成可能な遅延回路 10 の詳細については後述する。遅延モニタ回路 100 は、初段にNANDゲート 50 を有し、Enable信号により発振をオン・オフできるようになっている。遅延モニタ回路 100 の各遅延回路 10 の構成は、シフトレジスタ 53 からの制御信号により変更される。シフトレジスタ 53 からの制御信号はデコーダ 55 によりデコードされて各段の遅延回路 10 に与えられる。これにより、各段の遅延回路 10 の構成が設定される。シフトレジスタ 53 の値は、シリアルデータとクロック信号で設定される。このようなシリアルインタフェースを持つことにより、テスト用のスキャンインタフェースと統合できる。遅延モニタ回路 100 の出力の周波数（発振周波数）は、チップ上又はチップ外に設けられたカウンタ 57 で測定される。

40

【0028】

なお、本実施形態では、遅延モニタ回路をリング発振回路で構成し、チップ上の信号伝搬の遅延時間を周波数として測定した。しかしながら、遅延モニタ回路の構成は、これに限られず、図 1（b）に示すような、単に遅延回路を直列に複数段接続した遅延信号を生成する回路であってもよい。この場合、遅延モニタ回路の出力から直接遅延時間を測定す

50

ることができる。

【0029】

1.2 遅延回路

図2に、再構成可能な遅延回路10の構成を示す。遅延回路10は、プルアップ回路2とプルダウン回路3の直列回路を含む第1の反転論理ゲートと、プルアップ回路4とプルダウン回路5の直列回路を含む第2の反転論理ゲートとを含む。第1の反転論理ゲートのプルアップ回路2に対しては、電源電位との間にpMOSパストランジスタ6が直列に接続される。第1の反転論理ゲートのプルダウン回路3に対しては、グランドとの間にnMOSパストランジスタ7が直列に接続される。第2の反転論理ゲートのプルアップ回路4とプルダウン回路5それぞれの信号入力経路において、pMOSパストランジスタ8とnMOSパストランジスタ9とが直列に挿入されている。すなわち、遅延回路10の入力ノードと、第2の反転論理ゲートのプルアップ回路4とプルダウン回路5それぞれの制御入力との間に、pMOSパストランジスタ8とnMOSパストランジスタ9とが直列に挿入されている。各パストランジスタ(パステート)6~9のゲートに印加する制御信号(C1~C4)の論理値を変更することにより、遅延回路10の異なった遅延特性が実現できる。

10

【0030】

このように、本実施形態の遅延回路10は、プルアップ回路を2種類とプルダウン回路を2種類備えており、パストランジスタ6~9によりそれらの動作を制御することができる。第1の反転論理ゲートに直列に挿入したパストランジスタ6、7により、第1の反転論理ゲートのプルアップ回路2とプルダウン回路3の動作の有無を独立に制御可能である。また、第2の反転論理ゲートの各入力に直列に挿入されたパストランジスタ8、9により、第2の反転論理ゲートへの信号伝達の有無を制御することができる。なお、信号伝達はパストランジスタ8、9を経て行われるため、伝達される信号の強度は閾値電圧分だけ減少する。

20

【0031】

このような回路構成においては、プルアップ回路として、第1の反転論理ゲートのプルアップ回路2と、pMOSパストランジスタ8を経由して入力信号が与えられる第2の反転論理ゲートのプルアップ回路4のいずれかを用いることができる。また、プルダウン回路として、第1の反転論理ゲートのプルダウン回路3と、nMOSパストランジスタ9を経由して入力信号が与えられる第2の反転論理ゲートのプルダウン回路5のいずれかを用いることができる。

30

【0032】

上記回路によれば、パストランジスタ6~9への制御信号C1~C4の論理値を変更することにより、合計4通りの異なった遅延特性を実現することができる。この遅延回路をM段直列に接続して遅延モニタ回路を構成すると、 4^M 通りの異なった遅延経路の伝搬遅延時間を測定することが可能になる。

【0033】

図3は、図2に示す遅延回路のより具体的な構成の例を示した図である。図3は、プルアップ回路およびプルダウン回路の最も簡単な構成を示しており、プルアップ回路2、4およびプルダウン回路3、5をそれぞれ1つのpMOSトランジスタおよび1つのnMOSトランジスタで構成している。各パストランジスタ6~9のゲート電位C1、C2、C3、C4をそれぞれ、電源電位(論理値「1」に対応)もしくはグランド電位(論理値「0」に対応)させることにより、各パストランジスタ6~9の導通/非導通を制御することができる。

40

【0034】

下記表1に、パストランジスタ6~9のゲートに印加する制御信号C1、C2、C3、C4の組み合わせと、その組み合わせにより構成される遅延回路10の特性を示す。

【表 1】

C 1	C 2	C 3	C 4	遅延モード
0	1	1	0	標準インバータ
0	0	1	1	nMOSトランジスタに敏感
1	1	0	0	pMOSトランジスタに敏感
1	0	0	1	pMOSトランジスタと nMOSトランジスタとに敏感

【 0 0 3 5 】

10

図 4 に、各パストランジスタ 6 ~ 9 のゲートに印加する信号値 C1, C2, C3, C4 の組み合わせにより構成が変化する、図 3 に示す遅延回路 1 0 a の等価回路を示す。

【 0 0 3 6 】

図 4 (a) は、制御信号 C1, C2, C3, C4 の論理値の組み合わせが、(0, 1, 1, 0) である場合の遅延回路 1 0 a の等価的な回路を示す。第 2 の反転論理ゲートには入力加わらず、第 1 の反転論理ゲートのトランジスタ 2 a (プルアップ回路) 及びトランジスタ 3 a (プルダウン回路) が動作する。この回路構成は、図 1 8 (a) に示す回路と類似の遅延特性を示し、標準的なインバータ回路の構成となる。

【 0 0 3 7 】

20

図 4 (b) は、制御信号 C1, C2, C3, C4 の論理値の組み合わせが (0, 0, 1, 1) である場合の遅延回路 1 0 a の等価回路を示す。第 1 の反転論理ゲートのトランジスタ 2 a (プルアップ回路) と、nMOS パストランジスタ 9 を経由した第 2 の反転論理ゲートのトランジスタ 5 a (プルダウン回路) が動作する。この回路構成は、図 1 8 (b) に示す回路と類似の遅延特性を示し、nMOS トランジスタの閾値変動に敏感 (以下単に「nMOS トランジスタに敏感」ともいう) な回路構成となる。

【 0 0 3 8 】

30

図 4 (c) は、制御信号 C1, C2, C3, C4 の論理値の組み合わせが (1, 1, 0, 0) である場合の遅延回路 1 0 a の等価回路を示す。第 1 の反転論理ゲートのトランジスタ 3 a (プルダウン回路) と、pMOS パストランジスタ 8 を経由した第 2 の反転論理ゲートのトランジスタ 4 a (プルアップ回路) が動作する。この回路構成は、図 1 8 (c) に示す回路と類似の遅延特性を示し、pMOS トランジスタの閾値変動に敏感 (以下単に「pMOS トランジスタに敏感」ともいう) な回路構成となる。

【 0 0 3 9 】

以上の通り、遅延回路 1 0 によれば、パストランジスタ 6 ~ 9 に与える制御信号の論理値の組み合わせを変更することにより、複数の遅延特性を実現することができる。

【 0 0 4 0 】

2. ばらつきの評価

上記の構成を有する遅延モニタ回路 1 0 0 を用いたばらつきの評価について以下に説明する。

【 0 0 4 1 】

40

2. 1 チップ間ばらつき

チップ間ばらつきの評価においては、遅延モニタ回路 1 0 0 において、全ての段の遅延回路 1 0 を同じ構成に制御する。ここで、チップ内ばらつき量を考慮して遅延モニタ回路 1 0 0 の段数を決定する必要がある。

【 0 0 4 2 】

nMOS トランジスタのばらつきを評価する際、全ての段の遅延回路 1 0 を、図 4 (b) に示すような nMOS トランジスタに敏感な構成に設定し、遅延モニタ回路 1 0 0 の発振周波数を測定する。すなわち、パストランジスタ 8 がオフされ、パストランジスタ 9 がオンに制御されて、すべての段の遅延回路 1 0 が同じ構成となっている。

【 0 0 4 3 】

50

同様に、pMOSトランジスタのばらつき評価する際は、すべての段の遅延回路10を、図4(c)に示すようなpMOSトランジスタに敏感な構成に設定する。

【0044】

また、標準インバータからなる回路の特性を評価する際は、すべての段の遅延回路10を、図4(a)に示すような標準インバータとなるように構成する。

【0045】

このように、3種類の異なった遅延特性を評価でき、非特許文献1の方法を用いて、測定値から、プロセスパラメータの変動量に推定できる。例えば、ばらつき要因としてnMOSトランジスタとpMOSトランジスタの閾値電圧だけを仮定した場合、式(1)と式(2)の1次近似が成り立つ。

$$f_n = k_{n,n} V_{thn} + k_{n,p} V_{thp} \quad (1)$$

$$f_p = k_{p,n} V_{thn} + k_{p,p} V_{thp} \quad (2)$$

【0046】

ここで、 f_n と f_p は、nMOSトランジスタに敏感な構成とpMOSトランジスタに敏感な構成における周波数の測定値と予測値の差である。 $k_{n,n}$ と $k_{n,p}$ は、nMOSトランジスタとpMOSトランジスタに対する、nMOSトランジスタに敏感な構成における周波数の感度である。 $k_{p,n}$ と $k_{p,p}$ はpMOSトランジスタに敏感な構成における周波数の感度である。 V_{thn} と V_{thp} はそれぞれnMOSトランジスタとpMOSトランジスタの閾値電圧の変動量である。感度はシミュレーションにより求めることができ、閾値電圧の変動量 V_{thn} 、 V_{thp} は、測定した周波数の変動量より推定できる。

【0047】

2.2 チップ内ばらつき

チップ内ばらつきを評価するために、従来は同じ回路種類をチップ上に多数搭載し、各インスタンスの特性から統計的にばらつきを評価していた。本実施形態の遅延モニタ回路100によれば、ある段の遅延回路の遅延特性を、他の段と異ならせることにより、その段の遅延を測定可能にする。このように、ある特定の段を、他の回路と異なった構成にすることによりチップ内ばらつきを1つの回路で評価できる。

【0048】

まず、ある特定の段(対象段)以外のすべての段の遅延を標準インバータ(図4(a)に示す構成)と同じに設定し、特定の段の遅延をより大きな値に設定する。このため、特定の段(対象段)以外のすべての段の構成を標準インバータ(図4(a))の構成に設定し、特定の段の構成を、図4(b)または図4(c)に示す構成に設定する。そして、特定の段を順次変更(走査)しながら、遅延モニタ回路100の出力信号の発振周波数を測定することで、nMOSトランジスタまたはpMOSトランジスタのばらつきを評価することができる。対象段の遅延回路10をnMOSトランジスタに敏感またはpMOSトランジスタに敏感となるように設定することにより、nMOSトランジスタとpMOSトランジスタのばらつきをそれぞれ独立に評価する。

【0049】

次に、一例として、nMOSトランジスタのばらつきの推定に関して説明する。この場合、ある特定の段のインバータは、図4(b)に示すような回路構成に構成し、それ以外の段のインバータは図4(a)に示すような標準インバータの回路構成に構成する。このとき、測定される周波数 $f_{n,1}$ は、パストランジスタ9とそれにゲートが接続されるnMOSトランジスタ5aそれぞれの閾値電圧の感度係数等を用いて次式で表すことができる。

$$f_{n,1} = f_{n,10} + k_{n,1} V_{thn,1} + k_{n,2} V_{thn,2} + \quad (3)$$

【0050】

ここで、 $f_{n,10}$ はばらつきがないときのシミュレーションにおける予測値であり、 $f_{n,1}$ は特定の段以外のすべての段における変動量の総和である。段数が充分多い場合、各段のランダムばらつきは平均化され、 $f_{n,1}$ を一定だと仮定することができる。 $k_{n,1}$ と $k_{n,2}$ は各nMOSトランジスタ9、5aの閾値電圧の変動に対する周波数の感度である。 $V_{thn,1}$ と $V_{thn,2}$ はnMOSトランジスタ9、5aの閾値電圧のばらつき量を

10

20

30

40

50

表す。

【 0 0 5 1 】

各インバータ段に対して式(3)が得られ、よって、N段数分の測定値が得られる。従って、 $k_{n,1} = k_{n,2}$ と、また、 $V_{thn,1}$ と $V_{thn,2}$ の分散が等しいと仮定して統計的に処理することで、nMOSトランジスタの閾値 V_{thn} のばつきを取得できる。

$$f_n = k_n \cdot V_{thn} \quad (4)$$

【 0 0 5 2 】

pMOSトランジスタの閾値電圧のばらつきも同様に推定する。

【 0 0 5 3 】

3. まとめ

以上のように、本実施形態の遅延回路10は再構成可能な遅延回路であって、入力信号を入力する入力ノードと、出力信号を出力する出力ノードと、第1の反転回路と、第2の反転回路とを備える。第1の反転回路は、入力信号に基づきオンしたときに電源電位を出力ノードに接続するプルアップ回路2と、入力信号に基づきオンしたときにグランド電位を出力ノードに接続するプルダウン回路3との直列回路を含む。第2の反転回路は、入力信号に基づきオンしたときに電源電位を出力ノードに接続するプルアップ回路4と、入力信号に基づきオンしたときにグランド電位を出力ノードに接続するプルダウン回路5との直列回路を含む。さらに、遅延回路10は、第1の反転回路のプルアップ回路2と電源電位との間に直列に接続されたパストランジスタ6と、第1の反転回路のプルダウン回路3とグランド電位との間に直列に接続されたパストランジスタ7を備える。さらに、遅延回路10は、入力ノードと第2の反転回路のプルアップ回路4の入力との間に直列に接続されたパストランジスタ8と、入力ノードと第2の反転回路のプルダウン回路5の入力との間に直列に接続されたパストランジスタ9と、を備える。パストランジスタ6～9のゲートに印加する制御信号C1～C4の組み合わせにより、遅延回路10の遅延特性が変更される。

【 0 0 5 4 】

また、本実施形態の遅延モニタ回路100は、集積回路内の信号伝搬時間の遅延を測定する回路であって、上記の構成を有する再構成可能な遅延回路10を複数段直列に接続した回路を含む。

【 0 0 5 5 】

遅延回路10が上記の構成を有することで、遅延回路10を、pMOSトランジスタに敏感な構成やnMOSトランジスタに敏感な構成等、種々の構成に設定することができる。このため、遅延回路10を測定目的に応じて適宜構成することで、1つの遅延モニタ回路により、複数種類の測定が実施可能となる。これにより、測定種類毎に遅延モニタ回路を配置する必要がなくなり、結果としてチップ面積の増大を抑制できる。

【 0 0 5 6 】

(実施の形態2)

本実施形態では、遅延回路10の別の構成を示す。

【 0 0 5 7 】

図5に本実施形態における遅延回路の構成を示す。本実施形態の遅延回路10bでは、図2または図3に示す実施の形態1の遅延回路10aの構成において、さらに、pMOSパストランジスタ8およびnMOSパストランジスタ9それぞれに対して、pMOSパストランジスタ21およびnMOSパストランジスタ23が並列に接続されている。すなわち、第2の反転論理ゲートの入力に直列に接続するパストランジスタとして、2個のパストランジスタが並列に接続されている。なお、ここでは、2個のパストランジスタを並列に接続した例を説明するが、3個以上のパストランジスタを並列に接続してもよい。

【 0 0 5 8 】

図6に、本実施形態の遅延回路10bのレイアウト例を示す。レイアウトに依存する特性ばらつきを小さくするために、nMOSパストランジスタ9、23(pMOSパストランジスタ8、21)対の2つのゲートは同じソース拡散領域を共有させている。

10

20

30

40

50

【 0 0 5 9 】

下記の表 2 に、パストランジスタ 6 ~ 9、2 1、2 3 のゲートに印加する制御信号 C1, C2, C3, C4, C5, C6 の組み合わせと、その組み合わせにより構成される遅延回路 1 0 b の特性を示す。

【表 2】

C 1	C 2	C 3	C 4	C 5	C 6	遅延モード
0	1	1	0	1	0	標準インバータ
0	0	1	0	1	1	nMOSトランジスタに敏感
0	0	1	1	1	0	nMOSトランジスタに敏感
1	1	0	0	1	0	pMOSトランジスタに敏感
1	1	1	0	0	0	pMOSトランジスタに敏感

10

【 0 0 6 0 】

このような遅延回路 1 0 b の構成により、パストランジスタ単位でチップ内ばらつきを評価することが可能となる。

【 0 0 6 1 】

例えば、制御信号 C1, C2, C3, C4, C5, C6 の論理値の組み合わせが (0, 0, 1, 1, 1, 0) と (0, 0, 1, 0, 1, 1) の場合に、図 4 (b) と同様の遅延特性が得られる。この両者の組み合わせにおいて異なる点は、第 2 の反転論理ゲートのプルダウン nMOS トランジスタ 5 a のゲートに信号を印加する nMOS パストランジスタである。そのため、両者の遅延時間の差をとることにより、該当する二個の nMOS トランジスタ 9、2 3 のチップ内ばらつきを評価することができる。同様に、信号 C1, C2, C3, C4, C5, C6 の論理値の組み合わせが (1, 1, 0, 0, 1, 0) と (1, 1, 1, 0, 0, 0) の場合の遅延時間の差をとることにより、pMOS トランジスタ 8、2 1 のチップ内ばらつきを評価することができる。

20

【 0 0 6 2 】

本実施形態の遅延回路 1 0 b を各段に有する遅延モニタ回路 1 0 0 を用いた、チップ内ばらつきの評価について説明する。

【 0 0 6 3 】

まず、ある特定の段 (対象段) 以外のすべての段の遅延を標準インバータと同じに設定し、特定の段の遅延を大きく設定する。以下、一例として、nMOS トランジスタのチップ内ばらつきを評価する際の構成を説明する。

30

【 0 0 6 4 】

対象段について、1 回目の測定において、nMOS パストランジスタ 9 をオンにし (nMOS パストランジスタ 2 3 はオフ)、2 回目の測定において、nMOS パストランジスタ 2 3 をオンにする (nMOS パストランジスタ 9 はオフ)。そして、これらの 2 つの測定値の差より、パストランジスタ 9 とパストランジスタ 2 3 の特性差を評価する。そして、対象段を走査しながら、発振周波数を測定することで nMOS トランジスタのばらつきを評価する。対象段を nMOS トランジスタに敏感あるいは pMOS トランジスタに敏感となるように設定することにより、nMOS トランジスタと pMOS トランジスタのばらつきを独立に評価する。

40

【 0 0 6 5 】

次に、nMOS トランジスタのばらつき の推定に関して詳しく説明する。図 5 において、nMOS パストランジスタ 9 のみをオンにした時の周波数、 $f_{n,1}$ と、nMOS パストランジスタ 2 3 のみをオンにした時の周波数、 $f_{n,2}$ はそれぞれのパストランジスタの感度係数を用いて次の一次近似式で表すことができる。

【 0 0 6 6 】

$$f_{n,1} = f_{n,10} + k_{n,1} V_{thn,1} + \quad (5)$$

$$f_{n,2} = f_{n,20} + k_{n,2} V_{thn,2} + \quad (6)$$

ここで、 $f_{n,10}$ と $f_{n,20}$ はばらつきがないときのシミュレーションにおける予測値であり、 $k_{n,1}$ は非均質なインバータ段以外のすべてのインバータ段の変動量の総和である。段数

50

が充分長い場合、各段のランダムばらつきは平均化され、 f_n を一定と仮定することができる。係数 $k_{n,1}$ と $k_{n,2}$ は各パストランジスタの閾値電圧の変動に対する周波数の感度である。 $V_{thn,1}$ と $V_{thn,2}$ は各パスゲートの閾値電圧のばらつき量を表す。 $k_{n,1} = k_{n,2} = k_n$ を考慮すると、式(5)と(6)の差より、周波数の差とパストランジスタ同士の閾値電圧差の間に次の関係が得られる。

$$f_n = k_n V_{thn} \quad (7)$$

【0067】

各段に対して式(7)が得られ、段数 N 個の測定値が得られる。従って、 f_n のばらつきを取得でき、そのばらつきを用いて閾値電圧のばらつき V_{thn} を次のように推定する。

$$f_n = k_n V_{thn} \quad (8)$$

$$V_{thn} = V_{thn} / (2) \quad (9)$$

【0068】

pMOSトランジスタの閾値電圧ばらつきも、nMOSトランジスタの場合と同様に推定できる。

【0069】

本実施形態の遅延回路10bの構成によれば、チップ内のトランジスタ毎のばらつきを精度よく測定することができる。

【0070】

(実施の形態3)

本実施形態では、遅延回路のさらに別の構成を示す。

【0071】

実施の形態1において、信号C1, C2, C3, C4が印加された場合に、第2の反転論理ゲートにおいて、pMOSトランジスタ4a及びnMOSトランジスタ5aのゲートに接続するパストランジスタ8、9のいずれか一方はオフに制御される。このため、そのオフに制御されたパストランジスタ8、9に接続される方のトランジスタ4aまたは5aのゲート電位はフローティング電位となる。ゲートがフローティング電位となるトランジスタ4aまたは5aは、遅延回路10aのインバータ機能には寄与せず、理想的には非導通状態となっているはずである。しかし、実際には、ゲートがフローティング電位となっていることから、トランジスタ4aまたは5aにおいてはリーク電流が流れるおそれがある。このリーク電流は遅延回路10aの遅延特性に影響を及ぼすため、測定精度の低下を招くおそれがある。そこで、本実施形態では、このリーク電流の問題を解決するための遅延回路の構成を説明する。図7に本実施形態の遅延回路の構成例を示す。

【0072】

図7(a)に示す遅延回路10cでは、図3に示す遅延回路の第2の反転論理ゲートにおけるpMOSトランジスタ4aと電源との間にpMOSパストランジスタ31が挿入されている。さらに、第2の反転論理ゲートにおけるnMOSトランジスタ5aとグランド(グランド電位)との間にnMOSパストランジスタ32が挿入されている。

【0073】

この構成において、第2の反転論理ゲートにおけるゲート電位がフローティング電位となるトランジスタ4aまたは5aに接続する方のパストランジスタ31または32を、オフさせる。これにより、電源とpMOSトランジスタ4a間の経路またはnMOSトランジスタ5aとグランド間の経路が遮断されるため、pMOSトランジスタ4aまたはnMOSトランジスタ5aでのリーク電流を防止できる。例えば、nMOSトランジスタ5aのゲート電位がフローティング電位となる場合(図4(a)、(c)の場合)、nMOSパストランジスタ32をオフさせる。これにより、nMOSトランジスタ5aとグランド間の経路が遮断されるため、nMOSトランジスタ5aからグランドへ流れるリーク電流を防止できる。また、pMOSトランジスタ4aのゲート電位がフローティング電位となる場合(図4(a)、(b)の場合)、pMOSパストランジスタ31をオフさせる。これにより、pMOSトランジスタ4aと電源間の経路が遮断されるため、電源からpMOSトランジスタ4aへ流れるリーク電流を防止できる。

10

20

30

40

50

なお、第2の反転論理ゲートにおけるpMOSトランジスタ4 aとpMOSパストランジスタ3 1の位置を入れ替えてもよい。また、nMOSトランジスタ5 aとnMOSパストランジスタ3 2の位置を入れ替えてもよい。

【0074】

図7(b)は、本実施形態の遅延回路の別の構成例を示した図である。図7(b)に示す遅延回路10 dでは、図3に示す遅延回路の第2の反転論理ゲートにおけるpMOSトランジスタ4 aのゲートと電源との間にpMOSプルアップトランジスタ3 3が挿入されている。さらに、第2の反転論理ゲートにおけるnMOSトランジスタ5 aのゲートとグランドとの間にnMOSプルダウントランジスタ3 4が挿入されている。

【0075】

この構成において、第2の反転論理ゲートにおけるゲート電位がフローティング電位となるおそれがあるトランジスタ4 aまたは5 aのゲートに接続する方のトランジスタ3 3または3 4をオンさせる。これにより、トランジスタ4 aまたは5 aのゲート電位を電源電位またはグランド電位に制御できるため、トランジスタ4 aまたは5 aを完全にオフすることが可能となり、リーク電流を防止できる。

【0076】

例えば、nMOSトランジスタ5 aのゲート電位がフローティング電位になるおそれがある場合(図4(a)、(c)の場合)、nMOSトランジスタ3 4をオンさせる。これにより、nMOSトランジスタ5 aが完全にオフするため、nMOSトランジスタ5 aでのリーク電流を防止できる。また、pMOSトランジスタ4 aのゲート電位がフローティング電位となるおそれがある場合(図4(a)、(b)の場合)、pMOSトランジスタ3 3をオンさせる。これにより、pMOSトランジスタ4 aが完全にオフするため、pMOSトランジスタ4 aでのリーク電流を防止できる。

【0077】

なお、図7に示したリーク電流を防止するための構成は、実施の形態2の遅延回路の構成に対しても適用できる。

【0078】

(実施の形態4)

上記各実施形態における遅延回路で構成された遅延モニタ回路を用いて集積回路(半導体チップ)内の回路素子の特性のばらつきを測定する装置について説明する。

【0079】

図8は、集積回路の回路素子の特性のばらつきを測定するための装置構成を示す。ばらつき測定装置500は集積回路200に含まれる回路素子(トランジスタ)の特性のばらつきを測定する装置である。集積回路200は上記のいずれかの実施形態で示した再構成可能な遅延回路を含む遅延モニタ回路100を備えている。

【0080】

ばらつき測定装置500は、集積回路200の信号端子を介して、遅延モニタ回路100内の各遅延回路の構成(すなわち、遅延特性)を設定するための設定信号を集積回路200に送信する。この設定信号は、遅延モニタ回路100において、遅延回路毎に回路構成を例えば図4に示す構成のいずれかに設定するための信号であり、すなわち、各段における制御信号C1, C2, C3, ...の論理値を設定する信号である。設定信号は、図1に示すシフトレジスタ53の入力である。その後、ばらつき測定装置500は、カウンタ57により遅延モニタ100の発振周波数を測定し、測定結果に基づきトランジスタのばらつきを測定する。ばらつき測定装置500は、以下の動作を実行する制御装置(例えばCPU)を内部に備えている。制御装置は、上記の実施形態で説明した手順にしたがい発振周波数の測定結果を統計的に処理することで、pMOSトランジスタ及びnMOSトランジスタの閾値のばらつきを求めることができる。

【0081】

例えば、半導体チップ内のトランジスタのばらつきを評価する場合、ばらつき測定装置500は次の手順で動作する。

10

20

30

40

50

【 0 0 8 2 】

(第1のステップ)ばらつき測定装置500は、遅延モニタ回路100において、特定の段の遅延回路の構成と、その特定の段以外の段の遅延回路の構成とが異なるように各段における制御信号C1～C4を設定して、各パストランジスタ6、7、・・・に印加する。

(第2のステップ)ばらつき判定装置500は、遅延モニタ回路100の発振周波数を測定する。

(第3のステップ)第1のステップと第2のステップとを、特定の段を順次変更(走査)しながら繰り返す。

(第4のステップ)第3のステップにより得られた測定結果に基づき、集積回路200が形成されるチップ内の回路素子の特性のばらつきを測定する。

10

【 0 0 8 3 】

以上の処理により、チップ内のトランジスタのばらつきを評価することが可能となる。

【 0 0 8 4 】

また、チップ間のトランジスタのばらつきを評価する場合、ばらつき測定装置500は次の手順で動作する。

【 0 0 8 5 】

(第1のステップ)ばらつき測定装置500は、全ての段の遅延回路の構成が同じになるように各段において制御信号を設定し、各パストランジスタ6、7、・・・に印加する。

(第2のステップ)それらの制御信号を印加した状態で、遅延モニタ回路100の発振周波数を測定する。

20

(第3のステップ)第2のステップにより得られた測定結果に基づき、集積回路200が形成されるチップ間の回路素子の特性のばらつきを測定する。

【 0 0 8 6 】

以上の処理により、チップ間のトランジスタのばらつきを評価することが可能となる。

【 0 0 8 7 】

また、集積回路200が実施の形態2(図5)で示したような第2の反転ゲートの各入力にパストランジスタ8と21、9と23が並列に接続されている遅延モニタ回路100を含む場合、ばらつき測定装置500は以下の手順で動作してもよい。

【 0 0 8 8 】

a) pMOSトランジスタのばらつきを測定する場合

30

(第1のステップ)ばらつき測定装置500は、特定の段の遅延回路の構成と、その特定の段以外の段の遅延回路の構成とが異なるように各段において制御信号を設定し、各パストランジスタ6～9、21、23に印加する。

(第2のステップ)それらの制御信号を印加した状態で、遅延モニタ回路100の発振周波数を測定する。

(第3のステップ)第1のステップと第2のステップとを、特定の段を順次変更しながら繰り返す。

(第4のステップ)第3のステップにより得られた測定結果に基づき、集積回路が形成されるチップ内の回路素子の特性のばらつきを測定する。

【 0 0 8 9 】

40

ここで、第2のステップは以下のステップを含む。

(第5のステップ)特定の段について、pMOSパストランジスタ8をオンし、pMOSパストランジスタ21をオフして遅延モニタ回路100の発振周波数を測定する。

(第6のステップ)特定の段において、pMOSパストランジスタ8をオフし、pMOSパストランジスタ21をオンして遅延モニタ回路100の発振周波数を測定する。

(第7のステップ)第5のステップの測定結果と第6のステップの測定結果の差分を計算する。

【 0 0 9 0 】

上記の処理により、チップ内のトランジスタのばらつきをトランジスタ単位で評価することが可能となる。

50

【 0 0 9 1 】

b) nMOSトランジスタのばらつきを測定する場合

(第1のステップ) ばらつき測定装置500は、特定の段の遅延回路の構成と、その特定の段以外の段の遅延回路の構成とが異なるように各段において制御信号を設定し、各パストランジスタ6~9、21、23に印加する。

(第2のステップ) それらの制御信号を印加した状態で、遅延モニタ回路の出力を測定する。

(第3のステップ) 特定の段を順次変更しながら第1のステップと第2のステップとを繰り返す。

(第4のステップ) 第3のステップにより得られた測定結果に基づき、集積回路が形成されるチップ内の回路素子の特性のばらつきを測定する。

10

【 0 0 9 2 】

ここで、第2のステップは以下のステップを含む。

(第5のステップ) 特定の段について、nMOSパストランジスタ9をオンし、nMOSパストランジスタ23をオフして遅延モニタ回路100の発振周波数を測定する。

(第6のステップ) 特定の段において、nMOSパストランジスタ9をオフし、nMOSパストランジスタ23をオンして遅延モニタ回路100の発振周波数を測定する。

(第7のステップ) 第5のステップの測定結果と第6のステップの測定結果の差分を計算する。

【 0 0 9 3 】

20

上記のばらつき測定方法により、チップ内のトランジスタのばらつきをトランジスタ単位で評価することが可能となる。

【 0 0 9 4 】

(実施の形態5)

本実施形態では、半導体チップ(集積回路)においてトランジスタ特性のばらつきの測定結果を用いてばらつきを自動補正する回路を説明する。図9に、トランジスタ特性のばらつきを自動補正する、ばらつき補正回路の構成を示す。

【 0 0 9 5 】

1. ばらつき補正回路の構成

図9に示すばらつき補正回路150は、パルス発生器61と、遅延モニタ回路100と、比較回路63と、制御回路65と、レジスタ67a、67bと、DAコンバータ69a、69bとを含む。ばらつき補正回路150は、集積回路内に形成され、集積回路を構成するpMOSトランジスタ71及びnMOSトランジスタ72の特性のばらつきを補正する。

30

【 0 0 9 6 】

パルス発生器61は遅延モニタ回路100に印加するパルスが発生する。遅延モニタ回路100及び遅延回路10は実施の形態1で説明したものと同様の構成、機能を有する。パルス発生器61から出力されるパルス信号のパルス幅は、遅延モニタ回路100の遅延時間の基準値に対応する幅に設定される。遅延モニタ回路100の遅延時間は、遅延回路100を構成する遅延回路10の構成(種類)に応じて変化する。

【 0 0 9 7 】

40

比較回路63は、パルス発生器61の出力と、遅延モニタ回路100の出力とを比較し、比較結果を示す信号を出力する。具体的には、比較回路63は、図10に示すように、パルス発生器61からの出力信号(パルス信号)の立ち下がりタイミング(遅延の基準値を与えるタイミング)と、遅延モニタ回路100の出力信号の立ち上がりタイミングとを比較し、比較結果を示す信号を出力する。比較回路63は例えば図11に示すような位相周波数検出回路(phase frequency detector)を用いて構成できる。図11に示す回路は、パルス発生器61の出力信号の立ち下がり遅延モニタ回路100の出力信号の立ち上がりよりも早いときは、(UP,DOWN)=(H,L)となる出力信号を出力する。パルス発生器61の出力信号の立ち下がり遅延モニタ回路100の出力信号の立ち上がりよりも遅いときは、(UP,DOWN)=(L,H)となる出力信号を出力する。パルス発生器61の出力信号の立ち下が

50

りと、遅延モニタ回路100の出力信号の立ち上がりがともに発生すると、リセットパルスがフリップフロップに入力され、フリップフロップがリセットされる。

【0098】

制御回路65はパルス発生器61および遅延モニタ回路100を制御する。具体的には、制御回路65は、遅延モニタ回路100内の各遅延回路10の構成を図4(a)~(c)のいずれかに示す構成に変更するための制御信号を遅延モニタ回路100に供給する。同時に、制御回路65は、パルス発生器61から出力されるパルスのパルス幅を、遅延モニタ回路100の構成に応じた幅(遅延時間の基準値)に制御するための制御信号をパルス発生器61に出力する。また、制御回路65は、集積回路を構成するトランジスタ基板電圧を制御するための制御信号を出力する。

10

【0099】

レジスタ67a、67bは、制御回路65から出力されたトランジスタの基板電圧を制御するための制御信号の値(デジタル値)を保持する。具体的には、レジスタ67aは、pMOSトランジスタの基板電圧(nウエル電圧)VNWを制御するための制御信号の値(デジタル値)を保持する。レジスタ67bは、nMOSトランジスタの基板電圧(pウエル電圧)VPWを制御するための制御信号の値(デジタル値)を保持する。

【0100】

DA(Digital to Analog)コンバータ69a、69bはレジスタ67a、67bに保持された値に基づき、pMOSトランジスタ71及びnMOSトランジスタ72の基板電圧(VNW、VPW)をそれぞれ制御するための制御信号(アナログ信号)を出力する。基板電圧の制御により、pMOSトランジスタ71及びnMOSトランジスタ72のばらつきが補正される。

20

【0101】

2. ばらつき補正動作

以下、ばらつき補正回路150によるばらつき補正動作について説明する。なお、以下では、一例として、集積回路の動作中、常時、チップ間ばらつきの自動補正を行う場合の動作を説明する。

【0102】

制御回路65は、遅延モニタ回路100の全段の遅延回路10の構成を、図4(b)に示す構成(nMOSトランジスタに敏感な構成)または図4(c)に示す構成(pMOSトランジスタに敏感な構成)に切り替える。その際、制御回路65は、パルス発生器61から出力されるパルスのパルス幅を、遅延回路10の構成に応じたパルス幅に制御する。

30

【0103】

図12は、遅延回路10の構成を図4(b)または図4(c)に示す構成に切り替えながらばらつきを自動補正する場合に、パルス発生器61から出力されるパルス信号を説明した図である。同図に示すように、制御回路65は、遅延回路10の構成を図4(b)または図4(c)に示す構成に設定する。同時に、制御回路65は、パルス発生器61から出力されるパルス信号のパルス幅を設定した遅延回路10の構成に応じたパルス幅に制御する。なお、制御回路65は、遅延回路10の構成を図4(b)(または図4(c))に示す構成に設定した後、次に図4(b)(または図4(c))に示す構成に設定するまでの間、所定のインターバル(例えば1000クロック分の期間)を設けている。このようにインターバルを設けるのは、トランジスタの基板電圧の応答時間がかかることによる。すなわち、後述するように、遅延回路を図4(b)または図4(c)に示す構成に設定した際のトランジスタ特性の測定結果を用いて、トランジスタの基板電圧を制御する。その際、基板電圧が安定するまでに時間がかかるため、基板電圧の変化が安定した後に次の測定サイクルに入る必要があるからである。

40

【0104】

パルス発生器61は、制御回路65の制御に基づきクロック信号からパルス信号を生成し、出力する。遅延モニタ回路100は、パルス発生器61からのパルス信号を入力し、遅延回路10の構成に応じた遅延時間を有する出力信号を出力する。例えば、制御回路65によって各遅延回路10が図4(b)に示す構成(nMOSトランジスタに敏感な構成)に

50

再構成されている場合、遅延モニタ回路 100 から出力される出力信号は、nMOSトランジスタの特性ばらつきを反映した遅延時間を有する。よって、遅延モニタ回路 100 から出力される出力信号の遅延時間を判断することにより、nMOSトランジスタの特性を判断することができる。

【0105】

比較回路 63 は、パルス発生器 61 からの出力信号（パルス信号）と、遅延モニタ回路 100 からの出力信号とを入力し、遅延モニタ回路 100 の遅延時間と、遅延時間の基準値（パルス発生器 61 の出力信号のパルス幅）とを比較する。具体的には、比較回路 63 は、図 10 に示すように、遅延モニタ回路 100 の出力信号の立ち上がりタイミング（遅延時間）と、パルス発生器 61 からの出力信号（パルス信号）の立ち下がりタイミング（遅延時間の基準値）とを比較する。そして、比較回路 63 は、遅延モニタ回路 100 の出力信号の立ち上がりタイミングが、パルス発生器 61 からの出力信号の立ち下がりタイミングよりも遅い場合、遅延モニタ回路 100 の遅延時間が基準値よりも大きいと判定する。一方、遅延モニタ回路 100 の出力信号の立ち上がりタイミングが、パルス発生器 61 からの出力信号の立ち下がりタイミングよりも早い場合、遅延モニタ回路 100 の遅延時間が基準値よりも小さいと判定する。

10

【0106】

遅延モニタ回路 100 の遅延時間が、基準値（パルス発生器 61 の出力信号のパルス幅）よりも大きい場合、トランジスタの遅延が大きいと考えられる。一方、遅延モニタ回路 100 の遅延時間が基準値よりも小さい場合、トランジスタの遅延が小さくなっていると考えられる。トランジスタの遅延が大きい場合、遅延時間が基準値となるようにトランジスタの基板電圧を順方向バイアス方向に変化させることで、トランジスタの特性を補正する。一方、トランジスタの遅延が小さい場合、遅延時間が基準値となるようにトランジスタの基板電圧を逆方向バイアス方向に変化させることで、トランジスタ特性を補正する。

20

【0107】

制御回路 65 は、比較回路 63 の出力に基づいて基板に与える電圧を制御するための制御信号を出力する。制御回路 65 から出力された制御信号の値はレジスタ 67 a、67 b に保持される。

【0108】

例えば、各遅延回路 10 が図 4（b）に示す構成（nMOSトランジスタに敏感な構成）に再構成されている場合に、比較回路 63 の出力に基づき遅延モニタ回路 100 の遅延時間が基準値よりも大きいと判断される場合、制御回路 65 は、nMOSトランジスタ 72 の特性に起因する遅延を小さくするように nMOSトランジスタ 72 の基板電圧 V_{PW} を制御する。この場合、制御回路 65 は、nMOSトランジスタ 72 の基板電圧 V_{PW} を順方向バイアス方向に変化させるための制御信号を出力する。一方、遅延モニタ回路 100 の遅延時間が基準値よりも小さいと判断される場合、制御回路 65 は、nMOSトランジスタ 72 の特性に起因する遅延を大きくするように nMOSトランジスタ 72 の基板電圧 V_{PW} を制御する。この場合、制御回路 65 は、nMOSトランジスタ 72 の基板電圧 V_{PW} を逆方向バイアス方向に変化させるための制御信号を出力する。

30

【0109】

同様に、各遅延回路 10 が図 4（c）に示す構成（pMOSトランジスタに敏感な構成）に再構成されている場合に、比較回路 63 の出力に基づき遅延モニタ回路 100 の遅延時間が基準値よりも大きいと判断される場合、制御回路 65 は、pMOSトランジスタ 71 に起因する遅延を小さくするように pMOSトランジスタ 71 の基板電圧 V_{NW} を制御するための制御信号を出力する。一方、遅延モニタ回路 100 の遅延時間が基準値よりも小さいと判断される場合、制御回路 65 は、pMOSトランジスタ 71 に起因する遅延を大きくするように pMOSトランジスタ 71 の基板電圧 V_{NW} を制御するための制御信号を出力する。

40

【0110】

以上のように、制御回路 65 は、各遅延回路 10 の構成を切替えながら pMOSトランジスタ 71 および nMOSトランジスタ 72 の特性を測定し、その測定結果に応じて pMOSトランジ

50

スタ71およびnMOSトランジスタ72の基板電圧VNW、VPWを制御するための制御信号を出力する。制御回路65から出力された、pMOSトランジスタ71の基板電圧VNWを制御するための制御信号の値は、pMOSトランジスタ制御用のレジスタ67aに保持される。また、nMOSトランジスタ72の基板電圧VPWを制御するための制御信号の値は、nMOSトランジスタ制御用のレジスタ67bに保持される。

【0111】

DAコンバータ69a、69bは、レジスタ67a、67bに保持された制御信号の値に基づき、pMOSトランジスタ71及びnMOSトランジスタ72の基板電圧をそれぞれ発生する。これにより、集積回路を構成するpMOSトランジスタ71及びnMOSトランジスタ72の特性が標準的な特性に補正される。

【0112】

このように、集積回路の動作中、常時トランジスタ特性の補正に必要な基板電圧を求め、その値をレジスタ67a、67bに保持し、それに基づきばらつきを自動補正した。この場合、レジスタ67a、67bの値が常時更新されるため、動作温度や供給電圧が変動した場合や、経年劣化でトランジスタ特性が変動した場合でも、回路の動作速度を一定に保つことができる。

【0113】

なお、以上の説明では、遅延回路10の構成を、図4(b)または(c)に示す構成に再構成しながら補正動作を行う例を説明したが、遅延回路10の構成を図4(a)、(b)、(c)に示す構成に再構成し、各構成でトランジスタ特性を測定してもよい。この場合は、遅延モニタ回路100の異なる構成のそれぞれについて特性を測定し、トランジスタの基板電圧を例えば下記の表3に示すロジックにしたがい制御すればよい。表3では、遅延回路10を各構成に再構成して測定したときの遅延モニタ回路100の遅延時間が基準値以上の場合を「1」、基準値未満の場合を「0」としている。また、基板電圧を増加させる場合を「+1」、基板電圧を低下させる場合を「-1」、何も変化させない場合を「0」としている。なお、表3において、回路が正常動作している場合に発生し得ない組み合わせについては排除してある。

【表3】

標準インバータ (図4(a))	nMOS敏感な 構成 (図4(b))	pMOS敏感な 構成 (図4(c))	nMOSトランジスタの 基板電圧 (VPW)	pMOSトランジスタの 基板電圧 (VNW)
0	0	0	+1	+1
0	0	1	+1	0
0	1	0	0	+1
1	0	1	+1	-1
1	1	0	-1	+1
1	1	1	-1	-1

【0114】

前述のように、本実施形態では、ばらつき補正のための情報がレジスタ67a、67bに保持される。このため、レジスタ67a、67bを所望のタイミングで更新することで、所望のタイミングでの半導体チップの状態(動作環境、経年劣化等)を反映したばらつき補正が可能となる。トランジスタ特性のばらつきを自動補正するタイミングについては、上記以外に例えば以下の例が考えられる。

(1) 所定期間毎

所定期間毎に必要な基板電圧を求め、その値をレジスタ67a、67bに保持する。所定の間隔としては、1月、1年等任意の時間間隔を設定できる。

(2) 動作環境の変動が予測された時

集積回路の動作中において動作環境(温度、電圧等)の変動を予測し、変動する可能性の

10

20

30

40

50

ある場合に、トランジスタ特性の補正に必要な基板電圧を求め、その値をレジスタ67a、67bに保持する。そして、DAコンバータ69a、69bは、レジスタ67a、67bの値に基づき動作させる。

(3) 電源投入時

集積回路の電源投入時に、トランジスタ特性の補正に必要な基板電圧を求め、その値をレジスタ67a、67bに保持する。それ以降は、電源投入時に更新されたレジスタ67a、67bの値に基づきDAコンバータ69a、69bを動作させる。

(4) 製品テスト時

集積回路の製造後のテスト時に、トランジスタ特性の補正に必要な基板電圧を求め、その値をレジスタ67a、67bに保持しておく。それ以降は、レジスタ67a、67bの値に基づきDAコンバータ69a、69bを動作させる。

10

【0115】

なお、上記の例では、トランジスタの基板電圧を変更することでトランジスタ特性のばらつきを補正したが、ばらつきの補正方法はこれに限定されない。例えば、トランジスタ特性の測定結果に基づきクロック周波数や電源電圧を調節してもよい。

【0116】

また、上記の例では、遅延モニタ回路100を実施の形態1で示した遅延回路10で構成したが、遅延モニタ回路を、実施の形態2~4または後述する実施の形態6で示す遅延回路で構成してもよい。

【0117】

20

また、上記の例では、チップ間ばらつきを自動補正する例を説明したが、チップ内ばらつきを自動補正することもできる。その場合、制御回路65は、実施の形態1等で説明したように、対象段とそれ以外の段の構成とを異ならせるよう各段の遅延回路の構成を制御する。そして、制御回路65は、対象段を切り替えながら対象段のトランジスタの特性を測定し、測定結果にもとづきトランジスタのばらつきを補正する。

【0118】

3. まとめ

以上のように本実施形態のばらつき補正回路150は、集積回路におけるトランジスタ(回路素子)の特性のばらつきを補正するばらつき補正回路であって、遅延モニタ回路(100)と、遅延モニタ回路で測定された信号伝搬遅延に基づきトランジスタの特性のばらつきを補正する補正回路(63、65、67a-67b、69a-69b)とを備える。このばらつき補正回路によれば、集積回路を構成するトランジスタの特性ばらつきを自動で補正することができる。

30

【0119】

(実施の形態6)

実施の形態1~4で示した遅延回路では、第1の反転論理ゲートにおいて、プルアップ回路2をpMOSパストラジスタ6の低圧側に配置し、プルダウン回路3をnMOSパストラジスタ7の高圧側に配置していた。これに対して、本実施形態の遅延回路では、図13に示すように、第1の反転論理ゲートにおいて、プルアップ回路2をpMOSパストラジスタ6の高圧側に配置し、プルダウン回路3をnMOSパストラジスタ7の低圧側に配置している。

40

【0120】

すなわち、図13(a)に示すように、プルアップ回路2と第1の反転論理ゲートの出力端(Out)の間に、pMOSパストラジスタ6を直列に接続する。また、出力端(Out)とプルダウン回路3の間にnMOSパストラジスタ7を直列に接続する。図13(a)に示す回路構成によれば、プルアップ回路2およびプルダウン回路3は、トランジスタの基板電圧の影響をより受けにくくなるため、論理反転信号をより精度よく生成することが可能となる。

【0121】

図13(b)は、図13(a)に示す構成において、プルアップ回路およびプルダウン

50

回路の最も簡単な構成例を示している。図 13 (b) では、プルアップ回路 2、4 およびプルダウン回路 3、5 をそれぞれ 1 つの pMOS トランジスタおよび 1 つの nMOS トランジスタで構成している。

【0122】

図 13 に示す遅延回路 10'、10'a におけるパストランジスタ 6 ~ 9 のゲートに印加する制御信号 C1, C2, C3, C4 の組み合わせと、その組み合わせにより構成される遅延回路 10 の特性との関係は表 1 に示したものと同様である。

【0123】

図 14 は、図 13 (b) に示す遅延回路 10' a から得られる再構成された遅延回路の等価回路を示した図である。図 14 (a) は、標準的なインバータに再構成された遅延回路の構成を示す。図 14 (b) は、nMOS トランジスタに敏感な構成に再構成されたときの構成を示す。図 14 (c) は、pMOS トランジスタに敏感な構成に再構成されたときの構成を示す。

10

【0124】

図 15 ~ 図 17 は、図 13 (b) に示す遅延回路 10' a の変形例を示す。図 15 は、図 13 (b) に示す遅延回路 10' a の構成において、pMOS パストランジスタ 8 および nMOS パストランジスタ 9 それぞれに対して、さらに、pMOS パストランジスタ 21 および nMOS パストランジスタ 23 が並列に接続された構成を示す。この遅延回路 10' b におけるパストランジスタ 6 ~ 9、21、23 のゲートに印加する制御信号 C1, C2, C3, C4, C5, C6 の組み合わせと、その組み合わせにより構成される遅延回路 10 の特性との関係は表 2 に示したものと同様である。この構成によれば、実施の形態 2 における図 5 に示す回路と同様に、パストランジスタ単位でチップ内ばらつきの評価が可能となる。

20

【0125】

図 16 に示す回路では、図 13 (b) に示す遅延回路 10' a の第 2 の反転論理ゲートにおける pMOS トランジスタ 4 a と電源との間に pMOS パストランジスタ 31 が挿入されている。さらに、第 2 の反転論理ゲートにおける nMOS トランジスタ 5 a のグランドとの間に nMOS パストランジスタ 32 が挿入されている。この回路構成により、実施の形態 3 における図 7 (a) に示す回路と同様に、pMOS トランジスタ 4 a または nMOS トランジスタ 5 a におけるリーク電流を防止することができる。

30

【0126】

図 17 に示す回路では、図 13 (b) に示す遅延回路 10' a の第 2 の反転論理ゲートにおける pMOS トランジスタ 4 a のゲートと電源との間に pMOS プルアップトランジスタ 33 が挿入されている。さらに、第 2 の反転論理ゲートにおける nMOS トランジスタ 5 a のゲートとグランドとの間に nMOS プルダウントランジスタ 34 が挿入されている。この回路構成により、実施の形態 3 における図 7 (b) に示す回路と同様に、pMOS トランジスタ 4 a または nMOS トランジスタ 5 a におけるリーク電流を防止することができる。

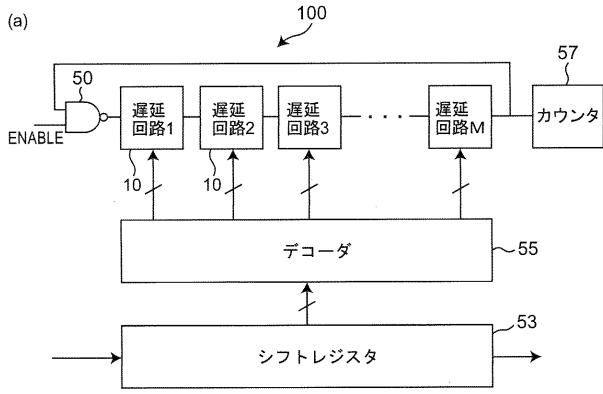
【産業上の利用可能性】

【0127】

本発明は、ASIC, CPU, メモリーなど、CMOS 技術で製造される全ての集積回路の製造、開発における、ばらつき特性の評価およびその評価結果を考慮する種々の応用技術に対して有用である。

40

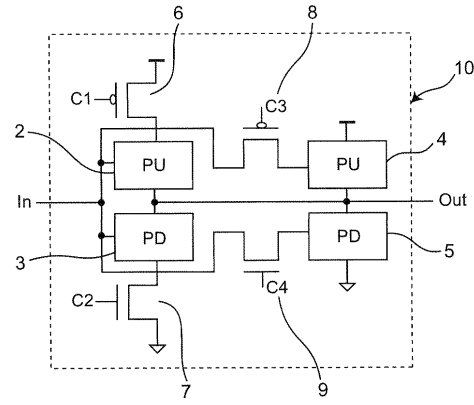
【 図 1 】



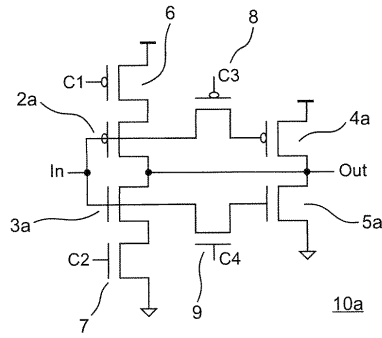
(b)



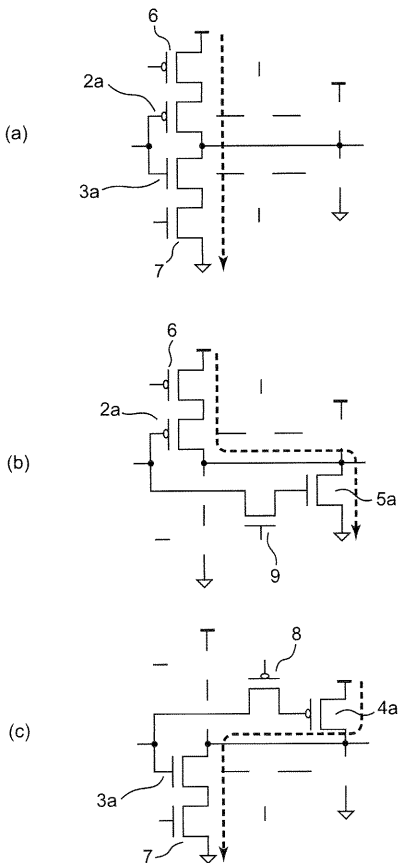
【 図 2 】



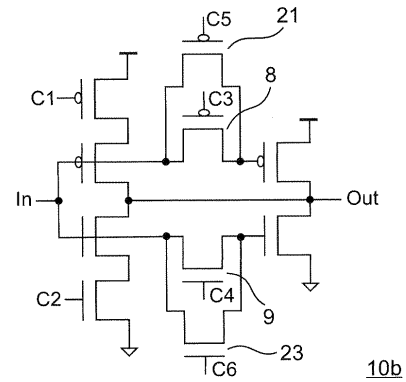
【 図 3 】



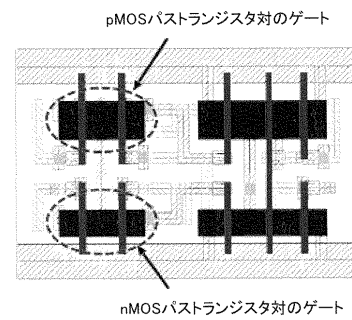
【 図 4 】



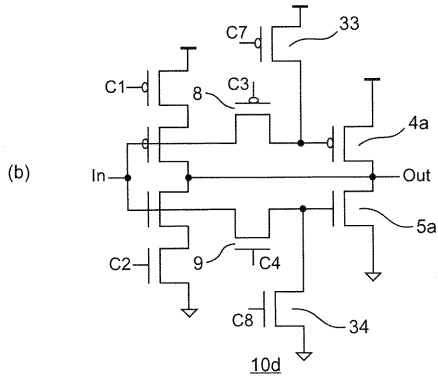
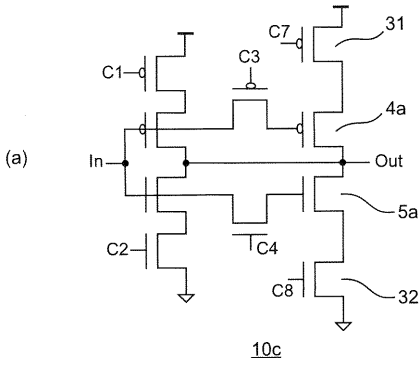
【 図 5 】



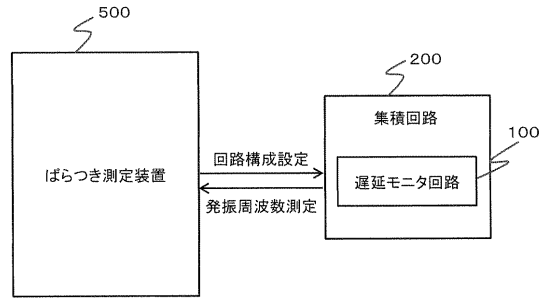
【 図 6 】



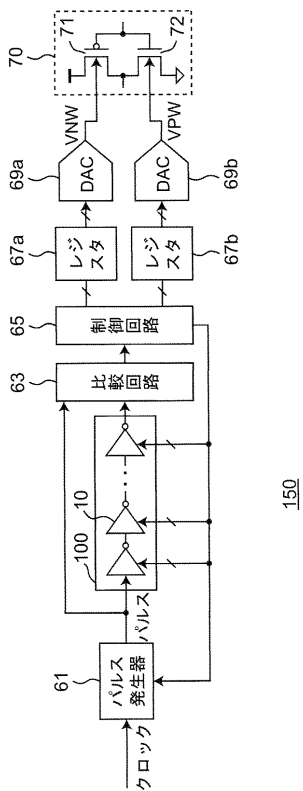
【図7】



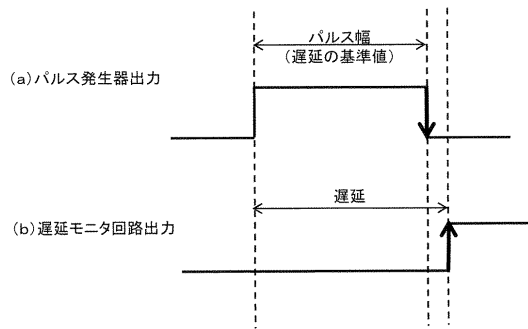
【図8】



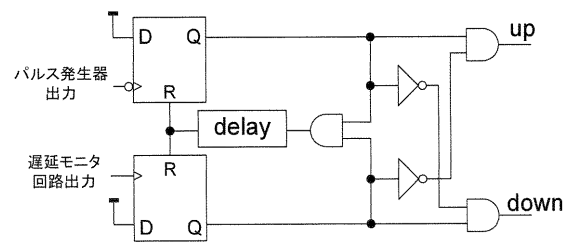
【図9】



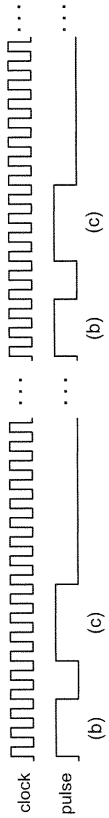
【図10】



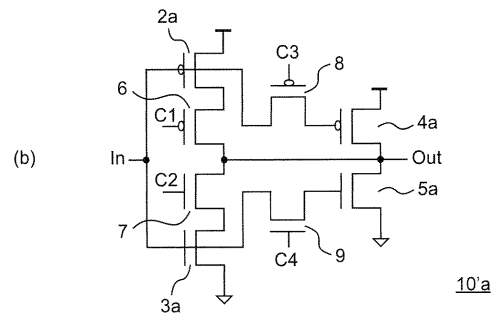
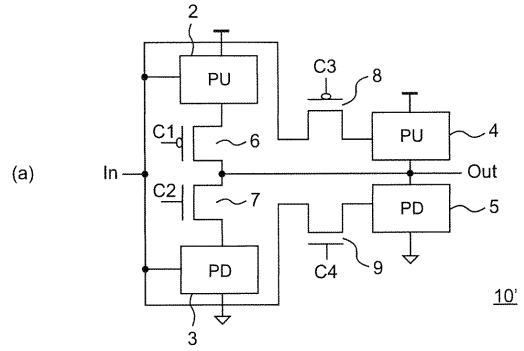
【図11】



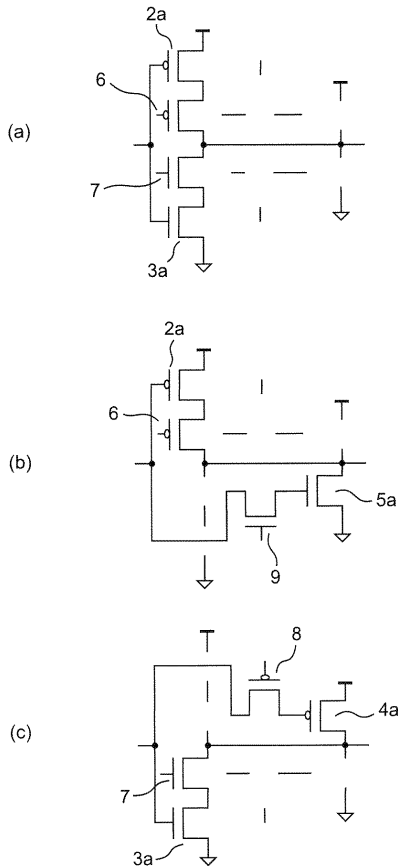
【 図 1 2 】



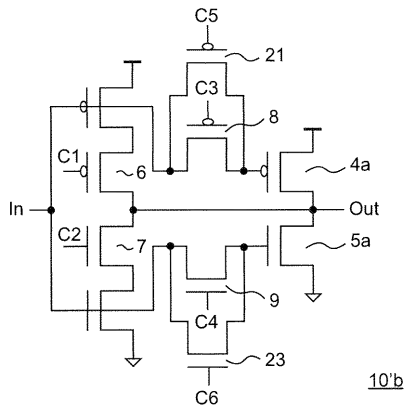
【 図 1 3 】



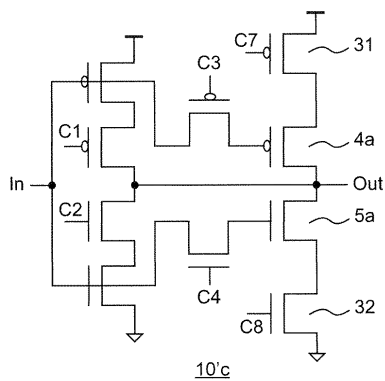
【 図 1 4 】



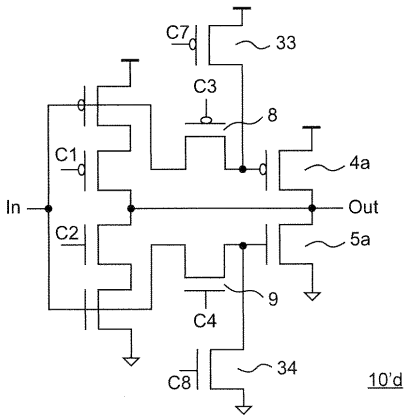
【 図 1 5 】



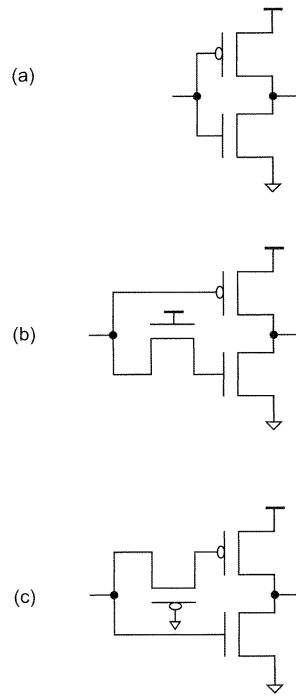
【 図 1 6 】



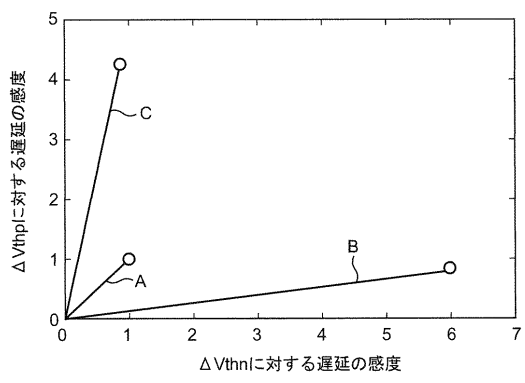
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2014/069976
A. CLASSIFICATION OF SUBJECT MATTER <i>H03K5/134(2014.01)i, H03K5/04(2006.01)i, H03K3/03(2006.01)i, G01R31/28(2006.01)i</i> According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>H03K5/13-5/145, H03K5/04-5/07, H03K3/00-3/36, G01R31/28</i> Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014</i> <i>Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014</i> Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 09-167927 A (NEC Corp.), 24 June 1997 (24.06.1997), paragraphs [0009] to [0022]; fig. 1 to 7 (Family: none)	1-17
A	JP 05-014149 A (Fujitsu Ltd.), 22 January 1993 (22.01.1993), paragraphs [0010] to [0017]; fig. 1 to 2 (Family: none)	1-17
A	JP 2006-211064 A (NEC Corp.), 10 August 2006 (10.08.2006), paragraphs [0015] to [0023]; fig. 1 to 6 & US 2006/0164153 A1 & FR 2883112 A & CA 2533612 A1	1-17
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 22 October, 2014 (22.10.14)		Date of mailing of the international search report 04 November, 2014 (04.11.14)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/069976

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-087968 A (Fujitsu Ltd.), 15 April 2010 (15.04.2010), entire text; all drawings & US 2010/0079212 A1	1-17

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 6 9 9 7 6	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K5/134(2014.01)i, H03K5/04(2006.01)i, H03K3/03(2006.01)i, G01R31/28(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K5/13-5/145, H03K5/04-5/07, H03K3/00-3/36, G01R31/28			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年			
国際調査で使用了電子データベース (データベースの名称、調査に使用了用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	J P 0 9 - 1 6 7 9 2 7 A (日本電気株式会社) 1997.06.24, 第0009-0022段落, 図1-7 (ファミリーなし)	1-17	
A	J P 0 5 - 0 1 4 1 4 9 A (富士通株式会社) 1993.01.22, 第0010-0017段落, 図1-2 (ファミリーなし)	1-17	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献	
「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 22.10.2014		国際調査報告の発送日 04.11.2014	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 白井 孝治	5 X 8 8 4 3
		電話番号 03-3581-1101 内線 3596	

国際調査報告		国際出願番号 PCT/JP2014/069976
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-211064 A (日本電気株式会社) 2006.08.10, 第0015-0023段落, 図1-6 & US 2006/0164153 A1 & FR 2883112 A & CA 2533612 A1	1-17
A	JP 2010-087968 A (富士通株式会社) 2010.04.15, 全文, 全図 & US 2010/0079212 A1	1-17

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 2G132 AA01 AB02 AD07 AK07
5J001 AA05 AA11 BB05 BB08 BB12 BB21 CC03
5J042 CA07 CA08 CA12

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。