

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-123613

(P2017-123613A)

(43) 公開日 平成29年7月13日(2017.7.13)

(51) Int.Cl. F I テーマコード(参考)  
**H03M 1/16 (2006.01)** HO3M 1/16 A 5J022

審査請求 未請求 請求項の数 7 O L (全 20 頁)

(21) 出願番号 特願2016-2837(P2016-2837)  
 (22) 出願日 平成28年1月8日(2016.1.8)

(出願人による申告)平成27年度 総務省「高速マルチサンプリング超解像CMOSテラヘルツイメージングデバイスの研究開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 504173471  
 国立大学法人北海道大学  
 北海道札幌市北区北8条西5丁目  
 (74) 代理人 110000958  
 特許業務法人 インテクト国際特許事務所  
 (74) 代理人 100120189  
 弁理士 奥 和幸  
 (74) 代理人 100173510  
 弁理士 美川 公司  
 (72) 発明者 池辺 将之  
 北海道札幌市北区北8条西5丁目 国立大学法人北海道大学内  
 (72) 発明者 内田 大輔  
 北海道札幌市北区北8条西5丁目 国立大学法人北海道大学内

最終頁に続く

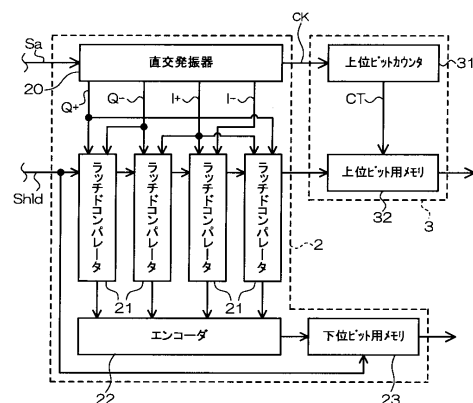
(54) 【発明の名称】 A/D (Analog/Digital) 変換回路並びにA/D変換方法

(57) 【要約】

【課題】回路規模を増大させることなく、雑音を増大させることなく、電圧及び電流制御発振器の位相検出精度を向上させることが可能なA/D変換回路を提供する。

【解決手段】直交する差動出力を持つ発振器からの四つの出力信号間の大小関係に基づき、上記発振器の一サンプリング周期の位相状態を四以上に分割して、サンプリング周期ごとにデジタルデータの低位ビットに相当するデジタル値に変換するエンコーダ22及びラッチドコンパレータ21を備える。また、上記出力信号のいずれかをクロック信号として、サンプリング周期ごとにデジタルデータの上位ビットをそれぞれカウントするためのカウント信号を生成する上位ビットカウンタ31と、生成された各カウント信号をそれぞれラッチする上位ビット用メモリ32と、を備える。

【選択図】図2



## 【特許請求の範囲】

## 【請求項 1】

アナログ信号をデジタルデータに変換する A / D (Analog/Digital) 変換回路において、

前記デジタルデータは、上位ビットと、 $n$ ビット ( $n$ は2以上の自然数)の下位ビットと、とからなり、

それぞれが周期性を有する連続波であり且つ前記 $n$ に対応した数の出力信号であって、位相が相互に  $2^{n-2}$ ずつずれており且ついずれか二つの当該出力信号が相互に差動関係にある出力信号を出力する直交発振手段と、

各前記出力された出力信号からそれぞれ選択された二つの当該出力信号間の大小関係を、外部からのホールド信号を基準としてそれぞれラッチすることにより、当該選択された出力信号間の位相比較状態をそれぞれ検出する  $2^{n-1}$ 個の位相検出手段と、

各前記検出された位相比較状態をエンコードし、前記下位ビットのデータを生成する下位ビット生成手段と、

前記出力信号のいずれかをクロック信号として、前記上位ビットをそれぞれカウントするためのカウント信号を生成する上位ビットカウンタと、

前記ホールド信号に基づいて、前記生成された各カウント信号をそれぞれラッチする上位ビット用メモリと、

を備えることを特徴とする A / D 変換回路。

## 【請求項 2】

請求項 1 に記載の A / D 変換回路において、

各前記出力信号の周波数が前記アナログ信号の値により制御され、

前記ホールド信号が外部からのサンプリング周期に従ったホールド信号であることを特徴とする A / D 変換回路。

## 【請求項 3】

請求項 1 に記載の A / D 変換回路において、

各前記出力信号の周波数が一定であり、

前記ホールド信号が前記アナログ信号の値に対応したホールド信号であることを特徴とする A / D 変換回路。

## 【請求項 4】

請求項 1 から請求項 3 のいずれか一項に記載の A / D 変換回路において、

前記上位ビットカウンタは、前記出力信号のいずれか一つを前記クロック信号として前記カウント信号を生成することを特徴とする A / D 変換回路。

## 【請求項 5】

請求項 1 から請求項 4 のいずれか一項に記載の A / D 変換回路において、

前記 $n$ が3であり、

前記直交発振手段は、二つの差動反転増幅回路の巡回接続により構成されており、

各前記差動反転増幅回路の出力段から、相互に差動関係にあり且つ相互に  $90^\circ$ の位相差を有する二つの前記出力信号がそれぞれ出力されることを特徴とする A / D 変換回路。

## 【請求項 6】

請求項 1 から請求項 5 のいずれか一項に記載の A / D 変換回路において、

前記下位ビット生成手段は、前記ホールド信号に対応した異なるタイミングそれぞれにおける前記位相比較状態のエンコード結果の差分を前記下位ビットのデータとし、

前記上位ビット用メモリは、前記異なるタイミングそれぞれにおける各前記カウント信号のラッチ結果の差分を前記上位ビットのデータとすることを特徴とする A / D 変換回路。

## 【請求項 7】

直交発振手段及び複数の位相検出手段を含んでアナログ信号をデジタルデータに変換する A / D 変換回路において実行される A / D 変換方法であって、

前記デジタルデータは、上位ビットと、 $n$ ビット ( $n$ は2以上の自然数)の下位ビット

10

20

30

40

50

と、とからなり、

それぞれが周期性を有する連続波であり且つ前記  $n$  に対応した数の出力信号であって、位相が相互に  $\pi / 2^{n-2}$  ずつずれており且ついずれか二つの当該出力信号が相互に差動関係にある出力信号を、前記直交発振手段から出力する出力工程と、

各前記出力された出力信号からそれぞれ選択された二つの当該出力信号間の大小関係を、外部からのホールド信号を基準としてそれぞれラッチすることにより、当該選択された出力信号間の位相比較状態を  $2^{n-1}$  個の前記位相検出手段によりそれぞれ検出する位相検出工程と、

前記位相検出工程において各前記検出された位相比較状態をエンコードし、前記下ビットのデータを生成する下位ビット生成工程と、

前記出力信号のいずれかをクロック信号として、前記上位ビットをそれぞれカウントするためのカウント信号を生成するカウント信号生成工程と、

前記ホールド信号に基づいて、前記生成された各カウント信号をそれぞれラッチする上位ビットラッチ工程と、

を含むことを特徴とする A / D 変換方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、A / D 変換回路及び A / D 変換方法の技術分野に属する。より詳細には、アナログ信号を高精度でデジタルデータに変換する A / D 変換回路、及び当該 A / D 変換回路において実行される A / D 変換方法の技術分野に属する。

【背景技術】

【0002】

従来、アナログ信号を特定の周波数（サンプリング周波数）で量子化してデジタルデータに変換するとき、当該アナログ信号に対応するアナログ情報量を物理量として表現し、その物理量に適した量子化回路を用いてデジタルデータに変換する必要がある。ここで、上記アナログ情報量として上記アナログ信号における電圧値又は電流値を用い、更に上記物理量として周波数を用いる場合、当該物理量を表現するための回路は上記電圧値又は電流値により制御される発振器となる。また当該物理量に適した量子化回路としては、位相検出器及び周波数検出器を用いることが不可欠となる。

【0003】

ここで、上記物理量たる周波数をデジタルデータに変換するための A / D 変換回路の先行技術を開示した文献としては、例えば下記特許文献 1 が挙げられる。この特許文献 1 に開示された先行技術では、電圧値又は電流値により制御される上記発振器を構成する素子として、デジタル論理回路を用いた遅延素子が用いられている。そして、当該遅延素子を含む発振器と、当該遅延素子の段毎にその位相状態を保持する記憶素子を備えた位相検出器と、当該発振器の発振周波数をカウントするカウンタ回路と、により、A / D 変換回路が構成されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特許第 3 1 2 3 5 2 5 号（第 1 図及び第 9 図等）

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記特許文献 1 記載の先行技術によると、上記発振器がデジタル論理回路を用いた遅延素子で構成されているため、その出力信号はほぼ方形波となる。そのため、上記位相検出器による位相検出においては上記出力信号の立ち上がり又は立ち下りのみを検出することとなり、よって位相検出の精度が遅延素子の段数で決定されることから、位相検出の精度向上のためには必然的に回路規模が増大するという問題点があった。

10

20

30

40

50

## 【 0 0 0 6 】

また、上記遅延素子の各段は物理的に別個の遅延素子となるため、位相検出の精度が個々の遅延素子の製造バラツキ等に起因して劣化する問題点もあった。

## 【 0 0 0 7 】

更には、デジタル論理回路で構成された遅延素子からなる発振器では、その発振時に遅延素子ごとのいわゆる貫通電流により、その出力信号にデジタル雑音が含まれてしまうという問題点もあった。

## 【 0 0 0 8 】

そこで本発明は、上記の要請及び各問題点に鑑みて為されたもので、その課題の一例は、回路規模を大きく増大させることなく、位相検出の精度を向上させ、且つ、デジタル雑音をも抑制することが可能な A / D 変換回路、及び当該 A / D 変換回路において実行される A / D 変換方法を提供することにある。

10

## 【課題を解決するための手段】

## 【 0 0 0 9 】

上記の課題を解決するために、請求項 1 に記載の発明は、アナログ信号をデジタルデータに変換する A / D 変換回路において、前記デジタルデータは、上位ビットと、 $n$  ビット ( $n$  は 2 以上の自然数) の下位ビットと、とからなり、それぞれが周期性を有する連続波であり且つ前記  $n$  に対応した数の出力信号であって、位相が相互に  $1/2^{n-2}$  ずつずれており且ついずれか二つの当該出力信号が相互に差動関係にある出力信号を出力する直交発振器等の直交発振手段と、各前記出力された出力信号からそれぞれ選択された二つの当該出力信号間の大小関係を、外部からのホールド信号を基準としてそれぞれラッチすることにより、当該選択された出力信号間の位相比較状態をそれぞれ検出する  $2^{n-1}$  個のラッチドコンパレータ等の位相検出手段と、各前記検出された位相比較状態をエンコードし、前記下位ビットのデータを生成するエンコーダ等の下位ビット生成手段と、前記出力信号のいずれかをクロック信号として、前記上位ビットをそれぞれカウントするためのカウント信号を生成する上位ビットカウンタと、前記ホールド信号に基づいて、前記生成された各カウント信号をそれぞれラッチする上位ビット用メモリと、を備える。

20

## 【 0 0 1 0 】

上記の課題を解決するために、請求項 7 に記載の発明は、直交発振器等の直交発振手段及び複数のラッチドコンパレータ等の位相検出手段を含んでアナログ信号をデジタルデータに変換する A / D 変換回路において実行される A / D 変換方法であって、前記デジタルデータは、上位ビットと、 $n$  ビットの下位ビットと、とからなり、それぞれが周期性を有する連続波であり且つ前記  $n$  に対応した数の出力信号であって、位相が相互に  $1/2^{n-2}$  ずつずれており且ついずれか二つの当該出力信号が相互に差動関係にある出力信号を、前記直交発振手段から出力する出力工程と、各前記出力された出力信号からそれぞれ選択された二つの当該出力信号間の大小関係を、外部からのホールド信号を基準としてそれぞれラッチすることにより、当該選択された出力信号間の位相比較状態を  $2^{n-1}$  個の前記位相検出手段によりそれぞれ検出する位相検出工程と、前記位相検出工程において各前記検出された位相比較状態をエンコードし、前記下位ビットのデータを生成する下位ビット生成工程と、前記出力信号のいずれかをクロック信号として、前記上位ビットをそれぞれカウントするためのカウント信号を生成するカウント信号生成工程と、前記ホールド信号に基づいて、前記生成された各カウント信号をそれぞれラッチする上位ビットラッチ工程と、を含む。

30

40

## 【 0 0 1 1 】

請求項 1 又は請求項 7 に記載の発明によれば、それぞれが周期性を有する連続波であり且つデジタルデータの下位ビットのビット数に対応した数の出力信号であって、位相が相互に  $1/2^{n-2}$  ずつずれており且ついずれか二つの当該出力信号が相互に差動関係にある出力信号の中から選択された二つの出力信号間の大小関係を、外部からのホールド信号を基準としてそれぞれラッチすることにより、選択された出力信号間の位相比較状態をそれぞれ検出する。そして、当該検出された位相比較状態をエンコードして上記下位ビットを

50

生成する。一方、上記出力信号のいずれかをクロック信号として生成された各カウント信号をホールド信号に基づいてそれぞれラッチして上記デジタルデータの上位ビットを生成する。よって、直交発振手段からの出力信号間の位相比較状態の検出結果に基づいてデジタルデータの下位ビットを生成すると共に、いずれかの上記出力信号を用いてデジタルデータの上位ビットを生成するので、回路規模を肥大させることなく位相検出精度を向上させ、且つデジタル雑音を抑制することができる。

【0012】

上記の課題を解決するために、請求項2に記載の発明は、請求項1に記載のA/D変換回路において、各前記出力信号の周波数が前記アナログ信号の値により制御され、前記ホールド信号が外部からのサンプリング周期に従ったホールド信号であるように構成される。

10

【0013】

請求項2に記載の発明によれば、請求項1に記載の発明の作用に加えて、直交発振手段からの各出力信号の周波数がアナログ信号の値により制御され、ホールド信号が外部からのサンプリング周期に従ったホールド信号であるので、アナログ信号を正確にデジタルデータに変換することができる。

【0014】

上記の課題を解決するために、請求項3に記載の発明は、請求項1に記載のA/D変換回路において、各前記出力信号の周波数が一定であり、前記ホールド信号が前記アナログ信号の値に対応したホールド信号であるように構成される。

20

【0015】

請求項3に記載の発明によれば、請求項1に記載の発明の作用に加えて、直交発振手段からの各出力信号の周波数が一定であり、且つホールド信号がアナログ信号の値に対応したホールド信号であるので、アナログ信号を正確にデジタルデータに変換することができる。

【0016】

上記の課題を解決するために、請求項4に記載の発明は、請求項1から請求項3のいずれか一項に記載のA/D変換回路において、前記上位ビットカウンタは、前記出力信号のいずれか一つを前記クロック信号として前記カウント信号を生成するように構成される。

【0017】

請求項4に記載の発明によれば、請求項1から請求項3のいずれか一項に記載の発明の作用に加えて、上位ビットカウンタが、直交発振手段からの出力信号のいずれか一つをクロック信号としてカウント信号を生成するので、デジタルデータにおける上位ビットと下位ビットを整合させて変換精度を向上させることができる。

30

【0018】

上記の課題を解決するために、請求項5に記載の発明は、請求項1から請求項4のいずれか一項に記載のA/D変換回路において、前記nが3であり、前記直交発振手段は、二つの差動反転増幅回路の巡回接続により構成されており、各前記差動反転増幅回路の出力段から、相互に差動関係にあり且つ相互に の位相差を有する二つの前記出力信号がそれぞれ出力されるように構成される。

40

【0019】

請求項5に記載の発明によれば、請求項1から請求項4のいずれか一項に記載の発明の作用に加えて、デジタルデータの下位ビットが3ビットであり、直交発振手段が二つの差動反転増幅回路の巡回接続により構成されており、各差動反転増幅回路の出力段から、相互に差動関係にあり且つ相互に の位相差を有する二つの出力信号がそれぞれ出力される。よって、回路規模をより小さくすることができる。

【0020】

上記の課題を解決するために、請求項6に記載の発明は、請求項1から請求項5のいずれか一項に記載のA/D変換回路において、前記下位ビット生成手段は、前記ホールド信号に対応した異なるタイミングそれぞれにおける前記位相比較状態のエンコード結果の差

50

分を前記下位ビットのデータとし、前記上位ビット用メモリは、前記異なるタイミングそれぞれにおける各前記カウント信号のラッチ結果の差分を前記上位ビットのデータとするように構成される。

【0021】

請求項6に記載の発明によれば、請求項1から請求項5のいずれか一項に記載の発明の作用に加えて、ホールド信号に対応した異なるタイミングそれぞれにおける位相比較状態のエンコード結果の差分を下位ビットのデータとし、当該異なるタイミングそれぞれにおける各カウント信号のラッチ結果の差分を上位ビットのデータとするので、より高精度にアナログ信号をデジタルデータに変換することができる。

【発明の効果】

10

【0022】

本発明によれば、それぞれが周期性を有する連続波であり且つデジタルデータの下位ビットのビット数に対応した数の出力信号であって、位相が相互に  $1/2^{n-2}$  ずつずれており且ついずれか二つの当該出力信号が相互に差動関係にある出力信号の中から選択された二つの出力信号間の大小関係を、外部からのホールド信号を基準としてそれぞれラッチすることにより、選択された出力信号間の位相比較状態をそれぞれ検出する。そして、当該検出された位相比較状態をエンコードして上記下位ビットを生成する。一方、上記出力信号のいずれかをクロック信号として生成された各カウント信号をホールド信号に基づいてそれぞれラッチして上記デジタルデータの上位ビットを生成する。

【0023】

20

従って、直交発振手段からの出力信号間の位相比較状態の検出結果に基づいてデジタルデータの下位ビットを生成すると共に、いずれかの上記出力信号を用いてデジタルデータの上位ビットを生成するので、回路規模を肥大させることなく位相検出精度を向上させ、且つデジタル雑音を抑制することができる。

【図面の簡単な説明】

【0024】

【図1】実施形態に係るA/D変換器を含むイメージセンサの概要構成を示すブロック図である。

【図2】実施形態に係る位相検出器及び周波数検出器それぞれの細部構成を示すブロック図である。

30

【図3】実施形態に係る直交発振器の細部構成を示すブロック図である。

【図4】実施形態に係る直交発振器の具体的な回路構成例を示す図であり、(a)は電圧制御型の直交発振器の回路構成を例示する回路図であり、(b)は電流制御型の直交発振器の回路構成を例示する回路図である。

【図5】実施形態に係るラッチドコンパレータの具体的な回路構成を例示する回路図である。

【図6】実施形態に係る直交発振器の特性をそれぞれ示す図であり、(a)は印加されるアナログ信号の電圧値又は電流値と発振周波数の関係を例示する図であり、(b)は実施形態に係る直交発振器の発振状態を示す波形を例示する図であり、(c)は(b)に例示する発振状態を示す波形と、出力信号の大小による位相の識別と、対応するデジタル値との関係を例示する表である。

40

【図7】実施形態に係る周波数検出器の細部構成を示すブロック図である。

【図8】変形形態に係るA/D変換器を含むイメージセンサの概要構成を示すブロック図等であり、(a)は当該ブロック図であり、(b)は当該A/D変換器の動作を説明するタイミングチャートである。

【図9】変形形態に係る位相検出器及び周波数検出器それぞれの細部構成を示すブロック図である。

【発明を実施するための形態】

【0025】

次に、本発明を実施するための形態等について、図1乃至図9に基づいて説明する。な

50

お以下に説明する実施形態及び変形形態は、例えばCCD (Charge Coupled Device) からの撮像デバイス又はCMOS (Complementary Metal Oxide Semiconductor) 型の撮像デバイスと、当該撮像デバイスから出力されるアナログ信号をデジタルデータに変換するA/D変換器と、を備えたイメージセンサにおける当該A/D変換器に対して本発明を適用した場合の実施形態及び変形形態である。ここで上記デジタルデータは、mビットの上位ビットとnビットの下位ビット(m及びnはそれぞれ自然数且つ少なくともn=2)から構成されるように、元のアナログ信号から変換されるものとする。

#### (I) 実施形態

初めに、本発明に係る実施形態について、図1乃至図7を用いて説明する。なお、図1は実施形態に係るA/D変換器を含むイメージセンサの概要構成を示すブロック図であり、図2は実施形態に係る位相検出器及び周波数検出器それぞれの細部構成を示すブロック図であり、図3は実施形態に係る直交発振器の細部構成を示すブロック図である。また、図4は実施形態に係る直交発振器の具体的な回路構成例を示す図であり、図5は実施形態に係るラッチドコンパレータの具体的な回路構成を例示する回路図であり、図6は実施形態に係る直交発振器の特性をそれぞれ示す図であり、図7は実施形態に係る周波数検出器の細部構成を示すブロック図である。

10

#### 【0026】

図1に示すように、実施形態に係るイメージセンサ100は、例えば上記CCD又は上記CMOS型の画素Pを複数備える画素アレイALと、当該画素アレイALから出力されてくるアナログ信号Saをデジタル化し、当該アナログ信号Saに対応するデジタルデータを出力するA/D変換器ADCと、上記デジタルデータに基づいて予め設定された信号処理を行う信号処理部14と、を備えて構成されている。このとき、信号処理部14により実行される上記既定の信号処理としては、例えば画素アレイALにより撮像された画像についての上記デジタルデータを用いたデジタル処理等が挙げられる。また、上記A/D変換器ADCが本発明に係る「A/D変換回路」の一例に相当する。

20

#### 【0027】

この構成において画素アレイALは、画素P、P、P、...と、当該各画素Pがそれぞれ接続される列接続線C及び行接続線Rと、各行接続線Rを駆動する垂直走査部10と、により構成されている。このとき画素アレイAL自体の構成は、従来のイメージセンサにおける画素アレイの構成と同様である。そして各列接続線Cからは、垂直走査部10により駆動される各画素Pが外光を受光することにより当該各画素Pにより生成されるアナログ信号Saが、それぞれA/D変換器ADCに出力される。

30

#### 【0028】

これに対してA/D変換器ADCは、タイミング発生部1と、位相検出器2、2、2、...と、周波数検出器3、3、3、...と、上記列接続線Cのそれぞれに接続される列アンプ11、11、11、...と、により構成されている。

#### 【0029】

この構成において各列アンプ11、11、11、...は、それぞれが接続されている列接続線Cを介して出力される上記アナログ信号Saに対して予め設定された増幅処理を施し、当該増幅されたアナログ信号Saを、対応する位相検出器2、2、2、...の入力端子に出力する。一方タイミング発生部1は、アナログ信号Saの上記デジタルデータへの変換に用いられる、予め設定されたサンプリング周期に基づくホールド信号Shldを生成し、各位相検出器2及び各周波数検出器3にそれぞれ出力する。

40

#### 【0030】

そして各位相検出器2は、後ほど詳述する実施形態に係る直交発振器、エンコーダ、下位ビット用メモリ及び複数のラッチドコンパレータをそれぞれに備えて構成されている。このとき、上記直交発振器が本発明に係る「直交発振手段」の一例に相当し、上記各ラッチドコンパレータのそれぞれが本発明に係る「位相検出手段」の一例に相当し、上記エンコーダが本発明に係る「下位ビット生成手段」の一例に相当する。そして各位相検出器2は、上記ホールド信号Shldに基づき、上記直交発振器における上記サンプリング周期の

50

タイミングでの後述の位相状態を、それぞれに入力される上記アナログ信号 Sa に対応した上記デジタルデータの下位ビットのデータ（下位 n ビット分のデータ）として信号処理部 14 に出力する。これに加えて各位相検出器 2 は、それぞれに入力される上記アナログ信号 Sa に対応した上記デジタルデータの上位ビットのデータを生成するためのカウンタ用のクロック信号 CK を生成し、それぞれに対応する各周波数検出器 3 に対してそれぞれ出力する。

【0031】

他方各周波数検出器 3 は、後ほど詳述する実施形態に係る上位ビットカウンタ及び上位ビット用メモリをそれぞれに備えて構成されている。そして各周波数検出器 3 は、上記ホールド信号 Shld に基づき、上記アナログ信号 Sa に対応した上記上位ビットのデータ（上位 m ビット分のデータ）を生成して信号処理部 14 に出力する。

10

【0032】

次に、実施形態に係る各位相検出器 2 の構成及び動作、並びに実施形態に係る各周波数検出器 3 の構成及び動作について、図 2 乃至図 6 を用いてそれぞれ説明する。ここで実施形態に係る位相検出器 2 ごとの構成及び動作は、それぞれに接続された列接続線 C を介して入力されてくるアナログ信号 Sa の値が各列接続線 C に接続されている画素 P における受光状況により異なる点を除き、基本的には相互に同一である。また同様に、実施形態に係る周波数検出器 3 ごとの構成及び動作も基本的には相互に同一である。よって以下の説明では、一の位相検出器 2 及び一の周波数検出器 3 について、それぞれにその構成及び動作を説明する。更に以下の説明では、上記下位ビット数 n が「3」である場合を例として説明する。

20

(A) 実施形態に係る位相検出器の構成及び動作について

先ず、実施形態に係る位相検出器 2 の構成及び動作について説明する。

【0033】

図 2 に示すように、実施形態に係る位相検出器 2 は、アナログ信号 Sa が入力される上記直交発振器 20 と、四個（即ち、 $2^{n-1}$  個）の上記ラッチドコンパレータ 21 と、上記エンコーダ 22 と、上記下位ビット用メモリ 23 と、を備えて構成されている。なお直交発振器 20 は、一般には QVCO (Quadrature Voltage Controlled Oscillator) と称される場合もある。そして、各ラッチドコンパレータ 21 とエンコーダ 22 との組み合わせにより、下位ビットのデータを生成する位相検出動作を行う。ここで以下の説明において、図 2 に示す左端のラッチドコンパレータ 21 を特に「第 1 のラッチドコンパレータ 21」と称し、図 2 左から二番目のラッチドコンパレータ 21 を特に「第 2 のラッチドコンパレータ 21」と称し、図 2 左から三番目のラッチドコンパレータ 21 を特に「第 3 のラッチドコンパレータ 21」と称し、図 2 に示す右端のラッチドコンパレータ 21 を特に「第 4 のラッチドコンパレータ 21」と称する。

30

【0034】

この構成において直交発振器 20 は、入力される上記アナログ信号 Sa の値に対応した周波数をそれぞれに有する周期性の連続波であり且つ上記下位ビットのビット数 n に対応した数の出力信号であって、それぞれの位相が相互に  $\pi/2^{n-2}$  ずつずれており且ついずれか二つの当該出力信号が相互に差動関係にある出力信号を生成する。そして、生成された出力信号のうち二つずつの出力信号を、いずれかのラッチドコンパレータ 21 に出力する。このとき上記アナログ信号 Sa の値とは、具体的にはその電圧値又はその電流値のいずれかである。また、上記下位ビットのビット数 n との関係では、位相検出器 2 として合計  $2^n$  個（ $2^n$  通り）の位相状態の検出を行う必要があるため、直交発振器 20 は、ラッチドコンパレータ 21 において  $2^n$  通りの大小関係の比較をするために必要な数の出力信号を出力する。より具体的に、実施形態において下位ビット数 n が 3 の場合は、位相検出器 2 として都合八通り（即ち  $2^3$  通り）の位相状態の検出を行うべく、図 2 に例示するように直交発振器 20 は、第 1 サイン波出力信号 Q+ 及び第 2 サイン波出力信号 Q-、並びに第 1 コサイン波出力信号 I+ 及び第 2 コサイン波出力信号 I- の四つの出力信号を出力する。そして、第 1 サイン波出力信号 Q+ と第 2 サイン波出力信号 Q- とは相互に差動関

40

50



係にあり、且つ相互に  $\pi/2$  の位相差を有する。また第 1 コサイン波出力信号  $I+$  と第 2 コサイン波出力信号  $I-$  とも相互に差動関係にあり、且つ相互に  $\pi/2$  の位相差を有する。そして、第 1 サイン波出力信号  $Q+$  と第 1 コサイン波出力信号  $I+$  とは相互に  $\pi/2$  の位相差を有する。よってこれらにより、上記第 1 サイン波出力信号  $Q+$ 、上記第 2 サイン波出力信号  $Q-$ 、上記第 1 コサイン波出力信号  $I+$  及び上記第 2 コサイン波出力信号  $I-$  は、相互に  $\pi/2$  の位相差を有することになる。なお以下の説明において、第 1 サイン波出力信号  $Q+$ 、第 2 サイン波出力信号  $Q-$ 、第 1 コサイン波出力信号  $I+$  及び第 2 コサイン波出力信号  $I-$  について共通の事項を説明する場合、これらを纏めて単に「第 1 サイン波出力信号  $Q+$  等」と称する。

#### 【0035】

次に、実施形態に係る直交発振器 20 の回路構成について具体的に図 3 を用いて説明する。上記デジタルデータの下位ビットのビット数が 3 の場合、直交発振器 20 は図 3 に示すように、上記アナログ信号  $S_a$  がそれぞれに入力される二つの差動反転増幅回路 20A 及び差動反転増幅回路 20B の巡回接続により構成されている。このとき、差動反転増幅回路 20A 及び差動反転増幅回路 20B は図 3 に示すように、アナログ信号  $S_a$  の電圧値又は電流値によりその回路応答が可変とされる。そして、差動反転増幅回路 20A の出力段から上記第 1 サイン波出力信号  $Q+$  及び上記第 2 サイン波出力信号  $Q-$  が出力され、また差動反転増幅回路 20B の出力段から上記第 1 コサイン波出力信号  $I+$  及び上記第 2 コサイン波出力信号  $I-$  が出力される。この図 3 に示す回路構成により、上記第 1 サイン波出力信号  $Q+$  等の周波数がアナログ信号  $S_a$  の電圧値又は電流値により制御可能となり、且つ、上記第 1 サイン波出力信号  $Q+$  と上記第 2 サイン波出力信号  $Q-$  とが相互に  $\pi/2$  の位相差を有し、上記第 1 コサイン波出力信号  $I+$  と上記第 2 コサイン波出力信号  $I-$  とが相互に  $\pi/2$  の位相差を有し、更に上記第 1 サイン波出力信号  $Q+$  と上記第 1 コサイン波出力信号  $I+$  とが相互に  $\pi/2$  の位相差を有することになる。

#### 【0036】

そして、第 1 サイン波出力信号  $Q+$  等のうちいずれか二つの出力信号が、図 2 に例示するようにそれぞれ二つずつ、いずれかのラッチドコンパレータ 21 に出力される。なお、いずれの二つの出力信号がいずれのラッチドコンパレータ 21 に出力されるかは、A/D 変換器 ADC の例えば設計又は製造時に、予め設定されている。そして図 2 に例示する場合は、上記第 1 サイン波出力信号  $Q+$  及び上記第 2 サイン波出力信号  $Q-$  が組として第 1 のラッチドコンパレータ 21 に出力され、上記第 2 サイン波出力信号  $Q-$  及び上記第 1 コサイン波出力信号  $I+$  が組として第 2 のラッチドコンパレータ 21 に出力され、上記第 1 コサイン波出力信号  $I+$  及び上記第 2 コサイン波出力信号  $I-$  が組として第 3 のラッチドコンパレータ 21 に出力され、上記第 1 サイン波出力信号  $Q+$  及び上記第 1 コサイン波出力信号  $I+$  が組として第 4 のラッチドコンパレータ 21 に出力されるように、それぞれ設定されている。

#### 【0037】

次に、直交発振器 20 のより具体的な回路構成について、図 4 を用いて説明する。先ず、上記アナログ信号  $S_a$  の電圧値に対応した周波数を有する第 1 サイン波出力信号  $Q+$  等を直交発振器 20 が出力する場合について、図 4 (a) を用いて説明する。上記アナログ信号  $S_a$  の電圧  $V_{in}$  に対応した周波数を有する第 1 サイン波出力信号  $Q+$  等を直交発振器 20 が出力する場合、その回路構成は、その入力端の電圧を上記電圧  $V_{in}$  として、例えば電界効果型のトランジスタ 200 乃至トランジスタ 217 が図 4 (a) に例示する構成で接続されたものとなる。そして、トランジスタ 211 のゲート端子の信号が上記第 1 サイン波出力信号  $Q+$  となり、トランジスタ 212 のゲート端子の信号が上記第 2 サイン波出力信号  $Q-$  となり、トランジスタ 209 のゲート端子の信号が上記第 1 コサイン波出力信号  $I+$  となり、トランジスタ 210 のゲート端子の信号が上記第 2 コサイン波出力信号  $I-$  となって、それぞれ各ラッチドコンパレータ 21 に出力される。

#### 【0038】

次に、上記アナログ信号  $S_a$  の電流値に対応した周波数を有する第 1 サイン波出力信号

10

20

30

40

50

Q + 等を直交発振器 20 が出力する場合について、図 4 ( b ) を用いて説明する。上記アナログ信号 Sa の電流  $I_{in}$  に対応した周波数を有する第 1 サイン波出力信号 Q + 等を直交発振器 20 が出力する場合、その回路構成は、その入力端の電流を上記電流  $I_{in}$  として、例えば電界効果型のトランジスタ 200 乃至トランジスタ 218 が図 4 ( b ) に例示する構成で接続されたものとなる。そして図 4 ( a ) に例示する場合と同様に、トランジスタ 211 のゲート端子の信号が上記第 1 サイン波出力信号 Q + となり、トランジスタ 212 のゲート端子の信号が上記第 2 サイン波出力信号 Q - となり、トランジスタ 209 のゲート端子の信号が上記第 1 コサイン波出力信号 I + となり、トランジスタ 210 のゲート端子の信号が上記第 2 コサイン波出力信号 I - となって、それぞれ各ラッチドコンパレータ 21 に出力される。

10

**【 0039 】**

以上説明したように、直交発振器 20 が図 3 及び図 4 にそれぞれ例示される回路構成を備えることにより、後ほど詳述するように、差動反転増幅回路 20 A 及び差動反転増幅回路 20 B の二段構成での発振出力でありながら、各ラッチドコンパレータ 21 を用いた 8 位相分の識別が可能となる。また直交発振器 2 は図 4 にそれぞれ例示するように、差動反転増幅回路 20 A 及び差動反転増幅回路 20 B に接続されるトランジスタ (例えば電流源用 MOSFET (Metal Oxide Semiconductor Field Effect Transistor)) の電流値をゲート電圧により制御する (図 4 ( a ) に例示する場合) か、又はカレントミラー回路によりドレイン電流を制御する (図 4 ( b ) に例示する場合) ことで、上記差動反転増幅回路 20 A 及び差動反転増幅回路 20 B の応答特性を変化させて、アナログ信号 Sa の電圧値又は電流値に対応した周波数を有する第 1 サイン波出力信号 Q + 等を出力する。

20

**【 0040 】**

次に、上記ラッチドコンパレータ 21 の回路構成について、より具体的に図 5 を用いて説明する。

**【 0041 】**

実施形態に係る各ラッチドコンパレータ 21 は上述したように、直交発振器 20 からそれぞれに入力される二つの出力信号を上記ホールド信号 Shld により示されるタイミングでラッチすると同時に、当該二つの出力信号間の大小比較を行い、その結果をエンコーダ 22 に出力する。このためラッチドコンパレータ 21 の回路構成は、例えば電界効果型のトランジスタ 220 乃至トランジスタ 230 が図 5 に例示する構成で接続されたものとなる。そして第 1 のラッチドコンパレータ 21 の場合、トランジスタ 220、トランジスタ 225 及びトランジスタ 230 それぞれのゲート端子に上記ホールド信号 Shld が入力され、トランジスタ 228 のゲート端子に上記第 1 サイン波出力信号 Q + が入力され、トランジスタ 229 のゲート端子に上記第 2 サイン波出力信号 Q - が入力される。なお、第 2 のラッチドコンパレータ 21 乃至第 4 のラッチドコンパレータ 21 の回路構成は、直交発振器 20 からそれぞれに入力される出力信号が異なる (図 2 参照) 以外は、図 5 に例示する第 1 のラッチドコンパレータ 21 の回路構成と同様である。そして、トランジスタ 220 及びトランジスタ 225 それぞれのドレイン端子から、上記大小比較の結果が大小比較結果 OUT + 及び大小比較結果 OUT - としてそれぞれエンコーダ 22 に出力される。なお図 2 では、上記大小比較結果 OUT + 及び上記大小比較結果 OUT - を、各ラッチドコンパレータ 21 からエンコーダ 22 に至る一本の制御線で示している。

30

40

**【 0042 】**

次に、直交発振器 20 等を含む実施形態に係る位相検出部 2 の動作について、具体的に主として図 6 を用いて説明する。

**【 0043 】**

先ず、実施形態に係る直交発振器 20 の場合、それから出力される第 1 サイン波出力信号 Q + 等の周波数は、アナログ信号 Sa の電圧値又は電流値に応じて、図 6 ( a ) に例示する特性を有する周波数となる。

**【 0044 】**

そして、位相検出器 2 の各ラッチドコンパレータ 21 及び下位ビット用メモリ 23 に対

50

して、共通の上記ホールド信号 Shld ( 図 1 及び図 2 参照 ) が上記サンプリング周期ごとにクロック信号としてそれぞれ入力されると、これを基準として、直交発振器 20 から出力された第 1 サイン波出力信号 Q + 等から選択された二つの出力信号 ( 図 2 参照 ) が、各ラッチドコンパレータ 21 に出力される。そして各ラッチドコンパレータ 21 は、いずれか二つの出力信号をラッチすると同時に当該二つの出力信号間の大小を比較してその結果を増幅し、その比較結果をエンコーダ 22 に出力する。この大小の比較により、結果的に、二つの出力信号間の位相状態が、その大小に応じて “ 1 ” 又は “ 0 ” へ二値化される ( 図 6 ( b ) 及び図 6 ( c ) 参照 )。

【 0 0 4 5 】

より具体的に直交発振器 20 は図 6 ( b ) に例示するように、発振時の一周期に、位相が相互に直交する ( 即ち位相が相互に  $\pi/2$  だけずれた ) 差動出力として上記第 1 サイン波出力信号 Q + 等を出し、図 2 に例示する二つの出力信号ごとにラッチドコンパレータ 21 に出力する。そして各ラッチドコンパレータ 21 は、ホールド信号 Shld により示されるサンプリング周期ごとに、上記第 1 サイン波出力信号 Q + 等のうち二つの出力信号をラッチ ( ホールド ) してその大小の比較をした後の増幅し、エンコーダ 22 に出力する。この各ラッチドコンパレータ 21 の動作により、当該二つの出力信号の大小比較の結果に基づいた二値化 ( 即ち、二つの出力信号の一方が他方より大きければ “ 1 ”、小さければ “ 0 ” とされる二値化 ) がそれぞれ行われる。

【 0 0 4 6 】

これらによりエンコーダ 22 は、当該大小比較の結果 ( 即ち二値化の結果 ) に基づき、上記第 1 サイン波出力信号 Q + 等についての位相情報を確定する。そしてエンコーダ 22 は、当該確定結果を、ホールド信号 Shld により示されるタイミングで、上記下位ビットの 3 ビットのデジタルデータとして下位ビット用メモリ 23 を介して信号処理部 14 に出力する。

【 0 0 4 7 】

ここで、各位相検出器 2 における上述した下位ビットのデジタルデータの生成動作について、図 6 ( b ) 及び図 6 ( c ) を用いてより具体的に説明する。

【 0 0 4 8 】

各位相検出器 2 においては上述したように、図 6 ( b ) に例示される第 1 サイン波出力信号 Q + 等における八通りの位相状態を検出するため、当該第 1 サイン波出力信号 Q + 等から二つの出力信号を選択し、各ラッチドコンパレータ 21 によりそれらの大小関係を二値化し、エンコーダ 22 を用いて上記下位ビットのデジタルデータとして出力する。このとき実施形態に係る位相検出器 2 では、例えば図 6 ( c ) に例示するように、第 1 サイン波出力信号 Q + 等の位相状態 “ 0 ” として、 ( “ 第 1 サイン波出力信号 Q + ” > “ 第 2 サイン波出力信号 Q - ” )、且つ ( “ 第 1 コサイン波出力信号 I + ” > “ 第 2 サイン波出力信号 Q - ” )、且つ ( “ 第 1 コサイン波出力信号 I + ” > “ 第 1 サイン波出力信号 Q + ” ) のとき、エンコーダ 22 は下位ビットのデジタルデータとしてデジタル値 “ 0 0 0 ” を信号処理部 14 に出力する。

【 0 0 4 9 】

以下同様に、説明の簡略化のために第 1 サイン波出力信号 Q + を単に 「 Q + 」 と、第 2 サイン波出力信号 Q - を単に 「 Q - 」 と、第 1 コサイン波出力信号 I + を単に 「 I + 」 と、第 2 コサイン波出力信号 I - を単に 「 I - 」 と、それぞれ表すとすると、図 6 ( b ) 及び図 6 ( c ) に例示するように、第 1 サイン波出力信号 Q + 等の位相状態 “ 1 ” として、 ( “ Q + ” > “ Q - ” )、且つ ( “ I + ” > “ Q - ” )、且つ ( “ I + ” > “ I - ” )、且つ ( “ I + ” < “ Q + ” ) のとき、エンコーダ 22 はデジタル値 “ 0 0 1 ” を信号処理部 14 に出力する。また、第 1 サイン波出力信号 Q + 等の位相状態 “ 2 ” として、 ( “ Q + ” > “ Q - ” )、且つ ( “ I + ” > “ Q - ” )、且つ ( “ I + ” < “ I - ” )、且つ ( “ I + ” < “ Q + ” ) のとき、同様にエンコーダ 22 はデジタル値 “ 0 1 0 ” を信号処理部 14 に出力する。更に、第 1 サイン波出力信号 Q + 等の位相状態 “ 3 ” として、 ( “ Q

10

20

30

40

50

+ ” > “ Q - ” )、且つ ( “ I + ” < “ Q - ” )、且つ ( “ I + ” < “ I - ” )、且つ ( “ I + ” < “ Q + ” ) のとき、同様にエンコーダ 2 2 はデジタル値 “ 0 1 1 ” を信号処理部 1 4 に出力する。更にまた、第 1 サイン波出力信号 Q + 等の位相状態 “ 4 ” として、( “ Q + ” < “ Q - ” )、且つ ( “ I + ” < “ Q - ” )、且つ ( “ I + ” < “ I - ” )、且つ ( “ I + ” < “ Q + ” ) のとき、同様にエンコーダ 2 2 はデジタル値 “ 1 0 0 ” を信号処理部 1 4 に出力する。また、第 1 サイン波出力信号 Q + 等の位相状態 “ 5 ” として、( “ Q + ” < “ Q - ” )、且つ ( “ I + ” < “ Q - ” )、且つ ( “ I + ” < “ I - ” )、且つ ( “ I + ” > “ Q + ” ) のとき、同様にエンコーダ 2 2 はデジタル値 “ 1 0 1 ” を信号処理部 1 4 に出力する。更に、第 1 サイン波出力信号 Q + 等の位相状態 “ 6 ” として、( “ Q + ” < “ Q - ” )、且つ ( “ I + ” < “ Q - ” )、且つ ( “ I + ” > “ I - ” )、且つ ( “ I + ” > “ Q + ” ) のとき、同様にエンコーダ 2 2 はデジタル値 “ 1 1 0 ” を信号処理部 1 4 に出力する。最後に、第 1 サイン波出力信号 Q + 等の位相状態 “ 7 ” として、( “ Q + ” < “ Q - ” )、且つ ( “ I + ” > “ Q - ” )、且つ ( “ I + ” > “ I - ” )、且つ ( “ I + ” > “ Q + ” ) のとき、同様にエンコーダ 2 2 はデジタル値 “ 1 1 1 ” を信号処理部 1 4 に出力する。なお、第 1 サイン波出力信号 Q + 等間の位相状態と対応するデジタル値との関係は、エンコーダ 2 2 の設計又は回路構成等により変更し得る。

10

#### 【 0 0 5 0 】

なお、上記デジタルデータの下位ビットに対応するラッチドコンパレータ 2 1 の数については、上述のように八位相分を判断する場合、一つのラッチドコンパレータ 2 1 の出力は、図 6 ( c ) から明らかなように、上記八位相のうち連続する四つが “ 1 ”、連続する四つが “ 0 ” なる関係の繰り返しとなる。このため、図 6 ( c ) を「行」で見て八位相を判別してデジタル値を生成するためには、例として、最低でも図 6 ( c ) を「列」で見た場合の四つのパターンが必要 ( 換言すれば、ラッチドコンパレータ 2 1 として四つ必要 ) であることにある。

20

#### ( B ) 実施形態に係る周波数検出器の構成及び動作並びに信号処理部の動作について

次に、実施形態に係る周波数検出器 3 の構成及び動作、並びにこれに伴う信号処理部 1 4 の動作について、図 1、図 2 及び図 7 を用いて説明する。なお以下の説明においては、上記上位ビットが 8 ビットである場合 ( 即ち  $m = 8$  の場合 ) について説明する。

#### 【 0 0 5 1 】

上述したように各周波数検出器 3 はそれぞれ、上位ビットカウンタ 3 1 及び上位ビット用メモリ 3 2 を備えて構成されている ( 図 2 参照 )。

30

#### 【 0 0 5 2 】

そして上位ビットカウンタ 3 1 には、対応する位相検出器 2 の直交発振器 2 0 から上記第 1 サイン波出力信号 Q + 等のうちの差動出力である第 1 サイン波出力信号 Q + 及び第 2 サイン波出力信号 Q -、或いは、単相出力としての第 1 サイン波出力信号 Q + 又は第 2 サイン波出力信号 Q - のいずれかが、上記カウント用のクロック信号 C K として入力される。これにより上位ビットカウンタ 3 1 は、上記デジタルデータにおける各上位ビット ( m ビット ) について、上記クロック信号 C K をカウントしたカウント結果であるカウント信号 C T を生成し、上位ビットごとに上位ビット用メモリ 3 2 に出力する。

40

#### 【 0 0 5 3 】

ここで上述したように直交発振器 2 0 は、画素 P における受光強度に基づいて列接続線 C から出力されてくるアナログ値 S a の電圧値又は電流値により、その発振周波数が制御される。そのため、ホールド信号 S h i d に対応した一定のサンプリング周期において上位ビットカウンタ 3 1 によりカウントされるカウント値は、当該アナログ値 S a に対応した周波数に準じたカウント値となる。より具体的に例えば、直交発振器 2 0 としての発振周波数が 1 0 0 メガヘルツで、ホールド信号 S h i d に対応したサンプリング周波数が 1 メガヘルツであれば、上位ビットカウンタ 3 1 におけるカウント数は “ 1 0 0 ” となる。

#### 【 0 0 5 4 】

一方上位ビット用メモリ 2 は図 7 に示すように、上記ホールド信号 S h i d に基づいて上位ビットごとの上記カウント信号 C T をそれぞれラッチする m 個のフリップフロップ回路

50

3 2<sub>1</sub>乃至フリップフロップ回路 3 2<sub>m</sub>により構成されている。なお図 7 においては、上位ビット (m ビット) ごとの上記カウント信号 C T を、符号「C T 1」、符号「C T 2」、符号「C T 3」、符号「C T 4」、符号「C T 5」及び符号「C T m」により示している。

【 0 0 5 5 】

ここで、フリップフロップ回路 3 2<sub>1</sub>乃至フリップフロップ回路 3 2<sub>m</sub>はいずれも D 型のフリップフロップ回路であり、図示しない D 型のラッチ回路をそれぞれ二つ備えて構成されている。また、フリップフロップ回路 3 2<sub>1</sub>乃至フリップフロップ回路 3 2<sub>m</sub>それぞれは、データ入力端子 (D 端子) 及びデータ出力端子 (Q 端子) と、上記ホールド信号 Shld がクロック信号として入力されるクロック入力端子 (c k 端子) と、を有する。そして上位ビットカウンタ 3 1 からの上位ビットごとのカウント信号 C T は、それぞれ対応するフリップフロップ回路 3 2<sub>1</sub>乃至フリップフロップ回路 3 2<sub>m</sub>の D 端子に入力されている。これにより、フリップフロップ回路 3 2<sub>1</sub>が上位ビットにおける第 1 ビットに対応するカウント信号 C T<sub>1</sub>をホールド信号 Shld に基づいてラッチし、フリップフロップ回路 3 2<sub>2</sub>が上位ビットにおける第 2 ビットに対応するカウント信号 C T<sub>2</sub>をホールド信号 Shld に基づいてラッチする。以下同様に、フリップフロップ回路 3 2<sub>3</sub>乃至フリップフロップ回路 3 2<sub>m</sub>が、上位ビットごとに対応するカウント信号 C T を順次ラッチする。そして各ラッチ結果は、各列接続線 C からのアナログ信号 Sa に対応するデジタルデータの上位ビットを構成するビットごとのラッチ結果 (即ち上位ビットのデジタルデータの値) として、フリップフロップ回路 3 2<sub>1</sub>乃至フリップフロップ回路 3 2<sub>m</sub>のデータ出力端子から信号処理部 1 4 にそれぞれ出力される。

10

20

【 0 0 5 6 】

そして、各位相検出器 2 から上記デジタルデータの低位ビットのデータが出力され、また各周波数検出器 3 から上記デジタルデータの上位ビットのデータが出力された信号処理部 1 4 は、列接続線 C ごとに対応した上記低位ビット及び上記上位ビットそれぞれを纏めて上記デジタルデータとして取得し、当該デジタルデータに基づいて上記既定の信号処理を実行する。

【 0 0 5 7 】

以上説明したように、実施形態に係る直交発振器 2 0 を含む A / D 変換器 A D C の動作によれば、それぞれが周期性を有する連続波であり且つデジタルデータの低位ビットのビット数に対応した数の出力信号であって、位相が相互に  $1/2^{n-2}$  ずつずれており且ついずれか二つの当該出力信号が相互に差動関係にある第 1 サイン波出力信号 Q + 等の中から選択された二つの出力信号間の大小関係を、外部からのホールド信号 Shld を基準としてそれぞれラッチすることにより、選択された出力信号間の位相比較状態をそれぞれ検出する。そして、当該検出された位相比較状態をエンコードしてデジタルデータの低位ビットを生成する。一方、上記出力信号のいずれかをクロック信号 C K として生成された各カウント信号 C T をホールド信号 Shld に基づいてそれぞれラッチしてデジタルデータの上位ビットを生成する。よって、直交発振器 2 0 からの第 1 サイン波出力信号 Q + 等間の位相比較状態の検出結果に基づいてデジタルデータの低位ビットを生成すると共に、第 1 サイン波出力信号 Q + 等のいずれかを用いてデジタルデータの上位ビットを生成するので、回路規模を肥大させることなく位相検出精度を向上させ、且つデジタル雑音を抑制することができる。

30

40

【 0 0 5 8 】

より具体的には、第 1 サイン波出力信号 Q + 等における遷移過程のアナログ値を位相検出に利用できるもので、デジタル論理回路としての遅延素子を用いた従来の発振器より、段数が少ない回路で (即ち回路規模を肥大化させることなく)、一周期の位相状態を細かく識別できる。また上記段数が少ないため、低位ビットの量子化誤差の偏差 (バラツキ) を少なくすることができ、更に上記デジタル論理回路としての遅延素子による出力信号に基づく雑音発生と比較して、アナログ回路による差動出力により雑音発生を抑制することができる。従って、回路規模を増大させることなく、位相検出精度を向上させ、量子化バラ

50

ツキと雑音発生を抑制することができる。

【0059】

また、直交発振器20からの各出力信号の周波数がアナログ信号Saの値（具体的には、その電圧値又は電流値）により制御され、ホールド信号Shldが外部からのサンプリング周期に従ったホールド信号である場合には、アナログ信号Saをより正確にデジタルデータに変換することができる。

【0060】

更に、上位ビットカウンタ31が、直交発振器20からの出力信号のいずれか一つをクロック信号CKとしてカウント信号CTを生成する場合には、デジタルデータにおける上位ビットと下位ビットを整合させて変換精度を更に向上させることができる。

10

【0061】

更にまた、デジタルデータの下位ビットが3ビットであり、直交発振器20が差動反転増幅回路20A及び差動反転増幅回路20Bの巡回接続により構成され、差動反転増幅回路20A及び差動反転増幅回路20Bの出力段から上記第1サイン波出力信号Q+等がそれぞれ出力されるので、回路規模をより小さくすることができる。このとき、直交発振器20が差動反転増幅回路20A及び差動反転増幅回路20Bを用いて構成されるため、差動出力を行う信号電流がそれぞれ打ち消しあい、雑音の発生を更に抑制することができる。

【0062】

なお実施形態に係るA/D変換器ADCについては、エンコーダ22の部分に本願の発明者らによる特願2015-64984号の内容を適用し、更に、上位ビット用メモリ32及び下位ビット用メモリ23におけるラッチ処理の部分に本願の発明者らによる特願2015-093073の内容を適用することで、より高精度なA/D変換が可能となることを、当該発明者らは確認している。

20

(II) 変形形態

次に、本発明に係る変形形態について、図8及び図9を用いて説明する。なお、図8は変形形態に係るA/D変換器を含むイメージセンサの概要構成を示すブロック図等であり、図9は変形形態に係る位相検出器及び周波数検出器それぞれの細部構成を示すブロック図である。また、図8及び図9においては、実施形態に係るイメージセンサ100及びA/D変換器ADCと同様の部材については、同様の部材番号を付して細部の説明を省略する。

30

【0063】

上述した実施形態に係るA/D変換器ADCでは、実施形態に係る画素アレイALから列接続線Cごとに出力されてくるアナログ信号Saに基づいて、A/D変換器ADCの位相検出部2を構成する直交発振器20の発振周波数（換言すれば、上記第1サイン波出力信号Q+等の周波数）が制御された。これに対して以下に説明する変形形態に係るイメージセンサのA/D変換器では、それに含まれる直交発振器の発振周波数は一定とされ、当該一定の周波数を有する第1サイン波出力信号Q+等を用いて、列接続線Cごとの位相検出器において必要な位相検出を行う。このとき変形形態に係る直交発振器は、いわゆるシングルスロープA/D変換器を高速化するTDC（Time to Digital Convertor（時間量子化器））として機能する。

40

【0064】

即ち図8(a)に示すように、変形形態に係るイメージセンサ110は、実施形態に係るイメージセンサ100と同様の画素アレイALと、当該画素アレイALから出力されてくるアナログ信号Saをデジタル化し、当該アナログ信号Saに対応するデジタルデータを出力する変形形態に係るA/D変換器ADC2と、信号処理部14と、を備えて構成されている。

【0065】

そして変形形態に係るA/D変換器ADC2は、画素アレイALの列接続線Cのそれぞれに接続される列アンプ11、11、11、...、比較器12、12、12、...、位相検出

50

器 4、4、4、...及び上位ビット用メモリ 3 2、3 2、3 2、...と、各列接続線 C に共通の上位ビットカウンタ 3 1、変形形態に係る直交発振器 2 0 - 1 及びランプ信号発生回路 1 3 と、により構成されている。なお、上述したように上位ビットカウンタ 3 1 が各列接続線 C に対して共通とされているため、変形形態に係る A / D 変換器 A D C 2 は、実施形態に係る周波数検出器 3 を備えていない。また変形形態に係る A / D 変換器 A D C 2 は、実施形態に係るタイミング発生部 1 も備えていない。更に、変形形態に係る直交発振器 2 0 - 1 は、基本的には実施形態に係る直交発振器 2 0 と同様の回路構成を備えるが、直交発振器 2 0 - 1 に対してアナログ信号 Sa は入力されず、上述したようにその発振周波数は一定とされている。

【 0 0 6 6 】

この構成において各列アンプ 1 1、1 1、1 1、... は、それぞれが接続されている列接続線 C を介して出力されるアナログ信号 Sa に対して予め設定された実施形態の場合と同様の増幅処理を施し、当該増幅されたアナログ信号 Sa を、対応する比較器 1 2、1 2、1 2、... の一方の入力端子に出力する。一方ランプ信号発生回路 1 3 は、例えば時間の経過に伴ってその値が一次関数的に減少するノコギリ波形状のランプ信号 Sr を生成し、各比較器 1 2、1 2、1 2、... の他方の入力端子に出力する。

【 0 0 6 7 】

これらにより各比較器 1 2、1 2、1 2、... は、各々入力される上記ランプ信号 Sr の値と上記アナログ信号 Sa の値とをそれぞれ比較して、変形形態に係るホールド信号 Shld 2 を出力する。このとき各比較器 1 2、1 2、1 2、... は図 8 ( b ) に例示するように、入力されるランプ信号 Sr ( 図 8 ( b ) 破線参照 ) の値がそのランプ信号 Sr と同時に入力されるアナログ信号 Sa の値と等しくなるタイミングまで状態「1」を維持し、当該タイミング以降状態「0」を維持する上記ホールド信号 Shld 2 を生成し、対応する位相検出器 4 及び上位ビット用メモリ 3 2 にそれぞれ出力する ( 図 8 参照 ) 。この構成により、変形形態に係るホールド信号 Shld 2 は、それが状態「1」である時間 T ( 図 1 ( b ) 参照 ) がアナログ信号 Sa の値に対応した時間であるホールド信号となる。

【 0 0 6 8 】

一方、変形形態に係る位相検出器 4 は図 9 に示すように、実施形態に係る位相検出器 2 から直交発振器 2 0 を取り出して変形形態に係る直交発振器 2 0 - 1 とした構成を備えている。

【 0 0 6 9 】

そして、上記 T D C として機能し且つ各位相検出器 4 に対して外付けとされている直交発振器 2 0 - 1 は、周波数が予め設定された一定の値である上記第 1 サイン波出力信号 Q + 等を各位相検出器 4 にそれぞれ出力する。

【 0 0 7 0 】

以上の構成において各位相検出器 4 の各ラッチドコンパレータ 2 1 は、それぞれ、直交発振器 2 0 - 1 からの上記第 1 サイン波出力信号 Q + 等を用い、実施形態に係るホールド信号 Shld を変形形態に係るホールド信号 Shld 2 に置き換えて、実施形態に係る各位相検出器 2 と同様の動作を実行し、各列接続線 C ( 換言すれば、当該列接続線 C から出力されるアナログ信号 Sa ) に対応したデジタルデータの下位ビットのデータを生成して信号処理部 1 4 に出力する。

【 0 0 7 1 】

これに対して、実施形態に係る直交発振器 2 0 と同様にして直交発振器 2 0 - 1 から出力されるクロック信号 C K は、各上位ビット用メモリ 3 2 に共通の上位ビットカウンタ 3 1 に出力される。これにより上位ビットカウンタ 3 1 は、上位ビットごとのカウント信号 C T を各上位ビット用メモリ 3 2 に出力する。そして各上位ビット用メモリ 3 2 は、上位ビットカウンタ 3 1 からの上位ビットごとのカウント信号 C T を用い、実施形態に係るホールド信号 Shld を変形形態に係るホールド信号 Shld 2 に置き換えて、実施形態に係る各上位ビット用メモリ 3 2 と同様の動作を実行し、各列接続線 C に対応したデジタルデータの上位ビットのデータを生成して信号処理部 1 4 に出力する。

10

20

30

40

50

## 【0072】

これらにより信号処理部14は、列接続線Cごとに対応した上記下位ビット及び上記上位ビットそれぞれを纏めて上記デジタルデータとして取得し、当該デジタルデータに基づいて上記既定の信号処理を実行する。

## 【0073】

以上説明したように、変形形態に係る直交発振器20-1を含むA/D変換器ADC2の動作によれば、実施形態に係るA/D変換器ADCの動作と同様に、直交発振器20-1からの第1サイン波出力信号Q+等間の位相比較状態の検出結果に基づいてデジタルデータの下位ビットを生成すると共に、第1サイン波出力信号Q+等のいずれかを用いてデジタルデータの上位ビットを生成するので、回路規模を肥大させることなく位相検出精度を向上させ、且つデジタル雑音を抑制することができる。

10

## 【0074】

また、直交発振器20-1からの各出力信号の周波数が一定であり、且つホールド信号Shld2がアナログ信号Saの値に対応したホールド信号であるので、アナログ信号Saを正確にデジタルデータに変換することができる。

## 【0075】

なお他の変形形態として、上述した実施形態及び変形形態に加えて、ホールド信号Shld(実施形態の場合)又はホールド信号Shld2(変形形態の場合)に対応した異なるタイミングそれぞれにおける位相比較状態のエンコード結果の「差分」を上記デジタルデータの下位ビットのデータとし、当該異なるタイミングそれぞれにおける各カウント信号CTのラッチ結果の「差分」を上記デジタルデータの上位ビットのデータとして信号処理部14に出力するように構成してもよい。即ち、アナログ信号Saの時間的な変化を連続して読み出しつつデジタルデータに変換することを考えると、実施形態に係るイメージセンサ100又は変形形態に係るイメージセンサ110の場合、例えばそのリセット時のアナログ信号Saと、外光受光時のアナログ信号Saと、が、一サンプルタイミングごとに順次出力されてくる。このとき、特定のサンプルタイミングのデジタルデータの出力(即ちオフセット雑音を含む、外光受光時のアナログ信号Saに相当)と一サンプルタイミング前のデジタルデータ出力(即ちオフセット雑音を含む、リセット時のアナログ信号Saに相当)の差を演算して出力することで、結果的に上記オフセット雑音を含まない状態で、受光したアナログ信号Saにより正確に対応したデジタルデータが得られる。このような他の変形形態に係る構成によれば、より高精度にアナログ信号Saをデジタルデータに変換することができる。

20

30

## 【0076】

また上述した実施形態又は変形形態において、例えばデジタルデータの下位ビットを4ビットとする場合、各出力信号の位相差が $\pi/4$ ( $=\pi/2^2$ )となるように、直交発振器20又は直交発振器20-1内の差動反転増幅回路の段数を四段とすればよい。更に同様の場合に、一の位相検出器2(実施形態の場合)又は一の位相検出器4(変形形態の場合)に備えられるラッチドコンパレータ21の数も八つ( $=2^3$ )とすればよい。このように本発明は、下位ビット数nを2以上のどのような数とする場合でも適用可能である。

## 【産業上の利用可能性】

40

## 【0077】

以上それぞれ説明したように、本発明はA/D変換器の分野に利用することが可能であり、特に回路面積の増大や雑音発生の防止を目的としたA/D変換器の分野に適用すれば特に顕著な効果が得られる。

## 【符号の説明】

## 【0078】

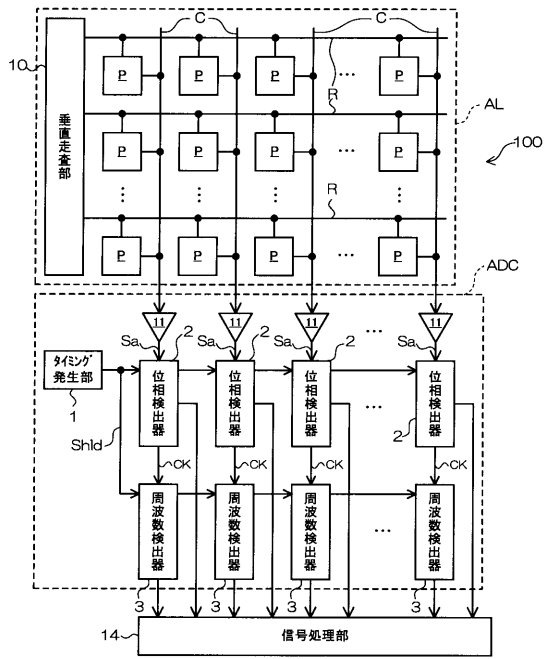
- 1 タイミング発生部
- 2、4 位相検出器
- 3 周波数検出器
- 10 垂直走査部

50

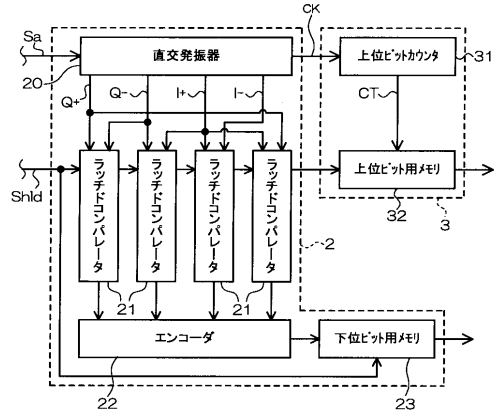


1 1	列アンプ	
1 2	比較器	
1 3	ランプ信号発生回路	
1 4	信号処理部	
2 0、2 0 - 1	直交発振器	
2 0 A、2 0 B	差動反転増幅回路	
2 1	ラッチドコンパレータ	
2 2	エンコーダ	
2 3	下位ビット用メモリ	
3 1	上位ビットカウンタ	10
3 2	上位ビット用メモリ	
3 2 <sub>1</sub> 、3 2 <sub>2</sub> 、3 2 <sub>3</sub> 、3 2 <sub>4</sub> 、3 2 <sub>5</sub> 、3 2 <sub>m</sub>	フリップフロップ回路	
1 0 0、1 1 0	イメージセンサ	
2 0 0、2 0 1、2 0 2、2 0 3、2 0 4、2 0 5、2 0 6、2 0 7、2 0 8、2 0 9		
、2 1 0、2 1 1、2 1 2、2 1 3、2 1 4、2 1 5、2 1 6、2 1 7、2 1 8、2 2 0		
、2 2 1、2 2 2、2 2 3、2 2 4、2 2 5、2 2 6、2 2 7、2 2 8、2 2 9、2 3 0		
	トランジスタ	
Q +	第 1 サイン波出力信号	
Q -	第 2 サイン波出力信号	
I +	第 1 コサイン波出力信号	20
I -	第 2 コサイン波出力信号	
A L	画素アレイ	
A D C、A D C 2	A / D 変換器	
C	列接続線	
R	行接続線	
P	画素	
C K	クロック信号	
C T、C T 1、C T 2、C T 3、C T 4、C T 5、C T m	カウント信号	
O U T +、O U T -	大小比較結果	
S a	アナログ信号	30
S r	ランプ信号	
S h l d、S h l d 2	ホールド信号	

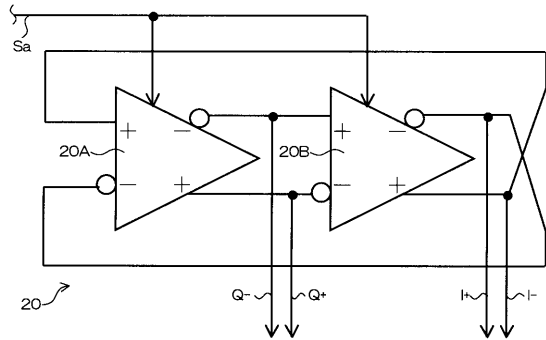
【図1】



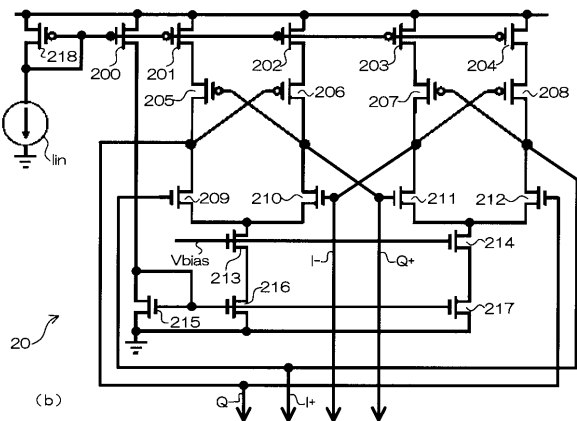
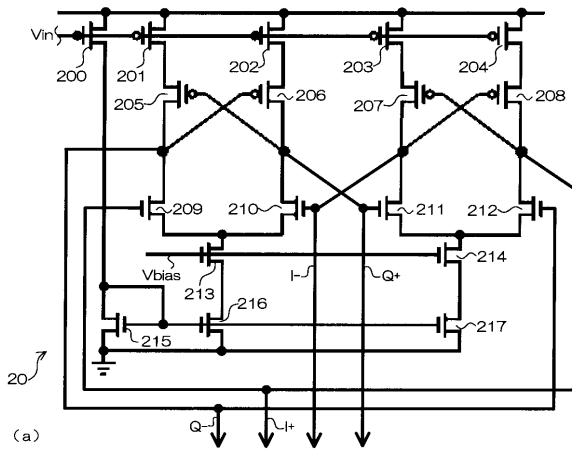
【図2】



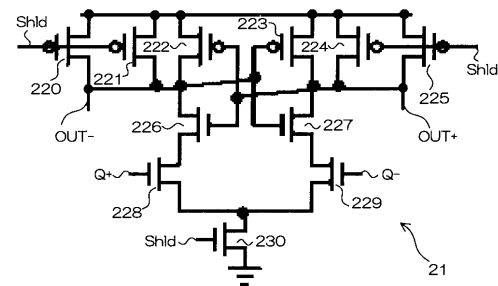
【図3】



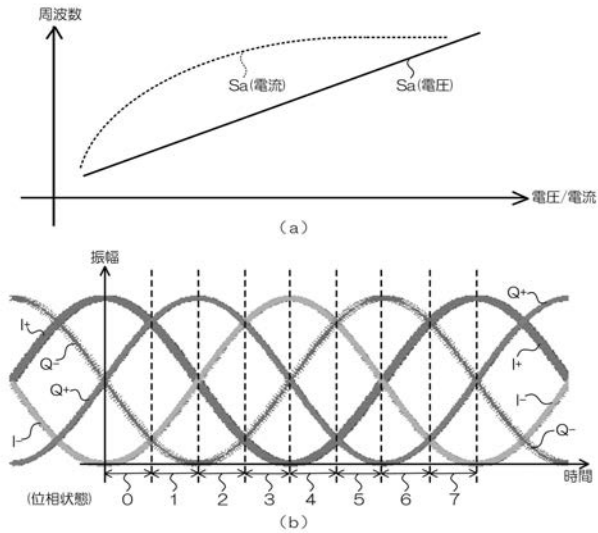
【図4】



【図5】



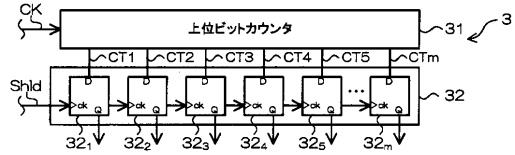
【図 6】



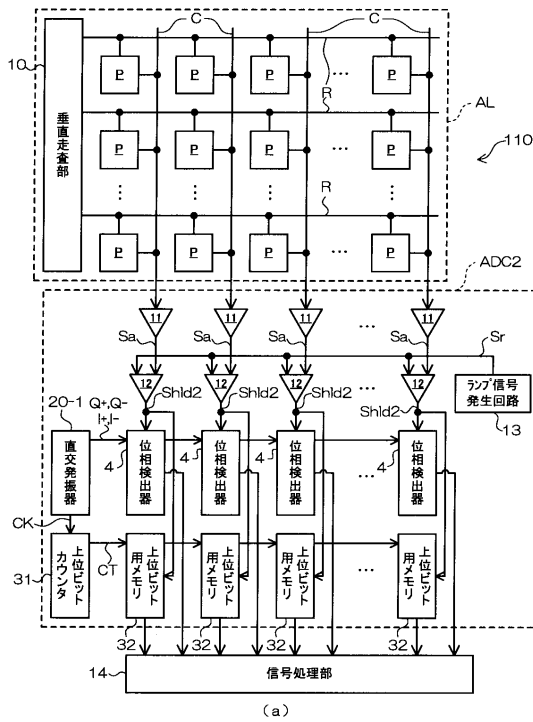
位相状態	Q+, Q-	I+, Q-	I+, I-	I+, Q+	デジタル値
0	1	1	1	1	000
1	1	1	1	0	001
2	1	1	0	0	010
3	1	0	0	0	011
4	0	0	0	0	100
5	0	0	0	1	101
6	0	0	1	1	110
7	0	1	1	1	111

(c)

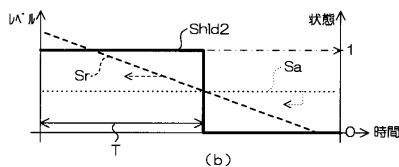
【図 7】



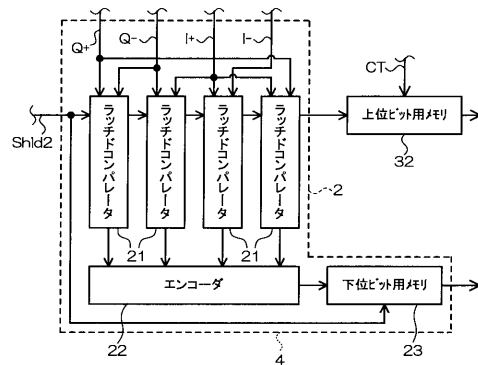
【図 8】



(a)



【図 9】



フロントページの続き

Fターム(参考) 5J022 AA15 BA06 CD02 CD03 CE05 CE08 CF01