

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-188390
(P2003-188390A)

(43) 公開日 平成15年7月4日 (2003.7.4)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 29/82

H 0 1 L 29/82

T

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2001-382827(P2001-382827)

(71) 出願人 396020800

科学技術振興事業団

埼玉県川口市本町4丁目1番8号

(22) 出願日 平成13年12月17日 (2001.12.17)

(71) 出願人 301021533

独立行政法人産業技術総合研究所

東京都千代田区霞が関1-3-1

(72) 発明者 佐藤 俊彦

神奈川県厚木市妻田西3-23-1 ハイッ

桐101

(74) 代理人 100089635

弁理士 清水 守

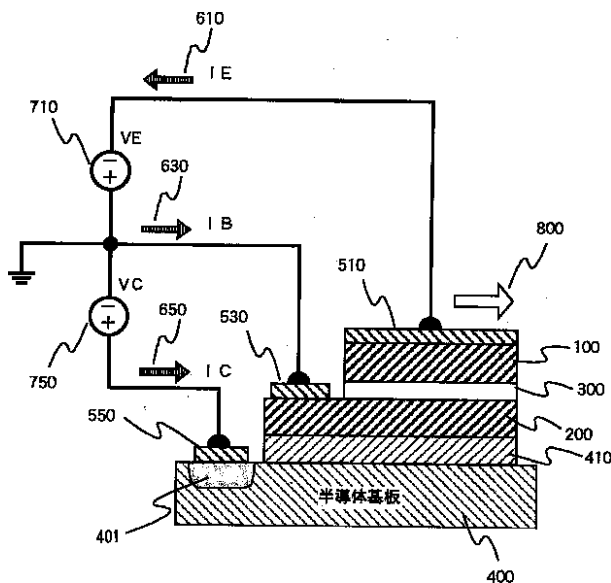
最終頁に続く

(54) 【発明の名称】 スピンバルブトランジスタ

(57) 【要約】

【課題】 磁気抵抗変化の大幅な向上による信号レベルの減少を抑えて信号体雑音比を高めることができるスピンバルブトランジスタを提供する。

【解決手段】 半導体層(400)上に直に成長させた第一の磁性体層(200)と、この第一の磁性体層(200)上に、順にトンネルバリア層(300)と、第二の磁性体層(100)とを積層した構造を有するスピンバルブトランジスタであって、前記半導体層(400)上にアバランシェブレイクダウンによる電子増倍層(410)を設ける。



【特許請求の範囲】

【請求項1】 半導体層上に直に成長させた第一の磁性体層と、該第一の磁性体層上に、順にトンネルバリア層と、第二の磁性体層とを積層した構造を有するスピバルブトランジスタであって、前記半導体層上にアバランシェブレイクダウンによる電子増倍層を設けることを特徴とするスピバルブトランジスタ。

【請求項2】 請求項1記載のスピバルブトランジスタであって、前記第一の磁性体層と、前記半導体層中に設けたアバランシェブレイクダウンによる電子増倍層との間に、高濃度ドーパ半導体から成るバッファ層を設けることを特徴とするスピバルブトランジスタ。

【請求項3】 請求項1記載のスピバルブトランジスタであって、前記半導体層上にn型半導体層及びp型半導体層をこの順に成長させ、前記p型半導体層直上に、前記第一の磁性体層を成長させ、コレクタバイアスが、前記pn接合を逆バイアスすることによって電子増倍機構を得ることを特徴とするスピバルブトランジスタ。

【請求項4】 請求項1、2又は3記載のスピバルブトランジスタであって、前記第一の磁性体層として、100以下の厚さのFeを用いることを特徴とするスピバルブトランジスタ。

【請求項5】 請求項1、2、3又は4記載のスピバルブトランジスタであって、前記半導体層としてGaAsを用いることを特徴とするスピバルブトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、再生用磁気ヘッドや磁気メモリとしての応用が期待されるスピバルブトランジスタに関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば、

(1) K. Mizushima, T. Kinno, K. Tanaka, and T. Yamauchi, *Physical Review B*, Vol. 58, no. 8, 1998, pp. 4660 - 4665

(2) D. J. Monsma, J. C. Lodder, Th. J. A. Popma, and B. Dieny, *Physical Review Letters*, Vol. 74, no. 26, 1995, pp. 5260 - 5263

に開示されるものがあった。

【0003】上記文献には、トンネル磁気抵抗効果(TMR)に基づく磁気センサとして、スピバルブトランジスタ(SVT)素子が提案されている。

【0004】SVT素子は、従来の磁気抵抗効果素子に比べ大きな磁気抵抗効果を示すため、再生用磁気ヘッドや磁気メモリとしての応用が期待されている。

【0005】図8は従来のSVT素子の構成図である。

【0006】この図に示すように、SVT素子は、半導体基板(半導体層)400の上に、第一の磁性体層200、トンネルバリア層(誘電体層)300、及び第二の磁性体層100が、この順に積層された構造を有する。ここで、半導体基板400は、オーミックコンタクト領域401内に形成されたコレクタ電極550を通じて、外部電気回路に接続される。その半導体基板400上に形成される第一の磁性体層200には、上部に半導体基板400を介さず、直接外部回路と電気的接続を行うベース電極530が形成されている。

【0007】一方、第二の磁性体層100は、金属配線層から成るエミッタ電極510を通じて外部電気回路に接続される。

【0008】また、エミッタ電極510とベース電極530の間には、エミッタ電圧710が印加され、コレクタ電極550とベース電極530の間には、コレクタ電圧750が印加される。ここで、エミッタ電極510に流れる電流をエミッタ電流610とし、ベース電極530に流れ込む電流をベース電流630とし、コレクタ電極550に流れ込む電流をコレクタ電流650とする。なお、800は外部磁界である。

【0009】図9は、SVT素子において、第一の磁性体層200、トンネルバリア層300、第二の磁性体層100及び半導体基板400の各層と、これらの界面で実現される、バンド構造を示す図である。

【0010】図9では、第一の磁性体のフェルミレベルが E_{F1} 、第二の磁性体のフェルミレベルが E_{F2} と表示されている。また、図9は、エミッタ電圧710が、エミッタ電極510を、ベース電極530に対して V_E だけ負にバイアスしており、かつ、ベース電位とコレクタ電位が同電位に設定されている(つまり、コレクタ電圧はゼロである)場合を表している。

【0011】上記二種類の磁性体層100, 200間にバイアス電圧Vを印加すると、これら二層の磁性体層の間に、トンネルバリア層300を介したトンネル電流Iが流れる。トンネル抵抗Rは、 $R = V / I$ で定義できる。このトンネル抵抗Rの大きさを観測すると、上記第一及び第二の磁性体層200, 100間の磁化の向きが平行か反平行であるかによって、トンネル抵抗Rが変化する。このようなトンネル抵抗Rの変化を、磁気抵抗変化と呼ぶ。磁気抵抗変化が生じる原因は、両磁性体中での、フェルミ面付近の状態密度分布の非対称性に有る。すなわち、第一の磁性体層200のマジョリティスピンの向きが上向きであり、また、第二の磁性体層100のマイノリティスピンの向きも上向きであるとき、同じ向きのスピンの状態間のトンネルしか許されないことから、第二の磁性体層100から見た第一の磁性体層200の空き準位の密度は相対的に小さく、トンネル確率が小さくなる。このような両磁性体層100, 200の磁

化の配置を、磁化の反平行配置と呼ぶ。

【0012】一方、上記のように第一の磁性体層200のマジョリティスピンの向きが上向きであり、かつ、第二の磁性体層100のマジョリティスピンの向きも上向きであるとき、第二の磁性体層100から見た第一の磁性体層200の空き準位の密度は相対的に大きく、トンネル確率が大きくなる。このような両磁性体の磁化の配置を、磁化の平行配置と呼ぶ。

【0013】トンネル確率の小さい反平行配置の時は、上記トンネル抵抗Rはより大きくなり、トンネル確率の大きい平行配置の時は、上記トンネル抵抗Rは小さくなる。磁気抵抗変化が生じることにより、上記バイアス電圧Vが一定であれば、外部磁界800の変化によって、磁化の平行配置と反平行配置の間のスイッチが起こり、上記トンネル電流が変化する。

【0014】SVT素子では、第二の磁性体層100から第一の磁性体層200へ注入されるトンネル電子のうち、第一の磁性体層200を透過して、一部の電子が半導体基板400に到達できる構造となっている。

【0015】本発明によるSVT素子では、この半導体層(半導体基板)に到達する電子に起因する電流を電流信号とする。言い換えれば、コレクタ電流650の外部磁界800による変化が、センサー信号である。

【0016】上記の半導体層に到達する電子は、図9に示したエミッタ・ベース間バイアス電圧の存在により、第二の磁性体層100のフェルミレベル E_{F2} 付近のエネルギー準位に端を発生し、第一の磁性体層200中のフェルミレベル E_{F1} より十分高いエネルギー準位を経て半導体層400に到達する、ホットエレクトロンHEが主体であると考えられる。

【0017】ここで、第一の磁性体層200中のフェルミレベル E_{F1} より十分高いエネルギー準位においては、上向きスピンの状態密度が、下向きスピンの状態密度に比べて遙かに大きく、第二の磁性体層100から第一の磁性体層200に注入される電子は、上向きスピンのものにほぼ限定されると見て良い。このため、両磁性体層の磁化の向きが平行か反平行であるかによって、第二の磁性体層100のスピンの分極率を忠実に反映した、極めて大きい磁気抵抗効果が得られる。

【0018】一方、第二の磁性体層100のフェルミレベル E_{F2} より十分低いエネルギー準位に端を発生した電子は、第一の磁性体層200中のフェルミレベル E_{F1} より高いエネルギー準位ではあるが、ショットキーバリア高さよりも低いエネルギー準位へ注入されるため、半導体層(半導体基板)400には、ほとんど到達せず、第一の磁性体層200を通じて外部回路へ流れ、ベース電流530を形成する。

【0019】図9にも示されているように、これらの低エネルギー電子のトンネルに關与する第一の磁性体層200中の電子状態は、あまり大きなスピンの分極を持た

ず、したがって、ベース電流530には、大きな磁気抵抗効果は期待できない。

【0020】以上の議論から、第一の磁性体層200中の十分高いエネルギー準位を經由して半導体層400に到達する電子(ホットエレクトロン)を主体としたコレクタ電流650は、より低いエネルギー準位を經由する電子を主体としたベース電流530に比べ、より大きな磁気抵抗変化(磁気電流変化ともいう)を発生すると結論される。

【0021】SVT素子は、第一の磁性体層200と半導体層400の界面に生成される「ショットキーバリアのフィルタ効果」により、第一の磁性体層200に注入されるトンネル電子全体の中から、より大きな磁気抵抗変化を生じるホットエレクトロンHEのみを抽出し、コレクタ信号とする素子である。

【0022】

【発明が解決しようとする課題】上記のように、SVT素子におけるコレクタ電流は、第二の磁性体から注入されるエミッタ電流の一部がコレクタに到達する結果得られる信号である。エミッタ電流は、以下のような三種類の過程で、コレクタへの流入を妨げられる。すなわち、(1)第一の磁性体層中でのホットエレクトロンの各種散乱機構による減衰、(2)ショットキーバリアによる低エネルギー電子の除去、(3)ホットエレクトロンの、第一の磁性体と半導体界面でのポテンシャル散乱、の主に3つの要素である。通常、これらの過程によって、コレクタ電流は、エミッタ電流の 1×10^{-4} 倍程度以下の大きさとなる。そのため、磁気抵抗変化の大幅な向上にも関わらず、信号レベルの大幅な減少となり、信号体雑音比を悪化させるという問題があった。

【0023】本発明は、上記問題点を除去し、磁気抵抗変化の大幅な向上による信号レベルの減少を抑えて信号体雑音比を高めることができるスピナルブトランジスタを提供することを目的とする。

【0024】

【課題を解決するための手段】本発明は、上記目的を達成するために、

(1)スピナルブトランジスタにおいて、半導体層上に直に成長させた第一の磁性体層と、この第一の磁性体層上に、順にトンネルバリア層と、第二の磁性体層とを積層した構造を有するスピナルブトランジスタであって、前記半導体層上にアバランシェブレイクダウンによる電子増倍層を設けることを特徴とする。

【0025】(2)上記(1)記載のスピナルブトランジスタであって、前記第一の磁性体層と、前記半導体層中に設けたアバランシェブレイクダウンによる電子増倍層との間に、高濃度ドープ半導体から成るバッファ層を設けることを特徴とする。

【0026】(3)上記(1)記載のスピナルブトランジスタであって、前記半導体層上にn型半導体層及び

p型半導体層をこの順に成長させ、前記p型半導体層直上に、前記第一の磁性体層を成長させ、コレクタバイアスが、前記pn接合を逆バイアスすることによって電子増倍機構を得ることを特徴とする。

【0027】〔4〕上記〔1〕、〔2〕又は〔3〕記載のスピバルトランジスタであって、前記第一の磁性体層として、100以下の厚さのFeを用いることを特徴とする。

【0028】〔5〕上記〔1〕、〔2〕、〔3〕又は〔4〕記載のスピバルトランジスタであって、前記半導体層としてGaAsを用いることを特徴とする。

【0029】

【発明の実施の形態】以下、本発明の実施の形態を詳細に説明する。

【0030】図1は本発明のスピバルトランジスタの基本構成を示す断面図である。なお、従来のスピバルトランジスタの構成と同じ部分については、同じ符号を付してそれらの説明は省略する。

【0031】ここでは、コレクタ電流の増倍機構を有するスピバルトランジスタ(SVT)構造を用いた。この増倍機構は、図1に示すような、低濃度ドープ半導体層からなる増倍層410を第一の磁性体層200の直下に設け、さらに、ベース電極530に対してコレクタ電極550を正とする、十分大きな逆方向バイアス電圧を印加することによって得られる。コレクタ電圧750に印加された電圧は、上記増倍層410中に大きな電界強度を発生させる。

【0032】図2に示すように、この電界により、第一の磁性体層200から上記増倍層410に注入されたホットエレクトロンHEはさらに加速され、衝突電離を起こしながら電子正孔対を発生させ、電子増倍を起こす。これによって、コレクタ電流650が多くなり、出力信号の増強につながる。

【0033】図3は本発明の第1実施例を示すスピバルトランジスタ素子の構成図である。なお、従来のスピバルトランジスタの構成と同じ部分については、同じ符号を付してそれらの説明は省略する。

【0034】高濃度ドープn型GaAs半導体基板402上に、低濃度ドープ型GaAsによる増倍層412を再成長し、その表面に第一の磁性体層202として、50厚のFe(100)を成長させた。引き続き、酸化アルミニウム層によるトンネルバリア層302を形成し、引き続き、第二の磁性体層102を成長させた。第二の磁性体層102は、ここでは、Fe_{0.2}Ni_{0.8}合金を用いた。なお、第二の磁性体層102として、CoFe合金など、アモルファス磁性合金一般を用いることができる。

【0035】高濃度ドープn型GaAs半導体基板402のドープレベルは、Siの $1 \times 10^{-18} \text{ cm}^{-3}$ 、低濃度ドープn型GaAsによる増倍層412のSiドープ

レベルは $1 \times 10^{-17} \text{ cm}^{-3}$ である。上述のような磁性体層を成長したGaAs基板は、フォトリソグラフィを主体とした微細加工技術により、 $20 \mu\text{m} \times 50 \mu\text{m}$ の接合面積を有する、SVT素子に加工される。

【0036】上記の構成により、従来のSVT素子に比べ、5倍以上の信号電流レベルが実現された。

【0037】図4は本発明の第2実施例を示すスピバルトランジスタ素子の構成図である。なお、従来のスピバルトランジスタの構成と同じ部分については、同じ符号を付してそれらの説明は省略する。

【0038】図4に示す第2実施例に記載のSVT素子において、コレクタ電極に印加するバイアス電圧の増加とともに、第一の磁性体202と低濃度ドープ型GaAsによる増倍層412の界面に生成されるショットキーバリアが相対的に薄くなって行く。そのため、SVT素子の動作原理である「ショットキーバリアによる高エネルギー電子のフィルタ効果」が弱くなる。このような現象を避けるために、図4に示したような、高濃度ドープn型GaAsからなる、バッファ層420を設けた。

【0039】図5には、この構造によって実現されるバンド構造を示した。コレクタバイアスは、増倍層412に集中し、バッファ層420のポテンシャル分布に大きな影響を与えない。このため、フィルタとしてのショットキーバリアは、その機能を温存し、増倍機構を増強しつつ、良好なフィルタ効果を実現できる。これによって、従来のSVT素子に比べ、10倍以上の信号電流レベルが実現された。

【0040】図6は本発明の第3実施例を示すスピバルトランジスタの構成図である。なお、従来のスピバルトランジスタの構成と同じ部分については、同じ符号を付してそれらの説明は省略する。

【0041】図3に示す第1実施例に記載のSVT素子において、コレクタ電極に印加するバイアス電圧の増加とともに、「ショットキーバリアによる高エネルギー電子のフィルタ効果」が弱められる効果を減ずる、他の方法を示したものが、この実施例である。この実施例の図6の構造は、高濃度ドープ型GaAs半導体基板402上に、n型GaAs層416、p型GaAsからなるバッファ層414を順次積層したものである。

【0042】図5の構造で実現されるバンド構造を図6に示す。上記n型GaAs層416とバッファ層414の界面に形成されるpn接合に、逆方向バイアスが与えられると、電界はpn接合付近の空乏層に集中し、電子増倍機構を生じる。

【0043】そのため、第一の磁性体層202とp型GaAs層414の界面付近のポテンシャル分布は大きな変動を受けることなく、大きな逆方向バイアスを印加することができ、大きな増倍機構が得られる。これによって、従来のSVT素子に比べ、10倍以上の信号電流レベルが実現された。

【0044】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0045】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

【0046】(A) 磁気抵抗変化の大幅な向上による信号レベルの減少を抑えて信号体雑音比を高めることができる。

【0047】(B) スピンバルブトランジスタの出力電流レベルを、従来のものから5倍乃至10倍へと向上させることができる。

【図面の簡単な説明】

【図1】本発明によるスピンバルブトランジスタ素子の基本構成を示す断面図である。

【図2】図2に示すスピンバルブトランジスタ素子のバンド構造を示す図である。

【図3】本発明の第1実施例を示すスピンバルブトランジスタ素子の断面図である。

【図4】本発明の第2実施例を示すスピンバルブトランジスタ素子の断面図である。

【図5】図4に示すスピンバルブトランジスタ素子のバンド構造を示す図である。

【図6】本発明の第3実施例を示すスピンバルブトランジスタ素子の断面図である。

【図7】図6に示すスピンバルブトランジスタ素子のバンド構造を示す図である。

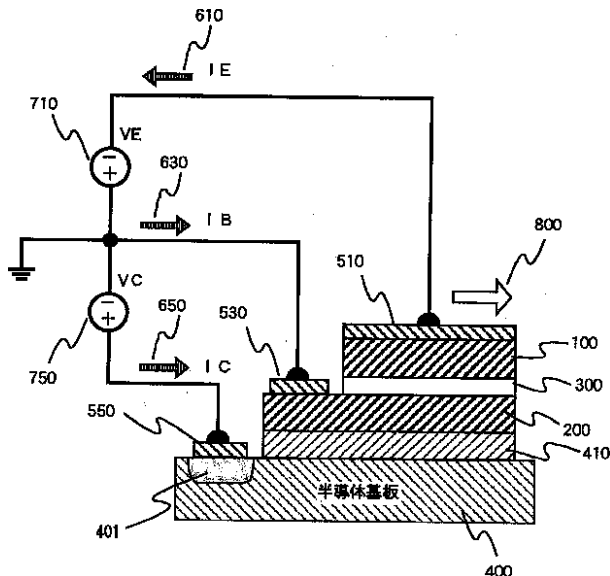
【図8】従来のスピンバルブトランジスタ素子の断面図である。

【図9】図8に示すスピンバルブトランジスタ素子のバンド構造を示す図である。

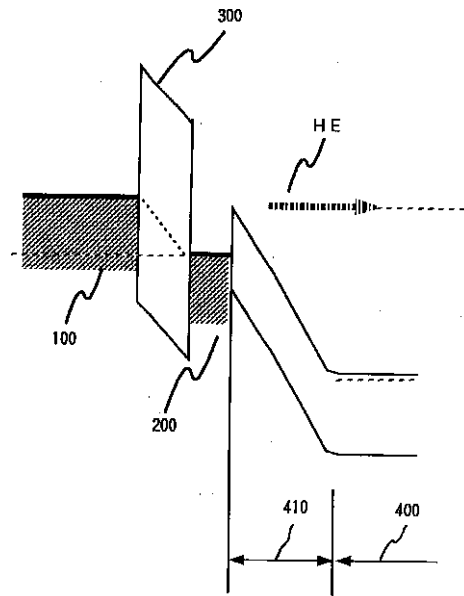
【符号の説明】

- 100, 102 第二の磁性体層
- 200, 202 第一の磁性体層
- 300 トンネルバリア層
- 302 酸化アルミニウム層によるトンネルバリア層
- 400 半導体基板(半導体層)
- 401 オーミックコンタクト領域
- 402 高濃度ドーパ型GaAs半導体基板
- 410 低濃度ドーパ半導体層からなる増倍層
- 412 低濃度ドーパ型GaAsによる増倍層
- 414 p型GaAsからなるバッファ層
- 416 n型GaAs層
- 420 高濃度ドーパ型GaAsからなるバッファ層
- 510 エミッタ電極
- 530 ベース電極
- 550, 650 コレクタ電極
- 610 エミッタ電流
- 630 ベース電流
- 710 エミッタ電圧
- 750 コレクタ電圧
- 800 外部磁界
- HE ホットエレクトロン

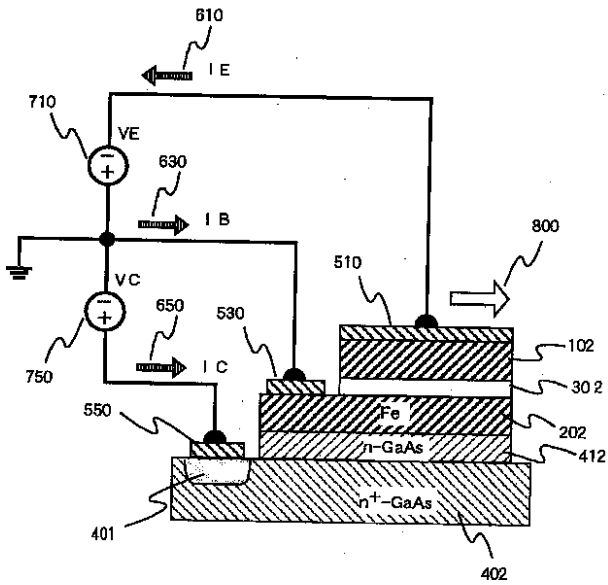
【図1】



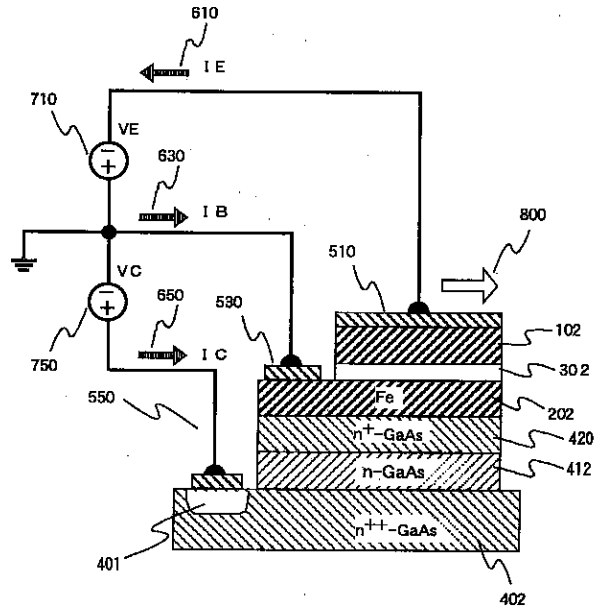
【図2】



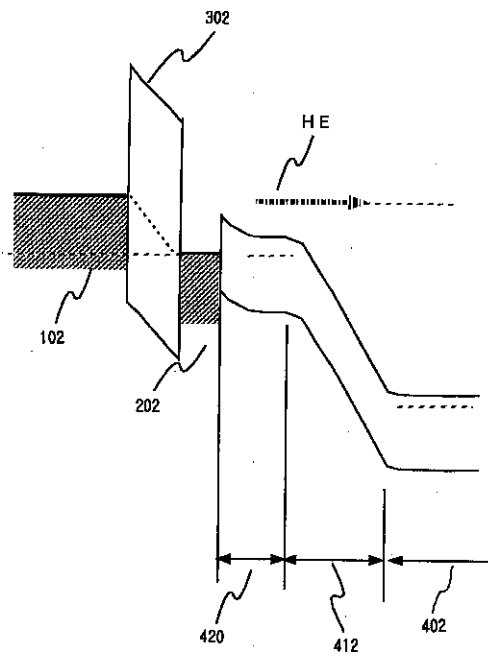
【図 3】



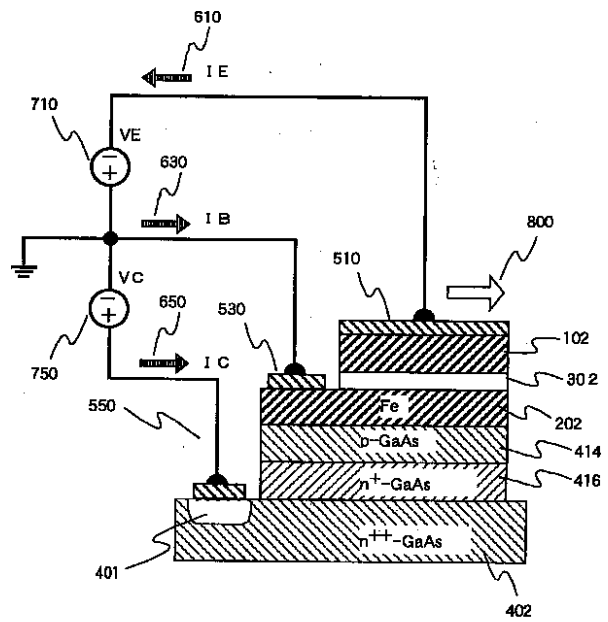
【図 4】



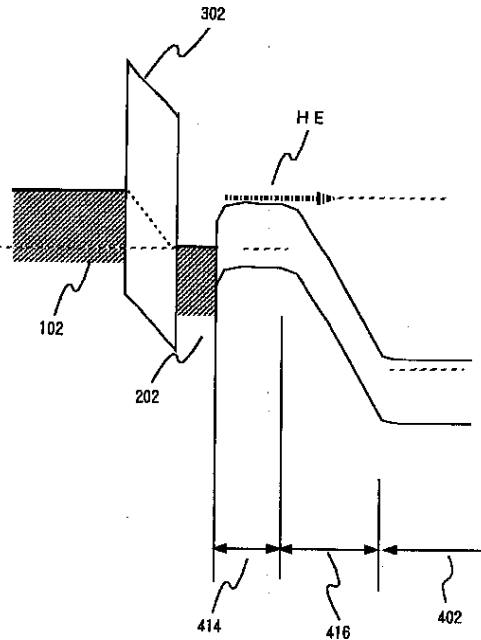
【図 5】



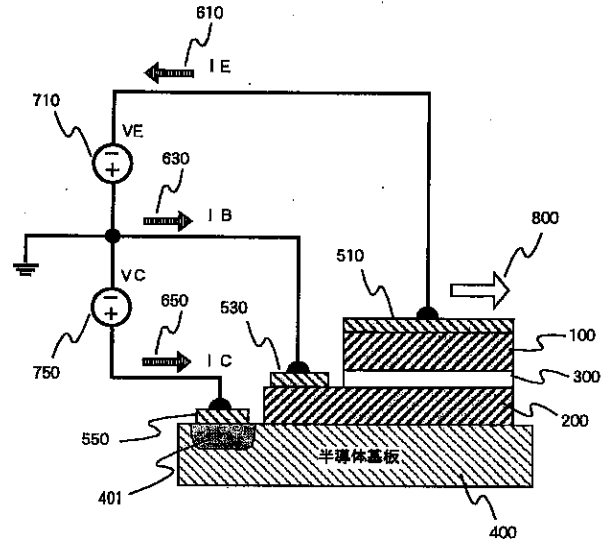
【図 6】



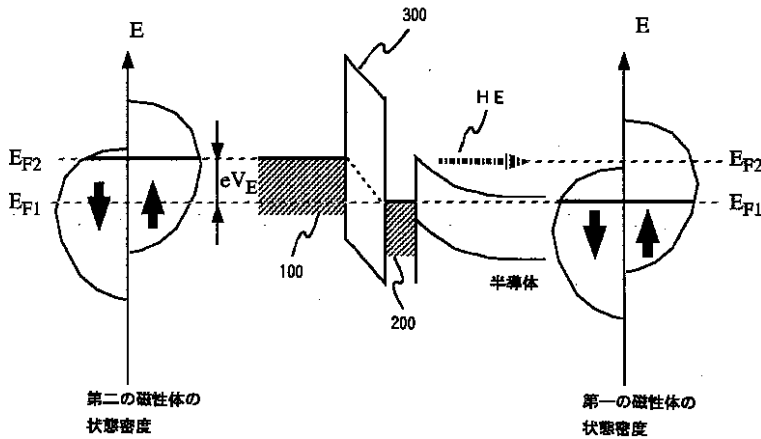
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 秋永 広幸
 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

(72)発明者 本田 元就
 東京都豊島区南大塚1-16-1-103

(72)発明者 樽茶 清悟
 東京都新宿区戸山3-1-2 早稲田社宅405

(72)発明者 大野 圭司
 東京都豊島区要町1-8-6 豊田ビル401

(72)発明者 横山 浩
 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内