

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-189505
(P2004-189505A)

(43) 公開日 平成16年7月8日(2004.7.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
C 3 0 B 1/10	C 3 0 B 1/10	4 G 0 7 7
C 3 0 B 1/04	C 3 0 B 1/04	5 F 0 5 2
C 3 0 B 29/52	C 3 0 B 29/52	5 F 1 0 3
H 0 1 L 21/20	H 0 1 L 21/20	
H 0 1 L 21/203	H 0 1 L 21/203 M	
審査請求 有 請求項の数 16 O L (全 9 頁) 最終頁に続く		

(21) 出願番号	特願2002-355674 (P2002-355674)	(71) 出願人	391012394 東北大学長 宮城県仙台市青葉区片平2丁目1番1号
(22) 出願日	平成14年12月6日(2002.12.6)	(74) 代理人	100072051 弁理士 杉村 興作
特許法第30条第1項適用申請有り 2002年9月24日 (社) 応用物理学会発行の「2002年(平成14年)秋季 第63回応用物理学術講演会講演予稿集 第1分冊」に発表		(72) 発明者	宇佐美 徳隆 宮城県仙台市泉区南光台7-8-21
		(72) 発明者	宇治原 徹 宮城県多賀城市丸山1-16-14-34
		(72) 発明者	藤原 航三 宮城県仙台市太白区萩ヶ丘4-6-V307
		(72) 発明者	中嶋 一雄 宮城県黒川郡大和町もみじヶ丘1-35-6
			最終頁に続く

(54) 【発明の名称】 歪み半導体単結晶の作製方法

(57) 【要約】

【課題】 歪み半導体単結晶を簡易かつ低コストで作製する方法を提供する。

【解決手段】 格子定数が a である無歪みの半導体単結晶 1 1 上に、単結晶状態において前記格子定数 a と異なる格子定数 b を有するようなアモルファス半導体 1 2 を形成する。次いで、半導体単結晶 1 1 及びアモルファス半導体 1 2 に対して加熱処理を施し、半導体単結晶 1 1 及びアモルファス半導体 1 2 同士を固相相互拡散により混晶化して、前記格子定数 a 及び前記格子定数 b の中間の格子定数 c を有する無歪みの半導体混晶単結晶 1 3 を形成する。次いで、半導体混晶単結晶 1 3 上にエピタキシャル成長を実施して、前記格子定数 c と異なる格子定数 d を有する、歪みが印加された半導体単結晶 D を形成する。

【選択図】 なし

【特許請求の範囲】

【請求項 1】

格子定数が a である無歪みの半導体単結晶 A を準備する工程と、
 前記半導体単結晶 A 上に、単結晶状態において前記格子定数 a と異なる格子定数 b を有する
 ようなアモルファス半導体 B を形成する工程と、
 前記半導体単結晶 A 及び前記アモルファス半導体 B に対して加熱処理を施し、前記アモル
 ファス半導体 B をエピタキシャル成長させるとともに、前記半導体単結晶 A 及び前記アモ
 ルファス半導体 B 同士を固相相互拡散により混晶化して、前記格子定数 a 及び前記格子定
 数 b の中間の格子定数 c を有する無歪みの半導体混晶単結晶 C を形成する工程と、
 前記半導体混晶単結晶 C 上にエピタキシャル成長を実施して、前記格子定数 c と異なる格
 子定数 d を有する、歪みが印加された半導体単結晶 D を形成する工程と、
 を具えることを特徴とする、歪み半導体単結晶の作製方法。

10

【請求項 2】

前記半導体単結晶 D の歪み量は、前記半導体混晶単結晶 C 中の組成を制御することによっ
 て調整することを特徴とする、請求項 1 に記載の歪み半導体単結晶の作製方法。

【請求項 3】

前記半導体単結晶 D の歪み量は、前記半導体混晶単結晶 C の厚さを制御することによっ
 て調整することを特徴とする、請求項 1 又は 2 に記載の歪み半導体単結晶の作製方法。

【請求項 4】

前記半導体単結晶 D の歪み量は、前記半導体単結晶 A 及び前記アモルファス半導体 B の膜
 厚比を制御することによって調節することを特徴とする、請求項 2 又は 3 に記載の歪み半
 導体単結晶の作製方法。

20

【請求項 5】

前記半導体混晶単結晶 C 中の、前記半導体単結晶 A 中の元素 E a と前記アモルファス半導
 体 B 中の元素 E b において、量比 (E b / E a + E b) が 0 . 1 ~ 0 . 9 であることを特
 徴とする、請求項 2 ~ 4 のいずれか一に記載の歪み半導体単結晶の作製方法。

【請求項 6】

前記加熱処理は、600 / 分以上の昇温速度で実施することを特徴とする、請求項 1 ~
 5 のいずれか一に記載の歪み半導体単結晶の作製方法。

【請求項 7】

前記加熱処理は、前記半導体混晶単結晶 C 中の平均組成における固相線より低い温度で実
 施することを特徴とする、請求項 1 ~ 6 のいずれか一に記載の歪み半導体単結晶の作製方
 法。

30

【請求項 8】

前記加熱処理は、前記半導体混晶単結晶 C 中の平均組成における固相線より 5 ~ 100
 低い温度で実施することを特徴とする、請求項 7 に記載の歪み半導体単結晶の作製方法
 。

【請求項 9】

前記加熱処理は、前記アモルファス半導体 B 上に保護膜を形成した後に実施することを特
 徴とする、請求項 1 ~ 8 のいずれか一に記載の歪み半導体単結晶の作製方法。

40

【請求項 10】

前記保護膜は、前記加熱処理後において除去することを特徴とする、請求項 9 に記載の歪
 み半導体単結晶の作製方法。

【請求項 11】

前記半導体単結晶 A はシリコンからなり、前記アモルファス半導体 B はゲルマニウムから
 なり、前記半導体混晶単結晶 C はシリコン及びゲルマニウムからなることを特徴とする、
 請求項 1 ~ 10 のいずれか一に記載の歪み半導体単結晶の作製方法。

【請求項 12】

前記半導体単結晶 D はシリコンからなることを特徴とする、請求項 11 に記載の歪み半導
 体単結晶の作製方法。

50

【請求項 13】

請求項 1 ~ 12 のいずれか一に記載の方法によって作製されたことを特徴とする、歪み半導体単結晶。

【請求項 14】

半導体単結晶基板と、この半導体単結晶基板上に形成された絶縁体と、この絶縁体上に形成された無歪み半導体混晶単結晶と、この半導体混晶単結晶に形成された歪み半導体単結晶とを具えることを特徴とする、半導体多層構造。

【請求項 15】

請求項 13 に記載の歪み半導体単結晶をチャンネル層として用いたことを特徴とする、金属酸化物半導体。

10

【請求項 16】

請求項 15 に記載の金属酸化物半導体を用いたことを特徴とする、金属酸化物半導体集積回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、高速電子デバイスなどにおける半導体として好適に用いることのできる歪み半導体単結晶の作製方法に関する。

【0002】**【従来の技術】**

20

「歪み」は、結晶の対称性やバンド構造を変化させることから、材料の特性を制御する因子として重要である。例えば、絶縁体上に形成された歪みシリコン単結晶膜は、無歪みのシリコン単結晶膜に比較して極めて高い電子移動度及び正孔移動度を有するとともに、寄生容量を低下させることができる。したがって、次世代の金属酸化物半導体（CMOS）のチャンネル層としての期待が高まっている。

【0003】

従来のこのような歪みシリコン単結晶膜の作製方法としては、種々の方法が提案されている。例えば、シリコン単結晶基板上にシリコンゲルマニウム単結晶の厚膜をエピタキシャル成長させ、前記シリコンゲルマニウム膜中に酸素イオンを注入するとともに、前記シリコンゲルマニウム膜を熱処理することにより絶縁体化して無歪みのシリコンゲルマニウム層を形成した後、この層上にシリコン単結晶膜をエピタキシャル成長させて、前記シリコン単結晶膜中に歪みを付加する方法が提案されている。

30

【0004】

さらには、前記シリコンゲルマニウム膜の表面を熱酸化処理することにより絶縁体化して無歪みのシリコンゲルマニウム層を形成し、この層上に前記同様にシリコン単結晶膜をエピタキシャル成長させて、前記シリコン単結晶膜中に歪みを付加する方法が提案されている。

【0005】**【発明が解決しようとする課題】**

しかしながら、上述したような方法は、いずれもプロセスが複雑であるとともに、イオン注入装置又は熱酸化装置などの高価な設備が必要となる。したがって、上述した歪み半導体単結晶の作製においては、歩留まり低下をもたらすとともに、コスト高をもたらす結果となっていた。

40

【0006】

本発明は、歪み半導体単結晶を簡易かつ低コストで作製する方法を提供することを目的とする。

【0007】**【課題を解決するための手段】**

上記目的を達成すべく、本発明は、格子定数が a である無歪みの半導体単結晶 A を準備する工程と、

50

前記半導体単結晶 A 上に、単結晶状態において前記格子定数 a と異なる格子定数 b を有するようなアモルファス半導体 B を形成する工程と、
前記半導体単結晶 A 及び前記アモルファス半導体 B に対して加熱処理を施し、前記アモルファス半導体 B をエピタキシャル成長させるとともに、前記半導体単結晶 A 及び前記アモルファス半導体 B 同士を固相相互拡散により混晶化して、前記格子定数 a 及び前記格子定数 b の中間の格子定数 c を有する無歪みの半導体混晶単結晶 C を形成する工程と、
前記半導体混晶単結晶 C 上にエピタキシャル成長を実施して、歪みが印加された半導体単結晶 D を形成する工程と、
を具えることを特徴とする、歪み半導体単結晶の作製方法に関する。

【0008】

10

本発明によれば、歪み半導体単結晶 D の下地となる無歪み半導体混晶単結晶 C を作製するに当り、従来の技術同様に無歪みの半導体単結晶 A を準備した後、この半導体単結晶 A 上にアモルファス半導体 B を形成し、所定の加熱処理を施すようにしている。したがって、イオン注入装置や熱酸化処理などの高価な装置を使用することなく、極めて簡易に半導体混晶単結晶 C を作製することができる。

【0009】

目的とする歪み半導体単結晶 D は、前記半導体混晶単結晶 C 上にエピタキシャル成長させて形成するので、本発明によれば、従来の方法と比較して、歪み半導体単結晶を極めて簡易に作製することができる。

【0010】

20

なお、半導体単結晶 A 上にアモルファス半導体 B を形成しているので、アモルファス半導体 B 中の格子定数差に起因した内部歪み緩和の結果として生じる転位の発生を抑制することができる。したがって、半導体混晶単結晶 C 中の転位密度、さらに目的とする歪み半導体単結晶 D 中の転位密度も低減することができるようになる。

【0011】

また、アモルファス半導体 B 中には、未結合手が多く存在するため、従来のように結晶同士を積層した場合に比較して、半導体単結晶 A とアモルファス半導体 B との相互拡散を促進させることができる。したがって、半導体混晶単結晶 C をより簡易に形成することができるようになる。

【0012】

30

【発明の実施の形態】

以下、本発明を発明の実施の形態に則して詳細に説明する。

図 1 ~ 図 4 は、本発明の作製方法を説明するための工程を概略的に示す図である。最初に、図 1 に示すように、格子定数が a である無歪みの半導体単結晶 11 を準備し、この半導体単結晶 11 上にアモルファス半導体 12 をスパッタリング法などの公知の成膜手法を用いて形成する。アモルファス半導体 12 は、結晶化した際の格子定数を b とした場合に、前記格子定数 a と異なる半導体材料から構成する。

【0013】

次いで、図 2 に示すように、アモルファス半導体 12 上において保護膜 14 を形成し、加熱処理を実施する。この加熱処理によって、アモルファス半導体 12 をエピタキシャル成長させるとともに、半導体単結晶 11 及びアモルファス半導体 12 同士の固相相互拡散を生ぜしめて、図 3 に示すような、半導体混晶単結晶 13 を形成する。半導体混晶単結晶 13 は、半導体単結晶 11 及びアモルファス半導体 12 の混晶であるので、その格子定数 c は前記格子定数 a と前記格子定数 b との中間の値を取る。

40

【0014】

前記加熱処理は、600 /分以上で昇温速度で行うことが好ましい。これによって、アモルファス半導体 12 の多結晶化を抑制し、目的とする半導体混晶単結晶を簡易に形成することができるようになる。

【0015】

なお、前記加熱処理における到達温度及び保持時間については、半導体単結晶 A の種類や

50

厚さ、及びアモルファス半導体 1 2 の種類や厚さなどに応じて適宜に選択する。保持時間については通常は数分程度である。

【0016】

また、到達温度は半導体混晶単結晶 1 3 の平均組成における固相線より低い温度、具体的には前記固相線よりも 5 ~ 100 低い温度で行うことが好ましい。これによって、半導体混晶単結晶 1 3 中の組成分布を均一にすることができるようになる。

【0017】

次いで、図 4 に示すように、保護膜 1 4 を除去した後、半導体混晶単結晶 1 3 上にエピタキシャル成長によって半導体単結晶 1 5 を形成する。半導体単結晶 1 5 の格子定数 d は半導体混晶単結晶 1 3 の格子定数 c と異なるので、半導体単結晶 1 5 をエピタキシャル成長を通じて半導体混晶単結晶 1 3 上に形成することにより、半導体単結晶 1 5 及び半導体混晶単結晶 1 3 の格子定数差に起因した歪みが半導体単結晶 1 5 に付加されるようになる。したがって、目的とする歪み半導体単結晶としての半導体単結晶 1 5 を得ることができる。

10

【0018】

なお、上述した保護膜 1 4 は本発明の必須要件ではなく、本発明においては省略することもできる。しかしながら、保護膜 1 4 を設けることによって、上述した加熱処理中において雰囲気中に含まれる不純物などがアモルファス半導体 1 2 中に取り込まれてしまい、半導体混晶単結晶 1 3 さらには目的とする歪み半導体単結晶 1 5 中に前記不純物を取り込まれて劣化するのを抑制することができる。さらに、表面エネルギーを低減し、表面のラフニングを抑制する効果がある。

20

【0019】

上述したように、半導体単結晶 1 5 の下地である半導体混晶単結晶 1 3 は、半導体単結晶 1 1 とアモルファス半導体 1 2 の混晶であるから、それらの組成比によって半導体混晶単結晶 1 3 の格子定数 c は変化する。したがって、半導体混晶単結晶 1 3 の格子定数 c と半導体単結晶 1 5 の格子定数 d との差も変化するので、半導体単結晶 1 5 に付加される歪みの大きさも変化する。換言すれば、半導体混晶単結晶 1 3 中の組成比を制御することによって、半導体単結晶 1 5 の歪み量を調節することができる。

【0020】

半導体混晶単結晶 1 3 の組成は、半導体単結晶 1 1 及び 1 5、アモルファス半導体 1 2 の種類や組成成分、及び半導体単結晶 1 5 に付加すべき歪みの大きさなどに応じて適宜に設定する。しかしながら、半導体単結晶 1 1 中の元素 E_a とアモルファス半導体 1 2 の元素 E_b とにおいて、量比 $(E_b / E_a + E_b)$ が 0.1 ~ 0.9 となるように、半導体混晶単結晶 1 3 の組成を制御することが好ましい。これによって、半導体単結晶 1 1 及び 1 5 の種類などによらず、半導体単結晶 1 5 に対して最適な大きさの歪みを付加することができ、電子移動度及び正孔移動度などを簡易に向上させることができるとともに、寄生容量を簡易に低減することができ、CMOS のチャネル層などとして好適に用いることができるようになる。

30

【0021】

半導体混晶単結晶 1 3 は半導体単結晶 1 1 及びアモルファス半導体 1 2 の固相相互拡散によって形成されているため、前記量比 $(E_b / E_a + E_b)$ は、図 1 に示す工程において、半導体単結晶 1 1 の厚さ t_1 及びアモルファス半導体 1 2 の厚さ t_2 を制御することによって調節することができる。半導体単結晶 1 1 の厚さ t_1 を大きくし、アモルファス半導体 1 2 の厚さ t_2 を小さくした場合には、前記量比 $(E_b / E_a + E_b)$ を減少させることができ、半導体単結晶 1 1 の厚さ t_1 を小さくし、アモルファス半導体 1 2 の厚さ t_2 を大きくした場合には、前記量比 $(E_b / E_a + E_b)$ を増大させることができる。

40

【0022】

また、半導体単結晶 1 5 の歪み量は半導体混晶単結晶 1 3 の厚さ t_3 によっても制御することができる。すなわち、半導体混晶単結晶 1 3 の厚さ t_3 が増大すれば、半導体混晶単

50

結晶 13 から半導体単結晶 15 へ付加される歪み量が増大するため、半導体単結晶 15 中における歪み量を増大することができる。また、半導体混晶単結晶 13 の厚さ t_3 が減少すれば、半導体混晶単結晶 13 から半導体単結晶 15 へ付加される歪み量が減少するため、半導体単結晶 15 中における歪み量を減少させることができる。

【0023】

なお、半導体混晶単結晶 13 は、半導体単結晶 11 とアモルファス半導体 12 との固相相互拡散の結果として得られるものであるため、前述したように半導体単結晶 11 の厚さ t_1 とアモルファス半導体 12 の厚さ t_2 との制御することによって、半導体混晶単結晶 13 の厚さ t_3 を調節することができるようになる。

【0024】

上述した作製方法は、例えば歪みシリコン単結晶を作製する場合などに好適に用いることができる。この場合、例えば半導体単結晶 11 はシリコンから構成し、アモルファス半導体 12 はゲルマニウムから構成することができる。この結果、半導体混晶単結晶 13 はシリコンゲルマニウムの混晶から構成されることになる。そして、このシリコンゲルマニウム混晶上に、半導体単結晶 15 として、エピタキシャル成長によりシリコン単結晶を作製すれば、このシリコン単結晶には前記シリコンゲルマニウム混晶から歪みが付加され、結果として歪みシリコン単結晶が得られるようになる。

10

【0025】

この場合においては、半導体単結晶 11 及び 15 はシリコンから構成されるために、格子定数 a と格子定数 d とは等しくなる。

20

【0026】

このようにして作製された歪みシリコン単結晶などは、高い電子移動度と正孔移動度とを有し、寄生容量を低減することができるため、CMOSのチャネル層として好適に使用することができる。また、このような歪みシリコン単結晶を含むCMOSを同一基板上に集積させて金属酸化物半導体集積回路(CMOS回路)を作製することもできるようになる。

【0027】

図5は、上述したようにして作製した歪み半導体単結晶を含む多層構造の一例を示す構成図である。これは、歪み半導体単結晶を用いてCMOSを作製する場合を想定している。図5においては、半導体混晶単結晶 13 が、所定の半導体基板 16 上に形成された絶縁体 17 上に形成され、前述したように半導体混晶単結晶 13 上に歪み半導体単結晶 15 が形成されている。

30

【0028】

このような多層構造は、無歪みの半導体単結晶 11 を半導体基板 16 上に形成された絶縁体 17 上に準備し、図1～図4に示す工程を施すことによって得ることができる。無歪み半導体単結晶 11 は公知の作製法を用いて準備することができる。

【0029】

【実施例】

シリコン酸化層を内包するSOI(Si on Insulator)基板の表面Si層に溶液処理を施し、厚さ50nmの無歪みシリコン単結晶とした。次いで、前記無歪みシリコン単結晶上にアモルファスゲルマニウムを厚さ50nmに形成した。次いで、前記アモルファスゲルマニウム上に保護膜としてのシリコン酸化膜を厚さ350nmに形成した。次いで、このようにして得た積層構造を赤外線急速加熱炉中に設置し、600 /分の昇温速度で1000 (シリコンゲルマニウム混晶の固相線より60 低い温度)まで加熱し、1分間保持して加熱処理を実施し、シリコンゲルマニウム混晶を得た。

40

【0030】

図6は、このようにして得たシリコンゲルマニウム混晶の組成分布を示すSEM写真である。図6から明らかなように、上記シリコンゲルマニウム混晶は均一な組成分布を有していることが判明した。

【0031】

50

次いで、前記シリコンゲルマニウム混晶上にM B E法を用いたエピタキシャル成長によりシリコン単結晶を作製した。前記シリコン単結晶の歪み量をX線解析によるピークシフトから定量したところ、1%程度の歪みが発生していることが判明した。

【0032】

以上、具体例を示しながら発明の実施の形態に則して本発明を説明してきたが、本発明は上記内容に限定されるものではなく、本発明の範疇を逸脱しない範囲において、あらゆる変形や変更が可能である。

【0033】

【発明の効果】

以上説明したように、本発明によれば、歪み半導体単結晶を簡易かつ低コストで作製する方法を提供することができる。 10

【図面の簡単な説明】

【図1】本発明の作製方法における最初の工程を示す工程図である。

【図2】図1に示す工程の次の工程を示す図である。

【図3】図2に示す工程の次の工程を示す図である。

【図4】図3に示す工程の次の工程を示す図である。

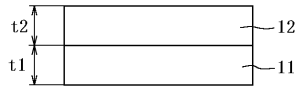
【図5】本発明の作製方法によって得た歪み半導体単結晶を含む半導体多層構造の一例を示す図である。

【図6】本発明の作製方法において得たシリコンゲルマニウム混晶の、顕微ラマン分光法により得た組成分布像である。 20

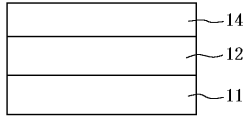
【符号の説明】

- 1 1 無歪み半導体単結晶
- 1 2 アモルファス半導体
- 1 3 半導体混晶単結晶
- 1 4 保護膜
- 1 5 歪み半導体単結晶
- 1 6 半導体基板
- 1 7 絶縁体

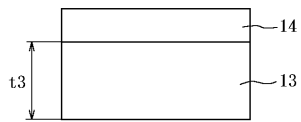
【 図 1 】



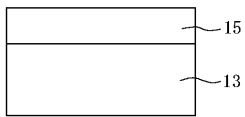
【 図 2 】



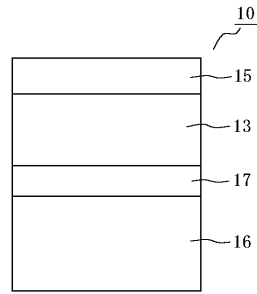
【 図 3 】



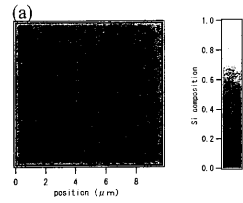
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl.⁷

H 0 1 L 27/12

F I

H 0 1 L 27/12

R

テーマコード(参考)

Fターム(参考) 4G077 AA02 AA03 AB07 BE05 CA01 CA04 CA09 ED06 EE06 JA03
JA06 JA08 JB07 JB12
5F052 AA24 DA03 DB07 HA08 JA01 JA04
5F103 AA04 AA08 DD16 DD30 GG01 GG03 HH03 LL20 RR10