

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3893466号  
(P3893466)

(45) 発行日 平成19年3月14日(2007.3.14)

(24) 登録日 平成18年12月22日(2006.12.22)

(51) Int. Cl. F I  
H O 1 L 31/04 (2006.01) H O 1 L 31/04 X

請求項の数 19 (全 8 頁)

(21) 出願番号	特願2003-298784 (P2003-298784)	(73) 特許権者	504157024
(22) 出願日	平成15年8月22日(2003.8.22)		国立大学法人東北大学
(65) 公開番号	特開2005-72192 (P2005-72192A)		宮城県仙台市青葉区片平2丁目1番1号
(43) 公開日	平成17年3月17日(2005.3.17)	(74) 代理人	100072051
審査請求日	平成15年8月26日(2003.8.26)		弁理士 杉村 興作
特許法第30条第1項適用	2003年3月29日神奈川大学において開催された第50回応用物理学関係連合講演会において発表	(74) 代理人	100100125
			弁理士 高見 和明
		(74) 代理人	100101096
			弁理士 徳永 博
		(74) 代理人	100086645
			弁理士 岩佐 義幸
		(74) 代理人	100107227
			弁理士 藤谷 史朗
		(74) 代理人	100114292
			弁理士 来間 清志

最終頁に続く

(54) 【発明の名称】 光起電力素子、太陽電池、及び光起電力素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

p型半導体部と、  
前記p型半導体部と対向するようにして設けられたn型半導体部と、  
前記p型半導体部及び前記n型半導体部間に設けられた島状構造の真性半導体層とを具え、

前記真性半導体層を形成する工程において、前記p型半導体部を700に加熱し、  
前記真性半導体層は、複数の島状部が平面的に配列されるとともに、厚さ方向に積層されてなり、

前記真性半導体層は、前記複数の島状部を、厚さ方向において各層毎に分断する複数の介在層を有し、

前記真性半導体層における前記複数の島状部と前記介在層とは、互いに格子不整合系の半導体材料から構成され、

前記複数の島状部がGeからなり、前記介在層はSiからなることを特徴とする、光起電力素子。

【請求項2】

前記複数の島状部は、厚さ方向において、上方の前記島状部が下方の前記島状部の直上に位置するようにして積層されたことを特徴とする、請求項1に記載の光起電力素子。

【請求項3】

前記島状部の高さが5nm~50nmであることを特徴とする、請求項1又は2に記載

10

20

の光起電力素子。

【請求項 4】

前記島状部の幅が 5 nm ~ 200 nm であることを特徴とする、請求項 1 ~ 3 のいずれか一に記載の光起電力素子。

【請求項 5】

前記複数の島状部は、厚さ方向において、50層 ~ 300層に積層されたことを特徴とする、請求項 1 ~ 4 のいずれか一に記載の光起電力素子。

【請求項 6】

前記 p 型半導体部及び前記 n 型半導体部の一方は、p 型半導体基板又は n 型半導体基板からなり、前記 p 型半導体部及び前記 n 型半導体部の他方は、p 型半導体層又は n 型半導体層からなることを特徴とする、請求項 1 ~ 5 のいずれか一に記載の光起電力素子。

10

【請求項 7】

前記真性半導体層における前記複数の島状部と、前記真性半導体層に対し下方に位置する前記 p 型半導体部又は前記 n 型半導体部とは、互いに格子不整合系の半導体材料から構成されたことを特徴とする、請求項 1 ~ 6 のいずれか一に記載の光起電力素子。

【請求項 8】

前記真性半導体層に対し下方に位置する前記 p 型半導体部又は前記 n 型半導体部は Si からなることを特徴とする、請求項 7 に記載の光起電力素子。

【請求項 9】

光吸収波長領域の上限が約 1400 nm であることを特徴とする、請求項 1 ~ 8 のいずれか一に記載の光起電力素子。

20

【請求項 10】

請求項 1 ~ 9 のいずれか一に記載された光起電力素子を含むことを特徴とする、太陽電池。

【請求項 11】

p 型半導体部を形成する工程と、  
前記 p 型半導体部と対向するようにして n 型半導体部を形成する工程と、  
前記 p 型半導体部及び前記 n 型半導体部間に島状構造の真性半導体層を形成する工程とを具え、

前記真性半導体層を形成する工程において、前記 p 型半導体部を 700 ° に加熱し、  
前記真性半導体層は、複数の島状部を平面的に配列するとともに、厚さ方向に積層することによって形成し、

30

前記真性半導体層内において、前記複数の島状部を、厚さ方向において各層毎に分断する複数の介在層を形成し、

前記真性半導体層における前記複数の島状部と前記介在層とは、互いに格子不整合系の半導体材料から構成し、

前記複数の島状部が Ge から構成し、前記介在層は Si から構成することを特徴とする、光起電力素子の製造方法。

【請求項 12】

前記複数の島状部は、厚さ方向において、上方の前記島状部が下方の前記島状部の直上に位置するようにして積層することを特徴とする、請求項 11 に記載の光起電力素子の製造方法。

40

【請求項 13】

前記島状部の高さを 5 nm ~ 50 nm にすることを特徴とする、請求項 11 又は 12 に記載の光起電力素子の製造方法。

【請求項 14】

前記島状部の幅を 5 nm ~ 200 nm にすることを特徴とする、請求項 11 ~ 13 のいずれか一に記載の光起電力素子。

【請求項 15】

前記複数の島状部は、厚さ方向において、50層 ~ 300層に積層することを特徴とす

50

る、請求項 1 1 ~ 1 4 のいずれか一に記載の光起電力素子の製造方法。

【請求項 1 6】

前記 p 型半導体部及び前記 n 型半導体部の一方は、p 型半導体基板又は n 型半導体基板から構成し、前記 p 型半導体部及び前記 n 型半導体部の他方は、p 型半導体層又は n 型半導体層から構成することを特徴とする、請求項 1 1 ~ 1 5 のいずれか一に記載の光起電力素子の製造方法。

【請求項 1 7】

前記真性半導体層における前記複数の島状部と、前記真性半導体層に対し下方に位置する前記 p 型半導体部又は前記 n 型半導体部とは、互いに格子不整合系の半導体材料から構成することを特徴とする、請求項 1 1 ~ 1 6 のいずれか一に記載の光起電力素子の製造方法。

10

【請求項 1 8】

前記真性半導体層に対し下方に位置する前記 p 型半導体部又は前記 n 型半導体部は S i から構成することを特徴とする、請求項 1 7 に記載の光起電力素子の製造方法。

【請求項 1 9】

前記真性半導体層は M B E 法によって形成することを特徴とする、請求項 1 1 ~ 1 8 のいずれか一に記載の光起電力素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

20

本発明は、光起電力素子、太陽電池、及び光起電力素子の製造方法に関する。

【背景技術】

【0 0 0 2】

量子井戸を利用した p i n 接合型太陽電池が提案されることによって、太陽電池における変換効率が著しく改善され、従来のタンデム型の太陽電池に取って代わるようになった。量子井戸型の太陽電池においては、井戸の幅及び深さを制御することによって吸収端及びスペクトル特性を改善できることから、短絡電流及び開放端電圧を独立に制御することができる。

【0 0 0 3】

しかしながら、このような量子井戸型の太陽電池において、量子井戸で光吸収によって生成した電子正孔対が発電に寄与するためには、電子及び正孔が再結合する以前に、これら電子及び正孔を量子井戸から障壁層へ脱離させ、さらに隣接する量子井戸への捕獲及び脱離を繰り返して電極に到達することが要求される。したがって、このような従来の量子井戸型の太陽電池においても、電子及び正孔の輸送過程では電子及び正孔の再結合が優先となり、吸収された光が有効に発電に寄与しない場合があった。

30

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

本発明は、広範囲の光スペクトルを利用し、高効率で起電力を生ぜしめることができる新規な光起電力素子を提供することを目的とする。

40

【課題を解決するための手段】

【0 0 0 5】

上記目的を達成すべく、本発明は、

p 型半導体部と、

前記 p 型半導体部と対向するようにして設けられた n 型半導体部と、

前記 p 型半導体部及び前記 n 型半導体部間に設けられた島状構造の真性半導体層とを具備、

前記真性半導体層を形成する工程において、前記 p 型半導体部を 7 0 0 に加熱し、

前記真性半導体層は、複数の島状部が平面的に配列されるとともに、厚さ方向に積層されてなり、

50

前記真性半導体層は、前記複数の島状部を、厚さ方向において各層毎に分断する複数の介在層を有し、

前記真性半導体層における前記複数の島状部と前記介在層とは、互いに格子不整合系の半導体材料から構成され、

前記複数の島状部がGeからなり、前記介在層はSiからなることを特徴とする、光起電力素子に関する。

【0006】

本発明の光起電力素子においては、発電に寄与する真性半導体層が島状構造を呈するため、前記真性半導体層は、その構造に起因して比較的大きな内部電界を有するようになる。したがって、光吸収によって前記真性半導体層内に生じた電子正孔対は、前記内部電界によって分離され、再結合することなく前記真性半導体層内を伝播し、光電流に寄与するようになる。したがって、広範な光スペクトルを利用した高効率の発電を行うことができるようになる。

10

【0007】

なお、前記真性半導体層を複数の島状部から構成する。この場合、前記複数の島状部を平面上及び厚さ方向に積層させることによって、前記島状構造の真性半導体層を簡易に形成することができる。また、前記真性半導体層をこのような複数の島状部から構成するようになれば、各島状部の大きさや積層数などを適宜に制御するいことによって、前記内部電界の大きさを制御することができ、さらに、光吸収波長領域の上限を増大させて、より広範囲の光スペクトルを利用して高効率の発電を行うこともできるようになる。

20

【0008】

この場合、前記真性半導体層内に、その厚さ方向に積層された前記複数の島状部を各層毎に分断するような複数の介在層を設けるようにすると、上記光起電力素子の製造方法に起因して、各層毎の前記島状部は前記介在層を基層（基部）として形成されるようになるので、前記島状部の大きさなどを各層毎に任意に設定できるようになる。したがって、前記複数の島状部の積層状態、すなわち前記真性半導体層の設計自由度を増大させることができ、前記真性半導体層内に生じる内部電界及び光吸収波長域を自在に設定できるようになる。したがって、前記光起電力素子の発電効率の設計自由度を増大させることができる。

【発明の効果】

30

【0009】

以上説明したように、本発明によれば、広範囲の光スペクトルを利用し、高効率で起電力を生ぜしめることができる

新規な光起電力素子を提供することができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明のその他の特徴及び利点について詳述する。

図1は、本発明の光起電力素子の一例を示す構成図であり、図2は、図1に示す光起電力素子のバンド構造を示す図である。

【0011】

40

図1に示す光起電力素子10は、p型半導体部としてのp型Si半導体基板11と、この上方に形成された、n型半導体部としてのn型Si半導体層12と、これらの間に設けられた真性半導体層13とを具えている。真性半導体層13は、Geからなる複数の島状部13Aが平面上に配列されるとともに、厚さ方向に積層されることにより島状構造を呈する。また、真性半導体層13内には複数の介在層13Bが形成されており、厚さ方向に積層された島状部13Aを各層毎に分断している。

【0012】

なお、光起電力素子10を実際に機能させるためには、p型Si半導体基板11の裏面及びn型Si半導体層12の上面に電極層を形成するが、本例においては省略している。

【0013】

50

上述したように、真性半導体層 13は複数の島状部 13Aから構成されているので、真性半導体層 13は、その構造に起因して比較的大きな内部電界を有するようになる。したがって、光起電力素子 10の真性半導体層 13内に照射によって生じた電子正孔対は、前記内部電界によって分離され、再結合することなく真性半導体層 13内を伝播し、p型 Si半導体基板 11及びn型 Si半導体層 13を介して図示しない電極層に流れ込み、光電流に寄与するようになる。したがって、広範な光スペクトルを利用した高効率の発電を行うことができるようになる。さらに、光吸収波長領域の上限を増大させて、より広範囲の光スペクトルを利用して高効率の発電を行うこともできるようになる。

【0014】

図1に示す例では、p型 Si半導体基板 11及びn型 Si半導体層 12との間にGeからなる島状部 13Aを有する真性半導体層 13を設けているので、光吸収波長領域の上限を従来の1200nm程度から約1400nmまで増大させることができる。すなわち、約1400nmまでの広範な光スペクトルを利用して高効率の発電を行うことができる。

【0015】

また、真性半導体層 13の厚さ方向において、複数の島状部 13Aは各層毎に介在層 13Bによって分断された構造を呈しているが、これによって複数の島状部 13Aを真性半導体層 13の厚さ方向において、介在層 13を基層(基部)として各層毎に形成することができるようになるので、各層に位置する島状部の大きさなどを下層に位置する島状部の状態などに依存することなく、任意に設定することができるようになる。したがって、複数の島状部 13Aの積層状態を任意に制御することができ、真性半導体層 13の設計の自由度を増大させることができる。この結果、真性半導体層 13内に生じる内部電界の大きさや光吸収波長域を自在に変化させることができ、発電効率を自在に制御できるようになる。

【0016】

以下に示す光起電力素子 10の製造方法に起因して、島状部 13AがGeから構成される場合、介在層 13BはSiから構成することが好ましい。

【0017】

島状部 13Aの高さは特に限定されるものではないが、5nm~50nmであることが好ましい。また、島状部 13Aの幅も特に限定されるものではないが、5nm~200nmであることが好ましい。これによって、真性半導体層 13内に十分大きな内部電界を生ぜしめることができ、光吸収によって生じた電子正孔対の分離を増大せしめ、発電効率を増大させることができるようになる。

【0018】

さらに、島状部 13Aの積層数は50層から300層であることが好ましい。これによって、量子効率が増大して光吸収波長領域の長波長側の光スペクトルでも真性半導体層 13内に電子正孔対を生成できるようになり、光吸収波長領域の上限を従来の約1200nmよりも十分に大きく、例えば約1400nmまで大きくすることができ、十分に高い発電効率を呈するようになる。

【0019】

なお、図1では、上方に位置する島状部は下方に位置する島状部の直上に形成されているが、この状態は以下に示す光起電力素子の製造方法などに起因して、島状部 13Aさらには真性半導体層 13の全体がエネルギー的に安定となるため、得られる光起電力素子 10の安定性及び長期信頼性などが増大する。

【0020】

次に図1に示す光起電力素子の製造方法について説明する。

最初に、p型 Si半導体基板 11を準備し、硫酸及び過酸化水素水溶液で表面をクリーニングした後、脱イオン水などでリンスし、弗酸溶液中に浸漬することにより、終端を水素化する。次いで、基板 11をMBE装置内に設置し、内部を約 $1 \times 10^{-10}$  Torrまで排気するとともに、700℃に加熱する。

【0021】

10

20

30

40

50

次いで、基板 1 1 上に必要に応じて Si バッファ層を形成した後、GeH<sub>4</sub> の分子線を照射して、第 1 層目の島状部 1 3 A を形成する。なお、島状部 1 3 A は、基板 1 1 を構成する材料 (Si) と島状部 1 3 A を構成する材料 (Ge) とが、互いに格子不整合系の半導体材料であって、基板 1 1 上に GeH<sub>4</sub> の分子線を照射して Ge 層を形成する際の、前記 Ge 層の表面エネルギーの増大と歪エネルギーの減少とがバランスすることによって形成される。但し、前記バランスを実現するため、数原子層の厚さの Ge 層が形成するように前記分子線を照射する。

#### 【0022】

次いで、第 1 層目の島状部 1 3 A 上に、Si<sub>2</sub>H<sub>6</sub> の分子線を照射して Si からなる介在層 1 3 B を形成する。次いで、この介在層 1 3 B 上に GeH<sub>4</sub> 分子線を再度照射して、第 2 層目の島状部 1 3 A を形成する。このような操作を繰り返すことによって、島状部 1 3 A と介在層 1 3 B とが交互に積層された真性半導体層 1 3 を得る。なお、このような MBE 法を用いて真性半導体層 1 3 を形成することにより、エネルギー的なバランスから、上方に位置する島状部 1 3 A は下方に位置する島状部 1 3 A の直上に形成されるようになる。

10

#### 【0023】

次いで、最上に位置する島状部 1 3 A 上に Si<sub>2</sub>H<sub>6</sub> 分子線を照射して Si 半導体層を形成し、次いで n 型不純物を拡散注入することにより、n 型 Si 半導体層 1 2 を形成する。その後は、図示しない電極層を p 型 Si 半導体基板 1 1 の裏面及び n 型半導体層 1 2 の上面に形成して、光起電力素子 1 0 を得る。

20

#### 【0024】

なお、上述した製造方法の例では、MBE 法を用いて真性半導体層 1 3 及び n 型半導体層 1 2 を形成したが、その他の方法を用いて形成することもできる。しかしながら、真性半導体層 1 3 を構成する島状部は極めて微細であって、その制御が困難であるので、原子レベルでの制御が容易な上記 MBE 法を用いることが好ましい。

#### 【0025】

また、真性半導体層 1 3 などを形成するに際しては、上述した好ましい要件を満足するようにして形成する。

#### 【実施例】

#### 【0026】

p 型 Si (100) 半導体基板を準備し、上述した製造方法に従って図 1 に示すような光起電力素子を得た。但し、Ge からなる島状部 1 3 A の高さを約 10 nm とし、幅を約 100 nm とした。島状部 1 3 A の積層数は 50、100 及び 150 とした。また、Si からなる介在層 1 3 B の厚さは 39 nm とし、n 型 Si 半導体層 1 2 の厚さは 600 nm とした。

30

#### 【0027】

図 3 は、各光起電力素子の赤外域での量子効率を示すグラフである。図 3 から明らかなように、島状部 1 3 A の積層数の増大に伴って赤外域での量子効率が増大し、さらに従来の Si 系の光起電力素子と比較して、光吸収周波数域の上限が約 1200 nm から約 1400 nm まで増大していることが分かる。したがって、本例で得た光起電力素子は従来の光起電力素子と比較して十分に高い発電効率を呈することが分かる。

40

#### 【0028】

以上、具体例を挙げながら発明の実施の形態に基づいて本発明を詳細に説明してきたが、本発明は上記内容に限定されるものではなく、本発明の範疇を逸脱しない限りにおいてあらゆる変形や変更が可能である。

#### 【0029】

例えば、図 1 に示す例では、p 型 Si 半導体基板 1 1 から p 型半導体部を構成し、n 型 Si 半導体層 1 2 から n 型半導体部を構成するようにしているが、n 型 Si 半導体基板から n 型半導体部を構成し、p 型 Si 半導体層から p 型半導体部を構成するようにすることもできる。さらに、p 型半導体部を p 型 Si 半導体基板 1 1 から構成する代わりに、所定

50

の基板の上に形成した p 型 Si 半導体層から構成することもできる。

【 0 0 3 0 】

また、図 1 に示す例では、格子不整合系の半導体材料として Si 及び Ge を選択しているが、その他の材料、例えば InAs 及び GaAs を選択することもできる。

【 産業上の利用可能性 】

【 0 0 3 1 】

本発明は、高効率の pin 接合型太陽電池などに好適に用いることができる。

【 図面の簡単な説明 】

【 0 0 3 2 】

【 図 1 】 本発明の光起電力素子の一例を示す構成図である。

10

【 図 2 】 図 1 に示す光起電力素子のバンド構造を示す図である。

【 図 3 】 本発明の光起電力素子の赤外域での量子効率を示すグラフである。

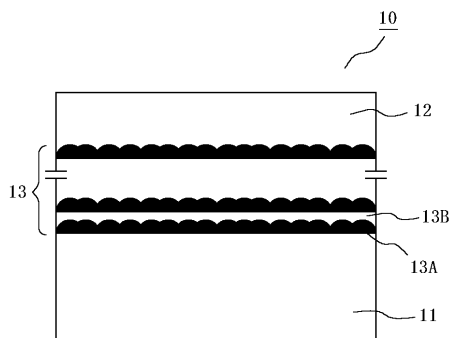
【 符号の説明 】

【 0 0 3 3 】

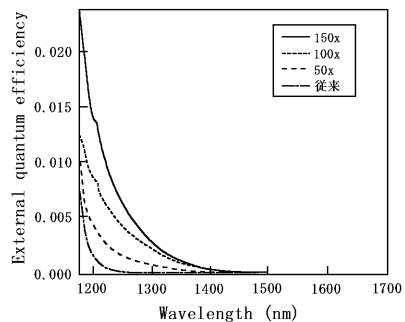
- 10 光起電力素子
- 11 p 型 Si 半導体基板
- 12 n 型 Si 半導体層
- 13 真性半導体層
- 13A 島状部
- 13B 介在層

20

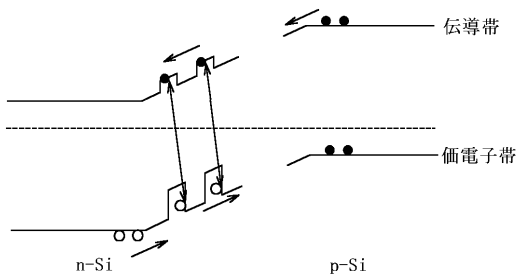
【 図 1 】



【 図 3 】



【 図 2 】



---

フロントページの続き

- (74)代理人 100119530  
弁理士 富田 和幸
- (72)発明者 宇佐美 徳隆  
宮城県仙台市泉区南光台7 - 8 - 2 1
- (72)発明者 中嶋 一雄  
宮城県黒川郡大和町もみじヶ丘1 - 3 5 - 6
- (72)発明者 宇治原 徹  
宮城県多賀城市丸山1 - 1 6 - 1 4 - 3 4
- (72)発明者 藤原 航三  
宮城県仙台市太白区萩ヶ丘4 - 6 - V 3 0 7

審査官 岡田 吉美

- (56)参考文献 特開2002 - 203977 (JP, A)  
特開平11 - 087689 (JP, A)  
特開平11 - 330606 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 31/02 - 31/119  
JICSTファイル(JOIS)