

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3955953号
(P3955953)

(45) 発行日 平成19年8月8日(2007.8.8)

(24) 登録日 平成19年5月18日(2007.5.18)

(51) Int. Cl.		F I			
G06T	1/00	(2006.01)	G06T	1/00	300
G06T	1/20	(2006.01)	G06T	1/20	B
			G06T	1/20	C

請求項の数 7 (全 27 頁)

(21) 出願番号	特願2003-322163 (P2003-322163)	(73) 特許権者	504136568
(22) 出願日	平成15年9月12日(2003.9.12)		国立大学法人広島大学
(65) 公開番号	特開2005-92362 (P2005-92362A)		広島県東広島市鏡山1丁目3番2号
(43) 公開日	平成17年4月7日(2005.4.7)	(74) 代理人	100058479
審査請求日	平成15年9月12日(2003.9.12)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 画像分割処理装置、画像分割処理方法及び画像分割処理集積化回路

(57) 【特許請求の範囲】

【請求項1】

入力画像から画素単位で互いに同一の範疇に属する領域を特定して画像分割領域として判別し、任意の画像分割領域の画像を選択的に出力する画像分割処理装置において、

入力画像の各画素値を保存する入力画像メモリと、

前記入力画像メモリから各画素値を順に読み出し、各画素に対応する個々の画像分割セルについて、パイプライン処理により隣接するセルとの結合重みを計算する結合重み計算回路と、

前記結合重み計算回路で計算された結合重みを基に各隣接セルとの結合重みの総和が基準値を超えるセルをリーダセルとして決定するリーダセル決定回路と、

前記入力画像の各画素に対応し非発火、自己発火可能、発火の状態を遷移する画像分割セルと前記結合重み計算回路で得られるセル間の結合重みを保持する結合重みレジスタを交互にアレイ状に配列し、各セルが隣接配置される結合重みレジスタの保持値から発火可能か否かを判定する判定手段を備え、前記リーダセル決定回路で決定されたリーダセルを発火状態とし、その隣接セルの中から発火可能なセルを選択して発火状態として発火領域を広げることで画像分割領域を判別する画像分割セルネットワークと、

前記画像分割セルネットワークにより画像分割領域が判別された全セルの情報を保存する分割領域保存回路と、

前記分割領域保存回路の保存内容に基づいて任意の画像分割領域の各セルに対応する画素値を保存する出力画像メモリと、

10

20

前記画像分割セルネットワークに対して設けられ、初期化信号入力中はデータ書き込み時のみ前記セルネットワークに動作クロックを供給し、画像分割動作中は、前記セルネットワークで発行される各行または列の、発火中のセルが存在するか否かを決定するための変数であるグローバル抑制子から発火している行または列の情報を得て、この情報をもとに、前記セルネットワーク上の発火している領域成長の境界付近にあるセルにのみクロックを供給するクロック供給回路とを具備し、

前記セルは、発火状態を示す信号 x_i 、自己発火の可否を表す変数 p_i 、自己発火許可制御信号のための変数 n_i 、画像分割されている分割領域に含まれているかどうかを示す変数 l_i を保存するレジスタ群と、

近傍セル間の結合重み $W_{ik} \times x_k$ の総和 S_i を計算し、前記総和 S_i と閾値 z とを比較して発火可能を判定する判定回路と、 10

前記発火可能の判定結果に基づいて前記状態遷移を実行する制御回路と、

前記近傍セルの状態信号と前記セルのレジスタ群の保存値から

条件 1：自らが既に発火している、

条件 2：既にある分割領域に属している、

条件 3：条件 1、2 のいずれも満たしておらず、隣接するセルが 1 つも発火していない、

の 3 つの条件を判断し、いずれの条件も満たしていない場合には画像分割の領域成長の境界付近にあるセルとして前記制御回路に動作クロックを供給することでアクティブモードとし、いずれか一つでも満たしている場合にはスタンバイモードとして前記制御回路に供給する動作クロックを停止する境界状態検出回路とを備えることを特徴とする画像分割処理装置。 20

【請求項 2】

入力画像から画素単位で互いに同一の範疇に属する領域を特定して画像分割領域として識別する画像分割処理方法において、

前記入力画像の各画素に対応する個々の画像分割処理ユニットであるセルを非発火状態とし、前記セルに対応する画素の画素値を順次取り込み、隣接する複数のセル間それぞれの結合重みを計算し、各計算結果に基づいてリーダセル（自己発火可能セルの候補）を決定し、発火中のセルが存在するか否かを決定するための変数であるグローバル抑制子を初期化する初期化過程と、 30

前記初期化過程で決定されたリーダセルの一つを順に選択し自己発火可能セルとして検出する自己発火可能セル検出過程と、

前記自己発火可能セル検出過程で検出された自己発火可能セルを発火状態とする自己発火過程と、

発火状態のセル（前記リーダセルを含む）とこれに隣接するセルと間の結合重みに基づいて、隣接セルの中から発火可能なセルを検出する発火可能セル検出過程と、

前記発火可能セル検出過程で検出されたセルを発火状態とする引火過程と、

前記発火可能セル検出過程で該当セルが検出されない場合に発火状態のセルを鎮火状態とする鎮火処理過程とを具備し、

前記発火可能セル検出過程で該当セルが検出されなくなるまで前記引火過程の処理を繰り返し行うことで 1 つの領域の画像分割処理を完了し、前記自己発火可能セル検出過程で非発火状態のリーダセルがなくなるまで前記各過程の処理を繰り返し行うことで全ての領域の画像分割処理を完了する処理について、各セルを並列に動作させ、隣接するセルの状態に応じて、結合重みの総和を計算し、その総和がある閾値以上の場合に発火状態に遷移させることで分割領域を成長させるものとし、 40

前記入力画像を複数のブロックに分割し、各々のブロック単位で順次各ブロック内の画像分割処理を行い、最終的にそれぞれのブロックの処理結果を集約して、全体の画像分割を行うようにし、

前記ブロックに分割する際に、各ブロックそれぞれの境界が隣接するブロックと少なくとも 1 ピクセル以上重なるように分け、各ブロックの画像分割処理においては、隣接する 50

ブロックと重なっている部分で画像分割処理が完了したブロックのある画像分割領域に含まれるピクセルが存在する場合には、予めリーダーセルとして決定することを特徴とする画像分割処理方法。

【請求項3】

入力画像から画素単位で互いに同一の範疇に属する領域を特定して画像分割領域として判別し、任意の画像分割領域の画像を選択的に出力する画像分割処理装置において、

入力画像の各画素値を保存する入力画像メモリと、

前記入力画像メモリから各画素値を順に読み出し、各画素に対応する個々の画像分割セルについて、パイプライン処理により隣接するセルとの結合重みを計算する結合重み計算回路と、

前記結合重み計算回路で計算された結合重みを基に各隣接セルとの結合重みの総和が基準値を超えるセルをリーダーセルとして決定するリーダーセル決定回路と、

前記入力画像の各画素に対応し非発火、自己発火可能、発火の状態を遷移するセルと前記結合重み計算回路で得られるセル間の結合重みを保持する結合重みレジスタを交互にアレイ状に配列し、各セルが隣接配置される結合重みレジスタの保持値から発火可能か否かを判定する判定手段を備え、前記リーダーセル決定回路で決定されたリーダーセルを発火状態とし、その隣接セルの中から発火可能なセルを選択して発火状態として発火領域を広げることで画像分割領域を判別する画像分割セルネットワークと、

前記画像分割セルネットワークにより画像分割領域が判別された全セルの情報を保存する分割領域保存回路と、

前記分割領域保存回路の保存内容に基づいて任意の画像分割領域の各セルに対応する画素値を保存する出力画像メモリと、

前記入力画像を複数のブロックに分割し、順次ブロック内の画素値を前記入力画像メモリに保存させて前記結合重み計算回路、リーダーセル決定回路、画像分割セルネットワークにブロック単位の画像分割処理を実行させる補助分割制御回路と、

前記画像分割セルネットワークのブロック処理結果にそれぞれラベルを付して保存するラベル制御回路とを具備し、

前記補助分割制御回路は、前記ラベルが付された個々のブロック処理結果を集約して、全体の画像分割を行うもので、前記ブロックに分割する際に、各ブロックそれぞれの境界が隣接するブロックと少なくとも1ピクセル以上重なるように分け、各ブロックの画像分割処理において、隣接するブロックと重なっている部分で画像分割処理が完了したブロックのある分割領域に含まれるピクセルが存在する場合には、予めリーダーセルとして決定することを特徴とする画像分割処理装置。

【請求項4】

前記ラベル制御回路は、画像分割セルネットワークから各ブロックの境界データ、ラベル番号、グローバル抑制子を受け取り、同じ発火領域に同じラベル番号を書き込み、各ブロックにおける例外信号、ラベル番号を求めて前記処理領域分割制御回路に通知することを特徴とする請求項3記載の画像分割処理装置。

【請求項5】

前記補助分割制御回路は、前記発火領域が画像分割処理の完了した隣接するブロックと重なっている部分（バウンダリ部分）においてラベルを持ったセルを含まない場合には、前記ラベル制御回路で生成される新しいラベル番号を前記セルネットワークに設定し、発火領域が画像分割処理の完了した隣接するブロックと重なっている部分（バウンダリ部分）においてラベルを持ったセルを含む場合において、一つのラベル持ちのバウンダリ部分のセルが発火している場合、もしくは発火しているバウンダリ部分のセル複数が同一ラベル番号を持っている場合には、そのラベル番号を発火領域に書き込み、異なったラベル番号を持ったバウンダリ部分のセルが同一の発火領域になった場合には例外処理を行い、競合しているラベル番号の中から一つ（例えば一番小さいもしくは大きいラベル番号）のラベル番号を現在の発火領域に書き込むようにし、すでに画像分割が終了したブロックに関しては、競合しているラベル番号との組み合わせを内部のテーブルに書き込んで例外信号

10

20

30

40

50

を設定し、ブロックで画像分割が終了した場合にはラベル番号を前記分割領域保存回路に保存するようにし、以上の動作を全てのブロックの画像分割処理が終了するまで行うことを特徴とする請求項3記載の画像分割処理装置。

【請求項6】

入力画像から画素単位で互いに同一の範疇に属する領域を特定して画像分割領域として判別し、任意の画像分割領域の画像を選択的に出力する画像分割処理装置に適用され、

入力画像の各画素値を保存する入力画像メモリと、

前記入力画像メモリから各画素値を順に読み出し、各画素に対応する個々の画像分割セルについて、パイプライン処理により隣接するセルとの結合重みを計算する結合重み計算回路と、

前記結合重み計算回路で計算された結合重みを基に各隣接セルとの結合重みの総和が基準値を超えるセルをリーダセルとして決定するリーダセル決定回路と、

前記入力画像の各画素に対応し非発火、自己発火可能、発火の状態を遷移する画像分割セルと前記結合重み計算回路で得られるセル間の結合重みを保持する結合重みレジスタを交互にアレイ状に配列し、各セルが隣接配置される結合重みレジスタの保持値から発火可能か否かを判定する判定手段を備え、前記リーダセル決定回路で決定されたリーダセルを発火状態とし、その隣接セルの中から発火可能なセルを選択して発火状態として発火領域を広げることで画像分割領域を判別する画像分割セルネットワークと、

前記画像分割セルネットワークにより画像分割領域が判別された全セルの情報を保存する分割領域保存回路と、

前記分割領域保存回路の保存内容に基づいて任意の画像分割領域の各セルに対応する画素値を保存する出力画像メモリと、

前記画像分割セルネットワークに対して設けられ、初期化信号入力中はデータ書き込み時のみ前記セルネットワークに動作クロックを供給し、画像分割動作中は、前記セルネットワークで発行される各行または列の、発火中のセルが存在するか否かを決定するための変数であるグローバル抑制子から発火している行または列の情報を得て、この情報をもとに、前記セルネットワーク上の発火している領域成長の境界付近にあるセルにのみクロックを供給するクロック供給回路とを具備し、

前記セルは、発火状態を示す信号 x_i 、自己発火の可否を表す変数 p_i 、自己発火許可制御信号のための変数 n_i 、画像分割されてある分割領域に含まれているかどうかを示す変数 l_i を保存するレジスタ群と、

近傍セル間の結合重み $W_{ik} \times x_k$ の総和 S_i を計算し、前記総和 S_i と閾値 z とを比較して発火可能を判定する判定回路と、

前記発火可能の判定結果に基づいて前記状態遷移を実行する制御回路と、

前記近傍セルの状態信号と前記セルのレジスタ群の保存値から

条件1：自らが既に発火している、

条件2：既にある分割領域に属している、

条件3：条件1, 2のいずれも満たしておらず、隣接するセルが1つも発火していない、

の3つの条件を判断し、いずれの条件も満たしていない場合には画像分割の領域成長の境界付近にあるセルとして前記制御回路に動作クロックを供給することでアクティブモードとし、いずれか一つでも満たしている場合にはスタンバイモードとして前記制御回路に供給する動作クロックを停止する境界状態検出回路とを備え、

上記の全回路を集積回路化することを特徴とする画像分割処理集積化回路。

【請求項7】

入力画像から画素単位で互いに同一の範疇に属する領域を特定して画像分割領域として判別し、任意の画像分割領域の画像を選択的に出力する画像分割処理装置に適用され、

入力画像の各画素値を保存する入力画像メモリと、

前記入力画像メモリから各画素値を順に読み出し、各画素に対応する個々の画像分割セルについて、パイプライン処理により隣接するセルとの結合重みを計算する結合重み計算

10

20

30

40

50

回路と、

前記結合重み計算回路で計算された結合重みを基に各隣接セルとの結合重みの総和が基準値を超えるセルをリーダセルとして決定するリーダセル決定回路と、

前記入力画像の各画素に対応し非発火、自己発火可能、発火の状態を遷移する画像分割セルと前記結合重み計算回路で得られるセル間の結合重みを保持する結合重みレジスタを交互にアレイ状に配列し、各セルが隣接配置される結合重みレジスタの保持値から発火可能か否かを判定する判定手段を備え、前記リーダセル決定回路で決定されたリーダセルを発火状態とし、その隣接セルの中から発火可能なセルを選択して発火状態として発火領域を広げることで画像分割領域を判別する画像分割セルネットワークと、

前記画像分割セルネットワークにより画像分割領域が判別された全セルの情報を保存する分割領域保存回路と、 10

前記分割領域保存回路の保存内容に基づいて任意の画像分割領域の各セルに対応する画素値を保存する出力画像メモリと、

前記入力画像を複数のブロックに分割し、順次ブロック内の画素値を前記入力画像メモリに保存させて前記結合重み計算回路、リーダセル決定回路、画像分割セルネットワークにブロック単位の画像分割処理を実行させる補助分割制御回路と、

前記画像分割セルネットワークのブロック処理結果にそれぞれラベルを付して保存するラベル制御回路とを具備し、

前記補助分割制御回路は、前記ラベルが付された個々のサブブロック処理結果を集約して、全体の画像分割を行うもので、前記ブロックに分割する際に、各ブロックそれぞれの境界が隣接するブロックと少なくとも1ピクセル以上重なるように分け、各ブロックの画像分割処理において、隣接するブロックと重なっている部分で画像分割処理が完了したブロックのある分割領域に含まれるピクセルが存在する場合には、予めリーダセルとして決定するようにし、 20

上記の全回路を集積回路化することを特徴とする画像分割処理集積化回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リアルタイムに画像の認識や動き検出などを行う画像処理のための画像分割処理装置、画像分割処理方法及び画像分割処理集積化回路に関する。 30

【背景技術】

【0002】

画像分割処理 (Image segmentation) は、入力として取り込んだ複雑な自然画像から個々の対象物 (例えば、人間の顔や車などの移動物体) を取り出す処理であり、オブジェクトベースの処理である画像認識や動き検出などの画像処理を行うために基本的かつ不可欠な処理である。

【0003】

これまでに様々な画像分割手法が提案されており、それらの手法は、

(1) 輪郭線に基づく方法 [例えば非特許文献7, 8参照]、

(2) 領域に基づく方法 [例えば非特許文献7参照]、 40

(3) (1), (2) の両方を組み合わせた方法 [例えば非特許文献7参照] や組み合わせ最適化問題に定式化する方法 [例えば非特許文献1参照]

などに大まかに分類することができる。

【0004】

しかし、これまでに提案されているカラー、グレースケールに対する画像分割手法はソフトウェアでの処理を前提としているため、複雑な処理を必要とするため処理にかかる時間が長い。また、アルゴリズムが複雑なため、ハードウェアとして小面積で実現することが難しく、リアルタイム (数msec程度) での処理が困難である。さらに、カラー、グレースケールの自然画像を分割するために、各々専用のアルゴリズムが必要である。また、リアルタイム処理を実現するためには、ハードウェア化による高速化が不可欠となる。 50

【 0 0 0 5 】

ところで、近年、知的情報処理技術の実現に向けての画像認識処理技術の要求が高まってきた。特に、人間に近い動作・判断をする知能ロボットの実現やリアルタイムでの顔認識や移動物体認識においては、カメラ等から取り込んだ視覚情報（自然画像の情報）を高速に処理する必要がある。視覚情報は一般に情報量が膨大であるために、汎用の計算機等で処理する場合、かなり長い処理時間が必要となる。ロボットの制御や画像認識においては、視覚情報の処理速度に対する要求が厳しくなり、リアルタイムでの高速処理が必要とされる。

【 0 0 0 6 】

このようなことから、近年では、知能ロボットや動物体認識などのリアルタイム処理が不可欠な画像処理に対応するために、様々な画像分割アルゴリズム [例えば非特許文献 4 , 7 , 9 参照] とリアルタイム処理のためのハードウェアによる画像分割処理回路 [例えば非特許文献 2 , 3 , 5 , 6 参照] が盛んに研究されている。

10

【 0 0 0 7 】

しかし、高速性を重視するためにハードウェアとして実現した従来の集積回路では、消費電力やチップ面積が大きくなるという問題点があった。そのため、大きな画像サイズに対する画像分割処理回路の実現が消費電力やチップ面積の観点から困難であった。

【特許文献 1】特願 2 0 0 2 - 1 5 2 4 9 1 号

【非特許文献 1】S. M. Bhandarkar and H. Zhang, " Image segmentation using evolutionary computation ", IEEE Trans. on Evolutionary Computation, Vol.3, No.1, (1999)

20

【非特許文献 2】H. Ando, T. Morie, M. Nagata, and A. Iwata, " A nonlinear oscillator network for gray-level image segmentation and PWM/PPM circuits for its VLSI implementation ", IEICE Transactions on Fundamentals, E83-A(2), pp.329-336, 2000.

【非特許文献 3】H. Ando, T. Morie, M. Miyake, M. Nagata, and A. Iwata, " Image segmentation/extraction using nonlinear cellular networks and their VLSI implementation using pulse-modulation techniques ", IEICE Transactions on Fundamentals, E85-A(2), pp.381-388, 2002.

【非特許文献 4】T. Koide, T. Morimoto, Y. Harada, and H. J. Mattausch, " Digital gray-scale/color image-segmentation architecture for cell-network-based real-time applications ", In Proceedings of International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2002), pp. 670-673, 2002.

30

【非特許文献 5】T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, " Real-time segmentation architecture of gray-scale/color motion pictures and digital test-chip implementation ", In Proceedings of 2002 IEEE Asia-Pacific Conference on ASICs (AP-ASIC2002), pp. 237-240, 2002.

【非特許文献 6】T. Morimoto, Y. Harada, T. Koide, and H. J. Mattausch, " Low-complexity, highly-parallel color motion-picture segmentation architecture for compact digital CMOS implementation ", In Extended Abstracts of the 2002 International Conference on Solid State Devices and Materials (SSDM2002), pp.242-243, 2002.

40

【非特許文献 7】J. C. Russ, " The Image Processing Handbook ", pp.371-429. CRC PRESS, 1999.

【非特許文献 8】S. Sarkar and K. L. Boyer, " Integration inference, and management of spatial information using Bayesian networks: Perceptual organization ", IEEE Transactions on Pattern Analysis and Machine Intelligence, 15(3), pp.256-274, 1993.

【非特許文献 9】D. L. Wang and D. Terman, " Image segmentation based on oscillation or correlation ", Neural Computation, 9(4), pp.805-836, 1997.

【発明の開示】

50

【発明が解決しようとする課題】

【0008】

本発明は、上述の問題を解決するためになされたもので、大規模な画像についても、低消費電力でリアルタイム処理を実現するカラー、グレースケール画像分割アーキテクチャを提案し、これを用いたデジタル回路で実現可能な画像分割処理装置及び画像分割処理集積化回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するために本発明に係る画像分割処理方法は、Boundary Active Only (BAO) Schemeを採用し、

10

前記入力画像の各画素に対応する個々の画像分割処理ユニットであるセルを非発火状態とし、前記セルに対応する画素の画素値を順次取り込み、隣接する複数のセル間それぞれの結合重みを計算し、各計算結果に基づいてリーダセル(自己発火可能セルの候補)を決定し、発火中のセルが存在するか否かを決定するための変数であるグローバル抑制子を初期化する初期化過程と、

前記初期化過程で決定されたリーダセルの一つを順に選択し自己発火可能セルとして検出する自己発火可能セル検出過程と、

前記自己発火可能セル検出過程で検出された自己発火可能セルを発火状態とする自己発火過程と、

発火状態のセル(前記リーダセルを含む)とこれに隣接するセルと間の結合重みに基づいて、隣接セルの中から発火可能なセルを検出する発火可能セル検出過程と、

20

前記発火可能セル検出過程で検出されたセルを発火状態とする引火過程と、

前記発火可能セル検出過程で該当セルが検出されない場合に発火状態のセルを鎮火状態とする鎮火処理過程とを具備し、

前記発火可能セル検出過程で該当セルが検出されなくなるまで前記引火過程の処理を繰り返し行うことで1つの領域の画像分割処理を完了し、前記自己発火可能セル検出過程で非発火状態のリーダセルがなくなるまで前記各過程の処理を繰り返し行うことで全ての領域の画像分割処理を完了する処理について、各セルを並列に動作させ、隣接するセルの状態に応じて、結合重みの総和を計算し、その総和がある閾値以上の場合に発火状態に遷移させることで分割領域を成長させるものとし、

30

但し、領域成長の境界付近にあるセルのみをアクティブモードとし、それ以外のセルをスタンバイモードとして、アクティブモードのセルのみを動作させ、スタンバイモードのセルの処理を省略することを特徴とする。

【0010】

また、本発明に係る画像分割処理方法は、Subdivided Image Approach(SIA)を採用し、前記入力画像の各画素に対応する個々の画像分割処理ユニットであるセルを非発火状態とし、前記セルに対応する画素の画素値を順次取り込み、隣接する複数のセル間それぞれの結合重みを計算し、各計算結果に基づいてリーダセル(自己発火可能セルの候補)を決定し、発火中のセルが存在するか否かを決定するための変数であるグローバル抑制子を初期化する初期化過程と、

40

前記初期化過程で決定されたリーダセルの一つを順に選択し自己発火可能セルとして検出する自己発火可能セル検出過程と、

前記自己発火可能セル検出過程で検出された自己発火可能セルを発火状態とする自己発火過程と、

発火状態のセル(前記リーダセルを含む)とこれに隣接するセルと間の結合重みに基づいて、隣接セルの中から発火可能なセルを検出する発火可能セル検出過程と、

前記発火可能セル検出過程で検出されたセルを発火状態とする引火過程と、

前記発火可能セル検出過程で該当セルが検出されない場合に発火状態のセルを鎮火状態とする鎮火処理過程とを具備し、

前記発火可能セル検出過程で該当セルが検出されなくなるまで前記引火過程の処理を繰

50

り返し行うことで1つの領域の画像分割処理を完了し、前記自己発火可能セル検出過程で非発火状態のリーダセルがなくなるまで前記各過程の処理を繰り返し行うことで全ての領域の画像分割処理を完了する処理について、各セルを並列に動作させ、隣接するセルの状態に応じて、結合重みの総和を計算し、その総和がある閾値以上の場合に発火状態に遷移させることで分割領域を成長させるものとし、

前記入力画像を複数のブロックに分割し、各々のブロック単位で順次各ブロック内の画像分割処理を行い、最終的にそれぞれのブロックの処理結果を集約して、全体の画像分割を行うことを特徴とする。

【0011】

本発明に係る画像分割処理装置及び画像分割処理集積化回路は、上記の方法をハードウェアで実現する。本発明において、提案アーキテクチャは、これまでに発明者らが前述の特許文献1及び非特許文献4～6で提案しているセルネットワークベースのリアルタイム画像分割アーキテクチャに新しくBoundary Active Only (BAO) SchemeとSubdivided Image Approach(SIA) という方式を導入し、さらに、他の回路レベルでの低消費電力化技術と組み合わせることでリアルタイム処理性を失うことなく従来に対して約75%の消費電力の削減を実現することが可能になる。また、SIAを用いることで、VGAサイズの大規模な画像に対しても、低消費電力でリアルタイムの処理が可能となる。これらの技術により、最先端のCMOS技術のみならず、0.35 μ m CMOS技術の安価で確立したCMOS技術を用いての実現が可能となり、バッテリー駆動の小型ロボットや携帯アプリケーションへの応用が期待できる。

【発明の効果】

【0012】

上記の構成を有する本発明によれば、大規模な画像についても、低消費電力でリアルタイム処理を実現するカラー、グレースケール画像分割アーキテクチャを提案し、これを用いたデジタル回路で実現可能な画像分割処理装置及び画像分割処理集積化回路を提供することができる。

【0013】

特に、本発明によれば、VGAサイズの大規模な画像に対しても、低消費電力でリアルタイムの処理が可能となる。さらに、最先端のCMOS技術のみならず、0.35 μ m CMOS技術の安価で確立したCMOS技術を用いての実現が可能となり、バッテリー駆動の小型ロボットや携帯アプリケーションへの応用が期待できる。

【0014】

本発明によって実現される効果を下記に列挙する。

- ・Boundary Active Only (以下、BAO)手法による消費電力の削減
- ・クロックツリー回路のゲेटィッドクロック化による消費電力の削減
- ・グローバル抑制子回路の改良による消費電力の削減
- ・Subdivided Image Approach(以下、SIA)による消費電力の削減
- ・SIAによる大規模画像の取り扱いが可能
- ・SIAによるチップの小面積化
- ・BAOとSIAを用いることにより、小面積・低消費電力でリアルタイムの画像分割

処理が大規模な画像(例えばVGAサイズ)に対しても可能となること。

【発明を実施するための最良の形態】

【0015】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0016】

[方法の説明と構成]

(基本アーキテクチャと試作結果)

提案する画像分割処理アーキテクチャは、これまでに発明者らが提案している画像分割アルゴリズム/アーキテクチャ[例えば特許文献1及び非特許文献4～6参照]をもとにしている。これまでのシミュレーションによる見積もりでは、VGAサイズ画像(640 \times 4

10

20

30

40

50

80ピクセル)を約500 μ sec@10MHz以下での高速処理が期待できる。

【0017】

まず、本発明で用いている画像分割処理アルゴリズムを説明する。

【0018】

図1は本発明で用いている画像分割処理アルゴリズムの処理の流れを示すフローチャートである。図1に示すアルゴリズムは、(a)初期化处理、(b)自己発火可能セル検出処理、(c)自己発火処理、(d)発火可能セル検出処理、(e)引火処理、(f)鎮火処理、の6つの処理から構成される。

【0019】

このアルゴリズムでは、各画素に対応するセルが、隣接する8つの画素間の結合重みに基づいて並列に動作する。ここで各画素に対応するセルは、非発火、自己発火可能、発火の状態をとる。変数 x_i はセル i の発火、非発火の状態を示し、 $x_i = 1$ の時は発火、 $x_i = 0$ の時は非発火を表す。また、変数 p_i はリーダセルを表す。 $p_i = 1$ の場合には自己発火可能であり、そのセルが自己発火の候補となる。変数 l_i はセルが画像分割されてある分割領域に含まれているかどうかを示す変数であり、 $l_i = 1$ の場合には、既に分割された領域に属することを意味する。本発明で用いている画像分割処理アルゴリズムでは、発火、非発火の状態によりセルが同じ画像分割領域に属するかどうかを判定する。

【0020】

図1において、「(a)初期化处理」では、セル i の発火、非発火の状態を示す変数 x_i を $x_i = 0$ (非発火)に初期化する。そしてセル(画素) i に隣接するセル(画素) $k \in N(i)$ の画素値に基づく結合重み W_{ik} を計算する。ここで、 $N(i)$ はセル i の隣接セルの集合(例えば8つの隣接セルの集合)を表す。

【0021】

次に、セル間の結合重みに基づいて自己発火可能(リーダセル)かどうかを決定する。もし、隣接するセルの結合重みの和 $\sum_{k \in N(i)} W_{ik}$ が予め指定した閾値 p より大きい場合に自己発火可能となり、自己発火の可否(リーダセル)を表す変数 p_i を $p_i = 1$ (自己発火可能)、 $p_i = 0$ (自己発火不可能)と初期化する。リーダセルは以降の画像分割処理において、処理を開始する始点の候補となる。最後に、発火中のセルが存在するかどうかを決定するための変数 z (グローバル抑制子と呼ぶ)を $z = 0$ に初期化する。 $z = 1$ の場合、発火中のセルが存在すること、すなわち1つの領域の画像分割処理が続いていることを表し、 $z = 0$ の場合には、発火中のセルが存在しない、すなわち1つの領域の画像分割処理が終わったことを表す。各セル i には、変数 z_i を用意し、非発火状態から発火状態へ遷移した場合に $z_i = 1$ とする。それ以外は $z_i = 0$ とする。この変数 z_i をもとに、グローバル抑制子 z の値を全ての z_i の論理和(OR)と定義する。

【0022】

「(b)自己発火可能セル検出処理」では、まだ発火していないリーダセルの中から自己発火可能セルとして1つセルを選択する。

【0023】

「(c)自己発火処理」では、選択したリーダセルを発火状態 $x_i = 1$ (自己発火)にし、1つの領域の画像分割を開始する。この時 $z = 1$ にする。

【0024】

「(d)発火可能セル検出処理」では、非発火状態のセル i について、隣接するセル $k \in N(i)$ の状態を調べ、発火状態となっているセルの結合重みの総和 $S_i = \sum_{k \in N(i)} W_{ik} \times x_k$ を計算する。もし、セル $k \in N(i)$ が発火、すなわち $x_k = 1$ ならば、隣接発火セル k との間の結合重みを S_i に加える。この結合重みの総和 S_i が予め指定した閾値 z より大きい場合($S_i > z$)には、セル i は発火可能セルであると判断する。

【0025】

「(e)引火処理」では、「(d)発火可能セル検出処理」で検出した全ての発火可能セル i を発火状態 $x_i = 1$ にし、同時に $z_i = 1$ とする。もし、発火可能セルが存在しない場合には、「(f)鎮火処理」を行う。

10

20

30

40

50

【 0 0 2 6 】

「(f) 鎮火処理」では、発火状態のセル i に対して $x_i = 0$ とする。また、 $p_i = 1$ の場合には $p_i = 0$ とする。そして、「(b) 自己発火可能セル検出処理」へ処理を戻す。

【 0 0 2 7 】

上記画像分割処理アルゴリズムの記述例を下記に示す。全てのセルは並列に下記のアルゴリズムを実行する。尚、アルゴリズム中の `find_leader()` という関数は、まだ発火していないリーダセルを検索し、そのセル番号を返す関数である。該当するセルが存在しない場合には、負の数を返すものとする。また、各変数 x_i 、 z_i 、 z は時間と共に変化し、時刻 t 、 $t + 1$ における x_i の値をそれぞれ $x_i(t)$ 、 $x_i(t + 1)$ の形で表現するものとする。

10

【 0 0 2 8 】

[画像分割処理アルゴリズム]

【 数 1 】

1. 初期化

1. グローバル抑制子の初期化. $z(0) = 0$;
2. 隣接8近傍セル間の結合重みの計算.
3. リーダセルの決定. $\text{if } (\sum_{k \in N(i)} W_{ik} > \phi_p) \text{ then } p_i = 1; \text{ otherwise } p_i = 0$;
4. 全てのセルを非発火にする. $x_i(0) = 0, l_i = 0$;

20

2. 自己発火

```

if (発火可能なセルが存在しない) then stop; //終了
else if (find_leader() == i ∧ p_i == 1) then
    x_i(t + 1) = 1, z(t + 1) = 1; go to (3. 引火) //自己発火
else go to (2. 自己発火);

```

3. 引火

グローバル抑制子の設定. $z(t) = \bigvee_{vi} z_i(t)$; // z_i の論理和

if ($z(t) == 0$) then //発火中のセルがない場合

if ($x_i(t) == 1$) then

$x_i(t + 1) = 0; z_i(t + 1) = 0; p_i = 0; l_i = 1$; //鎮火

go to (2. 自己発火);

else if ($x_i(t) == 0 \wedge z_i(t) == 0$) then //非発火

$S_i(t) = \sum_{k \in N(i)} (W_{ik} \times x_k(t))$;

if ($S_i(t) > \phi_z$) then $x_i(t + 1) = 1; z_i(t + 1) = 1$; //発火

else $x_i(t + 1) = 0; z_i(t + 1) = 0$;

else if ($x_i(t) == 1 \wedge z_i(t) == 1$) then $x_i(t + 1) = 1; z_i(t + 1) = 0$;

go to (3. 引火);

30

40

【 0 0 2 9 】

提案アーキテクチャは上述のセルネットワークベース画像分割アルゴリズムに基づいており、このアルゴリズムに基づく画像分割処理装置のハードウェアは、図2に示すように、4つのパイプラインステージで構成されている。

【 0 0 3 0 】

図2において、入力画像メモリ11には、入力画像データが順次記録される。第1ステージの結合重み計算回路12では、入力画像メモリ11から処理対象の画像データを取り込み、隣接する画素間の輝度の差(カラー画像であればRGBそれぞれの輝度の差)をも

50

とに結合重みを計算する。第2ステージのリーダセル決定回路13では、計算した結合重みに基づいて画像分割の領域成長の開始点となるリーダセルを決定する。次に画像分割のコア回路である画像分割セルネットワーク14において、結合重みとリーダセルの情報により画素並列で画像分割処理を行う。

【0031】

ここで、画像分割セルネットワーク14は、図3に示すように、1画素を1つのセル P_{ij} に対応させたセルネットワーク構造を有し、セルの間に垂直及び水平結合重みレジスタ $WR_{v_{ij}}$ 、 $WR_{h_{ij}}$ を交互にアレイ状に配置することで小面積化を実現している。各セルは隣接するセルの状態と結合重みに基づき自らの状態を発火、自己発火、鎮火へと各々並列に遷移する。提案アーキテクチャでは、複数あるリーダセルの中から1つが自己発火し、順次それに隣接するセルが結合重みに基づいて発火可能かを判定し、条件を満足すれば発火する。この発火処理はあたかもリーダセルから領域が広がっていく様に行われ、これ以上発火可能なセルが無くなったことをグローバル抑制子回路によって検出し、1つの領域の画像分割が完了すると、発火セルに対して鎮火処理が行われる。この処理を全てのリーダセルが発火されるまで繰り返すことによって全領域の画像分割を完了する。

【0032】

最後に第4ステージの分割領域保存回路15では、画像分割セルネットワーク14にて画像分割されたそれぞれの分割領域のラベル番号を保存し、画像メモリ16に処理画像データと共に記録する。

【0033】

発明者らは、上述のコア回路である画像分割セルネットワーク14のテストチップを、 $0.35\mu\text{m}$ CMOS技術を用いて設計・試作した。チップ写真と一部拡大図を図4に示す。小面積化を実現するために、アクティブセルと結合重みレジスタブロックは全てフルカスタムにより設計を行った。

【0034】

製造した画像分割処理LSIのチップに対して、実際にチェッカーボード画像に対する画像分割処理波形を測定したところ、図5に示すように、複数の領域の分割を行うことができ、正常動作を確認することができた。表1に、作成した従来技術による画像分割処理LSIチップの諸元を示す。

【表1】

設計した画像分割LSI諸元(測定結果)

アーキテクチャ	ウェイトパラレルアーキテクチャ(10×10 pixel)
テクノロジー	0.35 μm , 2-Poly, 3-Metal CMOS
電源電圧	3.3V
測定最大クロック周波数	25MHz
測定平均消費電力	24.4mW@10MHz
トランジスタ数	249,810
ピクセル密度	19.6 pixel/ mm^2

【0035】

ここで、表1に示すように、試作したチップは $10 \times 10 (= 100)$ ピクセルの画像分割処理を行うことができるが、その時の平均消費電力は約24.4mW@10MHzであった。この結果から、 $100 \times 100 (= 10,000)$ ピクセル以上の大きな画像に対して画像分割を行った場合には、消費電力が1ワットを超えてしまうことになる。このように消費電力が大きい場合には、ロボットビジョンやモバイルアプリケーション等のバッテリー駆動などにそのまま適用することは難しく、適用するためにはさらなる低消費電力化を行う必要がある。

【0036】

[Boundary Active Only (BAO) 手法による消費電力の削減方法]

そこで、本発明では、上述のアルゴリズム / アーキテクチャに対して、大きな画像の処理においても、リアルタイム処理性能を落とすことなく、消費電力を削減する新しいBoundary Active Only (BAO) Scheme (バウンダリ・アクティブ・オンリー (BAO) スキーム：境界限定活性化手法) を提案する。図6に、本発明が提案するBAO Schemeの概念図を示す。この方法は、領域成長の境界付近にあるセルのみをアクティブモードとし、それ以外のセルはスタンバイモードとするもので、本発明の画像分割アルゴリズムが領域成長タイプのアルゴリズムであるということを効果的に利用したものである。

【0037】

上述のアルゴリズムで説明したように、各セルは並列動作し、隣接するセルの状態に応じて、結合重みの総和を計算し、その総和が閾値 τ 以上の場合に、発火状態に遷移する。このため、セル数 (ピクセル数) が増えるに従って同時に動作するセルの数が増え、一般に消費電力が増加する。

10

【0038】

ここで、上述のアルゴリズムでは、図6に示すように、各セルが並列に状態遷移処理を行う。ところが、実際にセルの状態遷移が行われるのは、「結合重みの総和を計算した結果、その総和が閾値 τ 以上の場合」となり、リーダセルを起点として発火セルの領域成長の境界にセルがなった場合である (図6の領域成長の境界)。それ以外の場合には、結合重みの総和は変化しないため、セルの状態は変化しないからである。

【0039】

この点に注目すれば、下記の条件のどれかひとつでも満たした場合には、クロックサイクル毎に行っている状態遷移を行うかどうかの判定、すなわち、「結合重みの総和を計算し、その総和が閾値 τ 以上かどうかの判定」を行う必要がない。

20

1. 自らが既に発火している ($x_i = 1$)。
2. 既にある分割領域に属している ($l_i = 1$)。

【0040】

3. 上記の1, 2のいずれも満たしておらず、隣接するセルが1つも発火していない ($x_j = 0, j \in N(i)$)。

上記の条件を取り入れたアルゴリズムを下記に示す。

【0041】

[BAOを導入した画像分割処理アルゴリズム]

30

【数2】

1. 初期化
 1. グローバル抑制子の初期化. $z(0) = 0$;
 2. 隣接8近傍セル間の結合重みの計算.
 3. リーダセルの決定. if ($\sum_{k \in N(i)} W_{ik} > \phi_p$) then $p_i = 1$; otherwise $p_i = 0$;
 4. 全てのセルを非発火にする. $x_i(0) = 0, l_i = 0$;
2. 自己発火

if (発火可能なセルが存在しない) then stop; //終了 10

else if ($find_leader() == i \wedge p_i == 1$) then

$x_i(t+1) = 1, z(t+1) = 1$; go to (3. 引火) //自己発火

else go to (2. 自己発火);
3. 引火

if ($l_i == 1$) then //既に前のフェーズで分割領域に含まれている.

go to (4. スタンバイモード);

グローバル抑制子の設定. $z(t) = \bigvee_{i} z_i(t)$; // z_i の論理和

if ($z(t) == 0$) then //発火中のセルがない場合

if ($x_i(t) == 1$) then 20

$x_i(t+1) = 0; z_i(t+1) = 0; p_i = 0; l_i = 1$; //鎮火

go to (2. 自己発火);

else // $z(t) = 1$ すなわち、発火中のセルがある場合.

if ($x_i(t) == 1$) then

go to (4. スタンバイモード);

else

if ($\forall x_k(t) == 0, x_k(t) \in N(i)$) then //隣接するセルが発火していない

go to (4. スタンバイモード); 30

else

if ($x_i(t) == 0 \wedge z_i(t) == 0$) then //非発火

$S_i(t) = \sum_{k \in N(i)} (W_{ik} \times x_k(t))$;

if ($S_i(t) > \phi_z$) then $x_i(t+1) = 1; z_i(t+1) = 1$; //発火

else $x_i(t+1) = 0; z_i(t+1) = 0$;

else if ($x_i(t) == 1 \wedge z_i(t) == 1$) then $x_i(t+1) = 1; z_i(t+1) = 0$;

go to (3. 引火);
4. スタンバイモード

if ($l_i == 1$ or $x_i(t) == 1$) then 40

go to (4. スタンバイモード);

if ($\exists x_k(t) == 1, x_k(t) \in N(i)$) then //隣接するセルの1つが発火

go to (3. 引火);

【0042】

本発明におけるBAO Schemeは上記の点に注目し、同時に動作するセルと結合重みレジスタの数を減らすように自動的に制御することによって消費電力の削減を図る方法である。

【0043】

図7は従来方法によるセルの回路構成を示すブロック図、図8は同じく従来方法による結合重みレジスタの回路構成を示すブロック図である。尚、図7(a)は隣接する8つの 50

セルとの結合重みを1サイクルで並列して計算するセルの高速動作(ウェイトパラレルアーキテクチャ)の場合の構成を示しており、図7(b)は隣接する8つのセルとの結合重みを9サイクルで逐次的に計算するセルの高速動作(ウェイトシリアルアーキテクチャ)の場合の構成を示している。

【0044】

図7(a)に示すセルでは、レジスタ21~24にそれぞれ発火状態を示す信号 x_i (1bit)、自己発火の可否を表す変数 p_i (1bit)、自己発火許可制御信号のための変数 n_i (1bit)、画像分割されてある分割領域に含まれているかどうかを示す変数 l_i (1bit)を保存する。また、それぞれ3bitにエンコードされた8個の近傍セル間の結合重み $W_{ik} \times x_k$ を入力し、デコーダ25により8bitにデコードした後、加算器26で結合重みの総和 S_i を計算し、減算器27で総和 S_i (11bit)から「発火可能」を判定するための閾値 z を減算する。減算器27では、 $S_i - z > 0$ を判定して、判定結果を示す符号ビット(sign bit)を制御回路28へ出力する。

10

【0045】

一方、図7(b)に示す構成の場合の画像分割セル P_i は、スイッチ29の入力切換によって、それぞれ3bitにエンコードされた8個の近傍セル間の結合重み $W_{ik} \times x_k$ と「発火可能」の状態を判定するための閾値 z とを順次選択的に入力する。そして、選択結果をデコーダ30で8bitにデコードし、逐次加減算器31及びレジスタ32によって加算・減算処理を逐次的に行うようにしている。

20

【0046】

すなわち、図7(a)に示す構成の場合には、並列に加減算処理を行うため、高速化を実現することができる。しかしながら、8つの加算器及び減算器を必要とするため、セル全体の面積が大きくなる。これに対し、図7(b)に示す構成の場合には、1つの加減算器で済むためセルの面積が小さくなる。しかしながら、加減算に要する時間が1サイクルから9サイクルとなり、全体の処理時間が並列加減算処理の場合より長くなる。このように、図7(a)の構成と図7(b)の構成は、互いにトレードオフの関係にある。このため、その用途が高速化重視か、小面積化重視かに応じて使い分ける。

【0047】

一方、図8に示す従来方法による結合重みレジスタは、垂直結合型と水平結合型の2種類がある。いずれも基本的な内部構造は同じであり、レジスタ内に保持されている結合重み値が垂直方向のセル間に関する結合重みを含む場合には垂直結合型、水平方向のセル間に関する結合重みを含む場合には水平結合型と区別される。

30

【0048】

図8に示すように、結合重みレジスタの内部には、データ入力ポートから入力される結合重み値を入力制御信号に基づいて4系統に切換出力するスイッチ41、それぞれスイッチ41から与えられる結合重み値を保存する4つのレジスタ42~45、及び、隣接する画像分割セルへ結合重み値を転送する出力選択回路46を備える。

【0049】

ここで、結合重みの値は、画素値が8bitで表される場合には0~255の範囲をとるため、一般に結合重みレジスタのビット数は8bit必要となる。しかし、結合重みレジスタの個数は画素数に比例するため、このビット数が面積増加に与える影響は大きい。そこで、8bitの結合重み値を3bitにエンコードしてレジスタ42~45に保存する。これにより、各結合重みレジスタの面積と各結合重みレジスタと画像分割セルとのデータのやり取りに必要な配線のビット幅を大幅に削減することができ、小面積化を実現することができる。

40

【0050】

上記出力選択回路46は、近接する4つのセル P_i (i は1~4のいずれか)の発火状態を表す信号 x_i (発火状態 $x_i = 1$ 、非発火状態 $x_i = 0$)に基づいて、レジスタ42~45に保存された4つの結合重み値のいずれかを選択出力する。

【0051】

50

上記構成によるセル及び結合重みレジスタに本発明のBAO Schemeを適用した場合の構成を図9及び図10に示す。尚、図9及び図10において、それぞれ図7及び図8と同一部分には同一符号を付して示し、重複する説明を省略する。

【0052】

図9は図7(a)に示したウェイトパラレルアーキテクチャのセルに本発明によるBAO状態検出回路33を追加して構成した場合の回路ブロック図である。また、図10は図7(b)に示したウェイトシリアルアーキテクチャのセルに本発明によるBAO状態検出回路33を追加して構成した場合の回路ブロック図である。

【0053】

クロック p_CLK_i は、BAO状態検出回路33を通じて、各レジスタ21~24に内部クロック $inter_CLK_i$ として供給される。また、隣接する結合重みレジスタからの値を、図9のウェイトパラレルアーキテクチャではデコーダ25、図10のウェイトシリアルアーキテクチャではスイッチ30にイネーブル信号を設定することにより制御している。図9、図10において、デコーダ25、加算器26、減算器27は組み合わせ回路であり、入力が増えない場合には、それぞれの回路中のトランジスタでの充放電はほとんど起こらないので電力を消費しない。また、図9ではデコーダ25に入力される値を固定にし、図10においてもスイッチ29の入力を固定値にすることによって上記の入力が変化しないという条件を満足するように構成している。そのため、消費電力を削減することが可能である。

【0054】

図11に上記BAO状態検出回路33の構成例を示す。図11において、第1論理和ゲート331は、隣接する8近傍セルの状態信号 x_k の論理和により条件1を判定する。第2論理和ゲート332は、制御回路28から与えられる信号 x_i 、変数 l_i を取り込んで論理和をとって条件2を判定する。第1論理積ゲート333は第1論理和ゲート331の出力と第2論理和ゲート332の論理積をとる。この結果、第1論理積ゲート333は、先に述べた条件1,2,3のうちどれか1つでも満たしている場合はイネーブル信号 $enable = "0"$ を出力する。ここで、第2論理積ゲート334はイネーブル信号 $enable$ と入力クロック p_CLK_i との論理積をとって内部クロック $inter_CLK_i$ を生成している。このため、上記のようにイネーブル信号が $"0"$ になると、画像分割セルの内部クロック $inter_CLK_i$ が停止するようになる。

【0055】

上記の条件1~3のうちどれかひとつでも満たした場合には、各セルと各結合重みレジスタへのクロック信号の供給を止めるゲーティドクロックの回路構成により、スタンバイモードに遷移させ、セルと結合重みレジスタの動作を止めて、消費電力の削減を行う。この機能を各セルと結合重みレジスタに組み入れることにより低消費電力化を図った。

【0056】

図12に画像分割セルネットワーク14全体に対するクロック制御を行う行クロック制御回路51の構成を示す論理回路図である。図12は行方向の実現例であるが、列方向も同様の方式で実現可能である。画像分割セルと結合重みレジスタは、動作させる条件が異なるために、別々のクロックライン WR_CLK_i と p_CLK_i を用いて効率よく制御している。

【0057】

図12に示す行クロック制御回路51は、動作領域制御回路510を中心としていくつかのゲートより構成されている。動作領域制御回路510は、図13(a)に示す行デコーダ511、同図(b)に示すラベル書き込み行選択回路512、同図(c)に示す境界セル活性回路513の3つから成る。

【0058】

図12に示す行クロック制御回路51について、具体的に動作を説明する。まず、初期化信号INITが入っているとき、つまり結合重みとリーダーセルなどの情報をセルや結合重みレジスタに書き込むときには、書き込みを行う部分のみクロックCLKを供給する。このために行選択信号ROWから動作領域制御回路510を通じ、書き込み行に対して

10

20

30

40

50

の選択信号 row_i および初期化信号 $INIT$ と論理積をとることによってイネーブル信号を発行している。

【0059】

画像分割動作中は、各行の Z_line_i 信号によって発火しているセルが存在する行の情報を得ることができる。この信号をもとに発火している近傍（領域成長の境界）の画像分割セルにのみクロックが供給される。図13(c)の境界セル活性回路は上下の行 Z_line_{i-1} 、 Z_line_{i+1} の信号が1の場合のみ $active_row_i$ の信号を1に設定して、クロック CLK を供給する回路である。また、結合重みレジスタにラベル番号を書き込む際に、発火していない領域にラベルを書き込む必要は無い。このために、上記の動作領域制御回路510にて検出した発火領域の情報 $labelrow_i$ とラベル書き込み信号の論理積をとり、必要部分にのみクロック CLK を供給する。発火領域の情報は図13(b)に示すラベル書き込み行選択回路によって得る。 Z_line_i が0から1に変化した場合、つまりその行で発火動作が発生した場合にはレジスタに1を設定して発火したことを記憶する。以上のように、動作する領域を画像分割の過程で特定することにより、クロック CLK の供給を制御することで消費電力を削減することができる。

10

【0060】

このBAO手法はグローバル抑制子回路にも適用することが可能である。上述のアルゴリズムのグローバル抑制子の動作の実現方法として、従来のアーキテクチャでは、図14に示す方法を行っていた。すなわち、図14に示すグローバル抑制子の接続例では、各画像分割セル P_{ij} の出力信号 z_{ij} （前述のアルゴリズムのセル P_i の信号 z_i に相当）は隣接するセルの出力と論理和（OR）をとり、各行の論理和（OR）を取った信号が全体のグローバル抑制子 z となる。この z の信号は、バッファメモリを介して、各セルの制御回路28にフィードバックされる。

20

【0061】

この方法では、各セルの状態変化の有無にかかわらず全てのセルの状態信号 z_i の論理和を順番にクロックサイクル毎にとることになり、信号伝搬遅延時間が長くなり、また消費電力の増大を招く。そこで、本発明においては、グローバル抑制子の信号を図15(4×4のセルネットワークの場合)に示すように接続する。この構成では、全てのアクティブセル P_{ij} の状態信号の論理和をとる機能を有するダイナミックグローバル抑制子回路を使用している。この構成によれば、もし行 i に新たに発火したセルが存在すれば、その行 i のグローバル抑制子回路の出力は“1” ($Z_line_i = 1$) となる。このように、グローバル抑制子回路をスタンバイモードのセルからの不要な信号とクロックの供給をカットすることで消費電力を削減し、さらに、アクティブモードのセルが存在しない行の論理和の計算を省略することでさらなる削減を実現している。

30

【0062】

[Subdivided Image Approach (SIA)による消費電力の削減方法]

前述の特許文献1及び非特許文献4-6で提案されている方法では、VGAサイズの画像の画像分割を行う場合には、画像サイズに対応したセルネットワークを実現する必要があるため、集積回路化した場合にチップサイズが大きくなるという欠点がある。また、リアルタイム処理を行うために、各セルが同時に並列に動作するため、セル数が増えるとそれに伴って消費電力が増加するという問題がある。そのため、VGAサイズの画像を小面積でなおかつ低消費電力に処理をすることはそのままでは難しいため、携帯端末などのバッテリー駆動の装置には向いていない。

40

【0063】

そこで本発明では、この問題点を解決するために、大規模な画像に対して、小面積・低消費電力でリアルタイムの画像処理を行う方法としてSubdivided Image Approach (SIA) (サブディバイデッド・イメージ・アプローチ (SIA) : 補助分割画像領域方法) を提案する。

【0064】

この方法は、図16に示すように、大規模な画像（例ではVGAサイズ(640×480ピク

50

セル)の画像)を複数の小規模なブロック(図16の例では 33×25 ピクセル)に分けて、各々のブロックを本発明のBAO手法を取り入れた画像分割セルネットワークを用いて画像分割を行い、その結果をもとに順次逐次的に各ブロックの画像分割処理を行い、最終的にその結果を集約して、全体の画像分割を行うという方法である。

【0065】

図16において、ブロックに分ける際に、各ブロックで得られた画像分割の結果をもとに同じ画像分割領域に含まれる部分領域を検出できるようにするために、各ブロックはそれぞれブロックの境界が少なくとも1ピクセル以上隣接するブロックと重なるように分ける。そして、各ブロックの画像分割処理においては、隣接するブロックと重なっている部分で画像分割のある領域に含まれるピクセルが存在する場合には、リーダセル決定回路において予めリーダセルとして決定する。これにより、先に処理が行われたブロックでの分割結果を利用して、現在処理を行うブロックの画像分割を行うことができる。

10

【0066】

分割された領域に対しては、同じ分割領域に含まれる場合には領域番号がラベルとして付加される。このため、各ブロックの境界の隣接するブロックと重なっているピクセルにつけられたラベル番号の対応表を各ブロックの処理の際に更新しておき、全ブロックの処理が終了した段階で全ての領域のラベルを出力する際に、同じ領域が同じラベル番号になるように、ラベルの付け替えを行う。これにより、全体の画像分割を各ブロックに分けて行った結果を矛盾なく出力することができる。

【0067】

20

図17に上述のSIAを用いた画像分割処理装置のブロック図を示す。この装置は、図2に示した従来の画像分割処理装置に新たにラベル制御回路17とSIA制御回路18を付け加えた構成であり、残りの回路は既存の回路を使用することが可能である。図18にラベル制御回路17の一例を示し、図19にSIA制御回路18の一例を示す。

【0068】

図18に示すラベル制御回路17は、画像分割セルネットワーク14から各ブロックの境界データboundary、ラベル番号label_i、グローバル抑制子Zを受け取り、各ブロックにおける例外信号exception、ラベル番号labelを求めてSIA制御回路18に通知する。

【0069】

図19に示すSIA制御回路18は、外部から指定された画素アドレスraddrを入力画像メモリ11に指定してブロック単位に画像データI_iを読み込む。この際に、SIA制御回路18は、図16で示したようにバウンダリ(境界)部分を1画素オーバーラップさせたデータを読み込む。

30

【0070】

以下にSIA制御回路18の処理の流れを説明する。

【0071】

(a) 入力関連の処理

ステップ1: 入力画像メモリ11のメモリアドレスを出力ポートraddrに指定する。ブロック数と入力画素数が決まっているので、オーバーラップした部分を含むブロック別の画素のアドレスは一意に決まる。

40

【0072】

ステップ2: リーダセル決定回路13からリーダセルの計算結果が入力ポートpp_iに入力された場合、前ブロックの分割結果より、オーバーラップした部分が既にある領域に含まれる場合(ラベル番号をもっている場合)はリーダセルとし、pp_iの値を“1”にして出力ポートp_iからセルネットワーク14に出力する。

【0073】

(b) 分割中及び出力時の処理

ステップ1: 例外信号exceptionを受けた場合には該当するラベル番号を入力ポートlabelから受け取り、SIA制御回路中のラベルテーブルに書き込む。例えば1,2のラベル番号が同じ画像分割領域に含まれる場合にはアドレス“2”の所に“1”というデータを

50

書き込む。このときのラベル番号の付け替えのルールとして例えば小さい方のラベルに書き換える。

【 0 0 7 4 】

ステップ 2 : セルネットワーク 1 4 において、ブロック画像単位で処理が終了した場合には、ラベル番号を入力ポート label から受け取り、分割領域保存回路 1 5 に書き込む。その際にアドレスは rwaddr ポート、ラベル番号は label ポートを介して処理される。

【 0 0 7 5 】

ステップ 3 : 全てのブロックにおいて画像分割処理が終了した時、上位の画像処理アプリケーションから分割領域保存回路 1 5 へ読み出し要求があった場合、読み出しアドレス raddr を受け取った S I A 制御回路 1 8 は分割領域保存回路 1 5 中のラベル番号を読み出し、アドレス rwaddr を指定して読み出す。但し、その際にラベルテーブルを参照して、書き換える必要のあるラベル (複数のブロックにまたがる分割領域に該当するラベル) は該当するラベル番号に書き換えて出力ポート SIA_label から出力する。

10

【 0 0 7 6 】

次に既存の結合重み計算回路 1 2、リーダセル決定回路 1 3 を用いて通常通りに結合重み W_{ij} とリーダセル p_i を決定する。ただし、前に処理されたブロックはすでに画像分割が行われているため、既にラベルを持っているバウンダリ部分に関しては、強制的にリーダセルにするために、S I A 制御回路 1 8 を通じてリーダセルは書き換えられる。即ち、バウンダリ部分のラベルが付けられているセルは $p_i = 1$ にする (p_i の更新)。

【 0 0 7 7 】

以上のデータが画像分割セルネットワーク 1 4 に送られ、画像分割が開始される。

20

【 0 0 7 8 】

画像分割が開始されると、1つの領域の発火動作終了はグローバル抑制子回路の z 信号が “ 1 ” から “ 0 ” に立ち下がることで検出できる。

【 0 0 7 9 】

ラベル制御回路 1 7 では、同じ発火領域に同じラベル番号 label をラベル書き込み信号 labelw を設定して書き込む。本発明の S I A アーキテクチャでは、この時の動作が従来の画像分割処理アーキテクチャと少し異なり、図 2 0 に示すように、大きく次の 2 つの場合に分けられる。

【 0 0 8 0 】

(a) 発火領域がラベルを持ったブロックのバウンダリの部分を含まない場合。

(b) 発火領域がラベルを持ったブロックのバウンダリの部分を含む場合。

(a) の場合には (図 2 0 (a))、従来のアーキテクチャと同じように新しいラベル番号 label をラベル制御回路 1 7 で生成して、セルネットワーク 1 4 に設定するだけである。(b) の場合には、S I A で順次処理されるブロックのバウンダリ部分のセルの情報 boundary を分割結果に反映させる必要がある。これについては以下の 2 つの場合が考えられる。

30

【 0 0 8 1 】

[発火領域がラベルを持ったブロックのバウンダリ領域を含む場合]

(b - 1) 一つのラベルをもったバウンダリ部分のセルが発火している場合、もしくは発火しているバウンダリ部分のセル複数が同一ラベル番号 label を持っている場合 (図 2 0 (b - 1)) にはそのラベル番号を発火領域に書き込む。

40

【 0 0 8 2 】

(b - 2) 異なったラベル番号を持ったバウンダリ部分のセルが同一の発火領域になった場合 (図 2 0 (b - 2)) には例外処理が行われる。競合しているラベル番号で例えば一番小さいラベルを現在の発火領域に書き込む。但し、すでに画像分割が終了した画像ブロックに関しては、競合しているラベル番号 label との組み合わせを S I A 制御回路 1 8 内のテーブルに書き込む。そして例外信号 exception を S I A 制御回路 1 8 に設定する。

【 0 0 8 3 】

各ブロックでの画像分割が終了した場合にはラベル番号 label を S I A コントローラを

50

通して画像分割メモリに書き込む。

以上の動作を全てのブロックの画像分割が終了するまで行う。

以下にラベル制御回路 17 の処理の流れをまとめる。

【 0 0 8 4 】

[ラベル制御処理]

ステップ 1 : z 信号が立ち下がることを検出する F F (フリップフロップ) で前のクロックサイクルの z を保持して、現在の z 信号と比べて立ち下がりを検出する (z が 1 0 の時に出力が “ 1 ”) 。

【 0 0 8 5 】

ステップ 2 : boundary 信号から発火している領域がバウンダリ部分を含むかどうかを判定。 10

【 0 0 8 6 】

ステップ 3 :

(a) バウンダリを含まない場合

新しいラベル番号をカウンタで生成してラベル出力ポート label からセルネットワーク 1 4 へ出力し、同時にセルネットワーク 1 4 へラベル書き込み信号 labelw を設定する。

【 0 0 8 7 】

(b) バウンダリを含む場合発火領域がバウンダリを含む場合

ラベル入力ポート label から、バウンダリのラベル情報を得る。

【 0 0 8 8 】

(b - 1) 1 種類のラベル番号であれば、その番号をラベル出力ポート label からセルネットワーク 1 4 へ出力し、ラベル書き込み信号 labelw を設定して書き込む。 20

【 0 0 8 9 】

(b - 2) もし、バウンダリ部分の発火しているセルが二つ以上の異なるラベル番号を持つため、ラベル番号が競合しているなら、例外信号 exception を 1 に設定して、競合しているラベル番号を S I A 制御回路 1 8 に送る。セルネットワーク 1 4 には競合している中で最小のラベル番号を出力ポート label からセルネットワーク 1 4 へ出力し、ラベル書き込み信号 labelw を設定して書き込む。

【 0 0 9 0 】

上位のアプリケーション (例えば画像認識や動き検出など) から画像分割のデータを要求された場合には、S I A 制御回路 1 8 は要求画素のアドレス raddr を参照して、画像分割メモリ 1 5 からラベル番号 label を読み出す。ただし、例外 exception があるラベル番号に関しては、テーブルに従って書き換えたラベル番号 S I A_label を読み出す。 30

【 0 0 9 1 】

尚、ラベル番号が競合していた場合には、後処理により画像分割メモリ 1 5 内のラベルの競合を予め取り除く、すなわち、ラベルの付け替えを S I A 制御回路 1 8 を用いて行うことも可能である。この場合には、上位のアプリケーションからの要求に対して、毎回ラベルテーブルを参照する必要がなくなる。

【 0 0 9 2 】

(効果)

本発明の有効性を検証するために、本発明の B A O と S I A 手法に基づく画像分割処理アーキテクチャの画像分割処理装置をハードウェア記述言語 Verilog-HDL を用いて集積回路への設計を行った。 40

【 0 0 9 3 】

作成した Verilog-HDL 記述をメタル 3 層配線 0.35 μ m C M O S 技術のスタンダードセルライブラリを用いて論理合成、自動配置配線を行いレイアウトを作成した。図 2 1 にレイアウトを示す。

【 0 0 9 4 】

この設計結果を基に提案アーキテクチャの消費電力を回路シミュレーションソフト (H S P I C E) を用いてシミュレーションにより見積もった。その結果を表 2 に示す。シミュレー 50

ションでは、消費電力が最大になる入力パターンに場合に対して行った。クロック周波数を10MHzとすると6.81mWとなり、従来法に比べて約75%の消費電力の削減をすることができた。

【表2】

提案するBAOアーキテクチャと従来のアーキテクチャの消費電力の比較結果
(0.35 μ m CMOS 技術, 10MHz クロック周波数, HSPICE シミュレーション)

	従来アーキテクチャ	本発明のアーキテクチャ	削減率
平均消費電力	24.4mW@10MHz	5.80mW@10MHz	76.2%
最大消費電力	30.9mW@10MHz	6.81mW@10MHz	78.0%

10

【0095】

さらに、SIA手法の有効性を検証した。SIAを用いれば、大きなサイズの画像に対しても、入力画像をいくつかのブロックに分けてパイプライン処理することで処理可能である。上述の設計例から算出すると、例えば33 \times 25ピクセルサイズを1チップとして実現した場合、画像分割処理は平均15 μ sec@10MHzで可能である。このため、例えばVGAサイズ(640 \times 480ピクセル)の画像を考えた場合には、図17に示すように33 \times 25を1ブロックとして、20 \times 20ブロックに画像を分けて各ブロックの処理をパイプラインで処理することによって、約9msec@10MHz、平均消費電力19.8mW@10MHz、チップ面積43mm²での処理が可能である。

20

【0096】

このように本発明では、Boundary Active Only (BAO) SchemeとSubdivided Image Approach(SIA)を用いた小面積・低消費電力リアルタイム画像分割アーキテクチャを提案した。この発明により、状態遷移を行うセルを適切に制御することが可能となり、従来のアーキテクチャに比べて約75%の消費電力の削減をすることができた。さらに、提案アーキテクチャは目標とするリアルタイム処理に比べて高速であるため、小さな33 \times 25ピクセルサイズのセルネットワークを用いて逐次的に処理を行うSIAを用いる。これにより、最先端のCMOS技術のみならず、0.35 μ m CMOS技術の安価で確立した技術においても、VGAサイズの大規模画像においても低消費電力でのリアルタイムに処理が可能である。

30

【産業上の利用可能性】

【0097】

本発明に係る画像分割処理装置、画像分割処理方法及び画像分割処理集積化回路は、画像認識システム、動体検出システム、デジタルカメラ、デジタルビデオカメラ、ロボットビジョン、顔認識による認証システム、セキュリティシステム、人工知能システム等における画像分割・抽出のための画像分割・抽出集積化回路として適用可能である。

【図面の簡単な説明】

【0098】

【図1】本発明で用いている画像分割処理アルゴリズムの処理の流れを示すフローチャート。

40

【図2】図1に示すアルゴリズムに基づく画像分割処理装置のハードウェア構成を示すブロック図。

【図3】図2に示す画像分割セルネットワークの概略構成を示すブロック図。

【図4】図3に示す画像分割セルネットワークのテストチップの構造を示す図。

【図5】図4に示すテストチップについて、チェッカーボード画像に対する画像分割処理測定を行った結果を説明するための図。

【図6】本発明が提案するBoundary Active Only (BAO) Schemeを説明するための概念図。

【図7】従来方法によるセルの回路構成を示すブロック図。

50

【図 8】従来方法による結合重みレジスタの回路構成を示すブロック図。

【図 9】図 7 (a) に示したウェイトパラレルアーキテクチャのセルに本発明による B A O 状態検出回路を追加して構成した場合のブロック図。

【図 1 0】図 7 (b) に示したウェイトシリアルアーキテクチャのセルに本発明による B A O 状態検出回路を追加して構成した場合のブロック図。

【図 1 1】図 9 及び図 1 0 に示す B A O 状態検出回路の構成例を示すブロック図。

【図 1 2】図 1 1 の B A O 状態検出回路において、画像分割セルネットワーク全体に対するクロック制御を行う行クロック制御回路の構成を示す論理回路図。

【図 1 3】動作領域制御回路を構成する行デコーダ、ラベル書き込み行選択回路、境界セル活性回路の具体的な構成を示すブロック図。

10

【図 1 4】従来のアーキテクチャに基づくグローバル抑制子信号の接続例を示す図。

【図 1 5】本発明のアーキテクチャに基づくグローバル抑制子信号の接続例を示す図。

【図 1 6】本発明が提案する Subdivided Image Approach (SIA) に基づく補助分割画像パイプライン処理方法を用いた V G A サイズ画像の画像分割処理例を示す図。

【図 1 7】上記 Subdivided Image Approach (SIA) を用いた画像分割処理装置の構成を示すブロック図。

【図 1 8】図 1 7 に示すラベル制御回路の具体的な構成を示すブロック図。

【図 1 9】図 1 7 に示す S I A 制御回路の具体的な構成を示すブロック図。

【図 2 0】上記 S I A における各処理領域の画像分割処理の流れを例示する図。

【図 2 1】本発明の B A O と S I A 手法に基づく画像分割処理アーキテクチャの画像分割処理装置を試作した試作チップのレイアウトを示す図。

20

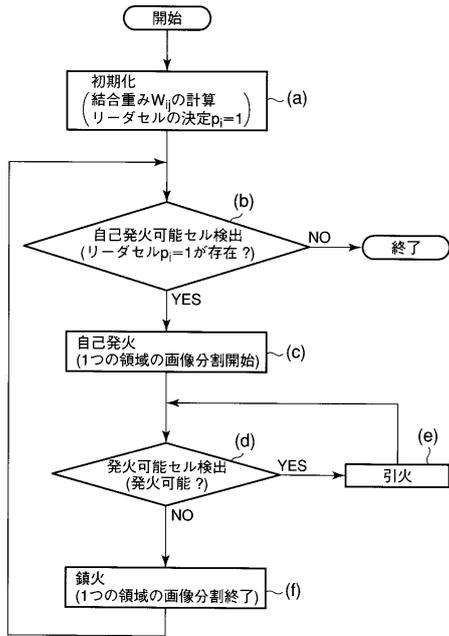
【符号の説明】

【 0 0 9 9 】

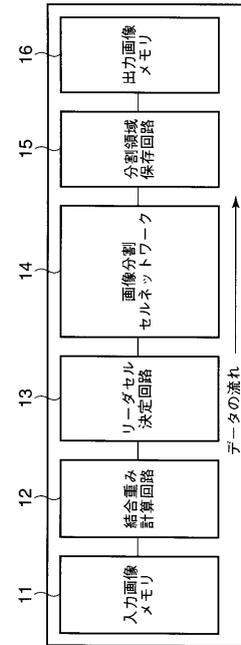
1 1 ... 入力画像メモリ、 1 2 ... 結合重み計算回路、 1 3 ... リーダセル決定回路、 1 4 ... 画像分割セルネットワーク、 1 5 ... 分割領域保存回路、 1 6 ... 出力画像メモリ、 1 7 ... ラベル制御回路、 1 8 ... S I A 制御回路、 2 1 ~ 2 4 ... レジスタ、 2 5 ... デコーダ、 2 6 ... 加算器、 2 7 ... 減算器、 2 8 ... 制御回路、 2 9 ... スイッチ、 3 0 ... デコーダ、 3 1 ... 逐次加減算器、 3 2 ... レジスタ、 3 3 ... B A O 状態検出回路、 3 3 1 , 3 3 2 ... 論理和ゲート、 3 3 3 ... 論理積ゲート、スイッチ 4 1、 4 2 ~ 4 5 ... レジスタ、 4 6 ... 出力選択回路、 5 1 ... 行クロック制御回路、 5 1 0 ... 動作領域制御回路、 5 1 1 ... 行デコーダ、 5 1 2 ... ラベル書き込み行選択回路、 5 1 3 ... 境界セル活性回路。

30

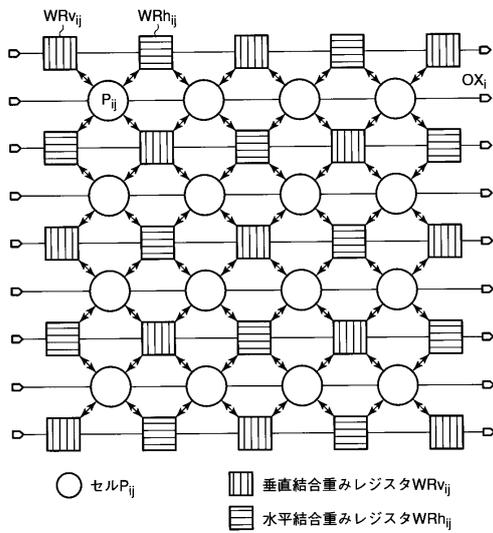
【 図 1 】



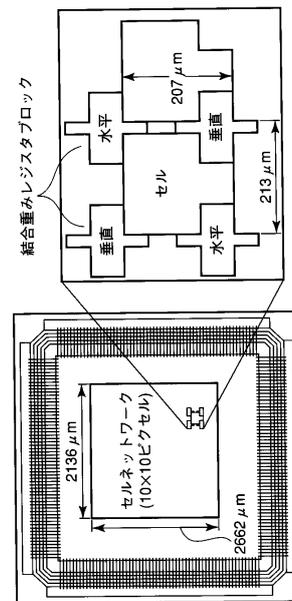
【 図 2 】



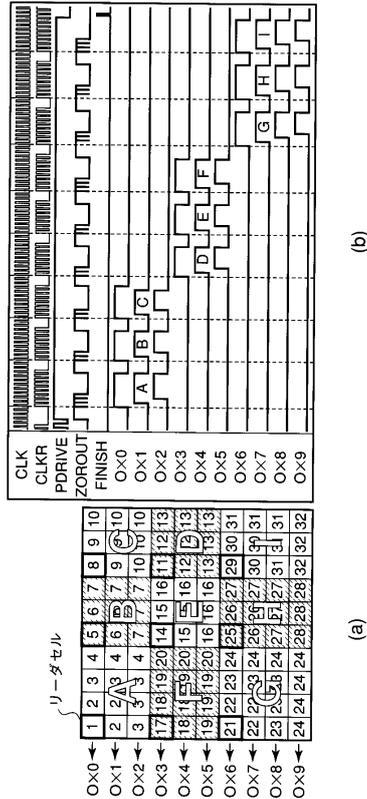
【 図 3 】



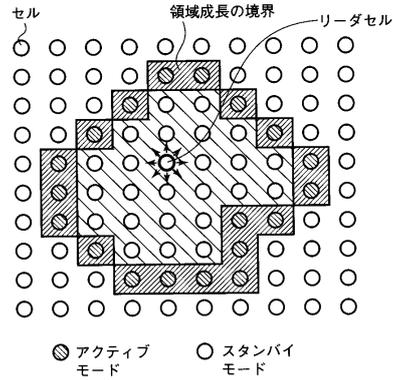
【 図 4 】



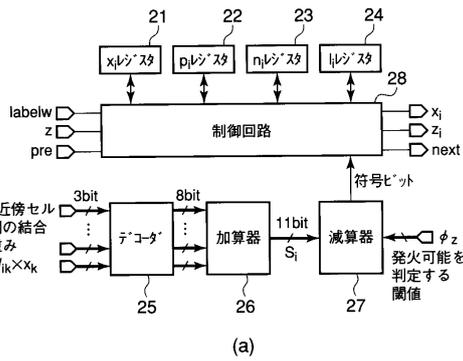
【 図 5 】



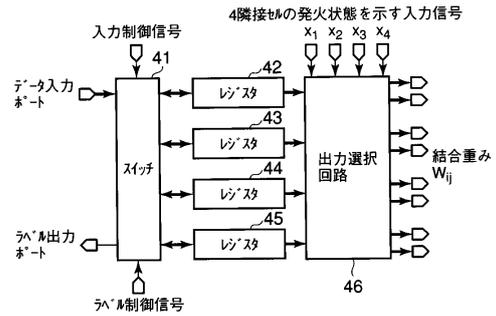
【 図 6 】



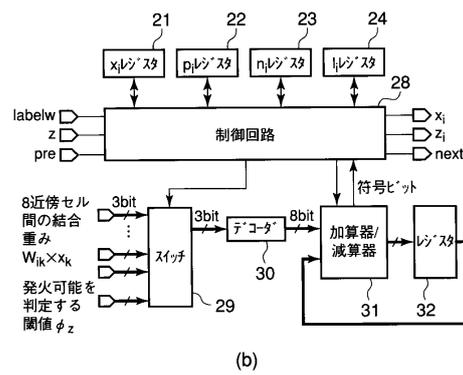
【 図 7 】



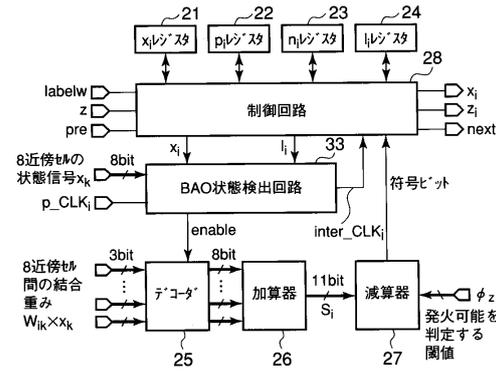
【 図 8 】



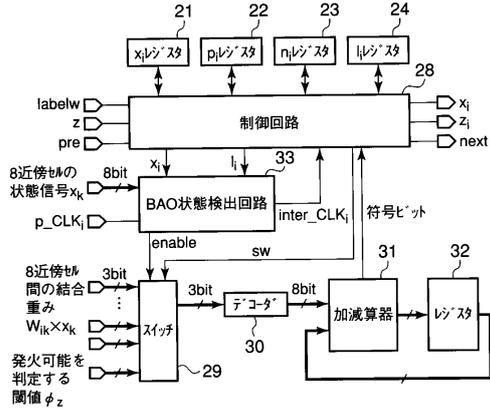
【 図 9 】



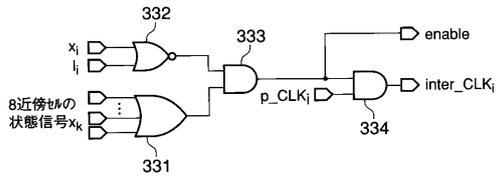
【 図 9 】



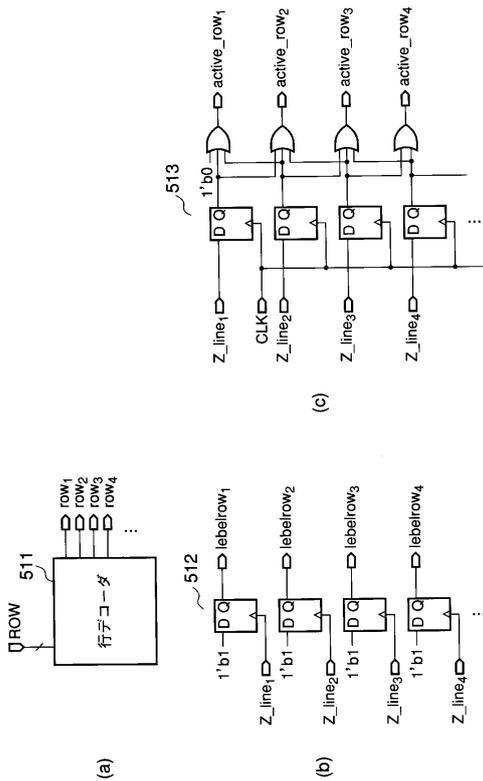
【図10】



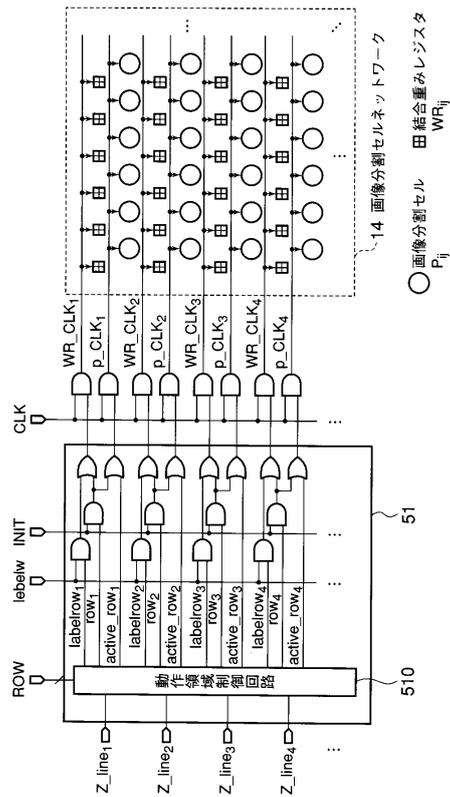
【図11】



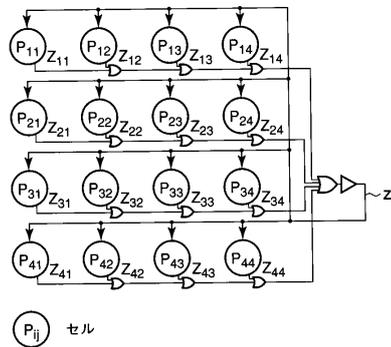
【図13】



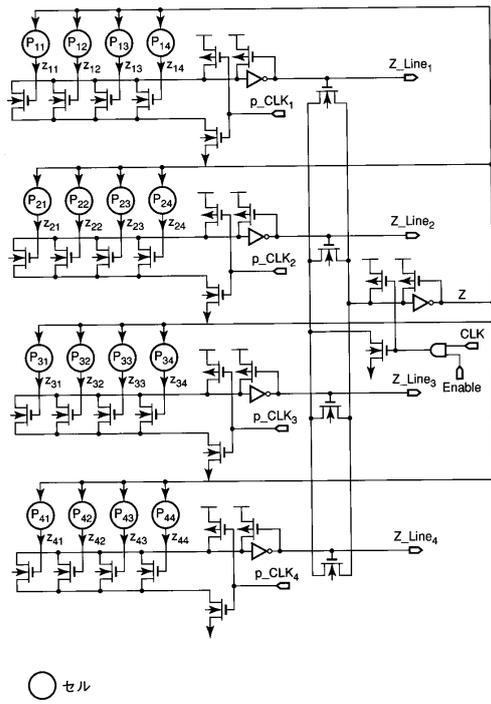
【図12】



【図14】

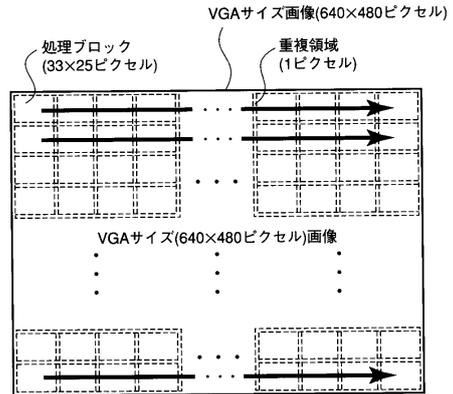


【 図 15 】



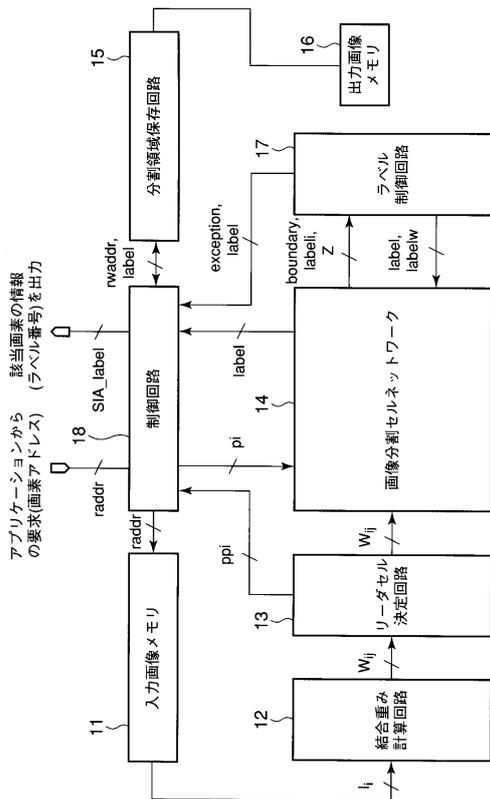
○セル

【 図 16 】



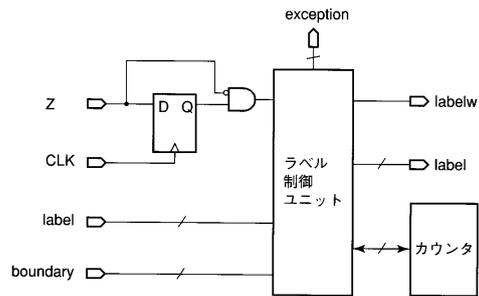
- 33×25ピクセルブロック
測定処理時間@10MHz : 15 μsec
測定電力損失@10MHz : 19.8mW
- 全処理時間@10MHz : 8.64msec
分割-(20×20)ブロック×15 μsec=6msec
データ入出力-(20×20)ブロック×0.1 μsec×66cycles=2.64msec

【 図 17 】

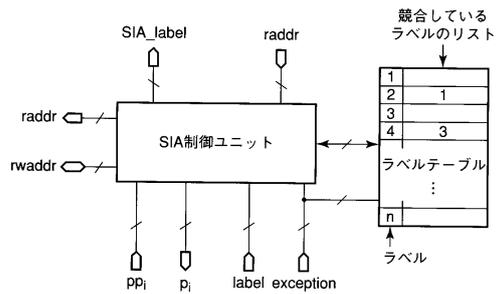


アプリケーションから 該当画像の情報
の要求(画像アドレス) (ラベル番号)を出力

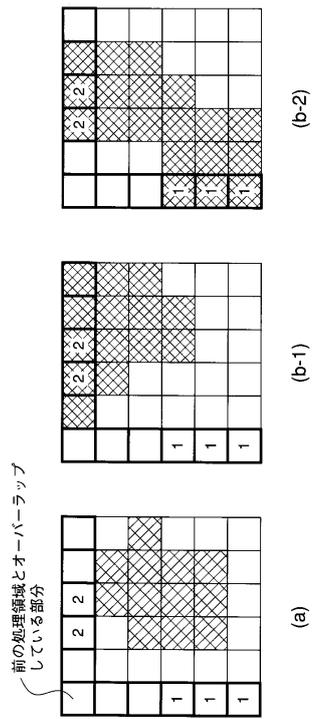
【 図 18 】



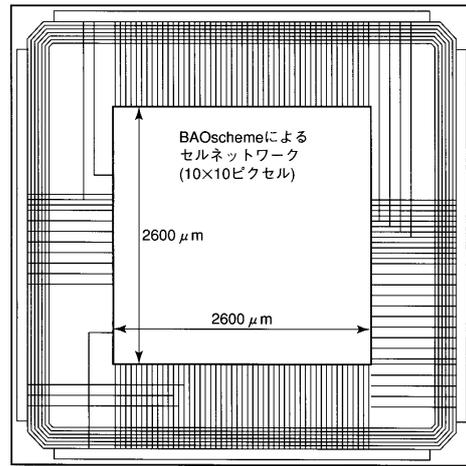
【 図 19 】



【図 20】



【図 21】



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 小出 哲士
広島県東広島市西条町大字御園字647-159
- (72)発明者 マタウシュ・ハンスユルゲン
広島県東広島市西条町大沢849-2
- (72)発明者 森本 高志
広島県東広島市西条町寺家1044-1 グリーンコーポA103
- (72)発明者 原田 洋明
広島県東広島市西条町下見6丁目1-6 フォブール木原B棟201号

審査官 真木 健彦

- (56)参考文献 特開2003-044850(JP,A)
特開平08-167028(JP,A)
森本高志 原田洋明 小出哲士 マタウシュハンスユルゲン, セルネットワークに基づくカラー・グレースケール画像分割アーキテクチャ, 電子情報通信学会技術研究報告, 日本, 社団法人電子情報通信学会, 2002年 6月21日, Vol.102 No.162 (CAS-2002 26-41), P.49-54

(58)調査した分野(Int.Cl., DB名)

G06T	1/20	
G06T	1/40	
G06T	7/60	110