

3次元集積量子構造の形成と智能情報処理への応用

研究代表者 広島大学工学部 廣瀬全孝

Fabrication of Silicon Quantum Nanostructures and Nanodevices for Intelligent Information Processing

Masataka Hirose, *Research Director of CREST*

Department of Electrical Engineering, Hiroshima University

1. プロジェクトの目標

シリコンを3nm以下のサイズにすると、間接遷移型から直接遷移型へのバンド構造の変化、量子化準位の形成、クーロン・ブロッケード効果など微細系に固有な現象・効果が現れる。本研究プロジェクトでは、均一サイズで位置制御されたSi量子ドット及び細線構造の形成法、及びこれらを電子のトンネルが可能なように近接して、3次元的に配列する方法を確立する。更に、孤立量子ドット、ドット結合系、Si及び金属配線、3次元集積量子構造に現れる電氣的及び光学的な量子現象を実験及び理論の両面から解析する。微細系で起こる量子現象の電氣的計測には、これまで走査プローブ顕微鏡が用いられているが、本研究では、ゲート長及びゲート幅共に30-100nmの超微細MOSトランジスタを新たに開発する。これによって、3次元集積量子構造への電気信号の入出力系として超微細MOSトランジスタを量子配線によりマトリクス状に接続した系を利用できるようにする。さらに、3次元集積量子構造体内部におけるクーロン・ブロッケード効果や、量子構造間の電子輸送現象を利用し、学習能力を有する智能情報処理機能体を設計し、そのシステム評価を行う。

2. 研究内容

Si量子ドット及び量子細線と、これらを集積した二次元及び三次元集積量子立体構造が示す量子現象の解明と理解を通じて、新しい情報処理機能体を設計する基礎を確立する。更にこれらの量子構造体と超微細MOSトランジスタ集積回路を融合させた智能情報処理システムの探索研究を行う。本プロジェクトは、互いに密接に関連した要素技術の研究開発(研究課題(1)~(6))とこれらの要素技術を用いて実現し得る3次元量子構造による情報処理アーキテクチャの研究(研究課題(7))とから成る。

本プロジェクトの研究課題

- (1) Si量子ドットの自己組織化形成とドットサイズ及び位置制御
- (2) 二次元Si量子ドットアレーをフローティングゲートとするメモリトランジスタ
- (3) ナノメータスケールMOSトランジスタ
- (4) 原子層制御選択成長によるSi量子細線の形成
- (5) 表面反応制御によるSi基板上及び絶縁膜上へのメタルドット形成
- (6) 結合量子ドット系における輸送理論
- (7) 3次元量子構造による情報処理アーキテクチャ

上記研究課題において得られた知識、技術を集約し、新しい智能情報処理システム実現の可能性を明らかにする。

3. 研究成果

3.1 Si量子ドットの形成メカニズムと位置制御

モノシラン(SiH_4)の減圧CVDにおいて、堆積初期過程を精密制御することにより、極薄シリコン酸化膜(SiO_2)上に比較的均一なサイズ分布でSi量子ドットを自己組織化形成することができ[1]。Siドットの初期核発生・成長メカニズムの研究を通じて、CVD前の SiO_2 表面を希釈HF処理して、意図的に形成した表面Si-OH結合が反応活性サイトとして働くこと、Si-OH結合密度制御によるSiドット密度制御が可能であることを示した。 SiO_2 表面のSi-OH結合が800°C熱酸化において安定に保持されることを応用して、 SiO_2 表面を局所的にSi-OH結合終端し、Siドットを選択成長や形成位置制御を実現した[2, 3]。具体的には、AFM Siカンチレバーを用いて、Si

基板表面の極微小領域を陽極酸化した後、希釈HF処理と750℃熱酸化により、陽極酸化した微小領域のみがSi-OH結合で終端したSiO₂表面を用意する。引き続き大気に曝すことなくLPCVDすると、Si-OH結合終端した極微小領域にSiドットが選択成長する。Si-OH結合終端した極微小領域のサイズと配列を制御することで、Siドットを位置制御できた(図1及び研究報告1-2-1参照)。更に、真空一貫プロセスによるSiドット位置制御技術の開発を行った。CVD前のSiO₂表面に、水素分圧制御下でバイアス印加したSTM PtIr 探針からの低エネルギー電子ビーム照射により、Si-O-Si結合を開裂させ、更に探針表面に解離吸着した水素原子を照射することにより局所的にSi-OH結合形成し、Siドットをライン状に配列形成できた(研究報告1-2-1参照)。

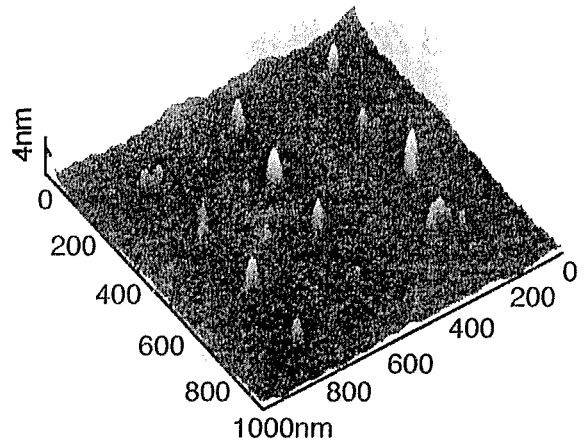


図1 極微小SiO₂上に形成されたSiドットのAFM像

3.2 量子ドットメモリトランジスタの動作機構

Si量子ドット(QD)を用いた多値メモリの実現を目指して、自己組織化形成2次元Si量子ドットアレーをフローティングゲート(FG)としてSiO₂中に埋め込んだMOS構造を作製し、Si QD FGへの電子注入・保持機構を明らかにした。Si QD FG MOSキャパシタの容量-電圧(C-V)特性の解析から、ドット当たり約1個の電子が室温で安定に保持できることを示した[4]。また、フラットバンド電圧(V_{FB})シフト量と保持電荷量との関係にドット特有の効果が現れ、同じ保持電荷量の均一誘電体層フローティングゲートに比べて、しきい値電圧(V_{th})シフト量が大きくなることを明らかにした。更に、Si QD FG MOSFETを作製し、室温でメモリ特性を有することを実証した。パルスゲート電圧印加時のドレイン電流の過渡応答特性から、ドットへの電子注入がゲート電圧に対して多段階的に起こることを明らかにした[5] (図2)。このときの最大しきい値電圧シフト量はドット当たり電子約1個が保持されることに相当する。従って、ドットへの多段階的電子注入は、個々のドットにおけるクーロンブロッケイド効果というよりは、帯電した隣接ドット間のクーロン反発によると考えられる。さらに、Si QDの2層構造をフローティングゲートとして用いたMOSFETにおいて、1層目のドットから2層目のドットへの電子移動が起こることを反映して、一定ゲート電圧下で時間に対して多段階的な電子注入が起こることを見いだした(研究報告1-2-1参照)。これらの結果から、位置制御されたQDドットを3次元集積構造することにより、ドット間のクーロン相互作用或いはドット層間の電子移動を利用した多値メモリ実現の見通しを得た。

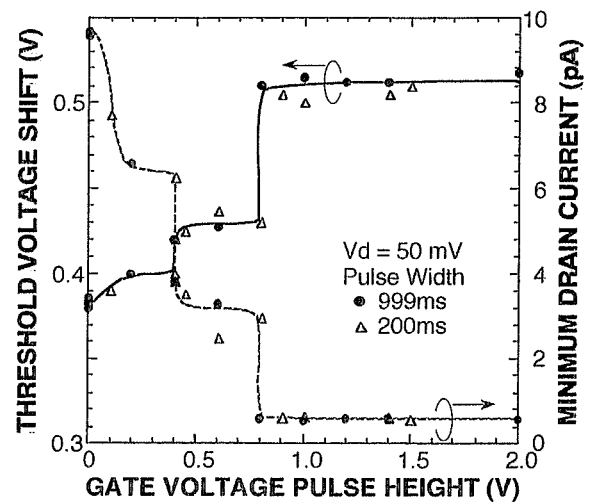


図2 Si QD FG MOSFETにおけるしきい値電圧シフト量のゲートパルス電圧依存性

3.3 極微細 MOS トランジスタの開発と動作解析

ゲート長30-100nm 極微細 MOSFETの素子分離技術、極浅接合形成、微細FETの特性解析を行った[6](研究報告1-2-2参照)。

ソース・ドレイン接合の形成ではSb⁺注入を用いて深さ20nmという極浅接合で0.25kΩ/sq.にまでシート抵抗を低減し、MOSFETのゲート長の極微細化に伴う短チャネル効果を抑えながら電流駆動能力を向上させる技術を開発した。また、これまでシート抵抗の低減を困難にしていたSiO₂/Si界面でのSbパイルアップ現象を界面におけるドーパントの不動化モデルを用いて説明し、合わせてこれを解決する方法を明らかにした[7]。

また、極薄ゲート酸化膜MOS構造におけるゲートトンネル電流を解析するための理論モデル

を構築した。トンネル電子の有効質量とゲート電極中のフェルミエネルギーをパラメータとしてモデルに組み込むことにより、実測トンネル電流を再現できた[8]。

ゲート長30nmのMOSFETの特性解析から、ゲート電極のサイドウォール空乏化が電流駆動力を低下させていることを明らかにした。ゲート加工後の熱プロセス中に、ゲートポリシリコンにドーパされたリンドナーがサイドウォールとSiO₂界面にパイルアップするため、ゲートサイドウォールが空乏化すると考えられる。この現象はゲート長500nm以下の領域で観測され、微細化とともにFET性能への影響が大きくなるため、ゲートpoly-Siへのリン、ヒ素の同時ドーパが望ましい。

3.4 表面反応制御 Si 量子細線形成とメタルドットの自己組織化形成

Si₂H₆の間欠照射原子層CVDによりSiO₂/Si₃N₄/SiO₂多層膜端面のSi₃N₄上のみSiを選択成長させ、Si細線を形成する技術を開発した[9]。また、電子ビームリソグラフィ、弗酸によるSiO₂マスク縮小により、プラズマエッチングを用いてpoly-Si細線を形成できた[10]。低温での電気特性から、クーロンブロッケイド、クーロン振動が観測され、ゲートバイアスにより部分的にクーロンドットが形成されていることが示された（研究報告1-2-3参照）。

加熱したNH₄F溶液処理によりSi(111)基板上への高規則性ステップ/テラス周期構造形成を表現した。オフ方位<-1-12>の微傾斜表面ではテラス上のSiH終端に対し、ステップ端のみがSi₂終端となる。このSiH₂構造にDMAIH [AlH(CH₃)₂]が選択的に反応し、ステップ端でAl細線構造を形成できる[11, 12]。また、3次元成長にはDMAIHの予備加熱と分圧上昇が重要であることを見出し、ドット状の三次元成長を実現した（研究報告1-2-3参照）。更に、Al/SiO₂/Si基板上のAlを陽極酸化しAl₂O₃中に微細孔の規則配列を自己組織的に形成する技術を開発した[13]。微細孔を自己組織化形成した後、酸化アルミニウムを選択的にエッチングすることにより、高さ15nm、直径40nmのAlドットを六角格子状に配置形成できた（研究報告1-2-3参照）。

3.5 結合量子ドット系の理論

一般的で系統的な量子構造中の輸送理論を開発してきた[14]。理論の特徴は、Keldyshグリーン関数を自己エネルギーと非摂動グリーン関数の関数と見なし、これらの関数の任意性を利用して、相互作用、構造、物質に関する一般的な場合の解を相互作用のない解を利用して導出することにある（研究報告1-2-5参照）。この理論は、物質の構造をコントロールし、新たな機能発現を目指す物質設計をサポートできる理論形式を有しており、結合量子ドット構造による知能デバイスの設計指針を与える。

3.6 三次元量子構造による確率的連想処理システムの提案とシステム評価

単電子デバイスの確率的動作を用いた確率的な連想処理アルゴリズムを提案し、単電子トランジスタを用いた回路構成を提案した[15]。また、システムとしての有効性を評価するために、既存CMOS技術を用いてエミュレータLSIを開発し動作確認を行った。更に、量子ドット間のクーロン反発力を利用した連想処理回路を提案し、動作温度向上のために、熱雑音の助けを借りて動作する新しい原理に基づく多重ドット連想処理回路を考案した[16, 17]。従来の量子ドット回路はドット間の容量で決まる静電エネルギーにより動作温度が決まるため、室温動作には0.01aFのオーダーの接合容量を必要としたが、新たに提案する多重ドット回路では0.1aFオーダーの接合容量でよく、300Kで動作する実デバイスの実現性が極めて高くなった（研究報告1-2-4参照）。

微細MOSFETゲート上に3次的に配置した量子ドットによる連想処理システムを図4に示す。図を見やすくするため、単純な構造の量子ドット回路を示している。入力データとメモリからのデータは究極的にはナノワイヤにより1量子ドット毎に対応付けられるが、超微細配線が困難で、ドットに対するオフセット電荷の問題が解決できていない未成熟な素子技術を用いる場合は、複数のドットに同一のデータを与えても良い。その場合は集積度は若干低下するが、平均化効果で演算精度は高くなる。量子ドットでの演算結果は微細MOSFETゲート電極に集められ、各ゲート容量の帯電電荷量に応じたMOSFETのドレイン電流変化をCMOSウィナーテイクオール(WTA)回路で検出する。

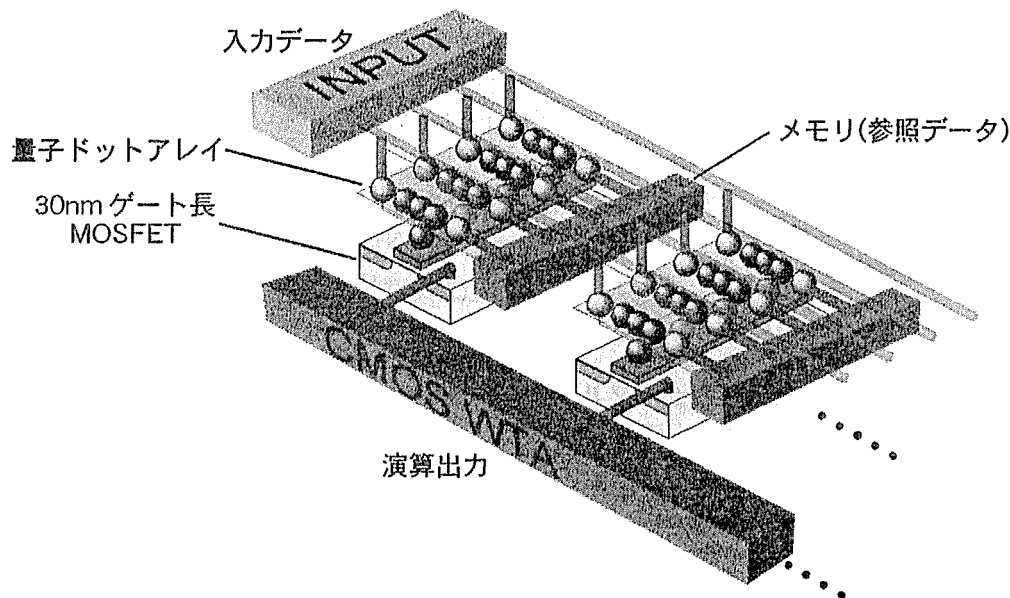


図4 微細 MOSFET ゲート上の 3 次元量子ドット構造による連想処理システム

主な発表論文

- [1] K. Nakagawa, M. Fukuda, S. Miyazaki and M. Hirose, *Mat. Res. Soc. Symp. Proc.* **452** (1997) 243.
- [2] S. Miyazaki, Y. Hamamoto, E. Yoshida, M. Ikeda and M. Hirose, *Thin Solid Films* **369** (2000) p. 55.
- [3] S. Miyazaki, M. Ikeda, Y. Yoshida, N. Shimizu and M. Hirose, *Proc. of the 25th Intern. Conf. on the Physics of Semiconductors (Osaka, 2000)*, to be published.
- [4] A. Kohno, H. Murakami, M. Ikeda, H. Nishiyama, S. Miyazaki and M. Hirose, *Ext. Abst. of Intern. Conf. on Solid State Devices and Materials (Hiroshima, 1998)* p. 174.
- [5] A. Kohno, H. Murakami, M. Ikeda, H. Nishiyama, S. Miyazaki and M. Hirose, *Ext. Abst. of Intern. Conf. on Solid State Devices and Materials (Sendai, 2000)* p. 124.
- [6] M. Koh, W. Mizubayashi, K. Iwamoto, H. Murakami, T. Ono, M. Tsuno, T. Mihara, K. Shibahara, S. Miyazaki and M. Hirose, *IEEE Trans. Electron Devices* **48** (2001), to be published.
- [7] K. Shibahara and D. Onimatsu, *Mat. Res. Soc. Symp. Proc.* **610** (2000), in press.
- [8] Khairurrijal, W. Mizubayashi, S. Miyazaki and M. Hirose, *Applied Physics Letters*, **77** (4 December 2000), in press.
- [9] S. Yokoyama, Y. Nakashima and K. Ooba, *J. Korean Physical Soc.* **35** (1999) p. S71.
- [10] S. Yokoyama, K. Ooba, K. Kawamura, T. Kidera and A. Nakajima, *Ext. Abst. of Intern. Conf. on Solid State Devices and Materials (Sendai, 2000)* p. 202.
- [11] H. Sakaue, Y. Katsuda, S. Shingubara and T. Takahagi, *The 4th International Symp. on Atomically Controlled Surfaces and Interfaces (Tokyo, 1997)* p. 345.
- [12] H. Sakaue, T. Tanaka, S. Fujiwara, S. Shingubara and T. Takahagi, *Ext. Abst. of Intern. Conf. on Solid State Devices and Materials (Hiroshima, 1998)* p.434.
- [13] S. Shingubara, O. Okino, Y. Sayama, H. Sakaue and T. Takahagi, *Jpn. J. Appl. Phys.* **36** (1997) p. 7791.
- [14] Y. Isawa and H. Horii, *J. Phys. Soc. Jpn.* **65** (1999) p. 3481.
- [15] T. Yamanaka, T. Morie, M. Nagata and A. Iwata, *Nanotechnology*, **11** (2000) p. 154.
- [16] T. Morie, T. Matsuura, S. Miyata, T. Yamanaka, M. Nagata and A. Iwata, *Superlattices and Microstructures* **27** (2000) p. 613.
- [17] T. Matsuura, T. Morie, M. Nagata, and A. Iwata, *Ext. Abst. of Intern. Conf. on Solid State Devices and Materials (Sendai, 2000)* p. 306.