

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/044242 A1

(43) 国際公開日

2010年4月22日(22.04.2010)

PCT

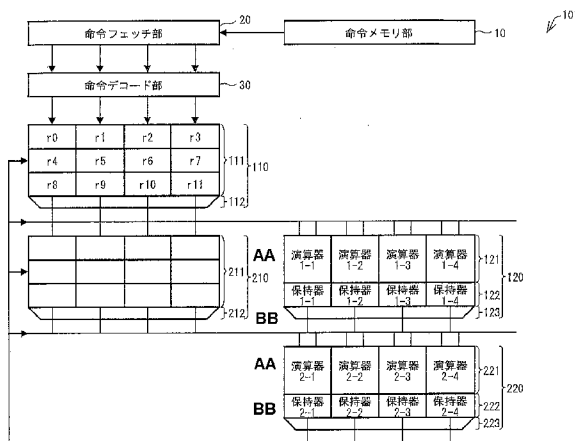
- (51) 国際特許分類:
G06F 9/30 (2006.01) G06F 9/38 (2006.01)
G06F 9/34 (2006.01) G06F 15/80 (2006.01)
- (21) 国際出願番号: PCT/JP2009/005306
- (22) 国際出願日: 2009年10月13日(13.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-265312 2008年10月14日(14.10.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人奈良先端科学技術大学院大学(NATIONAL UNIVERSITY CORPORATION NARA INSTITUTE OF SCIENCE AND TECHNOLOGY) [JP/JP]; 〒6300192 奈良県生駒市高山町8916-5 Nara (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中島康彦 (NAKASHIMA, Yasuhiko). 中田尚 (NAKADA, Takashi).
- (74) 代理人: 特許業務法人原謙三国際特許事務所 (HARAKENZO WORLD PATENT & TRADE-MARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: DATA PROCESSING DEVICE

(54) 発明の名称: データ処理装置

[図1]



- 10 command memory unit
- 20 command fetch unit
- 30 command decoding unit
- AA calculation unit
- BB holding unit

(57) Abstract: A data processing device (101) is provided which makes it possible for a larger number of commands to be executed in parallel. The data processing device (101) is equipped with: a first register file unit (110) including a plurality of registers; a second register file unit (210) including a plurality of registers corresponding to the registers of the first register file unit (110); a first calculation device (120) that executes calculations using read data of the first register file unit (110); and a second calculation device (220). The first register file unit (110) transmits data to the register of the second register file unit (210) corresponding to the register that holds the data, and the first calculation device (120) transmits a calculation result held by this first calculation device (120) to the second calculation device (220). The second calculation device (220) executes calculations using the read data of each register of the second register file unit (210) and/or the calculation results of the first calculation device (120).

(57) 要約: より多くの命令を並列的に実行することができるデータ処理装置(101)を提供する。本発明のデータ処理装置(101)は、複数のレジスタを含む第1レジスタファイル部(110)と、第1レジスタファイル部(110)の各レジスタに対応する複数のレジスタを含む第2レジスタファイル部

(210)と、第1レジスタファイル部(110)の読み出しデータを用いて演算を実行する第1演算装置(120)と、第2演算装置(220)と、を備えている。第1レジスタファイル部(110)は、データを保持するレジスタに対応する第2レジスタファイル部(210)のレジスタにデータを転送し、第1演算装置(120)は、自身が保持する演算結果を第2演算装置(220)に転送する。第2演算装置(220)は、第2レジスタファイル部(210)の各レジスタの読み出しデータ及び第1演算装置(120)の演算結果の少なくとも一方を用いて演算を実行する。

WO 2010/044242 A1

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称：データ処理装置

技術分野

[0001] 本発明は、複数の演算器を有し、各演算器による演算処理を同期して行なうことができるデータ処理装置に関する。

背景技術

[0002] 近年のマイクロプロセッサにおいては、マシンサイクルを短縮するとともに、1マシンサイクルあたりに実行される命令の数を増やすことにより、実効性能の向上を図る方式が多く提案されている。

[0003] このような多数の命令を並列に処理する方式として、例えば、目的とするデータ処理に合わせて演算器ネットワークを固定し、その固定された演算器ネットワークに入力データを流し込む方式である演算器アレイ方式が知られている（例えば、特許文献1～3を参照）。

[0004] この演算器アレイ方式では、複数の演算器からなる演算器ネットワークを利用することにより、多くの機能を並列実行することが可能である。

[0005] しかし、演算器アレイ方式は、既存の機械語命令を実行することができない。このため、この演算器アレイ方式に特有の機械語命令を生成するための専用の機械語命令生成手段が必要であり、汎用性に欠けている。

[0006] そこで、一般的な機械語命令を実行し、且つ、機械語命令の並列実行が可能な方式としては、例えば、スーパスカラ方式、ベクトル方式、VLIW方式が知られている。これらの方式では、1つの命令の中で複数の演算等が指定され、それらが同時に実行されることになる。

[0007] 先ず、スーパスカラ方式は、機械語命令列の中から同時実行可能な機械語命令をハードウェアが動的に検出して並列実行する方式である。

[0008] このスーパスカラ方式は、既存のソフトウェア資産をそのまま活用できる強みがある一方、機構の複雑さ及び消費電力の多さから、最近では敬遠される傾向にある。

- [0009] 次に、ベクトル方式は、多数のレジスタを一次元方向に並べたベクトルレジスタを用いて、ロード、演算、ストア等の基本操作を繰返し適用する方式であり、電力効率の良い高速化が可能である。さらに、キャッシュメモリが不要となることから、主記憶とベクトルレジスタ間のデータ転送速度が保証され、その結果、安定した高速化が実現される。
- [0010] しかし、このベクトル方式では、主記憶とベクトルレジスタとの間におけるデータ転送機構の規模と遅延時間が必然的に大きくなってしまう。このため、ある程度のデータ再利用が期待できる画像処理向け組み込みシステムのような応用分野に採用するには過剰な方式であると言える。
- [0011] 最後に、VLIW方式は、1つの命令の中で複数の演算等が指定され、それらが同時に実行される方式である。このVLIW方式では、例えば、4命令を同時にフェッチし、4命令を同時にデコードし、汎用レジスタから必要なデータを読み出し、複数の演算装置により同時に演算を行い、演算装置に付随する演算結果格納手段に演算結果を格納する。
- [0012] そして、次のサイクルではその演算結果格納手段から内容を読み出して、汎用レジスタに書き込みを行なうとともに、次の演算においてその読み出された演算結果が必要となる場合には、その演算結果を演算装置の入力へバイパスする。
- [0013] 一方、ロード命令に対しては、LD/STユニットにおいてキャッシュメモリを参照し、LD/STユニットに付随するロード結果格納手段にロード結果を格納した後、次のサイクルにおいて、LD/STユニットが演算装置と同様の動作を行なう。
- [0014] このようにしてVLIW方式では、並置された演算装置及びLD/STユニットの各々の数だけ演算を同時実行することができる。さらに、VLIW方式では、並列実行可能な命令列をコンパイラ等によりあらかじめスケジューリングしておくため、スーパスカラ方式のように同時実行可能な機械語命令をハードウェアが動的に検出する機構が不要となる。したがって、VLIW方式では、電力効率の良い命令実行が可能である。

[0015] しかしながら、VLIW方式であっても、スーパスカラ方式と同様、高々数命令を同時実行可能であるに過ぎない。なぜなら、先ず、現実のプログラムでは、あらかじめ並列実行可能であると判断できる命令数がそれほど多くないからである。この点については、画像処理等の一部の分野では十分な命令並列度が存在することがわかっているが、並列実行可能な命令数がそれほど多くないのが一般的である。

[0016] さらに、並列実行可能な命令数を増加させるためには、汎用レジスタに対してデータを読み書きするために必要なポートと呼ばれる回路の数も増加させなければならない。ところが、現実的な回路として数十命令を同時実行できるに耐えるレジスタファイルを構成することは極めて困難となっている。なぜなら、レジスタファイルの各ポートには、任意の番号のレジスタ内容を任意の演算装置に供給するために、レジスタファイルが保持するレジスタ数分の信号線から1つを選択する回路が演算装置数に合わせて必要となるからである。

先行技術文献

特許文献

[0017] 特許文献1：日本国公開特許公報「特開平8-83264号公報（1996年3月26日公開）」

特許文献2：日本国公開特許公報「特開2001-312481号公報（2001年11月9日公開）」

特許文献3：日本国公開特許公報「特開2003-76668号公報（2003年3月14日公開）」

発明の概要

発明が解決しようとする課題

[0018] 上述したように、従来のVLIW方式には、豊富なプログラム資産を利用できるという特徴があるものの、高々数命令しか同時実行できないという問題点があった。

[0019] さらに、あらかじめ並列実行可能であると判断できる命令数が多い場合であっても、レジスタポート数の制約により、同時実行命令数を増加させることができないという問題点もあった。

[0020] 上記問題点に鑑み、本発明の目的は、より多くの命令を並列的に実行することができるデータ処理装置を提供することにある。

課題を解決するための手段

[0021] 上記目的を達成するために、本発明におけるデータ処理装置は、複数の機械語命令からなる命令コードを実行するためのデータ処理装置であって、前記命令コードを保持する命令メモリ部と、前記命令メモリ部から前記命令コードを取り出してデコードする命令フェッチ／デコード部と、前記命令フェッチ／デコード部によりデコードされる前記命令コードに記述された複数のレジスタ番号の各々に一対一に対応し、且つ、前記各レジスタ番号に対応するデータを一時的に保持する複数の第1レジスタを含む第1レジスタファイル部と、前記第1レジスタファイル部の各第1レジスタと一対一に対応する複数の第2レジスタを含む第2レジスタファイル部と、を含む n (n は1以上の整数)個のレジスタファイル部と、前記第1レジスタファイル部の各第1レジスタの読み出しデータを用いて演算を実行する第1演算部と、第2演算部と、を含む n 個の演算部と、前記第1演算部の演算結果を一時的に保持する第1保持部を含む n 個の保持部とを備え、前記第1レジスタファイル部は、自身の各第1レジスタがデータを保持する場合には、データを保持する第1レジスタに対応する前記第2レジスタファイル部の第2レジスタに当該データを転送すると共に、前記第1保持部は、自身が保持する演算結果を前記第2演算部に転送可能となっており、前記第2演算部は、前記第2レジスタファイル部の各第2レジスタの読み出しデータ及び前記第1保持部により転送される演算結果のうちの少なくとも一方を用いて演算を実行することを特徴とする。

[0022] 上記のデータ処理装置では、第1レジスタファイル部の各第1レジスタのデータが、第1レジスタファイル部の各第1レジスタに対応する第2レジスタ

タファイル部の各第2レジスタに転送されている。

[0023] このため、第2演算部は、第1レジスタファイル部の第1レジスタのデータが第1演算部の演算実行に用いられている場合でも、そのデータを第2レジスタファイル部の第2レジスタから読み出して演算の実行に用いることができる。

[0024] また、第1演算部の演算結果が、第2演算部に転送されている。

[0025] このため、第2演算部は第1演算部による演算の終了後直ちに、第1演算部の演算結果を演算の実行に用いることができる。

[0026] したがって、上記のデータ処理装置では、第1及び第2演算部による2つの演算を並列的に実行させることができる。

発明の効果

[0027] 本発明のデータ処理装置は、以上のように、前記命令コードを保持する命令メモリ部と、前記命令メモリ部から前記命令コードを取り出してデコードする命令フェッチ/デコード部と、前記命令フェッチ/デコード部によりデコードされる前記命令コードに記述された複数のレジスタ番号の各々の一対一に対応し、且つ、前記各レジスタ番号に対応するデータを一時的に保持する複数の第1レジスタを含む第1レジスタファイル部と、前記第1レジスタファイル部の各第1レジスタと一対一に対応する複数の第2レジスタを含む第2レジスタファイル部と、を含む n (n は1以上の整数)個のレジスタファイル部と、前記第1レジスタファイル部の各第1レジスタの読み出しデータを用いて演算を実行する第1演算部と、第2演算部と、を含む n 個の演算部と、前記第1演算部の演算結果を一時的に保持する第1保持部を含む n 個の保持部とを備え、前記第1レジスタファイル部は、自身の各第1レジスタがデータを保持する場合には、データを保持する第1レジスタに対応する前記第2レジスタファイル部の第2レジスタに当該データを転送すると共に、前記第1保持部は、自身が保持する演算結果を前記第2演算部に転送可能となっており、前記第2演算部は、前記第2レジスタファイル部の各第2レジスタの読み出しデータ及び前記第1保持部により転送される演算結果のうち

の少なくとも一方を用いて演算を実行するものである。

[0028] それゆえ、より多くの命令を並列的に実行することができるという効果を奏する。

図面の簡単な説明

- [0029] [図1]本発明の一実施形態におけるデータ処理装置の構成を示す図である。
- [図2]本発明の他の実施形態におけるデータ処理装置の構成を示す図である。
- [図3]本発明の他の実施形態におけるデータ処理装置の構成を示す図である。
- [図4]本発明の他の実施形態におけるデータ処理装置の構成を示す図である。
- [図5]本発明の他の実施形態におけるデータ処理装置の構成を示す図である。
- [図6]本発明の他の実施形態におけるデータ処理装置の構成を示す図である。
- [図7]本発明の他の実施形態におけるデータ処理装置の構成を示す図である。
- [図8]本発明の他の実施形態におけるデータ処理装置の構成を示す図である。
- [図9]命令コードを説明するための説明図である。
- [図10]本発明の他の実施形態におけるデータ処理方法の処理手順を説明するための図である（その1）。
- [図11]本発明の他の実施形態におけるデータ処理方法の処理手順を説明するための図である（その2）。
- [図12]本発明の他の実施形態におけるデータ処理方法の処理手順を説明するための図である（その3）。
- [図13]本発明の他の実施形態におけるデータ処理方法の処理手順を説明するための図である（その4）。
- [図14]本発明の他の実施形態におけるデータ処理方法の処理手順を説明するための図である（その5）。
- [図15]本発明の他の実施形態におけるデータ処理方法の処理手順を説明するための図である（その6）。
- [図16]本発明の他の実施形態におけるデータ処理方法の処理手順を説明するための図である（その7）。
- [図17]本発明の他の実施形態におけるデータ処理方法の処理手順を説明する

ための図である（その 8）。

[図18]本発明の他の実施形態におけるデータ処理方法の処理手順を説明するための図である（その 9）。

[図19]本発明の他の実施形態におけるデータ処理方法の処理手順を説明するための図である（その 10）。

[図20]本発明の他の実施形態におけるデータ処理方法の処理手順を説明するための図である（その 11）。

発明を実施するための形態

[0030] 以下、図面を参照しつつ本発明の実施の形態について説明する。以下の説明に用いる図面では、同一の部品に同一の符号を付してある。それらの名称及び機能も同一である。したがって、それらについての詳細な説明は繰り返さない。

[0031] 先ず、本発明におけるデータ処理装置の構成について実施の形態 1～10 で説明し、次に、本発明におけるデータ処理方法の処理手順について実施の形態 11 で説明する。

[0032] （実施の形態 1）

図 1 は、本発明の実施の形態 1 におけるデータ処理装置の構成を示す図である。図 1 に示すように、本実施の形態におけるデータ処理装置 101 は、命令メモリ部 10 と、命令フェッチ部（命令フェッチ／デコード部）20 と、命令デコード部（命令フェッチ／デコード部）30 と、第 1 レジスタファイル部 110 と、第 2 レジスタファイル部 210 と、第 1 演算装置（第 1 演算部、第 1 保持部）120 と、第 2 演算装置（第 2 演算部、第 2 保持部）220 と、を備えている。

[0033] 命令メモリ部 10 は、ハードディスクドライブなどの磁気ディスク装置や半導体メモリ等の公知の記憶装置から適宜選択して用いることができる。命令メモリ部 10 は、複数の命令からなるプログラムを保持するものであり、主記憶の一部の領域であってもよく、また、主記憶の一部を保持する命令バッファであってもよい。

- [0034] 命令フェッチ部20は、命令メモリ部10から必要な命令をフェッチして、命令デコード部30は、そのフェッチした命令をデコードする。命令デコード部30によるデコード結果により、第1及び第2演算装置120、220における処理内容が決定する。
- [0035] 本実施の形態におけるデータ処理装置101では、公知のVLIW方式によるプロセッサアーキテクチャを前提としており、命令フェッチ部20により例えば32ビット幅の命令が例えば4個同時にフェッチされ、命令デコード部30によりそれらフェッチされた命令が同時にデコードされるものと想定する。
- [0036] 第1レジスタファイル部110は、第1演算装置120における演算処理に必要なデータを保持するものである。第1レジスタファイル部110は、複数のレジスタ（第1レジスタ） $r_0 \sim r_{11}$ からなるレジスタ群111と、レジスタ群111の各レジスタ $r_0 \sim r_{11}$ の読み出しデータを第1レジスタファイル部110の外部に転送するための転送器112と、を有している。
- [0037] レジスタ群111の各レジスタ $r_0 \sim r_{11}$ に対する読み出しや書き込みは、命令デコード部30によるデコード結果に基づいて実行される。レジスタ群111の各レジスタ $r_0 \sim r_{11}$ は、自身のレジスタ番号0~11をアクセスのキーとして読み出しや書き込みがされる。
- [0038] 転送器112は、読み出しレジスタ番号が指定されると、その指定された番号が付されたレジスタに保持されているデータを第1レジスタファイル部110の外部に転送する。
- [0039] 第2レジスタファイル部210は、第2演算装置220における演算処理に必要なデータを保持する。第2レジスタファイル部210は、複数のレジスタ（第2レジスタ） $r_0 \sim r_{11}$ からなるレジスタ群211と、レジスタ群211の各レジスタ $r_0 \sim r_{11}$ の読み出しデータを第2レジスタファイル部210の外部に転送するための転送器212と、を有している。
- [0040] レジスタ群211の各レジスタ $r_0 \sim r_{11}$ に対する読み出しや書き込み

は、命令デコード部30によるデコード結果に基づいて実行される。レジスタ群211の各レジスタr0~r11は、自身のレジスタ番号0~11をアクセスのキーとして読み出しや書き込みがされる。

[0041] レジスタ群211の各レジスタr0~r11は、第1レジスタファイル部110のレジスタ群111の各レジスタr0~r11と一対一に対応しており、レジスタ群111及びレジスタ群211の各レジスタ間においてレジスタ番号が同一のもの同士が対応付けられている。そして、第1レジスタファイル部110の転送器112は、レジスタ群111の各レジスタr0~r11の読み出しデータを、レジスタ群111の各レジスタr0~r11のレジスタ番号と同一のレジスタ番号を持つ、第2レジスタファイル部210のレジスタ群211の各レジスタr0~r11に、転送可能である。例えば、第1レジスタファイル部110の転送器112は、レジスタ群111のレジスタr3の読み出しデータを、第2レジスタファイル部210のレジスタ群211のレジスタr3に転送可能である。また、第1レジスタファイル部110の転送器112は、レジスタ群111のレジスタr9の読み出しデータを、第2レジスタファイル部210のレジスタ群211のレジスタr9に転送可能である。

[0042] 転送器212は、読み出しレジスタ番号が指定されると、その指定された番号が付されたレジスタに保持されているデータを第2レジスタファイル部210の外部に転送する。

[0043] 第1演算装置120は、データ処理装置101における実体的な処理を行なうものである。第1演算装置120は、演算器1-1~1-4からなる演算器群121と、保持器1-1~1-4からなる保持器群122と、転送器123と、を有している。

[0044] 第1演算装置120は、第1レジスタファイル部110と共に、第1データ処理段を構成しており、第1レジスタファイル部110の転送器112は、レジスタ群111の各レジスタr0~r11の読み出しデータを第1演算装置120に転送可能である。そして、第1演算装置120の演算器群12

1の各演算器1-1~1-4は、第1レジスタファイル部110の各レジスタ $r_0 \sim r_{11}$ のうちから2つの読み出しデータを取得し、それらデータを用いて四則演算や論理演算等各種の演算処理を実行する。各演算器1-1~1-4の演算処理は同時に実行される。

[0045] 保持器群122の保持器1-1~1-4は、各々に対応する演算器1-1~1-4の演算結果を格納する。各保持器1-1~1-4は、各演算器1-1~1-4と一対一に対応している。

[0046] 転送器123は、各保持器1-1~1-4に格納されている、各演算器1-1~1-4の演算結果を第1演算装置120の外部に転送する。

[0047] 第2演算装置220は、データ処理装置101における実体的な処理を行なうものである。第2演算装置220は、演算器2-1~2-4からなる演算器群221と、保持器2-1~2-4からなる保持器群222と、転送器223と、を有している。

[0048] 第2演算装置220は、第2レジスタファイル部210と共に、第2データ処理段を構成しており、第2レジスタファイル部210の転送器212は、レジスタ群211の各レジスタ $r_0 \sim r_{11}$ の読み出しデータを第2演算装置220に転送可能である。そして、第2演算装置220の演算器群221の各演算器2-1~2-4は、第2レジスタファイル部210の各レジスタ $r_0 \sim r_{11}$ のうちから2つの読み出しデータを取得し、それらデータを用いて四則演算や論理演算等各種の演算処理を実行する。各演算器2-1~2-4の演算処理は同時に実行される。

[0049] さらに、第2演算装置220の演算器群221の各演算器2-1~2-4は、第1演算装置120の保持器群122の各保持器1-1~1-4に格納されている演算結果を取得することができる。第1演算装置120の転送器123は、各保持器1-1~1-4に格納されている、各演算器1-1~1-4の演算結果を第2演算装置220に転送可能となっている。

[0050] そして、第2演算装置220の各演算器2-1~2-4は、第2レジスタファイル部210の各レジスタ $r_0 \sim r_{11}$ の読み出しデータに代えて、そ

れら演算結果を用いて演算処理を実行することができる。

- [0051] 保持器群 2 2 2 の保持器 2-1 ~ 2-4 は、各々に対応する演算器 2-1 ~ 2-4 の演算結果を格納する。各保持器 2-1 ~ 2-4 は、各演算器 2-1 ~ 2-4 と一対一に対応している。
- [0052] 転送器 2 2 3 は、各保持器 2-1 ~ 2-4 に格納されている、各演算器 2-1 ~ 2-4 の演算結果を第 2 演算装置 2 2 0 の外部に転送する。
- [0053] 次に、本実施の形態におけるデータ処理装置 1 0 1 の動作について説明する。
- [0054] 本実施の形態におけるデータ処理装置 1 0 1 においては、レジスタ群 1 1 1 のレジスタ $r_0 \sim r_{11}$ の読み出しデータを用いて、第 1 演算装置 1 2 0 による演算処理が行なわれる。
- [0055] 第 1 演算装置 1 2 0 による演算処理と同時に、第 1 演算装置 1 2 0 による演算処理の対象外であったレジスタ群 1 1 1 のレジスタ $r_0 \sim r_{11}$ の読み出しデータが第 2 レジスタファイル部 2 1 0 に転送される。
- [0056] そして、次のサイクルにおいて、第 2 レジスタファイル部 2 1 0 のレジスタ群 2 1 1 のレジスタ $r_0 \sim r_{11}$ に転送されたデータを用いて、第 2 演算装置 2 2 0 による演算処理が行なわれる。
- [0057] 第 2 演算装置 2 2 0 による演算処理と同時に、レジスタ群 1 1 1 のレジスタ $r_0 \sim r_{11}$ の読み出しデータを用いて、第 1 演算装置 1 2 0 による演算処理が行なわれる。
- [0058] さらに、第 2 演算装置 2 2 0 が第 1 演算装置 1 2 0 の演算結果を必要とする場合には、第 1 演算装置 1 2 0 の転送器 1 2 3 が各保持器 1-1 ~ 1-4 に格納されている、各演算器 1-1 ~ 1-4 の演算結果を第 2 演算装置 2 2 0 に転送する。
- [0059] (実施の形態 2)

次に、本発明の実施の形態 2 について説明する。図 2 は、本発明の実施の形態 2 におけるデータ処理装置の構成を示す図である。以下、本発明の実施の形態 1 と同様の部分については、同一符号を付し、その詳細な説明は省略

する。

- [0060] 図2に示すように、本実施の形態におけるデータ処理装置102と上記の実施の形態1におけるデータ処理装置101とで異なる点は、第3レジスタファイル部310と、第3演算装置（第3演算部、第3保持部）320と、をさらに備えている点である。これにより、第1演算装置120による演算処理及び第2演算装置220による演算処理に加えて、第3演算装置320による演算処理も同時に実行するものである。
- [0061] 第3レジスタファイル部310は、第3演算装置320における演算処理に必要なデータを保持するものである。第3レジスタファイル部310は、複数のレジスタ（第3レジスタ） $r_0 \sim r_{11}$ からなるレジスタ群311と、レジスタ群311の各レジスタ $r_0 \sim r_{11}$ の読み出しデータを第3レジスタファイル部310の外部に転送するための転送器312と、を有している。
- [0062] レジスタ群311の各レジスタ $r_0 \sim r_{11}$ に対する読み出しや書き込みは、命令デコード部30によるデコード結果に基づいて実行される。レジスタ群311の各レジスタ $r_0 \sim r_{11}$ は、自身のレジスタ番号 $0 \sim 12$ をアクセスのキーとして読み出しや書き込みがされる。
- [0063] レジスタ群311の各レジスタ $r_0 \sim r_{11}$ は、第2レジスタファイル部210のレジスタ群211の各レジスタ $r_0 \sim r_{11}$ と一対一に対応しており、レジスタ群211及びレジスタ群311の各レジスタ間においてレジスタ番号が同一のもの同士が対応付けられている。そして、第2レジスタファイル部210の転送器212は、レジスタ群211の各レジスタ $r_0 \sim r_{11}$ の読み出しデータを、レジスタ群211の各レジスタ $r_0 \sim r_{11}$ のレジスタ番号と同一のレジスタ番号を持つ、第3レジスタファイル部310のレジスタ群311の各レジスタ $r_0 \sim r_{11}$ に、転送可能である。
- [0064] 転送器312は、読み出しレジスタ番号が指定されると、その指定された番号が付されたレジスタに保持されているデータを第3レジスタファイル部310の外部に転送する。

- [0065] また、第3レジスタファイル部310は、第1演算装置120の転送器123により、第1演算装置120の各保持器1-1~1-4に格納されている、各演算器1-1~1-4の演算結果を取得することができる。
- [0066] 第3演算装置320は、データ処理装置102における実体的な処理を行なうものである。第3演算装置320は、演算器3-1~3-4からなる演算器群321と、保持器3-1~3-4からなる保持器群322と、転送器323と、を有している。
- [0067] 第3演算装置320は、第3レジスタファイル部310と共に、第3データ処理段を構成しており、第3レジスタファイル部310の転送器312は、レジスタ群311の各レジスタr0~r11の読み出しデータを第3演算装置320に転送可能である。そして、第3演算装置320の演算器群321の各演算器3-1~3-4は、第3レジスタファイル部310の各レジスタr0~r11のうちから2つの読み出しデータを取得し、それらデータを用いて四則演算や論理演算等各種の演算処理を実行する。各演算器3-1~3-4の演算処理は同時に実行される。
- [0068] 保持器群322の保持器3-1~3-4は、各々に対応する演算器3-1~3-4の演算結果を格納する。各保持器3-1~3-4は、各演算器3-1~3-4と一対一に対応している。
- [0069] 転送器323は、各保持器3-1~3-4に格納されている、各演算器3-1~3-4の演算結果を第3演算装置320の外部に転送する。
- [0070] また、第3演算装置320は、第2演算装置220の転送器223により、第2演算装置220の各保持器2-1~2-4に格納されている、各演算器2-1~2-4の演算結果を取得することができる。
- [0071] 次に、本実施の形態におけるデータ処理装置102の動作について説明する。
- [0072] 本実施の形態におけるデータ処理装置102においては、レジスタ群211のレジスタr0~r11の読み出しデータを用いて、第2演算装置220による演算処理が行なわれる。

- [0073] 第2演算装置220による演算処理と同時に、第2演算装置220による演算処理の対象外であったレジスタ群211のレジスタ $r_0 \sim r_{11}$ の読み出しデータが第3レジスタファイル部310に転送される。
- [0074] そして、次のサイクルにおいて、第3レジスタファイル部310のレジスタ群311のレジスタ $r_0 \sim r_{11}$ に転送されたデータを用いて、第3演算装置320による演算処理が行なわれる。
- [0075] 第3演算装置320による演算処理と同時に、レジスタ群211のレジスタ $r_0 \sim r_{11}$ の読み出しデータを用いて、第2演算装置220による演算処理が行なわれる。
- [0076] さらに、第3演算装置320が第2演算装置120の演算結果を必要とする場合には、第2演算装置220の転送器223が各保持器2-1~2-4に格納されている、各演算器2-1~2-4の演算結果を第3演算装置320に転送する。
- [0077] また、第1演算装置120の演算結果を第2演算装置220が必要とせず、第3演算装置320が第1演算装置120の演算結果を必要とする場合には、第1演算装置120の結果を第3レジスタファイル部に格納することにより、第1演算装置120の演算結果を間接的に第3演算装置320に投入することができる。
- [0078] (実施の形態3)
- 次に、本発明の実施の形態3について説明する。本発明の実施の形態は、上記の実施の形態2のデータ処理装置102における第1~3データ処理段からなる3データ処理段の構成を、Nデータ処理段の構成に拡張した形態である。
- [0079] 例えば、Nを1以上の整数とする。この場合、第Nデータ処理段を構成する演算装置の演算結果は、その演算結果を第(N+2)データ処理段以降の演算装置が使用する場合には、第(N+2)データ処理段のレジスタファイル部に書き込まれる。
- [0080] 一方、その演算結果を第(N+2)データ処理段以降の演算装置が使用し

ない場合には、その演算結果を第(N+2)データ処理段のレジスタファイル部へ書き込むことなく第(N+1)データ処理段の演算装置へ入力する。

[0081] 以上説明したように、本実施の形態におけるデータ処理装置によれば、次段の演算装置のみにより使用される前段の演算装置の演算結果は、次段のレジスタファイル部への書き込みが不要となる。したがって、前後段におけるレジスタファイル部間のデータ伝搬を省略することができる。

[0082] (実施の形態4)

次に、本発明の実施の形態4について説明する。図3は、本発明の実施の形態4におけるデータ処理装置の構成を示す図である。以下、本発明の実施の形態2と同様の部分については、同一符号を付し、その詳細な説明は省略する。

[0083] 図3に示すように、本実施の形態におけるデータ処理装置103と上記の実施の形態2におけるデータ処理装置102とで異なる点は、第1ロード／ストア部(ロード部、ストア部)130と、第1キャッシュメモリ140と、をさらに備えている点である。第1ロード／ストア部130及び第1キャッシュメモリ140は、第1演算装置120及び第1レジスタファイル部110と共に、第1データ処理段を構成している。

[0084] 第1ロード／ストア部130は、ロード部(LD)1-1、1-2からなるロード部群131と、ストア部(ST)1-1、1-2からなるストア部群132と、を有している。

[0085] 第1キャッシュメモリ140は、第1ロード／ストア部130に接続されており、第1ロード／ストア部130によるロード、ストア動作に従って読み出し及び書き込みが高速に実行される。

[0086] 第1キャッシュメモリ140は、最大で全内容を次段以降に伝搬させるために容量を極めて小さくする必要があることから、非アレイ動作時に使用する大容量のキャッシュメモリとは別の小容量のキャッシュメモリを用いて構成されている。

[0087] この場合、非アレイ動作時に使用したキャッシュメモリの内容のうち、ア

レイ動作に必要なダーティラインを一旦外部メモリ（図示省略）に退避させた後、第1キャッシュメモリ140を使用してアレイ動作に移行すればよい。そうすることにより、非アレイ動作時に使用されたキャッシュメモリの内容と第1キャッシュメモリ140の内容との整合性を保つことが可能となる。

[0088] 本発明におけるデータ処理装置は、公知のVLIW方式によるプロセッサアーキテクチャを前提としており、このため、VLIW形式の機械語命令は通常、第1レジスタファイル部110、第1演算装置120、第1ロード／ストア部130、及び、第1キャッシュメモリ140により実行される。すなわち、VLIW方式による演算処理の動作（以下、「非アレイ動作」と呼ぶときもある。）は、第1レジスタファイル部110、第1演算装置120、第1ロード／ストア部130、及び、第1キャッシュメモリ140により実行される。

[0089] したがって、上記の実施の形態1～3における、複数の演算装置による演算処理の同時動作（以下、「アレイ動作」と呼ぶときもある。）を開始するために必要となるレジスタ情報は、常時、第1レジスタファイル部110に格納されている。

[0090] そして、命令デコード部30によるデコード結果によりアレイ動作開始命令（動作命令）が検出された場合、各データ処理段の演算装置に対して、各演算装置による演算処理に必要なデータを格納するレジスタのレジスタ番号を表わすソースレジスタ番号、各演算装置による演算処理の演算種別、及び、各演算装置の演算結果の格納先であるレジスタのレジスタ番号を表わすデスティネーションレジスタ番号、からなる制御情報（設定情報）Aが各データ処理段に設定される。

[0091] この制御情報Aは、アレイ動作開始命令の付加情報として配置すればよい。この場合、アレイ動作開始命令のデコード時に制御情報Aを一度に獲得することができる。

[0092] また、この制御情報Aは、後続のVLIW命令列自身として供給してもよ

い。この場合、アレイ動作開始命令をデコードした後、引き続き後続するVLIW命令を順にデコードし、ループの繰り返しを意味する後方分岐命令、すなわちアレイ動作の最終段に対応する命令をデコードするまでの間に、ループからの脱出を意味する前方分岐命令、すなわちアレイ動作の終結条件（動作終結条件）に対応する命令を検出して、休止条件としてセットできる。このため、既存命令列に付加すべき制御情報を削減することができる。

[0093] この際、各演算装置による演算処理に必要なデータは、前段から順次伝搬されてくることを前提にすれば、全段の演算装置に対して一斉に制御情報を放送する必要はなく、各段における演算装置に最初のデータが到着すると同時に制御情報が到着する構成とすることができる。

[0094] アレイ動作開始後は、例えばループ構造の1イタレーションが演算装置ネットワークに写像されており、データを順次流し込むことにより大量のデータ処理を行なう。

[0095] すなわち、アレイ動作開始後は、該アレイ動作が終了するまでの間、各演算装置に対する制御情報を変更する必要がなく、また、非アレイ動作時に必要であった命令デコード部30によるデコード動作を実行する必要がなくなる。このため、命令デコード部30は停止し、さらに、命令フェッチ部20によるフェッチ動作も同様に停止することができる。

[0096] また、制御情報Aに、各段における演算装置のアレイ動作を停止させるためのアレイ動作終結条件を付加しておき、アレイ動作中にあらかじめ指示した条件が満たされた場合に、自動的に非アレイ動作に復帰する構成とする。

[0097] このアレイ動作終結条件とは、具体的には、各データ処理段における演算装置の実行サイクル数等である。

[0098] （実施の形態5）

次に、本発明の実施の形態5について説明する。図4は、本発明の実施の形態5におけるデータ処理装置の構成を示す図である。以下、本発明の実施の形態4と同様の部分については、同一符号を付し、その詳細な説明は省略する。

[0099] 図4に示すように、本実施の形態におけるデータ処理装置104と上記の実施の形態4におけるデータ処理装置103とで異なる点は、外部メモリ150、をさらに備えている点である。

[0100] 外部メモリ150は、第1ロード／ストア部130が保有する第1キャッシュメモリ140のみに接続されている。そして、第2段以降については、第1キャッシュメモリ140のデータが順次伝搬されている。このことにより、外部メモリ150と各データ処理段のキャッシュメモリの接続を単純化している。

[0101] ロード命令は、第1レジスタファイル部110に格納されたアドレス情報を第1演算装置120において加減算して得られるアドレスに従って第1キャッシュメモリ140を参照し、得られたデータを第1ロード／ストア部130のストア部群132のストア部1-1、1-2に格納される。

[0102] このストア部1-1、1-2に格納されたデータは、次のサイクルにおいて、後段の演算装置またはレジスタファイル部の入力となる。

[0103] (実施の形態6)

次に、本発明の実施の形態6について説明する。図5は、本発明の実施の形態6におけるデータ処理装置の構成を示す図である。以下、本発明の実施の形態5と同様の部分については、同一符号を付し、その詳細な説明は省略する。

[0104] 図5に示すように、本実施の形態におけるデータ処理装置105と上記の実施の形態5におけるデータ処理装置104とで異なる点は、第2ロード／ストア部230と、第3ロード／ストア部330と、第2キャッシュメモリ240と、第3キャッシュメモリ340と、をさらに備えている点である。第2ロード／ストア部230及び第2キャッシュメモリ240は、第2演算装置220及び第2レジスタファイル部210と共に、第2データ処理段を構成している。また、第3ロード／ストア部330及び第3キャッシュメモリ340は、第3演算装置320及び第3レジスタファイル部310と共に、第3データ処理段を構成している。

- [0105] 第2ロード／ストア部230は、ロード部(LD)2-1、2-2からなるロード部群231と、ストア部(ST)2-1、2-2からなるストア部群232と、を有している。また、第3ロード／ストア部330は、ロード部(LD)3-1、3-2からなるロード部群331と、ストア部(ST)3-1、3-2からなるストア部群332と、を有している。
- [0106] 第2キャッシュメモリ240は、第2ロード／ストア部230に接続されており、第2ロード／ストア部230によるロード、ストア動作に従って読み出し及び書き込みが高速に実行される。
- [0107] 第3キャッシュメモリ340は、第3ロード／ストア部330に接続されており、第3ロード／ストア部330によるロード、ストア動作に従って読み出し及び書き込みが高速に実行される。
- [0108] 第2及び第3キャッシュメモリ240、340は、第1キャッシュメモリ140と同様に、最大で全内容を次段以降に伝搬させるために容量を極めて小さくする必要があることから、非アレイ動作時に使用する大容量のキャッシュメモリとは別の小容量のキャッシュメモリを用いて構成されている。
- [0109] ただし、第2及び第3キャッシュメモリ240、340は、第1キャッシュメモリ140とは異なり、外部メモリ150と直接データ転送するためのインタフェースは備えていない。このため、第1キャッシュメモリ140から前段のキャッシュメモリを経由して間接的にデータ供給を受ける。
- [0110] (実施の形態7)
- 次に、本発明の実施の形態7について説明する。図6は、本発明の実施の形態7におけるデータ処理装置の構成を示す図である。以下、本発明の実施の形態6と同様の部分については、同一符号を付し、その詳細な説明は省略する。
- [0111] VLIW形式に限らず、一般的な機械語命令では、各命令語中に記述されているレジスタ番号は変化することがない。したがって、上記の実施の形態4～6のように、あらかじめ各演算装置に制御情報をセットし、レジスタの内容が前段から流れ込む構成とすることにより、本来、VLIW形式の機械

語命令が意図する演算結果と同じ結果をアレイ動作により連続的に得ることができる。

[0112] 一方、VLIW形式に限らず、一般的なロード命令では、レジスタの内容から得られるロードアドレスを用いてキャッシュメモリを参照した後に、後続命令によりレジスタの内容をインクリメントまたはデクリメントして、次にロード命令を実行する際には異なるアドレスを用いる。

[0113] 同様の結果をアレイ動作により連続的に得るためには、各段におけるロード命令が、後続命令の結果を待つことなく、自律的にアドレス情報をインクリメントまたはデクリメントし、連続的にキャッシュメモリを参照する構成が必要である。

[0114] このためには、本実施の形態におけるデータ処理装置106においては、図6に示すように、ロードアドレスを計算する各段の演算装置が、前回の演算結果を用いて次のアドレスを計算する。

[0115] 一般に、ロードアドレスは、ベースレジスタにオフセットを加えたものであり、この加算のために、演算器を1段通過しなければならない。また、次に使用するアドレスは、さらにオフセットを加えた値ではなく、例えば4バイトなど、データ幅分のみを加えた値である。このようなアドレス増加のために、通常のプログラムでは、ロード命令の実行後に、ベースレジスタの値を4だけ増加させる命令を実行する。

[0116] しかし、本実施の形態において、後段においてレジスタの値を増加させ、その結果を前段において使用することとした場合、1方向のデータ流を効率よく制御することができない。

[0117] このため、上述したように、本実施の形態においては、後段の値を前段に戻すのではなく、前段が自律的にベースアドレスを更新する。

[0118] そうすることにより、各段のロード／ストア部が後段の実行結果を待つことなく、各段のロード／ストア部の負荷を低減することができる。

[0119] (実施の形態8)

次に、本発明の実施の形態8について説明する。図7は、本発明の実施の

形態 8 におけるデータ処理装置の構成を示す図である。以下、本発明の実施の形態 7 と同様の部分については、同一符号を付し、その詳細な説明は省略する。

[0120] 図 7 に示すように、本実施の形態におけるデータ処理装置 107 においては、第 1 キャッシュメモリ 140 は外部メモリ 150 に接続されている。以下、画像処理の 1 つである輪郭抽出処理を例として本実施の形態におけるデータ処理装置 107 の動作について説明する。

[0121] 画像処理の 1 つである輪郭抽出処理は、例えば 3×3 の画素領域について縦横斜めの対角画素の差分を求め、総和が閾値を超えた場合に、中央画素位置に輪郭を生成するものである。一般的に、画像データは横方向に連続アドレスとなるよう外部 I/O 装置から外部メモリに転送されており、その結果、縦方向の連続画素はメモリアドレスとしては離散してしまう。

[0122] 従来技術におけるキャッシュメモリは、16 ワード程度の連続アドレス領域を外部メモリよりも高速なメモリに保存しておき、多数回の再利用を期待して高速化する技術である。このため、縦方向の離散アドレスを頻繁に参照する場合には上記の効果を期待することができない。

[0123] そこで、本実施の形態におけるデータ処理装置 107 では、外部 I/O 装置から外部メモリに対して画素データを格納する際には、バースト転送による高スループットを期待するために、書き込み先である外部メモリのベースアドレスと転送ワード数（画像の幅が 1024 ワードの場合、1024）とから構成される転送情報 F に基づいてアドレスが連続するようなデータ転送を行なう。

[0124] 一方、外部メモリから第 1 キャッシュメモリにデータを転送する際には、縦方向に隣接する画素データを演算装置に対して毎サイクル供給するために、書き込み先である第 1 キャッシュメモリのベースアドレスと転送データ長（画像の幅が 1024 ワードの場合、上中下 3 ワードの転送を 1024 回分）から構成される転送情報 G に基づいて、外部メモリの異なるバンクに属する複数の短いデータ（例えば毎サイクル 3 ワード）をキャッシュメモリの複

数のラインに毎サイクル転送できる構成としている。

[0125] このような転送情報は、アレイ動作開始命令に関連付けられており、アレイ動作開始命令を検出した際に読み出される。

[0126] (実施の形態 9)

次に、本発明の実施の形態 9 について説明する。図 8 は、本発明の実施の形態 9 におけるデータ処理装置の構成を示す図である。以下、本発明の実施の形態 8 と同様の部分については、同一符号を付し、その詳細な説明は省略する。

[0127] 上記の実施の形態 8 においては、アレイ動作開始命令に関連付けられるデータ転送情報には、外部 I/O 装置から外部メモリに対する転送情報と、外部メモリから第 1 キャッシュメモリに対する転送情報の 2 つがある。

[0128] ところで、外部メモリから第 1 キャッシュメモリに対する転送情報については、第 1 キャッシュメモリと第 1 演算装置を同期させる機構が必要である。目的は、第 1 キャッシュメモリに必要なデータが全て揃った時点、すなわち、第 2 段以降のロード/ストア部が必要とするデータが第 1 キャッシュメモリに全て存在することを確認した時点で全段の演算装置を一斉に動作させ、必要とするデータが第 1 キャッシュメモリに存在しない間は全段の演算装置を一斉に停止させることにある。

[0129] このため、本実施の形態におけるデータ処理装置 108 においては、前述したデータ転送情報に、演算装置の動作開始までにあらかじめ動作させるべきロード回数 (SKIP 情報) を追加する。規定回数のロードが完了した時点で、後段の演算装置の動作を開始する。

[0130] 以後、ロードが完了するたびに、後段の演算装置を動作させる。一方、外部メモリの遅延などによりロードが完了しない場合は、後段を停止させる。

[0131] また、最終段が外部メモリや外部 I/O 装置に結果を格納する際に遅延が生じた場合も、アレイ動作を一時停止させることにより、データの待ち合わせを行なう。

[0132] ロード完了数が指定転送ワード数に達した時は、第 1 段のロード動作は停

止し、後段の動作のみを継続させる。例えば、最終段の演算装置における演算数カウンタが規定値に達したことをもってアレイ動作を停止させることにより、アレイ動作の正確な制御が可能である。

[0133] (実施の形態 10)

次に、本発明の実施の形態 10 について説明する。

[0134] アレイ動作の最終結果は、ストア命令により外部メモリまたは外部 I/O 装置に格納される。あるいは、さらに別の外部メモリに格納し、その外部メモリに接続される別の N 段構成の入力とすることにより、複数種類の画像処理を連続的に行なうことが可能となる。

[0135] また、ハードウェアが備えるアレイ段数よりも複雑な処理を行なう場合は、外部メモリをインタフェースとして別のアレイ構造を従属接続したり、あるいは、別のアレイ構造の第 1 キャッシュメモリに直接接続したりすることにより、演算装置の段数を拡張して対応することができる。

[0136] (実施の形態 11)

次に、本発明の実施の形態 11 について説明する。本実施の形態では、本発明におけるデータ処理方法の処理手順について説明する。

[0137] 以下、図 9 に記載した命令コードに基づく、本発明におけるデータ処理方法による演算器間ネットワークの設定過程について、図 10 ~ 20 を用いて図 9 の命令コードを順に追って説明する。

[0138] ループ構造に入る手前の機械語命令において、アレイ動作開始命令が検出されたとする。この場合、ループ構造が終結、すなわち、後方分岐命令が検出されるまでの間、命令デコード機能は機械語命令を従来通り解釈し、第 1 演算装置を制御する従来動作を停止する。

[0139] そして、ループ構造内の機械語命令に基づいてアレイ動作に必要な演算器間ネットワークの設定を行なう。

[0140] 先ず、図 10 において、図 9 に示した命令コードの第 1 行目の機械語命令が解釈されている。なお、図 10 では、この第 1 行目の命令コードに基づく設定箇所を「S 1」で示している。

- [0141] この第1行目の命令コードは、2つのロード命令 (ld) と、1つの減算命令 (subicc) が記述されている。
- [0142] 第1のロード命令 (ld) は、第1レジスタファイル部110のレジスタ (gr4) の内容と定数 (-1284) (const.) を加算し、その結果を主記憶アドレスとして第1キャッシュメモリ140を参照し、読み出した値を第4レジスタファイル部410のレジスタ (fr1) に格納する。
- [0143] このための演算器ネットワークとして、まず、第1レジスタファイル部110からレジスタ (gr4) を読み出し、第1演算装置120に属する演算器 (第1EAG) に入力する設定を行なう。この設定は、一般的な選択回路に対する選択信号の設定と同じである。
- [0144] さらに、第1EAGの加算結果は、第1EAGの保持器に記憶された後、次のサイクルにおいて、第1ロード/ストア部130に転送される。
- [0145] この第1EAGと第1ロード/ストア部130のロード部及びストア部は、1対1に接続されているので、第1ロード/ストア部130における入力選択手順は不要である。
- [0146] さらに、第1ロード/ストア部130の結果が第4レジスタファイル部410のレジスタ (fr1) に書き込まれるよう、ネットワークの設定を行なう。
- [0147] 第2のロード命令 (ld) は、第1のロード命令 (ld) と同様に、第1レジスタファイル部110のレジスタ (gr4) の内容と定数 (1284) (const.) を加算し、その結果を主記憶アドレスとして第1キャッシュメモリ140を参照し、読み出した値を第4レジスタファイル部410のレジスタ (fr2) に格納する。
- [0148] このための演算器ネットワークとして、まず、第1レジスタファイル部110からレジスタ (gr4) を読み出し、第1演算装置120に属する演算器 (第2EAG) に入力する設定を行なう。
- [0149] さらに、第2EAGの加算結果は、第2EAGの保持器に記憶された後、次のサイクルにおいて、第1ロード/ストア部130に転送される。
- [0150] この第2EAGと第1ロード/ストア部130のロード部及びストア部も、1

対1に接続されているので、第1ロード/ストア部130における入力選択手順は不要である。

- [0151] さらに、第1ロード/ストア部130の結果が第4レジスタファイル部410のレジスタ(fr2)に書き込まれるよう、ネットワークの設定を行なう。
- [0152] なお、定数は、命令デコード時に、定数領域(const.)に設定される。
- [0153] 第3の減算命令(subicc)は、第1レジスタファイル部110のレジスタ(gr7)から1を減算し、その結果を同じレジスタ(gr7)に格納する命令である。
- [0154] このための演算器ネットワークとして、第1レジスタファイル部110のレジスタ(gr7)の内容から1を減算するよう、第1演算装置120までのネットワークが設定される。
- [0155] なお、繰返し減算を行なうために、次サイクル以降は、第1レジスタファイル部110のレジスタ(gr7)からではなく、第1演算装置120に属する演算器(subicc)の出力を入力とするようネットワークを構成する。
- [0156] そうすることにより、継続して減算を行った結果(後述する条件コード)を利用して、アレイ動作の終結条件とすることができる。
- [0157] 減算結果に伴う条件コードは、第3レジスタファイル部310のレジスタ(icc0)に転送されるよう、ネットワークの設定を行なう。
- [0158] 次に、図11において、図9に示した命令コードの第2行目の機械語命令が解釈されている。なお、図11では、この第2行目の命令コードに基づく設定箇所を「S2」で示している。
- [0159] この第2行目の命令コードは、2つのロード命令(ld)と、1つの条件分岐命令(beq)が記述されている。
- [0160] 第1のロード命令(ld)は、第2レジスタファイル部210のレジスタ(gr4)の内容と定数(-1280)(const.)を加算し、その結果を主記憶アドレスとして第2キャッシュメモリ240を参照し、読み出した値を第5レジスタファイル部510のレジスタ(fr3)に格納する。
- [0161] このための演算器ネットワークとして、先ず、第1レジスタファイル部1

10のレジスタ (gr4) を第2レジスタファイル部210のレジスタ (gr4) に転送する設定が行なわれる。

[0162] そして、第2レジスタファイル部210からレジスタ (gr4) を読み出し、第2演算装置220に属する演算器 (第1EAG) に入力する設定を行なう。

[0163] さらに、第1EAGの加算結果は、第1EAGの保持器に記憶された後、次のサイクルにおいて、第2ロード/ストア部230に転送される。

[0164] そして、この第2ロード/ストア部230の結果が第5レジスタファイル部510のレジスタ (fr3) に書き込まれるよう、ネットワークの設定を行なう。

[0165] 第2のロード命令 (ld) は、第1のロード命令 (ld) と同様に、第2レジスタファイル部210のレジスタ (gr4) の内容と定数 (1280) (const.) を加算し、その結果を主記憶アドレスとして第2キャッシュメモリ240を参照し、読み出した値を第5レジスタファイル部510のレジスタ (fr4) に格納する。

[0166] このための演算器ネットワークとして、第2レジスタファイル部210からレジスタ (gr4) を読み出し、第2演算装置220に属する演算器 (第2EAG) に入力する設定を行なう。

[0167] さらに、第2EAGの加算結果は、第2EAGの保持器に記憶された後、次のサイクルにおいて、第2ロード/ストア部230に転送される。

[0168] そして、この第2ロード/ストア部230の結果が第5レジスタファイル部510のレジスタ (fr4) に書き込まれるよう、ネットワークの設定を行なう。

[0169] 条件分岐命令 (beq) は、図9に示した第1行目の命令コードに記述された減算命令 (subicc) の結果に伴う条件コード (icc0) が0であったことを示している場合、edge exitに分岐する機械語命令である。アレイ動作ではない通常動作時 (非アレイ動作時) には、従来の条件分岐命令として実行される。

[0170] 一方、アレイ動作時には、この条件コード (icc0) を上述した「アレイ動

作終結条件」として利用する。この減算結果が0であったことを示している場合、アレイ動作を終結し、通常動作（非アレイ動作）に復帰するトリガ（ARRAY-ABORT信号）となる。

- [0171] なお、第1演算装置120による減算命令結果に伴う条件コード（icc0）は、第1演算装置120から第2演算装置220にバイパスできるため、最終的には、第3レジスタファイル部310のレジスタ（icc0）に書き込む必要がなくなる。
- [0172] 次に、図12において、図9に示した命令コードの第3行目の機械語命令が解釈されている。なお、図12では、この第3行目の命令コードに基づく設定箇所を「S3」で示している。
- [0173] この第3行目の命令コードは、2つのロード命令（ld）と、1つのSAD命令（sad）が記述されている。
- [0174] 第1のロード命令（ld）は、レジスタ（gr4）の内容と定数（-1276）を加算し、その結果を主記憶アドレスとして第3キャッシュメモリ340を参照し、読み出した値をレジスタ（fr5）に格納する。
- [0175] このための演算器ネットワークとして、先ず、第2レジスタファイル部210のレジスタ（gr4）を第3レジスタファイル部310のレジスタ（gr4）に転送する設定が行なわれる。
- [0176] そして、第3レジスタファイル部310のレジスタ（gr4）を読み出し、第3演算装置320に属する演算器（第1EAG）に入力する設定を行なう。
- [0177] さらに、第1EAGの加算結果は、第1EAGの保持器に記憶された後、次のサイクルにおいて、第3ロード/ストア部330に転送される。
- [0178] そして、第3ロード/ストア部330の結果が第6レジスタファイル部610のレジスタ（fr5）に書き込まれるよう、ネットワークの設定を行なう。
- [0179] 第2のロード命令（ld）は、第1のロード命令（ld）と同様に、第3レジスタファイル部310のレジスタ（gr4）の内容と定数（1276）（const.）を加算し、その結果を主記憶アドレスとして第3キャッシュメモリ340を参照し、読み出した値を第6レジスタファイル部610のレジスタ（fr6）に格

納する。

- [0180] このための演算器ネットワークとして、第3レジスタファイル部310からレジスタ (gr4) を読み出し、第3演算装置320に属する演算器 (第2EAG) に入力する設定を行なう。
- [0181] さらに、第2EAGの加算結果は、第2EAGの保持器に記憶された後、次のサイクルにおいて、第3ロード/ストア部330に転送される。
- [0182] そして、第3ロード/ストア部330の結果が、第6レジスタファイル部610のレジスタ (fr6) に書き込まれるよう、ネットワークの設定を行なう。
- [0183] SAD命令 (sad) は、先に第1ロード/ストア部130によりロードされた第4レジスタファイル部410のレジスタ (fr1) 及びレジスタ (fr2) のバイト毎差分絶対総和を求め、その結果を第5レジスタファイル部510のレジスタ (fr1) に書き込む機械語命令である。
- [0184] 第1ロード/ストア部130と第3演算装置320間のバイパスを利用すれば、第1ロード/ストア部130が第4レジスタファイル部410のレジスタ (fr1) 及びレジスタ (fr2) の書き込みを行なうのと同時に、第3演算装置320に対しても入力 (ld-bypass) することができる。このため、最終的には、第4レジスタファイル部410のレジスタ (fr1) 及びレジスタ (fr2) からの読み出しは不要となる。
- [0185] そして、SAD命令 (sad) の結果が第5レジスタファイル部510のレジスタ (fr1) に書き込まれるよう、演算器ネットワークを設定する。
- [0186] 次に、図13において、図9に示した命令コードの第4行目の機械語命令が解釈されている。なお、図13では、この第4行目の命令コードに基づく設定箇所を「S4」で示している。
- [0187] この第4行目の命令コードは、2つのロード命令 (ld) と、1つの addi 命令と、1つのSAD命令 (sad) が記述されている。
- [0188] 第1のロード命令 (ld) は、レジスタ (gr4) の内容と定数 (-4) (const.) を加算し、その結果を主記憶アドレスとして第4キャッシュメモリ440

を参照し、読み出した値を第7レジスタファイル部710のレジスタ(fr7)に格納する。

[0189] このための演算器ネットワークとして、先ず、第3レジスタファイル部310のレジスタ(gr4)を第4レジスタファイル部410のレジスタ(gr4)に転送する設定が行なわれる。

[0190] そして、第4レジスタファイル部410のレジスタ(gr4)を読み出し、第4演算装置420に属する演算器(第1EAG)に入力する設定を行なう。

[0191] さらに、第1EAGの加算結果は、第1EAGの保持器に記憶された後、次のサイクルにおいて、第4ロード/ストア部430に転送される。

[0192] そして、第4ロード/ストア部430の結果が、第7レジスタファイル部710のレジスタ(fr7)に書き込まれるよう、ネットワークの設定を行なう。

[0193] 第2のロード命令(ld)は、第1のロード命令(ld)と同様に、第3レジスタファイル部310のレジスタ(gr4)の内容と定数(4)(const.)を加算し、その結果を主記憶アドレスとして第4キャッシュメモリ440を参照し、読み出した値を第7レジスタファイル部710のレジスタ(fr8)に格納する。

[0194] このための演算器ネットワークとして、第4レジスタファイル部410のレジスタ(gr4)を読み出し、第4演算装置420に属する演算器(第2EAG)に入力する設定を行なう。

[0195] さらに、第2EAGの加算結果は、第2EAGの保持器に記憶された後、次のサイクルにおいて、第4ロード/ストア部430に転送される。

[0196] そして、第4ロード/ストア部430の結果が、第7レジスタファイル部710のレジスタ(fr9)に書き込まれるよう、ネットワークの設定を行なう。

[0197] SAD命令(sad)は、先に第2ロード/ストア部230によりロードされた第5レジスタファイル部510のレジスタ(fr3)及びレジスタ(fr4)のバイト毎差分絶対総和を求め、その結果を第6レジスタファイル部610の

レジスタ (fr3) に書き込む機械語命令である。

- [0198] 第2ロード/ストア部230と第4演算装置420間のバイパスを利用すれば、第2ロード/ストア部230が第5レジスタファイル部510のレジスタ (fr3) 及びレジスタ (fr4) の書き込みを行なうのと同時に、第4演算装置420に対しても入力 (ld-bypass) することができる。このため、最終的には、第5レジスタファイル部510のレジスタ (fr3) 及びレジスタ (fr4) からの読み出しは不要となる。
- [0199] そして、SAD命令 (sad) の結果が第6レジスタファイル部610のレジスタ (fr3) に書き込まれるよう、演算器ネットワークを設定する。
- [0200] addi命令は、レジスタ (gr4) のアドレスを更新する機械語命令である。
- [0201] このaddi命令が検出されると、レジスタ (gr4) を使用する演算装置である第1~第4演算装置120~420に対し、フィードバックループが生成される。これらフィードバックループ生成により、第1~第4演算装置120~420のロードアドレスが自動的に更新される。
- [0202] 次に、図14においては、図9に示した命令コードの第5行目の機械語命令が解釈されている。なお、図14では、この第5行目の命令コードに基づく設定箇所を「S5」で示している。
- [0203] この第5行目の命令コードは、1つのSAD命令 (sad) と、1つの加算命令 (madd) が記述されている。
- [0204] SAD命令 (sad) は、先に第3ロード/ストア部330によりロードされた第6レジスタファイル部610のレジスタ (fr5) 及びレジスタ (fr6) のバイト毎差分絶対総和を求め、その結果を第7レジスタファイル部710のレジスタ (fr5) に書き込む機械語命令である。
- [0205] 第3ロード/ストア部330と第5演算装置520間のバイパスを利用すれば、第3ロード/ストア部330が第6レジスタファイル部610のレジスタ (fr5) 及びレジスタ (fr6) の書き込みを行なうのと同時に、第5演算装置520に対しても入力 (ld-bypass) することができる。このため、最終

的には、第6レジスタファイル部610のレジスタ(fr5)及びレジスタ(fr6)からの読み出しは不要となる。

[0206] そして、SAD命令(sad)の結果が第7レジスタファイル部710のレジスタ(fr5)に書き込まれるよう、演算器ネットワークを設定する。

[0207] 加算命令(madd)は、先のSAD命令(sad)の結果を第7レジスタファイル部710のレジスタ(fr1)に累算する機械語命令である。

[0208] 第5レジスタファイル部510のレジスタ(fr1)については、第5レジスタファイル部510と第5演算装置520間のバイパスを利用できないため、第5レジスタファイル部510から読み出し、第6レジスタファイル部610のレジスタ(fr3)については、第4演算装置420による直前の演算結果をバイパス(fr3-bypass)し、第5演算装置520に入力できる。

[0209] 第5演算装置520の演算結果が第7レジスタファイル部710のレジスタ(fr1)に格納されるよう、演算器ネットワークを設定する。

[0210] 次に、図15においては、図9に示した命令コードの第6行目の機械語命令が解釈される。なお、図15では、この第6行目の命令コードに基づく設定箇所を「S6」で示している。

[0211] この第6行目の命令コードは、1つのSAD命令(sad)と、1つの加算命令(madd)が記述されている。

[0212] SAD命令(sad)は、先に第4ロード/ストア部430によりロードされた第7レジスタファイル部710のレジスタ(fr7)及びレジスタ(fr8)のバイト毎差分絶対総和を求め、その結果を第8レジスタファイル部810のレジスタ(fr7)に書き込む機械語命令である。

[0213] 第4ロード/ストア部430と第6演算装置620間のバイパスを利用すれば、第4ロード/ストア部430が第7レジスタファイル部710のレジスタ(fr7)及びレジスタ(fr8)の書き込みを行なうと同時に、第6演算装置620に対しても入力(ld-bypass)することができる。このため、最終的には、第7レジスタファイル部710のレジスタ(fr7)及びレジスタ(fr8)からの読み出しは不要となる。

- [0214] そして、SAD命令 (sad) の結果が第8レジスタファイル部810のレジスタ (fr7) に書き込まれるよう、演算器ネットワークを設定する。
- [0215] 加算命令 (madd) は、先のSAD命令 (sad) の結果を第8レジスタファイル部810のレジスタ (fr1) に累算する機械語命令である。
- [0216] 第7レジスタファイル部710のレジスタ (fr1) 及びレジスタ (fr5) については、第5演算装置520による直前の演算結果をバイパス (fr5、1-bypass) し、第6演算装置620に入力できる。
- [0217] 第6演算装置620の演算結果が第8レジスタファイル部810のレジスタ (fr1) に格納されるよう、演算器ネットワークを設定する。
- [0218] 次に、図16においては、図9に示した命令コードの第7行目の機械語命令が解釈される。なお、図16では、この第7行目の命令コードに基づく設定箇所を「S7」で示している。
- [0219] この第7行目の命令コードでは、1つの加算命令 (madd) が記述されている。
- [0220] 加算命令 (madd) は、先のSAD命令 (sad) の結果を第9レジスタファイル部910のレジスタ (fr1) に累算する機械語命令である。
- [0221] 第8レジスタファイル部810のレジスタ (fr1) 及びレジスタ (fr7) については、第6演算装置620による直前の演算結果をバイパス (fr7、1-bypass) し、第7演算装置720に入力できる。
- [0222] 第7演算装置720の演算結果が第9レジスタファイル部910のレジスタ (fr1) に格納されるよう、演算器ネットワークを設定する。
- [0223] 次に、図17においては、図9に示した命令コードの第8行目の機械語命令が解釈される。なお、図17では、この第8行目の命令コードに基づく設定箇所を「S8」で示している。
- [0224] この第8行目の命令コードでは、1つの補正命令 (msum) が記述されている。
- [0225] 補正命令 (msum) は、レジスタ (fr1) 内部で上位下位など複数の部分和に分割されている結果を1つにマージする (部分和を合計して総和を求める)

命令である。SAD命令（SAD）が1ワード中の複数バイトの組から求まる差分絶対値総和を一度に求めることが困難である場合に、この命令により最後に総和を求めることができる。

[0226] 演算に必要なレジスタ（fr1）は、前段の第7演算装置720からバイパス（fr1-bypass）により第8演算装置820に入力され、第8演算装置820の演算結果が第10レジスタファイル部1010のレジスタ（fr1）に格納されるよう、演算器ネットワークを設定する。

[0227] 次に、図18においては、図9に示した命令コードの第9行目の機械語命令が解釈される。なお、図18では、この第9行目の命令コードに基づく設定箇所を「S9」で示している。

[0228] この第9行目の命令コードでは、1つの条件付きセット命令（cset）が記述されている。

[0229] 条件付きセット命令（cset）は、補正命令（msum）により求めた総和が、レジスタ（fr9）により与えられる閾値未満の場合に「0」、それ以外の場合に「1」を第11レジスタファイル部1110のレジスタ（fr1）に格納する命令である。

[0230] 演算に必要なレジスタ（fr1）は前段の第8演算装置820からバイパス（fr1-bypass）により第9演算装置920に入力され、その閾値は第1レジスタファイル部110から順次転送されて第9レジスタファイル部910のレジスタ（fr9）に格納されていることを利用して、第9レジスタファイル部910のレジスタ（fr9）から読み出されるよう、また、第9演算装置920の演算結果が第11レジスタファイル部1110のレジスタ（fr1）に格納されるよう、演算器ネットワークを設定する。

[0231] 次に、図19においては、図9に示した命令コードの第10行目の機械語命令が解釈される。なお、図19では、この第10行目の命令コードに基づく設定箇所を「S10」で示している。

[0232] この第10行目の命令コードでは、1つのストア命令（stb）と、1つのaddi命令と、1つの無条件分岐命令（bra）が記述されている。

- [0233] ストア命令 (stb) は、レジスタ (gr5) の内容と定数 (0) (const.) を加算し、その結果を主記憶アドレスとしてストアバッファ (STBF) にデータを格納する。
- [0234] このための演算器ネットワークとして、第 10 レジスタファイル部 1010 のレジスタ (gr5) を読み出し、第 10 演算装置 1020 に属する演算器 (EAG) に入力する設定を行なう。
- [0235] さらに、EAG の加算結果は、EAG の保持器に記憶された後、次のサイクルにおいて、第 10 ロード/ストア部 1030 に転送される。
- [0236] ストアバッファ (STBF) の内容は、順次、外部メモリに対して出力される。
- [0237] addi 命令は、レジスタ (gr5) のアドレスを更新する機械語命令である。
- [0238] この加算命令が検出されると、レジスタ (gr5) を使用する演算装置である第 10 演算装置 1020 に対し、フィードバックループが生成される。このフィードバックループ生成により、第 10 演算装置 1020 のストアアドレスが自動的に更新される。
- [0239] 無条件分岐命令 (bra) を検出した場合、次に説明する、ネットワーク設定完了処理に移る。
- [0240] 次に、図 20 においては、最終的に不要となるネットワーク設定部分の削除が行なわれる。
- [0241] 上述したように、機械語命令を順次デコードしてネットワーク設定をインクリメンタルに進める場合、前段の演算装置の実行結果は、次段の演算装置にバイパスして利用する他に、次段のレジスタファイル部へ書き込んでおく必要がある。これは、演算装置の実行結果が、次段の演算装置に限らず、より後段の演算装置において使用される場合にも対応するためである。
- [0242] しかし、ループ構造を全て把握した後には、不要なレジスタ値の伝搬は削除でき、最後に使用した演算装置以降は、レジスタへ書き込む必要もない。このようにして不要となるネットワークの設定箇所を削除することが、ネッ

トワーク設定完了処理である。

- [0243] 具体的には、図20中の×部分が、最終的に不要と判断されたレジスタへの書き込みパスである。この場合、レジスタファイル部間の伝搬が残るのは、レジスタ (gr4)、レジスタ (gr5) 及びレジスタ (fr9) のみとなる。
- [0244] キャッシュメモリの内容の伝搬についても同様に、途中で打ち切ることができる。
- [0245] 以上説明したように、本発明におけるデータ処理装置及びそのデータ処理方法では、レジスタファイル部と、演算装置と、ロード／ストア部とからなる1組の基本構成を維持しつつ、複数組を縦列配置し、隣接するレジスタファイル部間において必要なレジスタ値を伝搬させる構成とする。
- [0246] また、ロード／ストア部についても、複数組を縦列配置するとともに、隣接する小規模なキャッシュメモリ間において必要なデータを伝搬させる構成とする。
- [0247] このようにすることにより、同時に動作するレジスタ数と演算装置数を線形に増加させつつ、任意の番号のレジスタ内容を任意の演算装置に供給する複雑さを1組の基本構成内に封じ込めることができる。
- [0248] したがって、本発明におけるデータ処理装置及びそのデータ処理方法によれば、従来は不可能であった大規模な並列処理を実現することができる。
- [0249] また、各組間のデータ伝搬を効率よく行なうと共に、既存のVLIW形式の機械語命令を用いることが可能となる。
- [0250] なお、隣接するレジスタファイル間におけるレジスタ値の伝搬機能については、例えば、互いに同数の物理的なレジスタを配置する構成を用いることができる。また、より小数の物理的なレジスタと、各レジスタの番号の対応関係を保持する表とを組み合わせた構成も用いることができる。
- [0251] 同様に、隣接する小規模なキャッシュメモリ間におけるデータの伝搬機能については、キャッシュメモリ全体を一度に複製する構成を用いることができる。また、前段のキャッシュメモリから流れ込んでくる差分データのみを次段へ伝搬させることで、実質的に同一の内容を次段へ複製する構成を用い

ても良い。

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0252] なお、実施の形態は上述の他に、以下のようにも表現できる。

[0253] 本発明におけるデータ処理装置は、機械語命令を解釈実行するデータ処理装置であって、機械語命令中に記述される複数のレジスタ番号に対応してデータを一時的に保持する複数のレジスタから構成される第1段のレジスタファイル装置と、該第1段のレジスタファイル装置から読み出した1つまたは複数のデータを入力として演算を行なう第1段の演算装置と、該第1段の演算装置の演算結果を一時的に保持する第1段の演算結果保持手段と、前記第1段のレジスタファイル装置と同量または同量以上のデータを保持する第2段のレジスタファイル装置と、該第2段のレジスタファイル装置から読み出した1つまたは複数のデータを入力として演算を行なう第2段の演算装置と、該第2段の演算装置の演算結果を一時的に保持する第2段の演算結果保持手段を備え、前記第2段のレジスタファイル装置は前記第1段のレジスタファイル装置の内容を入力とし、前記第2段の演算装置は前記第1段の演算結果保持手段の内容または前記第2段のレジスタファイル装置の内容を入力とし、前記第1段の演算装置と前記第2段の演算装置が一斉に動作する。

[0254] 前記第1段のレジスタファイル装置と同量または同量以上のデータを保持する第3段のレジスタファイル装置と、該第3段のレジスタファイル装置から読み出した1つまたは複数のデータを入力として演算を行なう第3段の演算装置と、該第3段の演算装置の演算結果を一時的に保持する第3段の演算結果保持手段を備え、前記第3段のレジスタファイル装置は前記第1段の演算結果保持手段の内容または前記第2段のレジスタファイル装置の内容を入

力とし、前記第 3 段の演算装置は前記第 2 段の演算結果保持手段の内容または前記第 3 段のレジスタファイル装置の内容を入力とし、前記第 2 段の演算装置と前記第 3 段の演算装置が一斉に動作することが好ましい。

[0255] N を 1 以上の整数とする第 N 段のレジスタファイル装置と第 N 段の演算装置と第 N 段の演算結果保持手段を備え、第 N 段の演算結果保持手段の内容は、該内容を第 (N + 2) 段以降の演算装置が使用する場合には第 (N + 2) 段のレジスタファイル装置に書き込み、該内容を第 (N + 2) 段以降の演算装置が使用しない場合には第 (N + 2) 段のレジスタファイル装置に書き込むことなく第 (N + 1) 段の演算装置の入力とすることが好ましい。

[0256] 機械語命令を実行中に、N を 2 以上の整数とする前記第 N 段のレジスタファイル装置と第 N 段の演算装置と第 N 段の演算結果保持手段の動作を開始させるアレイ動作開始命令を検出するまでの間、前記第 1 段のレジスタファイル装置と第 1 段の演算装置と第 1 段の演算結果保持手段のみを動作させ、前記アレイ動作開始命令を検出した場合、該命令に関連付けられる演算装置制御情報を前記第 N 段の演算装置にセットし、前記第 N 段のレジスタファイル装置と第 N 段の演算装置と第 N 段の演算結果保持手段の動作を開始させ、前記アレイ動作開始命令に指示されたアレイ動作終結条件に従って、前記第 N 段のレジスタファイル装置と第 N 段の演算装置と第 N 段の演算結果保持手段の動作を停止させることが好ましい。

[0257] 前記第 1 段の演算装置が、外部メモリの内容を一時的に保持するキャッシュメモリと、ロード命令に付随するアドレス情報を用いて該キャッシュメモリを読み出す手段と、読み出したデータを一時的に格納する第 1 段のロード結果保持手段を備え、該ロード結果保持手段から読み出したデータを後段の演算装置またはレジスタファイル装置の入力とすることが好ましい。

[0258] N を 2 以上の整数とする前記第 N 段の演算装置が、外部メモリの内容を一時的に保持するキャッシュメモリと、ロード命令に付随するアドレス情報を用いて該キャッシュメモリを読み出す手段と、読み出したデータを一時的に格納する第 N 段のロード結果保持手段を備え、該ロード結果保持手段から読

み出したデータを後段の演算装置またはレジスタファイル装置の入力とし、さらに、第(N-1)段の演算装置が備えるキャッシュメモリの内容が次の時刻において第N段の演算装置が備えるキャッシュメモリに反映されることが好ましい。

- [0259] 前記ロード命令に付随するアドレス情報は、前記演算装置が備える、ロード命令に付随するアドレス情報を用いて該キャッシュメモリを読み出す手段に保持するとともに、1度のロード動作を完了する度に、保持したアドレス情報をロードデータ幅だけ増加または減少させることにより、自律的に連続アドレスからロードすることが好ましい。
- [0260] 前記第1段のキャッシュメモリが、複数のバンクから構成される外部メモリとの接続手段と、前記アレイ動作開始命令に関連付けられる書き込み先キャッシュメモリのベースアドレスと転送データ長から構成される転送情報に基づいてデータ転送を行なうデータ転送手段を備え、外部メモリ上の複数の互いに異なるアドレスから同時に複数のデータを前記第1段のキャッシュメモリへ連続転送することが好ましい。
- [0261] 複数のバンクから構成される前記外部メモリが、外部I/O装置との接続手段と、前記アレイ動作開始命令に関連付けられる書き込み先外部メモリのベースアドレスと転送ワード数から構成される転送情報に基づいてデータ転送を行なうデータ転送手段を備え、外部I/O装置から複数のデータを前記外部メモリの最も古いバンクへ連続転送することが好ましい。
- [0262] 前記ロード命令に付随するアドレス情報に対応する領域が前記第1段のキャッシュメモリに存在しない場合、外部メモリから該キャッシュメモリへのデータ転送を待ち合わせ、前記アレイ動作開始命令に関連付けられる転送ワード数に関連する回数だけ、後段の演算装置が動作したことをもって前記アレイ動作終結条件とすることが好ましい。
- [0263] 演算結果をストア命令により前記外部メモリまたは前記外部I/O装置に格納するか、または、別の外部メモリに格納するか、または、別のN段アレイ構成の第1のキャッシュメモリへの入力とすることが好ましい。

- [0264] 以上のように、本発明におけるデータ処理装置は、複数の機械語命令からなる命令コードを実行するためのデータ処理装置であって、前記命令コードを保持する命令メモリ部と、前記命令メモリ部から前記命令コードを取り出してデコードする命令フェッチ／デコード部と、前記命令フェッチ／デコード部によりデコードされる前記命令コードに記述された複数のレジスタ番号の各々に一対一に対応し、且つ、前記各レジスタ番号に対応するデータを一時的に保持する複数の第1レジスタを含む第1レジスタファイル部と、前記第1レジスタファイル部の各第1レジスタと一対一に対応する複数の第2レジスタを含む第2レジスタファイル部と、を含む n (n は1以上の整数)個のレジスタファイル部と、前記第1レジスタファイル部の各第1レジスタの読み出しデータを用いて演算を実行する第1演算部と、第2演算部と、を含む n 個の演算部と、前記第1演算部の演算結果を一時的に保持する第1保持部を含む n 個の保持部とを備え、前記第1レジスタファイル部は、自身の各第1レジスタがデータを保持する場合には、データを保持する第1レジスタに対応する前記第2レジスタファイル部の第2レジスタに当該データを転送すると共に、前記第1保持部は、自身が保持する演算結果を前記第2演算部に転送可能となっており、前記第2演算部は、前記第2レジスタファイル部の各第2レジスタの読み出しデータ及び前記第1保持部により転送される演算結果のうちの少なくとも一方を用いて演算を実行することを特徴とする。
- [0265] 上記のデータ処理装置では、第1レジスタファイル部の各第1レジスタのデータが、第1レジスタファイル部の各第1レジスタに対応する第2レジスタファイル部の各第2レジスタに転送されている。
- [0266] このため、第2演算部は、第1レジスタファイル部の第1レジスタのデータが第1演算部の演算実行に用いられている場合でも、そのデータを第2レジスタファイル部の第2レジスタから読み出して演算の実行に用いることができる。
- [0267] また、第1演算部の演算結果が、第2演算部に転送されている。
- [0268] このため、第2演算部は第1演算部による演算の終了後直ちに、第1演算

部の演算結果を演算の実行に用いることができる。

[0269] したがって、上記のデータ処理装置では、第1及び第2演算部による2つの演算を並列的に実行させることができる。

[0270] 前記n個のレジスタファイル部は、前記第2レジスタファイル部の各第2レジスタと一対一に対応する複数の第3レジスタを含む第3レジスタファイル部をさらに含み、前記n個の演算部は、第3演算部をさらに含み、前記n個の保持部は、前記第2演算部の演算結果を一時的に保持する第2保持部をさらに含んでおり、前記第2レジスタファイル部は、自身の各第2レジスタがデータを保持する場合には、データを保持する第2レジスタに対応する前記第3レジスタファイル部の第3レジスタに当該データを転送すると共に、前記第2保持部は、自身が保持する演算結果を前記第3演算部に転送可能となっており、前記第3演算部は、前記第3レジスタファイル部の各第3レジスタの読み出しデータ及び前記第2保持部により転送される演算結果のうちの少なくとも一方を用いて演算を実行することが好ましい。

[0271] この場合、第2レジスタファイル部の各第2レジスタのデータが、第2レジスタファイル部の各第2レジスタに対応する第3レジスタファイル部の各第3レジスタに転送されている。

[0272] このため、第3演算部は、第2レジスタファイル部の第2レジスタのデータが第2演算部の演算実行に用いられている場合でも、そのデータを第3レジスタファイル部の第3レジスタから読み出して演算の実行に用いることができる。

[0273] また、第2演算部の演算結果が、第3演算部に転送されている。

[0274] このため、第3演算部は第2演算部による演算の終了後直ちに、第2演算部の演算結果を演算の実行に用いることができる。

[0275] したがって、上記のデータ処理装置では、第1、第2及び第3の演算部による3つの演算を並列的に実行させることができる。

[0276] 前記n個の保持部に含まれるN番目の保持部は、自身が保持する演算結果が前記n個の演算部に含まれる(N+2)番目以降の演算部による演算実行

に用いられる場合には、当該演算結果を前記 n 個のレジスタファイル部に含まれる $(N+2)$ 番目のレジスタファイル部に転送する一方、自身が保持する演算結果が前記 $(N+2)$ 番目以降の演算部による演算実行に用いられない場合には、当該演算結果を前記 n 個の演算部に含まれる $(N+1)$ 番目の演算部に転送することが好ましい。

[0277] この場合、 N 番目の保持部が保持する演算結果が $(N+2)$ 番目以降の演算部による演算実行に用いられない場合には $(N+1)$ 番目の演算部に転送しているので、この場合、レジスタファイル部間における不要なデータ転送が低減され、その結果、消費電力をより低下させることができる。

[0278] 前記命令フェッチ／デコード部が前記 n 個のレジスタファイル部に含まれる複数のレジスタファイル部、前記 n 個の演算部に含まれる複数の演算部、前記 n 個の保持部に含まれる複数の保持部の各々を同時に動作させるべく記述された命令コードに含まれる動作命令をデコードした場合に、前記動作命令のデコード結果に基づいて前記複数のレジスタファイル部、前記複数の演算部及び前記複数の保持部を同時に動作させ、且つ、前記命令フェッチ／デコード部の動作を停止させることが好ましい。

[0279] この場合、複数のレジスタファイル部、複数の演算部及び複数の保持部を同時に動作させる「アレイ動作」を動作命令のデコード結果に基づいて行なうことができるので、これらの同時動作をより効率的に開始させることができる。

[0280] 前記動作命令は、同時に動作させるべき前記複数のレジスタファイル部、前記複数の演算部及び前記複数の保持部の各動作を制御するために、各々に設定すべき設定情報と、前記複数のレジスタファイル部、前記複数の演算部及び前記複数の保持部の同時動作を停止すべき動作終結条件と、を含み、前記命令フェッチ／デコード部が前記動作命令をデコードするまでは、前記命令フェッチ／デコード部、前記第 1 レジスタファイル部、前記第 1 演算部及び前記第 1 保持部を同時に動作させ、前記動作命令をデコードした場合に、前記動作命令のデコード結果に基づいて、前記命令フェッチ／デコード部の

動作を停止させ、且つ、前記複数のレジスタファイル部、前記複数の演算部及び前記複数の保持部を同時に動作させ、前記動作命令に含まれる前記動作終結条件が満たされると、前記第1レジスタファイル部、前記第1演算部及び前記第1保持部を除く前記複数のレジスタファイル部、前記複数の演算部及び前記複数の保持部の動作を停止させ、且つ、前記命令フェッチ／デコード部、前記第1レジスタファイル部、前記第1演算部及び前記第1保持部を同時に動作させるが好ましい。

[0281] この場合、動作命令のデコード結果に基づき開始された、複数のレジスタファイル部、複数の演算部及び複数の保持部の同時動作を、動作終結条件が満たされるか否かにより停止させることができる。このため、命令フェッチ／デコード部の動作が停止していても、前記命令フェッチ／デコード部、前記第1レジスタファイル部、前記第1演算部及び前記第1保持部を同時に動作させる「非アレイ動作」に戻すことができる。

[0282] 前記 n 個の演算部の各々は、前記データ処理装置の外部に配置された外部メモリの内容を一時的に保持するキャッシュメモリと、前記命令コードに含まれる前記ロード命令に付随するアドレス情報を用いて前記キャッシュメモリを読み出すロード部と、前記ロード部により読み出されたデータを一時的に保持するストア部とを有し、前記 n 個の演算部に含まれる N 番目の演算部は、自身のストア部が保持するデータを前記 n 個の演算部に含まれる $(N+1)$ 番目以降の演算部及び前記 n 個のレジスタファイル部に含まれる $(N+1)$ 番目以降のレジスタファイル部に転送可能となっていることが好ましい。

[0283] この場合、 N 番目の演算部のストア部が保持するデータが $(N+1)$ 番目以降の演算部及び $(N+1)$ 番目以降のレジスタファイル部に転送可能であるので、 $(N+1)$ 番目以降の演算部は N 番目の演算部による読み出しデータを用いた演算を早期に開始することができ、その結果、各演算部による演算をより高速化させることができる。

[0284] 前記 n 個の演算部に含まれる N 番目の演算部は、自身のキャッシュメモリ

がデータを保持する場合には、前記 n 個の演算部に含まれる $(N+1)$ 番目の演算部のキャッシュメモリに転送可能となっていることが好ましい。

[0285] この場合、 N 番目の演算部のキャッシュメモリが $(N+1)$ 番目の演算部のキャッシュメモリに転送可能であるので、 $(N+1)$ 番目の演算部は N 番目の演算部のキャッシュメモリに保持されたデータを用いた演算を早期に開始することができ、その結果、各演算部による演算をより高速化させることができる。

[0286] 前記 n 個の演算部の各々は、自身のロード部による前記キャッシュメモリの読み出しを行なう場合には、前記ロード命令に付随するアドレス情報を保持すると共に、前記ロード部による読み出しが完了する度に、前記保持したアドレス情報を読み出されたデータ幅だけ増加または減少させて、前記ロード部による次の読み出しのためのアドレス情報を生成することが好ましい。

[0287] この場合、各演算部は、次の読み出しのためのアドレス情報を自身で生成することができるので、新たなアドレス情報を取得することなく、次の演算を実行することができるので、各演算部による演算をより高速化させることができる。

[0288] 前記第 1 演算部は、前記データ処理装置の外部に配置された外部メモリと直接接続された前記キャッシュメモリを有し、前記キャッシュメモリは、前記動作命令に関連付けられる書き込み先アドレスと転送データ長とからなる転送情報に基づいてデータ転送を行なうデータ転送手段、を有し、前記データ転送手段は、前記外部メモリ上における互いに異なる複数のアドレスから同時に複数のデータを連続転送することが好ましい。

[0289] この場合、外部メモリ上におけるデータをより効率よくキャッシュメモリに転送することができるので、各演算部による演算をより高速化させることができる。

[0290] 前記外部メモリは、前記動作命令に関連付けられる書き込み先アドレスと転送ワード数とからなる転送情報に基づいてデータ転送を行なうデータ転送手段、を有し、前記データ転送手段は、外部 I/O 装置から複数のデータを

前記外部メモリの最も古いバンクへ連続転送することが好ましい。

[0291] この場合、外部 I/O 装置からデータをより効率よく外部メモリに転送することができるので、キャッシュメモリのデータ更新が効率化され、その結果、各演算部による演算をより高速化させることができる。

[0292] 前記第 1 演算部は、自身のキャッシュメモリに前記ロード命令に付随するアドレス情報に対応する領域が存在しない場合には、外部メモリからのデータ転送を待機すると共に、2 番目以降の演算部が前記動作命令に関連付けられる転送ワード数に応じた回数だけ動作したことを前記動作終結条件とすることが好ましい。

[0293] この場合、アレイ構造の先頭段である第 1 演算部においてのみ、データの待ち合わせを行なうので、データ処理装置全体の構成を簡略化することができる。さらに、複数の動作終結条件が存在する場合に、各段に分散して演算を行なうことによる高速化を実現することができる。

産業上の利用可能性

[0294] 本発明は、複数の機械語命令を高速に同時実行するデータ処理装置に好適に利用することができる。

符号の説明

[0295] 10 命令メモリ部
 20 命令フェッチ部（命令フェッチ／デコード部）
 30 命令デコード部（命令フェッチ／デコード部）
 101、102、103、104、105、106、107、108
 データ処理装置
 110、210、310、410、510、610、710、810、9
 10、1010、1110 レジスタファイル部
 120、220、320、420、520、620、720、820、9
 20、1020 演算装置（演算部、保持部）
 130、230、330、430、1030 ロード／ストア部（ロード部、ストア部）

130、230、330、430 キャッシュメモリ

150 外部メモリ

請求の範囲

[請求項1]

複数の機械語命令からなる命令コードを実行するためのデータ処理装置であって、

前記命令コードを保持する命令メモリ部と、

前記命令メモリ部から前記命令コードを取り出してデコードする命令フェッチ／デコード部と、

前記命令フェッチ／デコード部によりデコードされる前記命令コードに記述された複数のレジスタ番号の各々に一対一に対応し、且つ、前記各レジスタ番号に対応するデータを一時的に保持する複数の第1レジスタを含む第1レジスタファイル部と、前記第1レジスタファイル部の各第1レジスタと一対一に対応する複数の第2レジスタを含む第2レジスタファイル部と、を含む n (n は1以上の整数)個のレジスタファイル部と、

前記第1レジスタファイル部の各第1レジスタの読み出しデータを用いて演算を実行する第1演算部と、第2演算部と、を含む n 個の演算部と、

前記第1演算部の演算結果を一時的に保持する第1保持部を含む n 個の保持部と

を備え、

前記第1レジスタファイル部は、自身の各第1レジスタがデータを保持する場合には、データを保持する第1レジスタに対応する前記第2レジスタファイル部の第2レジスタに当該データを転送すると共に、

前記第1保持部は、自身が保持する演算結果を前記第2演算部に転送可能となっており、

前記第2演算部は、前記第2レジスタファイル部の各第2レジスタの読み出しデータ及び前記第1保持部により転送される演算結果のうち少なくとも一方を用いて演算を実行することを特徴とするデータ

処理装置。

[請求項2]

前記 n 個のレジスタファイル部は、前記第 2 レジスタファイル部の各第 2 レジスタと一対一に対応する複数の第 3 レジスタを含む第 3 レジスタファイル部をさらに含み、

前記 n 個の演算部は、第 3 演算部をさらに含み、

前記 n 個の保持部は、前記第 2 演算部の演算結果を一時的に保持する第 2 保持部をさらに含んでおり、

前記第 2 レジスタファイル部は、自身の各第 2 レジスタがデータを保持する場合には、データを保持する第 2 レジスタに対応する前記第 3 レジスタファイル部の第 3 レジスタに当該データを転送すると共に、

前記第 2 保持部は、自身が保持する演算結果を前記第 3 演算部に転送可能となっており、

前記第 3 演算部は、前記第 3 レジスタファイル部の各第 3 レジスタの読み出しデータ及び前記第 2 保持部により転送される演算結果のうちの少なくとも一方を用いて演算を実行することを特徴とする請求項 1 に記載のデータ処理装置。

[請求項3]

前記 n 個の保持部に含まれる N (N は 1 以上の整数であって、 n 以下) 番目の保持部は、

自身が保持する演算結果が前記 n 個の演算部に含まれる ($N + 2$) 番目以降の演算部による演算実行に用いられる場合には、当該演算結果を前記 n 個のレジスタファイル部に含まれる ($N + 2$) 番目のレジスタファイル部に転送する一方、

自身が保持する演算結果が前記 ($N + 2$) 番目以降の演算部による演算実行に用いられない場合には、当該演算結果を前記 n 個の演算部に含まれる ($N + 1$) 番目の演算部に転送することを特徴とする請求項 1 または 2 に記載のデータ処理装置。

[請求項4]

前記命令フェッチ／デコード部が前記 n 個のレジスタファイル部に

含まれる複数のレジスタファイル部、前記 n 個の演算部に含まれる複数の演算部、前記 n 個の保持部に含まれる複数の保持部の各々を同時に動作させるべく記述された命令コードに含まれる動作命令をデコードした場合に、前記動作命令のデコード結果に基づいて前記複数のレジスタファイル部、前記複数の演算部及び前記複数の保持部を同時に動作させ、且つ、前記命令フェッチ／デコード部の動作を停止させることを特徴とする請求項 1～3 のいずれか 1 項に記載のデータ処理装置。

[請求項5]

前記動作命令は、同時に動作させるべき前記複数のレジスタファイル部、前記複数の演算部及び前記複数の保持部の各動作を制御するために、各々に設定すべき設定情報と、前記複数のレジスタファイル部、前記複数の演算部及び前記複数の保持部の同時動作を停止すべき動作終結条件と、を含み、

前記命令フェッチ／デコード部が前記動作命令をデコードするまでは、前記命令フェッチ／デコード部、前記第 1 レジスタファイル部、前記第 1 演算部及び前記第 1 保持部を同時に動作させ、

前記動作命令をデコードした場合に、前記動作命令のデコード結果に基づいて、前記命令フェッチ／デコード部の動作を停止させ、且つ、前記複数のレジスタファイル部、前記複数の演算部及び前記複数の保持部を同時に動作させ、

前記動作命令に含まれる前記動作終結条件が満たされると、前記第 1 レジスタファイル部、前記第 1 演算部及び前記第 1 保持部を除く前記複数のレジスタファイル部、前記複数の演算部及び前記複数の保持部の動作を停止させ、且つ、前記命令フェッチ／デコード部、前記第 1 レジスタファイル部、前記第 1 演算部及び前記第 1 保持部を同時に動作させることを特徴とする請求項 4 に記載のデータ処理装置。

[請求項6]

前記 n 個の演算部の各々は、

前記データ処理装置の外部に配置された外部メモリの内容を一時的

に保持するキャッシュメモリと、

前記命令コードに含まれるロード命令に付随するアドレス情報を用いて前記キャッシュメモリを読み出すロード部と、

前記ロード部により読み出されたデータを一時的に保持するストア部と

を有し、

前記 n 個の演算部に含まれる N 番目の演算部は、自身のストア部が保持するデータを前記 n 個の演算部に含まれる $(N + 1)$ 番目以降の演算部及び前記 n 個のレジスタファイル部に含まれる $(N + 1)$ 番目以降のレジスタファイル部に転送可能となっていることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載のデータ処理装置。

[請求項7]

前記 n 個の演算部に含まれる N 番目の演算部は、自身のキャッシュメモリがデータを保持する場合には、前記 n 個の演算部に含まれる $(N + 1)$ 番目の演算部のキャッシュメモリに転送可能となっていることを特徴とする請求項 6 に記載のデータ処理装置。

[請求項8]

前記 n 個の演算部の各々は、自身のロード部による前記キャッシュメモリの読み出しを行なう場合には、前記ロード命令に付随するアドレス情報を保持すると共に、前記ロード部による読み出しが完了する度に、前記保持したアドレス情報を読み出されたデータ幅だけ増加または減少させて、前記ロード部による次の読み出しのためのアドレス情報を生成することを特徴とする請求項 6 または 7 に記載のデータ処理装置。

[請求項9]

前記第 1 演算部は、前記データ処理装置の外部に配置された外部メモリと直接接続されたキャッシュメモリを有し、

前記キャッシュメモリは、前記動作命令に関連付けられる書き込み先アドレスと転送データ長とからなる転送情報に基づいてデータ転送を行なうデータ転送手段を有し、

前記データ転送手段は、前記外部メモリ上における互いに異なる複

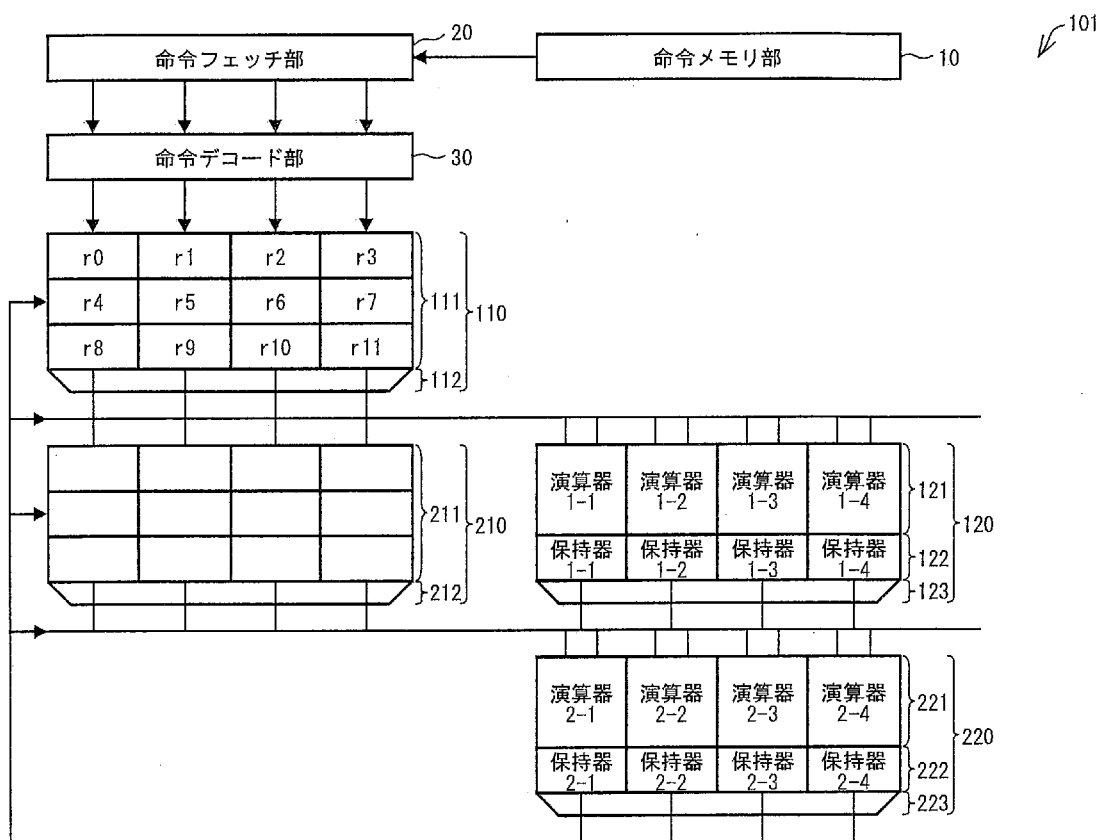
数のアドレスから同時に複数のデータを連続転送することを特徴とする請求項4または5に記載のデータ処理装置。

[請求項10] 前記外部メモリは、前記動作命令に関連付けられる書き込み先アドレスと転送ワード数とからなる転送情報に基づいてデータ転送を行なうデータ転送手段を有し、

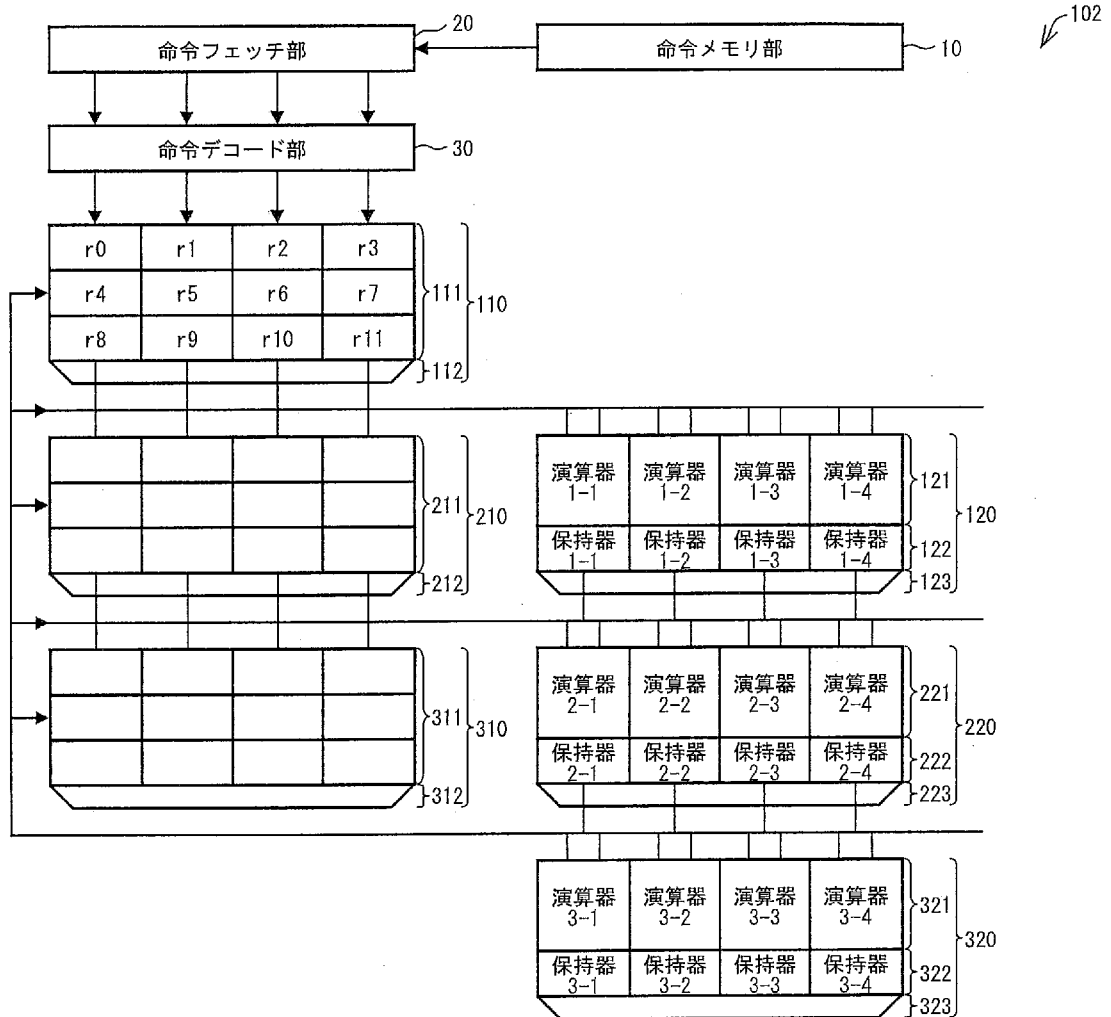
前記データ転送手段は、外部I/O装置から複数のデータを前記外部メモリの最も古いバンクへ連続転送することを特徴とする請求項9に記載のデータ処理装置。

[請求項11] 前記第1演算部は、自身のキャッシュメモリに前記ロード命令に付随するアドレス情報に対応する領域が存在しない場合には、外部メモリからのデータ転送を待機すると共に、2番目以降の演算部が前記動作命令に関連付けられる転送ワード数に応じた回数だけ動作したことを前記動作終結条件とすることを特徴とする請求項5に記載のデータ処理装置。

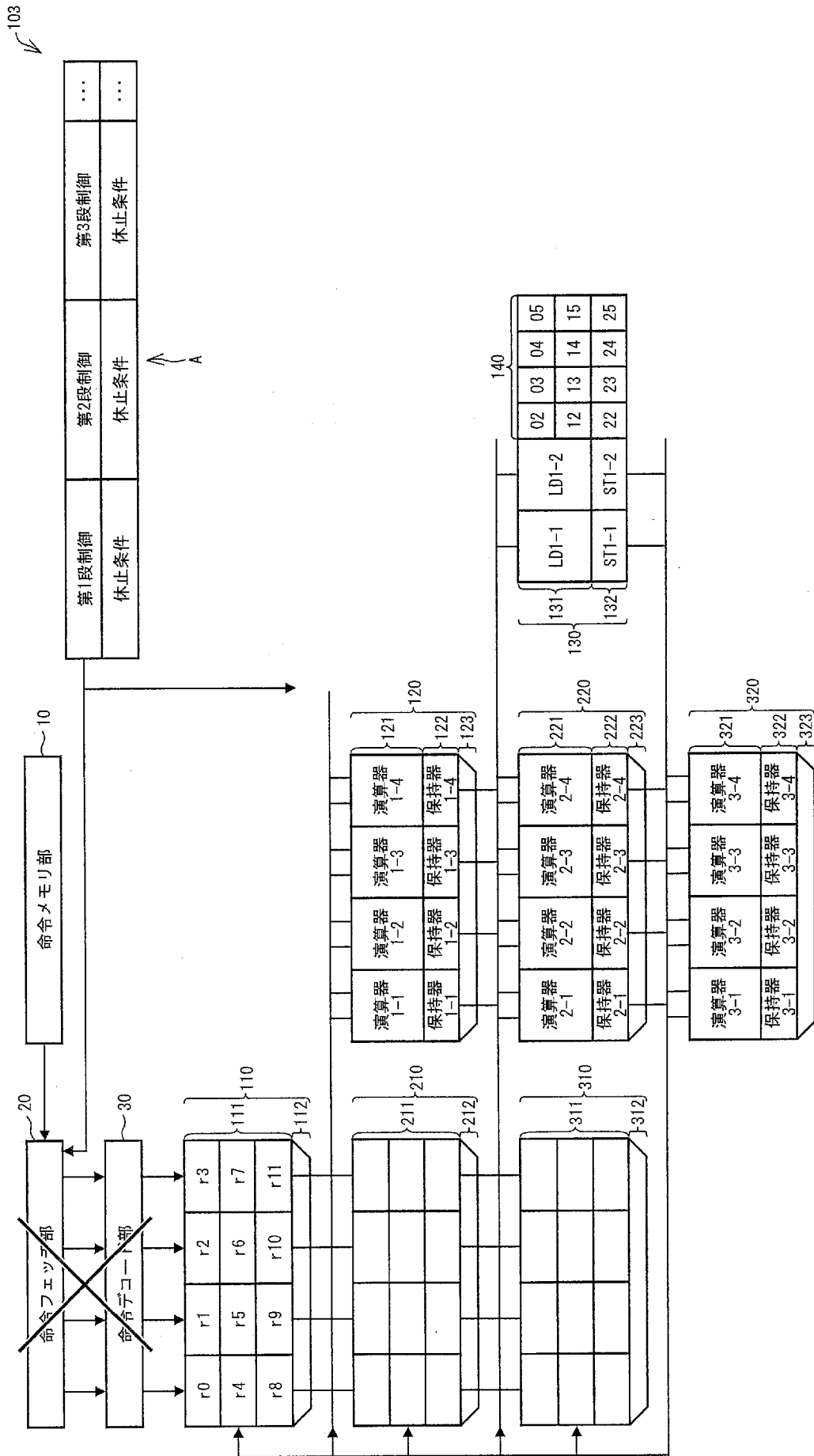
[図1]



[図2]



[図3]



[図4]

104 ↙

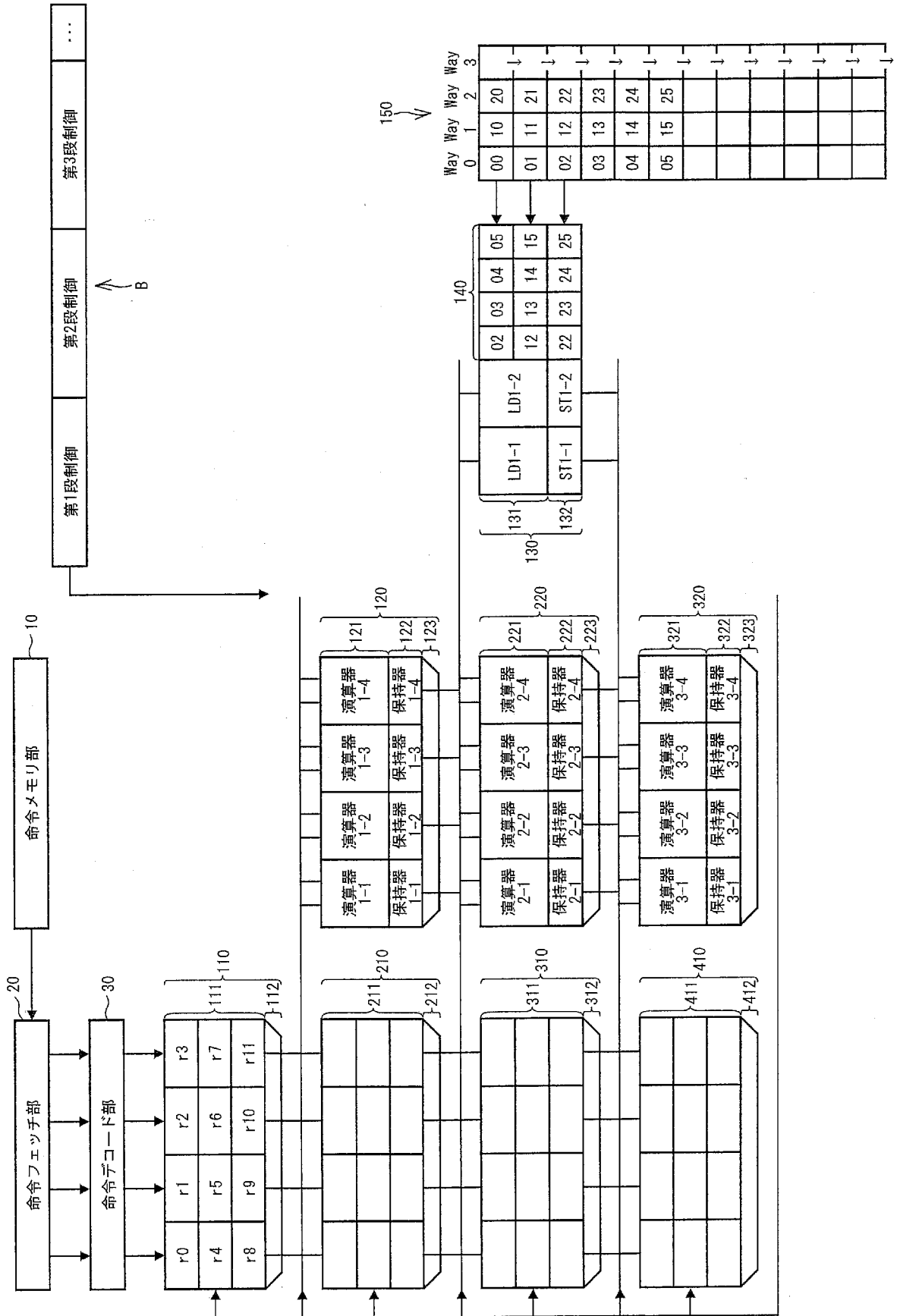


図5

105 ↙

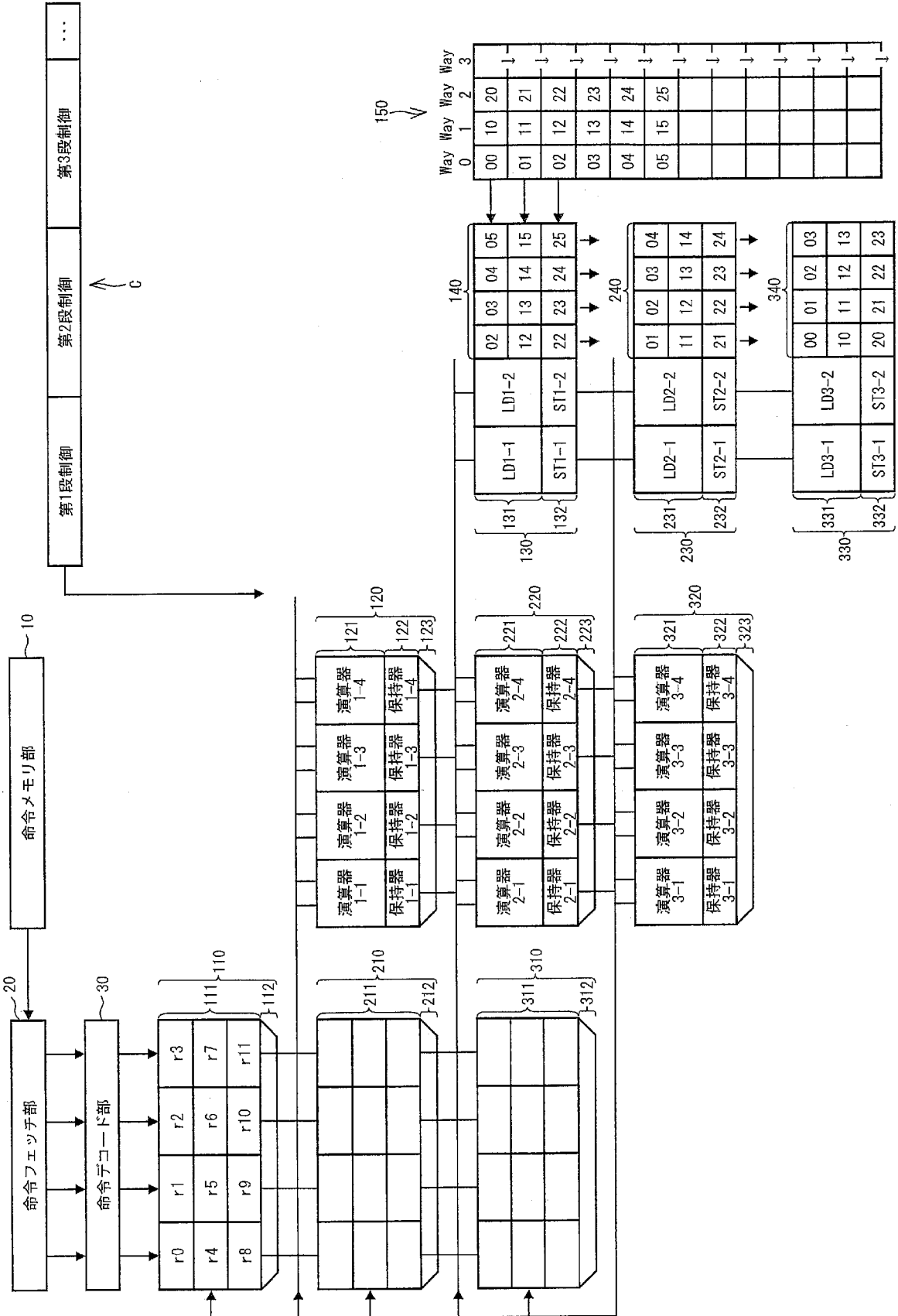


図6

106

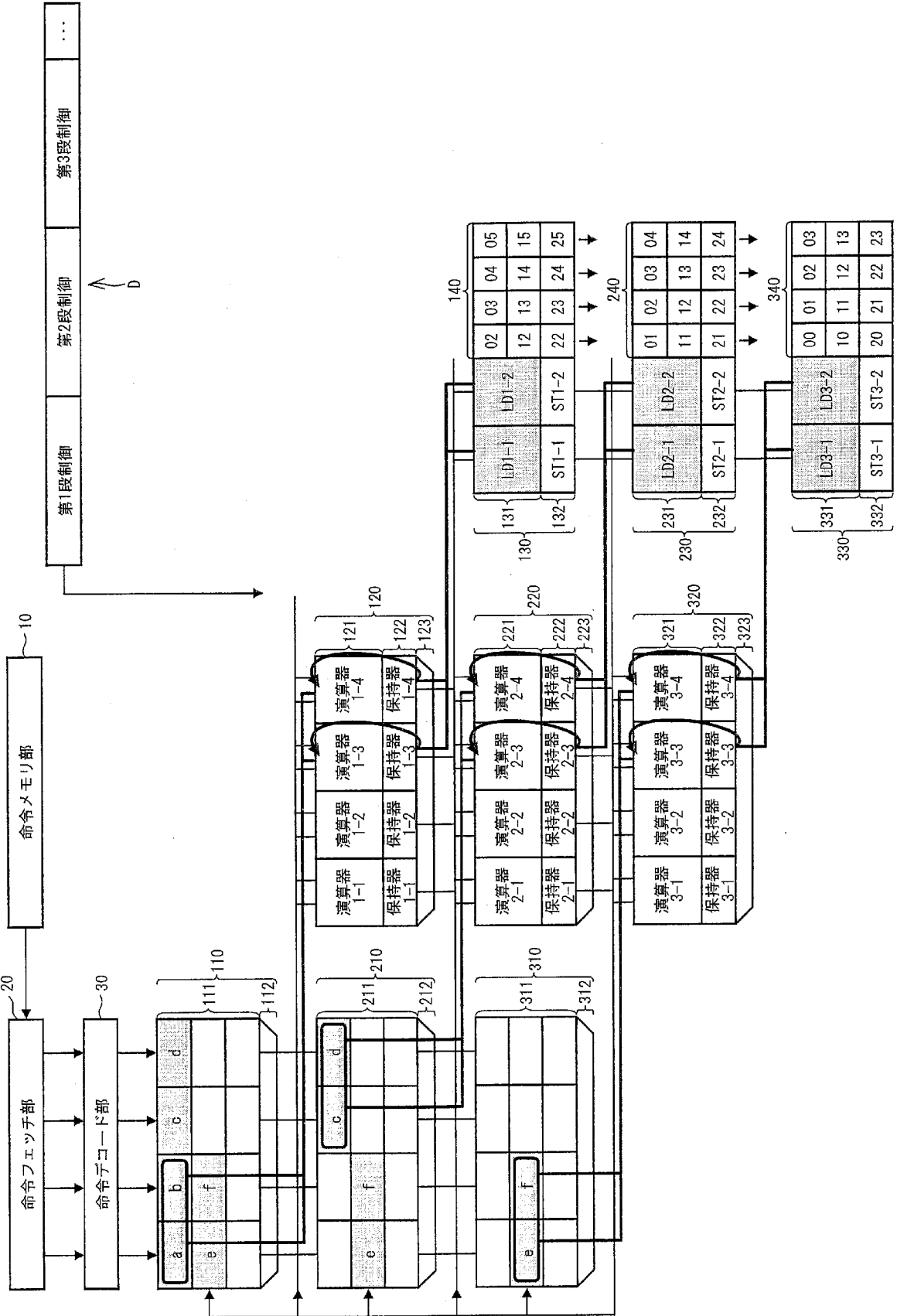
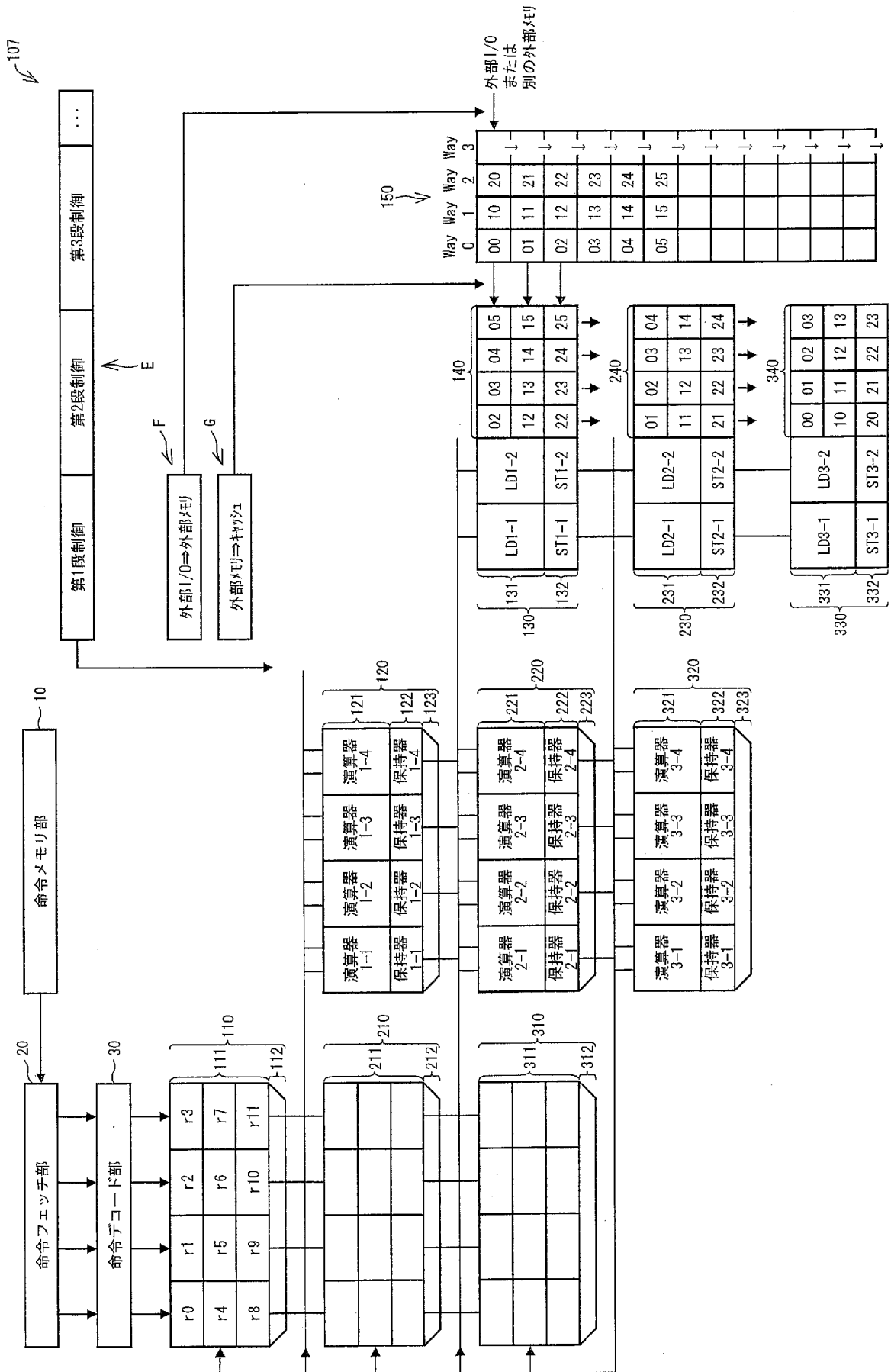
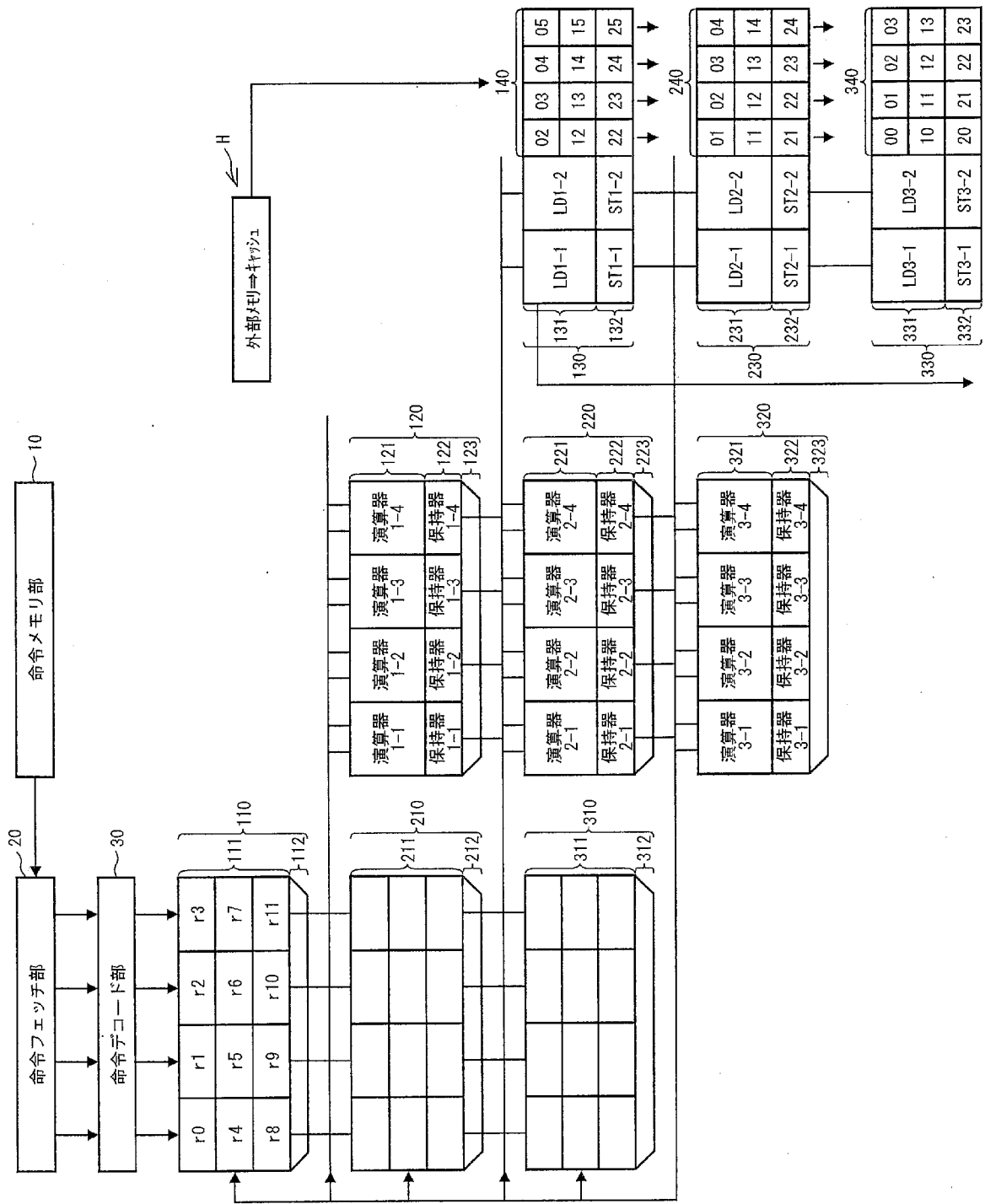


図7



[図8]

108 ↙



[9]

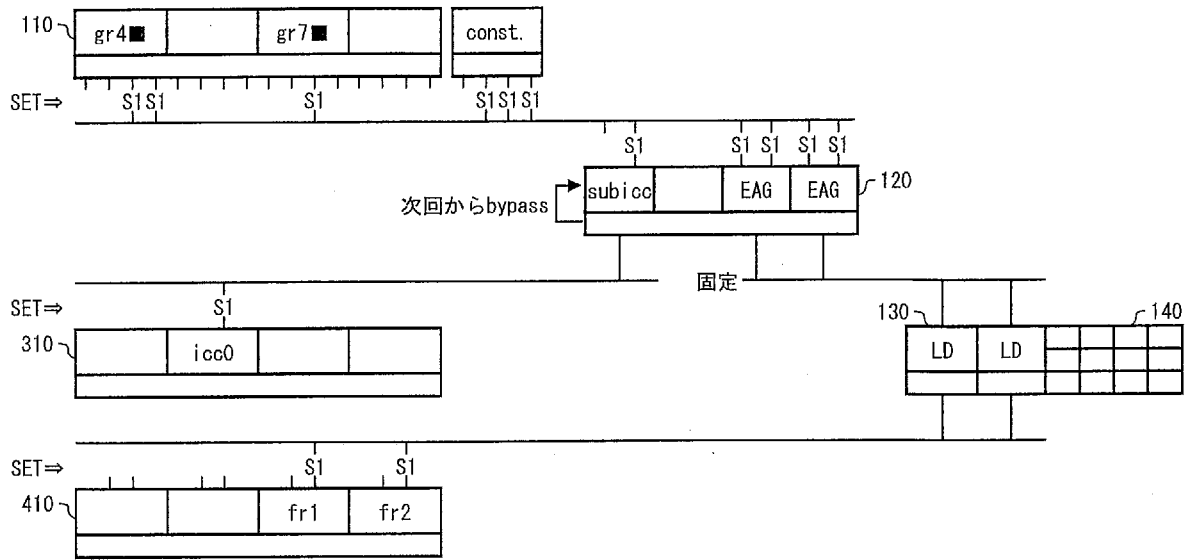
```

ldfi.p @ (gr4, -1284), fr1; ldfi.p @ (gr4, 1284), fr2;
ldfi.p @ (gr4, -1280), fr3; ldfi.p @ (gr4, 1280), fr4;
ldfi.p @ (gr4, -1276), fr5; ldfi.p @ (gr4, 1276), fr6;
ldfi.p @ (gr4, -4), fr7; ldfi.p @ (gr4, 4), fr8; addi.p gr4, #4, gr4;
subicc gr7, 31, gr7, icc0
beq icc0, 0x0, edge_exit
sad -32, fr1, fr2, fr1;
sad -32, fr3, fr4, fr3;
sad.p -32, fr5, fr6, fr5; madd -31, fr1, fr3, fr1
sad.p -32, fr7, fr8, fr7; madd -31, fr1, fr5, fr1
madd -31, fr1, fr7, fr1
msum -30, fr1, fr1, fr1
cset -25, fr1, fr9, fr1

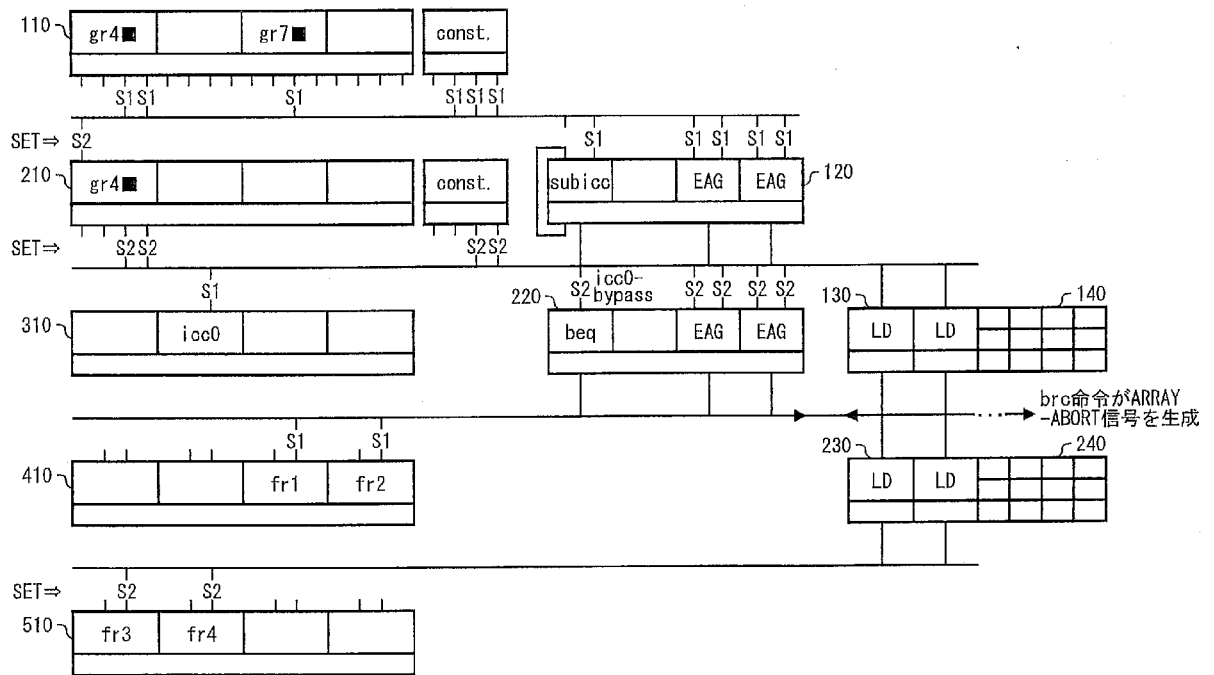
stbfi.p fr1, @ (gr5, 0); addi.p gr5, #1, gr5; bra edge_loop

```

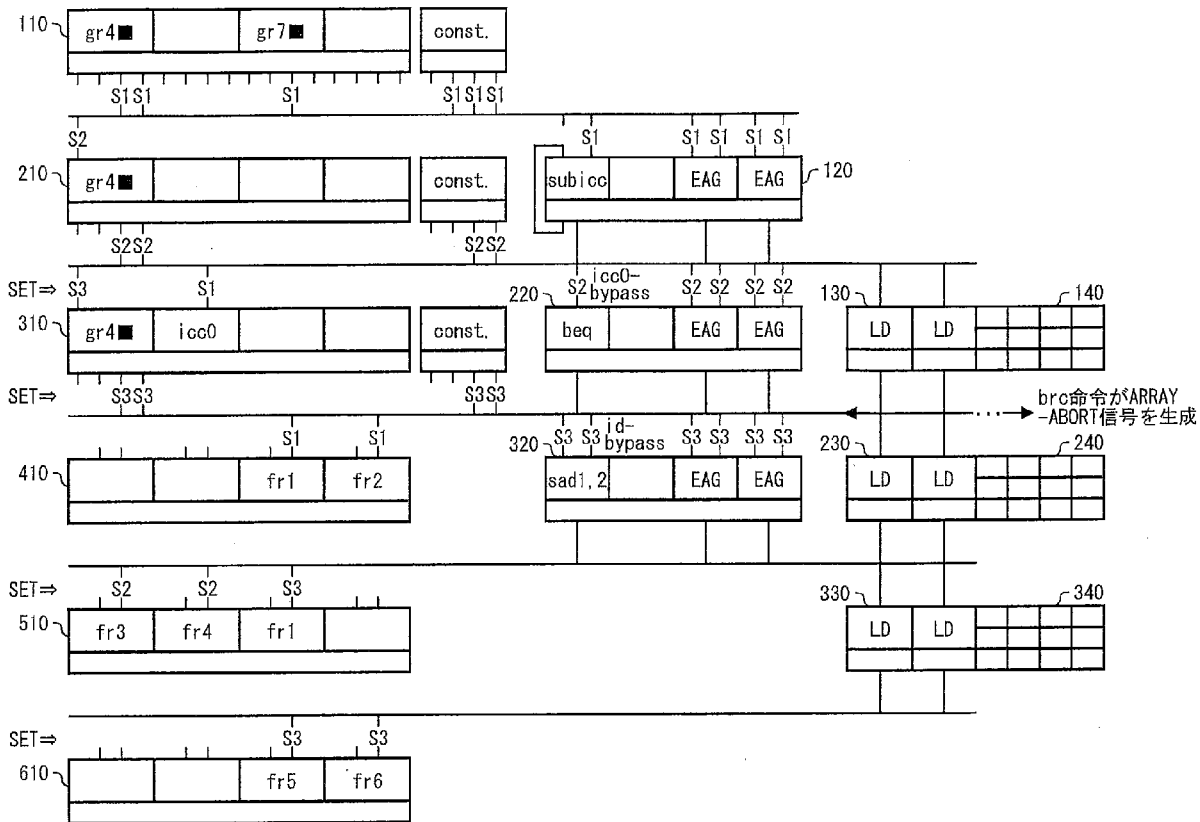
[図10]



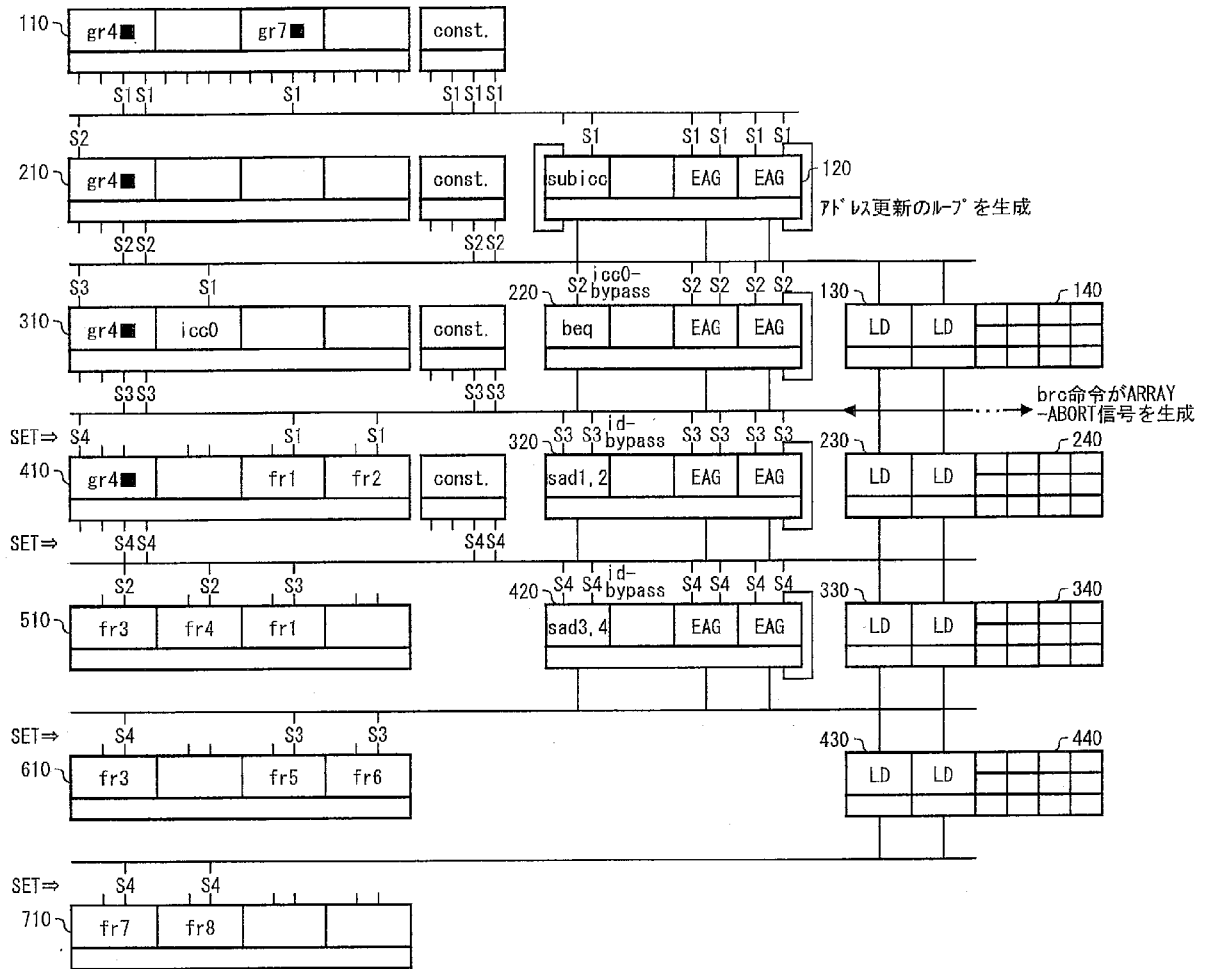
[図11]



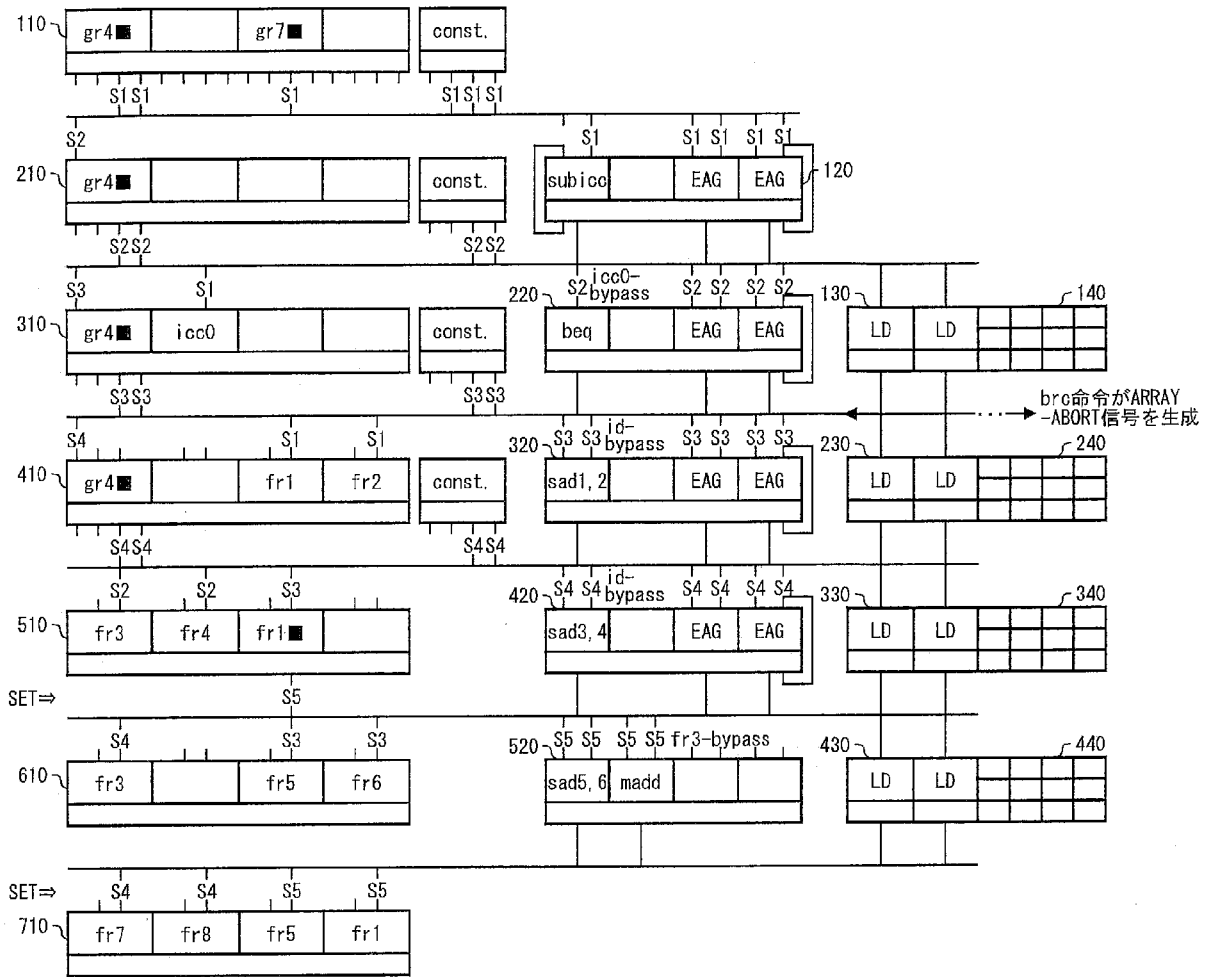
[図12]



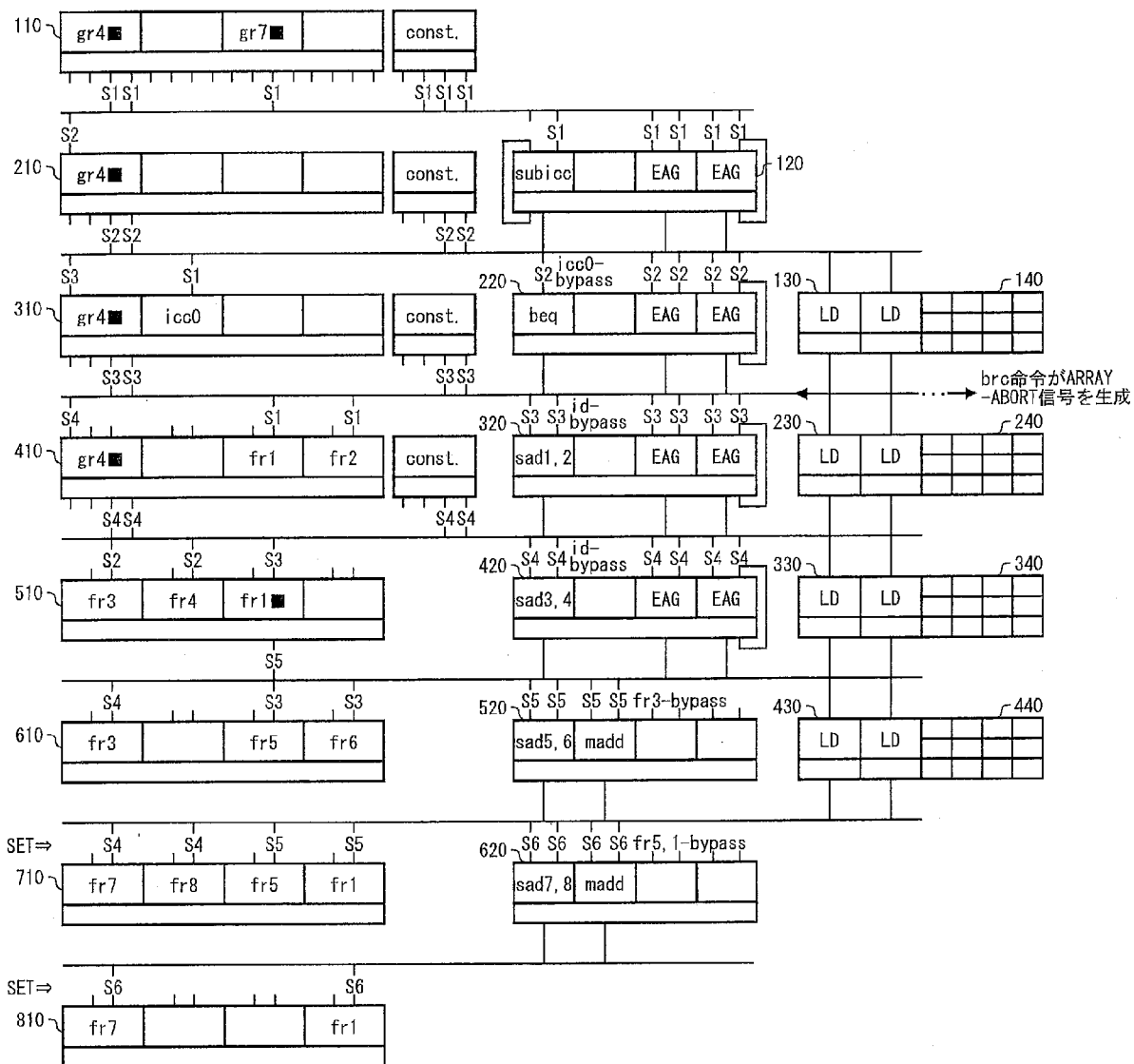
[図13]



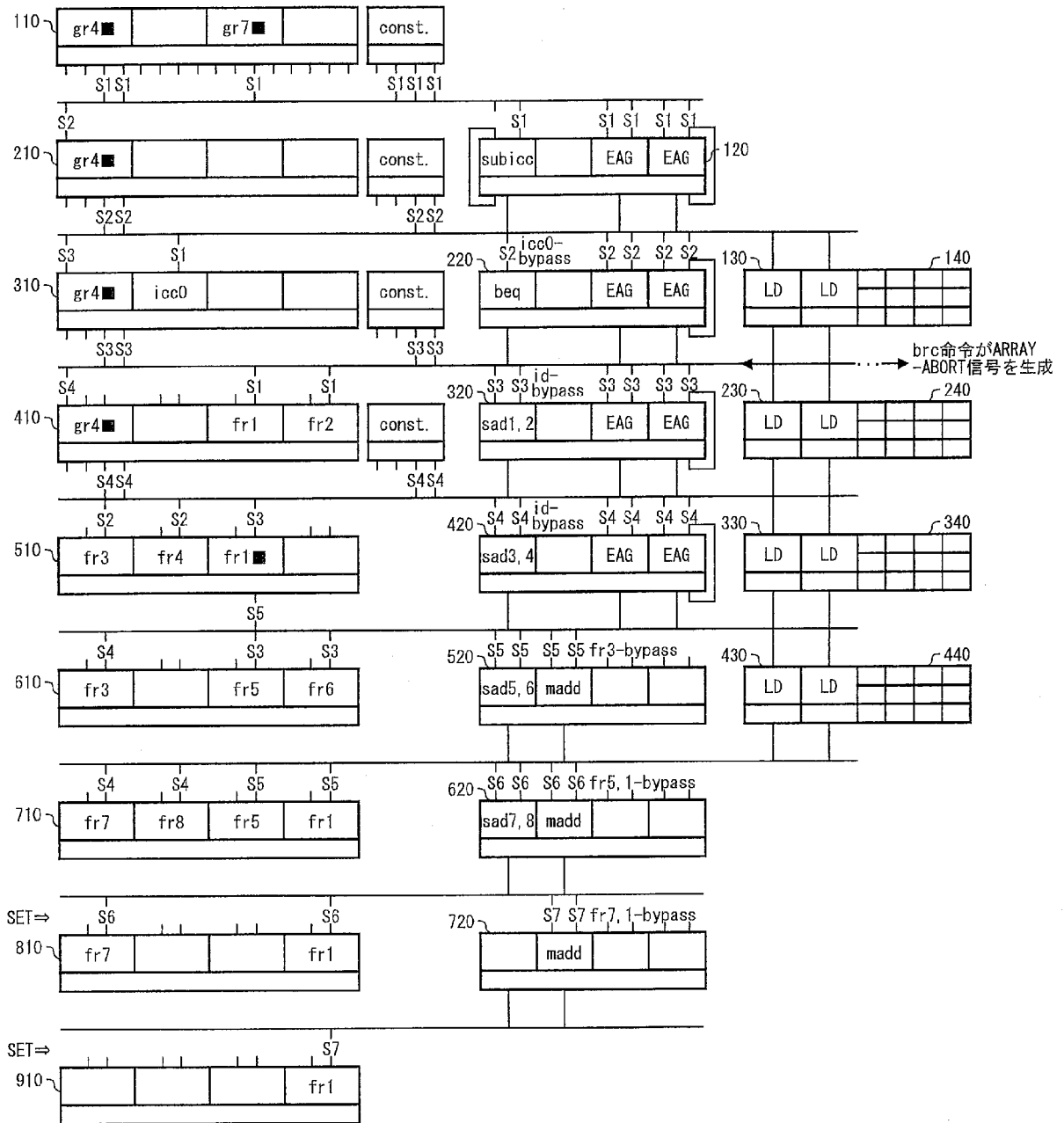
[図14]



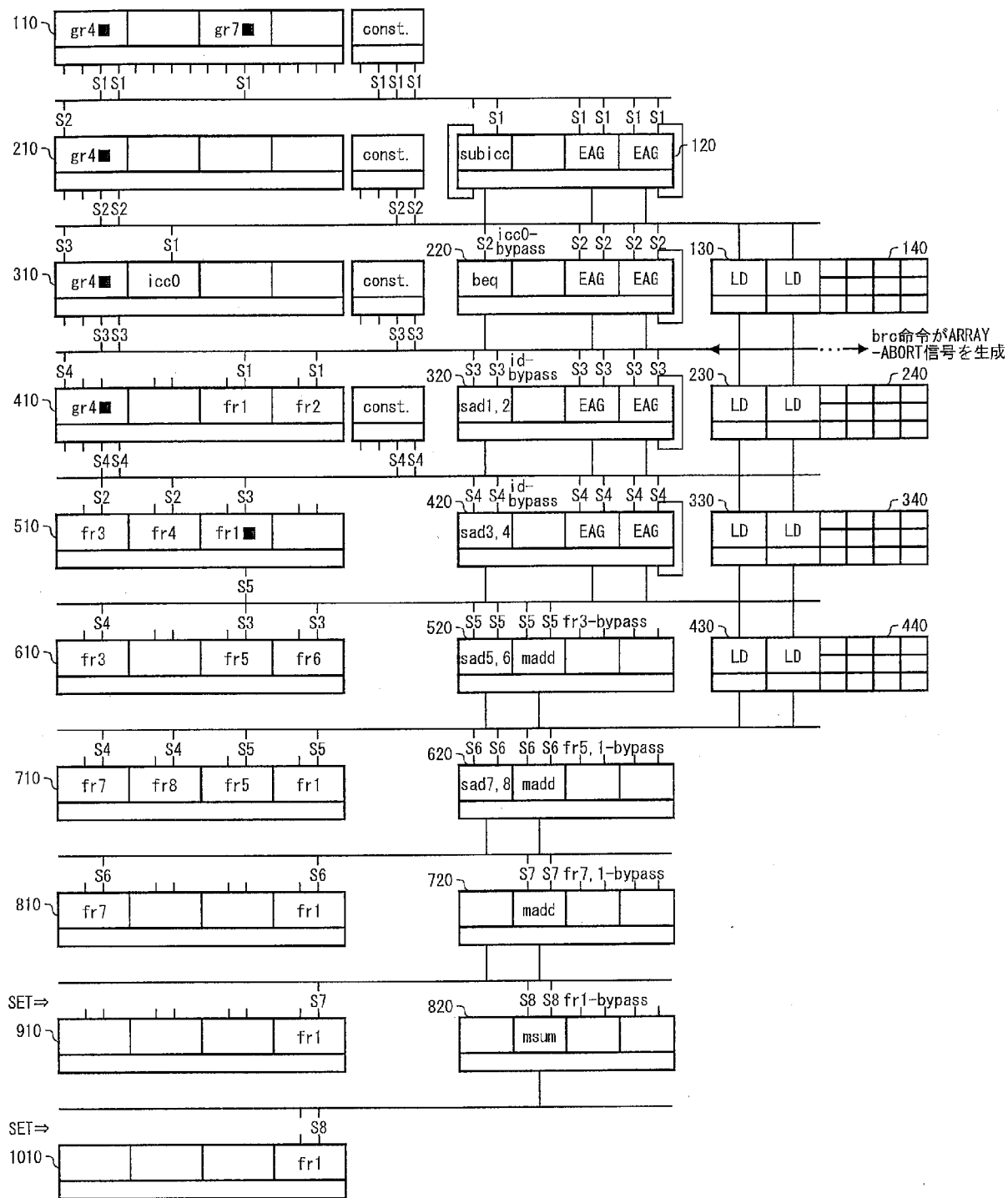
[図15]



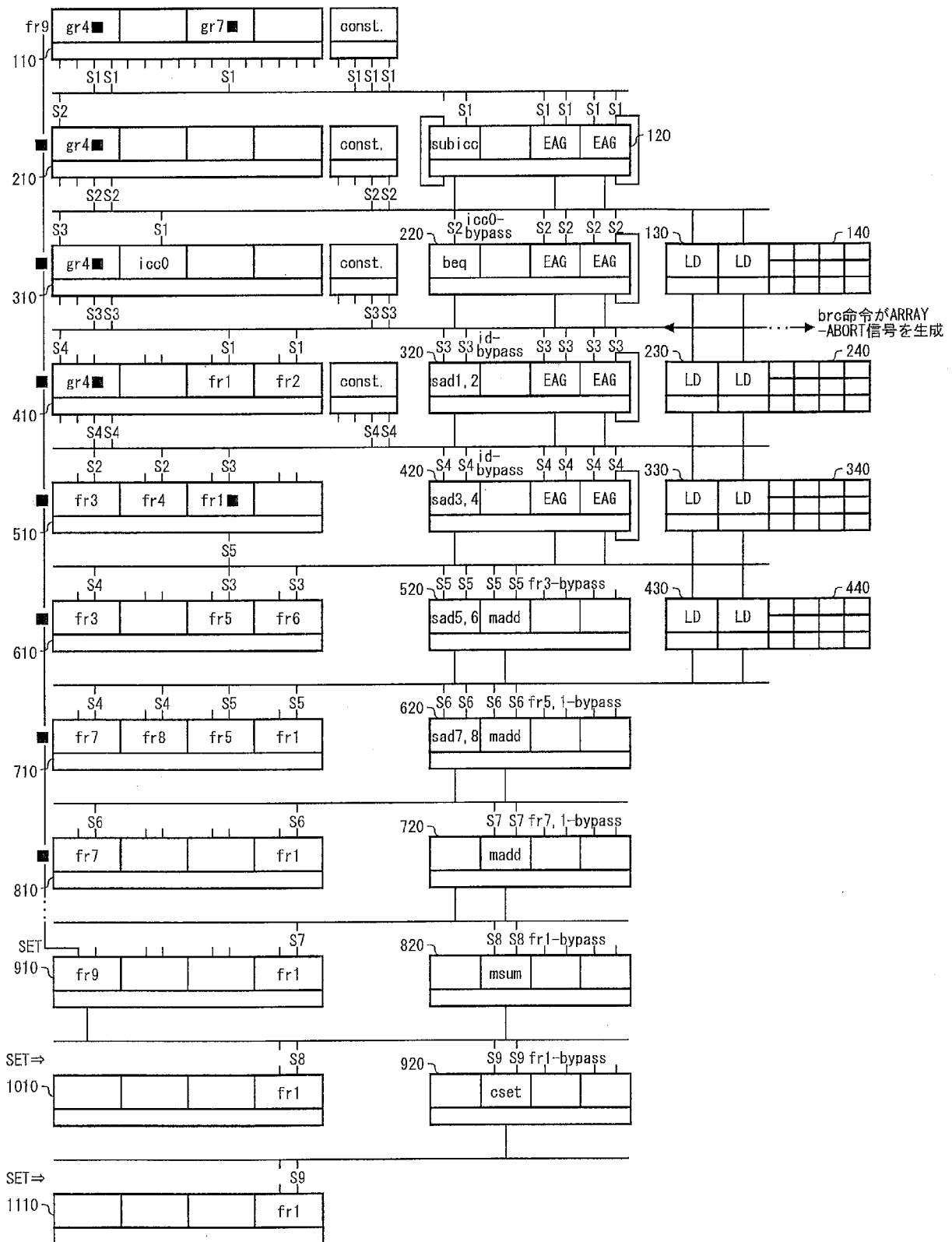
[図16]



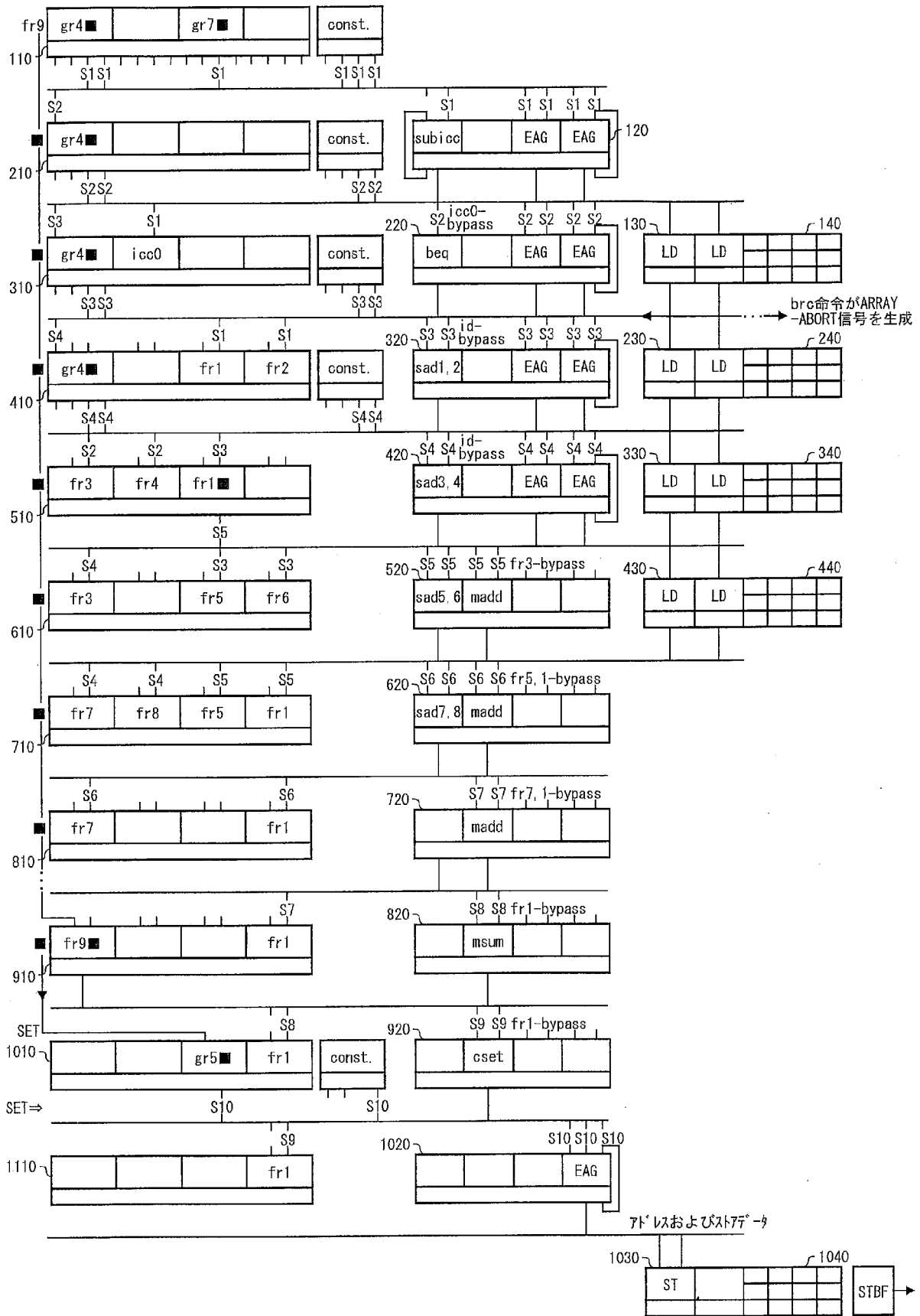
[図17]



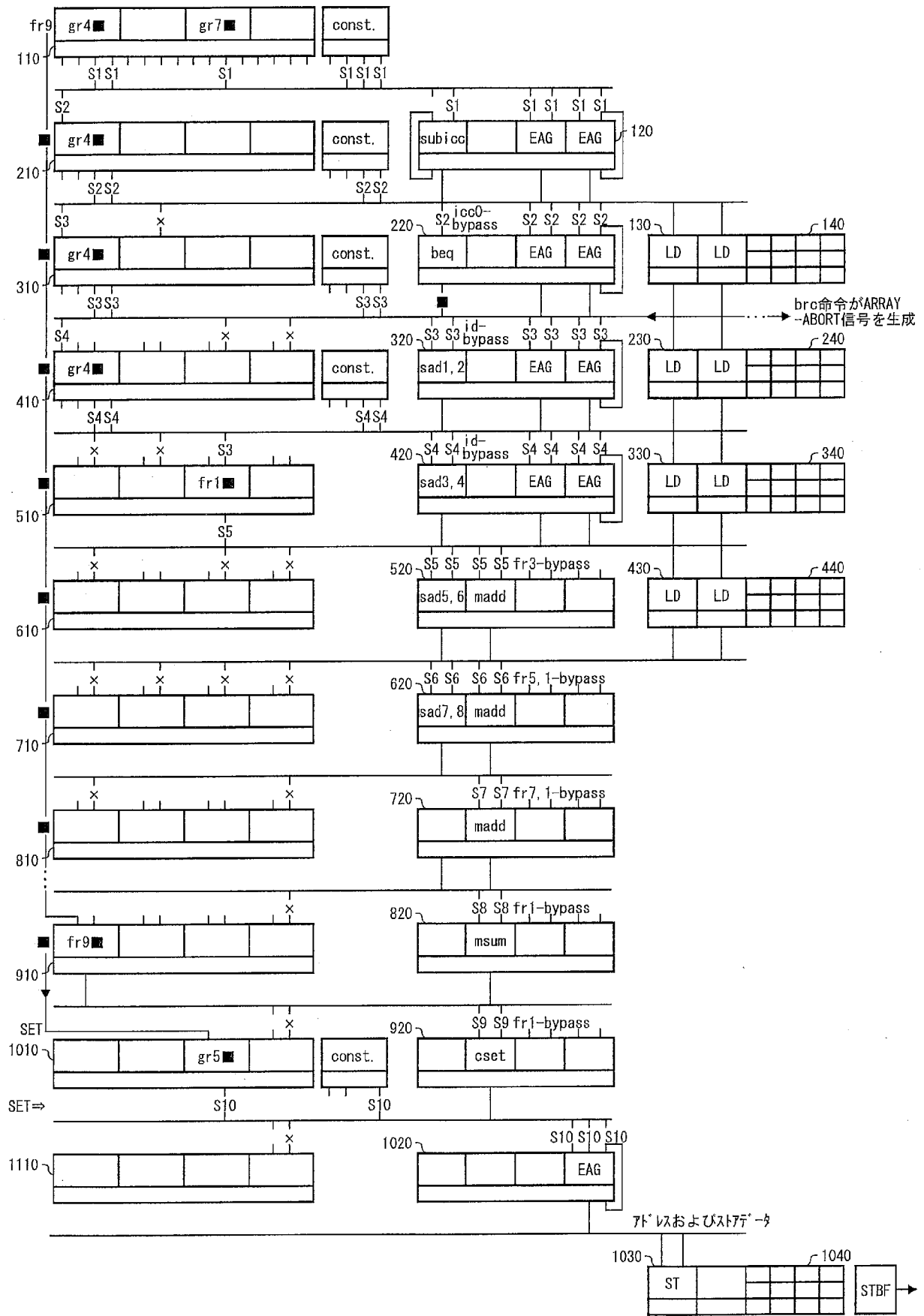
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005306

A. CLASSIFICATION OF SUBJECT MATTER

G06F9/30(2006.01) i, G06F9/34(2006.01) i, G06F9/38(2006.01) i, G06F15/80(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F9/30, G06F9/34, G06F9/38, G06F15/80

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Schmit, H et.al, "PipeRench: A virtualized programmable datapath in 0.18 micron technology", Proceedings of the IEEE Custom Integrated Circuits Conference, 2002, 2002.05.15, pp.63-66	1, 2, 4, 5 3, 6-11
X Y	JP 2005-539293 A (Carnegie Mellon University), 22 December 2005 (22.12.2005), paragraphs [0018] to [0022]; fig. 6, 7 & US 2004-0034761 A1 & EP 001535189 A	1, 2, 4, 5 3, 6-11
Y	JP 2001-147799 A (Hitachi, Ltd.), 29 May 2001 (29.05.2001), paragraph [0063]; fig. 1 & US 2003-0172254 A1	3

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 January, 2010 (08.01.10)

Date of mailing of the international search report
19 January, 2010 (19.01.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005306

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 96/29646 A1 (Hitachi, Ltd.), 26 September 1996 (26.09.1996), page 18, line 11 to page 21, line 14; fig. 1 & US 6401190 B	6-11
A	JP 2003-99249 A (Sanyo Electric Co., Ltd.), 04 April 2003 (04.04.2003), paragraphs [0018] to [0021]; fig. 2 (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F9/30(2006.01) i, G06F9/34(2006.01) i, G06F9/38(2006.01) i, G06F15/80(2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F9/30, G06F9/34, G06F9/38, G06F15/80

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	Schmit, H et.al, "PipeRench: A virtualized programmable datapath in 0.18 micron technology", Proceedings of the IEEE	1, 2, 4, 5
Y	Custom Integrated Circuits Conference, 2002, 2002.05.15, pp. 63-66	3, 6-11
X	JP 2005-539293 A (カーネギーメロン ユニバーシティ) 2005.12.22, 段落18~22、図6、図7	1, 2, 4, 5
Y	& US 2004-0034761 A1 & EP 001535189 A	3, 6-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

08.01.2010

国際調査報告の発送日

19.01.2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

三坂 敏夫

5B

4178

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-147799 A (株式会社日立製作所) 2001.05.29, 段落63、 図1 & US 2003-0172254 A1	3
Y	WO 96/29646 A1 (株式会社日立製作所) 1996.09.26, 18頁11行 目～21頁14行目、第1図 & US 6401190 B	6-11
A	JP 2003-99249 A (三洋電機株式会社) 2003.04.04, 段落18～21、 図2 (ファミリーなし)	1-11