

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年9月30日(30.09.2010)

PCT

(10) 国際公開番号
WO 2010/109793 A1

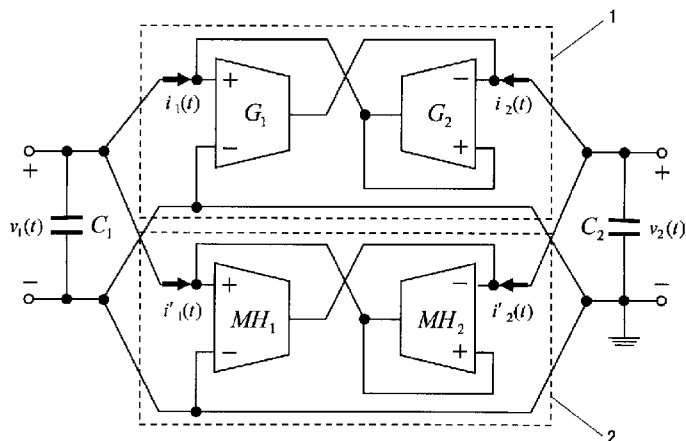
- (51) 国際特許分類: H03K 3/354 (2006.01)
- (21) 国際出願番号: PCT/JP2010/001687
- (22) 国際出願日: 2010年3月10日(10.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2009-071195 2009年3月24日(24.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 堀尾喜彦(HORIO, Yoshihiko) [JP/JP]; 〒3350004 埼玉県蕨市中央一丁目17番40号604 Saitama (JP). 濱田卓矢(HAMADA, Takuya) [JP/JP]; 〒3580054 埼玉県入間市野田472番地1 Saitama (JP). 神野健哉(JINNO, Kenya) [JP/JP]; 〒2260006 神奈川県横浜市緑区白山四丁目18番11号 Kanagawa (JP). 合原一幸(AIHARA, Kazuyuki) [JP/JP]; 〒
- 2750026 千葉県習志野市谷津四丁目8番8号208 Chiba (JP).
- (74) 代理人: 清水守(SHIMIZU, Mamoru); 〒1010053 東京都千代田区神田美土代町11番地12ニチヨビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: MULTI-SCREW CHAOTIC OSCILLATOR CIRCUIT

(54) 発明の名称: マルチスクルーカオス発振回路

[図1]



(57) Abstract: A multi-screw chaotic oscillator circuit with a simple configuration, which can use a variety of multi-hysteresis VCCS characteristics, and which can generate a variety of multi-screw attractors. The multi-screw chaotic oscillator circuit comprises a linear 2-port VCCS circuit (1) comprised of a set of linear VCCS circuits (G_1 and G_2); a multi-hysteresis 2-port VCCS circuit (2) comprised of a set of multi-hysteresis VCCS circuits (MH_1 and MH_2) which have multi-hysteresis VCCS characteristics; and capacitors (C_1 and C_2) which are connected to the two ends of the circuit in which the linear 2-port VCCS circuit (1) and the multi-hysteresis 2-port VCCS circuit (2) are connected in parallel.

(57) 要約:

[続葉有]



WO 2010/109793 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

簡単な構成で、多様なマルチヒステリシスVCCS特性が使用でき、様々なマルチスクリーアトラクタを発生させることができるマルチスクリーカオス発振回路を提供する。マルチスクリーカオス発振回路において、線形VCCS回路 G_1 および G_2 の組からなる線形2ポートVCCS回路1と、マルチヒステリシスVCCS特性を持つマルチヒステリシスVCCS回路 MH_1 および MH_2 の組からなるマルチヒステリシス2ポートVCCS回路2と、前記線形2ポートVCCS回路1と前記マルチヒステリシス2ポートVCCS回路2とを並列接続させた回路の両端にそれぞれキャパシタ C_1 と C_2 とを接続するようにした。

明 細 書

発明の名称： マルチスクリーカオス発振回路

技術分野

[0001] 本発明は、マルチスクリーカオス発振回路に係り、特に、高次元ハイブリッドダイナミカルシステムの高速度物理シミュレーションや、高次元ハイブリッドダイナミクスによる情報処理装置などに好適なマルチスクリーカオス発振回路に関するものである。

背景技術

[0002] 従来、区分線形2値ヒステリシス素子を用いたカオス発生回路が提案され（下記非特許文献1～13参照）、様々な興味深いカオスアトラクタが観測できることが報告されている。さらに、構成要素である2値ヒステリシス素子を多値の出力が得られるマルチヒステリシス素子に置き換えた方法も提案されている（下記非特許文献14～16参照）。この方法では、グリッドスクロールアトラクタなど、それまでの2値ヒステリシス特性を用いたカオス回路では発生しなかったアトラクタが観測できる。

先行技術文献

特許文献

[0003] 特許文献1：特願2009-025790号

非特許文献

[0004] 非特許文献1：R. W. Newcomb, and S. Sathyan, "An RC op amp chaos generator", IEEE Trans. on Circuits and Systems, Part I, Fundam. Theory Appl., vol. 30, no. 1, pp. 54-56, 1983.

非特許文献2：R. W. Newcomb, and N. El-Leithy, "A binary hysteresis chaos generator", in Proc. of 1984 IEEE Int'l Sym

p. on Circuits and Systems, pp. 856–859, 1984.

非特許文献3: Toshimichi Saito, “On a hysteresis chaos generator”, in Proc. of 1985 IEEE Int’l Symp. on Circuits and Systems, pp. 847–849, 1985.

非特許文献4: Takashi Suzuki, and Toshimichi Saito, “On fundamental bifurcations from a hysteresis hyperchaos generator”, IEEE Trans. on Circuits and Systems, Part I, Fundam. Theory Appl., vol. 41, no. 12, pp. 876–884, 1994.

非特許文献5: Toshimichi Saito, and Shinji Nakagawa, “Chaos from a hysteresis and switched circuit”, Phil. Trans. R. Soc. Lond. A, vol. 353, no. 1701, pp. 47–57, 1995.

非特許文献6: Toshimichi Saito, and Kunihiro Mitsubori, “Control of chaos from a piecewise linear hysteresis circuit”, IEEE Trans. on Circuits and Systems, Part I, Fundam. Theory Appl., vol. 42, no. 3, pp. 168–172, 1995.

非特許文献7: J. E. Varrientos, and E. Sanchez-Sinencio, “A 4-D chaotic oscillator based on a differential hysteresis comparator”, IEEE Trans. on Circuits and Systems, Part I, Fundam. Theo

ry Appl., vol. 45, no. 1, pp. 3–10, 1998.

非特許文献8: A. S. Elwakil, and M. P. Kennedy, “Chaotic oscillators derived from Saito’s double-screw hysteresis oscillator”, IEICE Trans. Fundamentals, vol. E82-A, no. 9, pp. 1769–1775, 1999.

非特許文献9: F. Bizzarri, D. Stellardo, and M. Storace, “Bifurcation analysis and its experimental validation for a hysteresis circuit oscillator”, IEEE Trans. on Circuits and Systems, Part I, Regular Papers, vol. 53, no. 5, pp. 517–521, 2006.

非特許文献10: Masaki Kataoka and Toshimichi Saito, “A 4-D chaotic oscillator with a hysteresis 2-port VCCSs: The first example of chaotic oscillators consisting of 2-port VCCSs and capacitors”, in Proc. IEEE Intl Symp. on Circuits and Syst., vol. 5, pp. 418–421, 1999.

非特許文献11: Masaki Kataoka and Toshimichi Saito, “A 2-port VCCS chaotic oscillator and quad screw attractor”, IEEE Trans. on Circuits and Systems, Part I, Fundam. Theory Appl., vol. 48, no. 2, pp. 221–225, 2001.

非特許文献12: Masaki Kataoka and Toshimichi Saito, "A chaotic oscillator based on two-port VCCS", in Chaos in Circuits and Systems, G. Chen and T. Ueda eds., pp. 131-143, World Scientific, Singapore, 2002.

非特許文献13: Kiyomitsu Ogata and Toshimichi Saito, "Chaotic attractors in a 4-D oscillator based on 2-port VCCSs", in Proc. IEEE Intl Symp. on Circuits and Syst., vol. 2, pp. 556-559, 2002.

非特許文献14: Fengling Han, Xinghuo Yu, Yuyue Wang, Yong Feng, and Guanrong Chen, "n-scroll chaotic oscillators by second-order systems and double-hysteresis blocks", Electronics Letters, vol. 39, no. 23, pp. 1636-1637, 2003.

非特許文献15: Fengling Han, Xinghuo Yu, and Jiankun Hu, "A new way of generating grid-scroll chaos and its application to biometric authentication", in Proc. of IEEE 2005 Industrial Electronics Society, 31st Annual Conference, pp. 61-66, 2005.

非特許文献16: Fengling Han, Xinghuo Yu, Yong Feng, and Jiankun Hu, "On multiscroll chaotic attractors in hysteresis"

is-based piecewise-linear systems”, IEEE Trans. on Circuits and Systems, Part II, Express Briefs, vol. 54, no. 11, pp. 1004–1008, 2007.

非特許文献17: Takuya Hamada, Yoshihiko Horio, and Kazuyuki Aihara, “An IC implementation of a hysteresis two-port VCCS chaotic oscillator”, in Proc. of European Conf. on Circuits Theory and Design, pp. 926–929, 2007.

非特許文献18: Takuya Hamada, Yoshihiko Horio, and Kazuyuki Aihara, “Experimental observations from an integrated hysteresis two-port VCCS chaotic oscillator”, in Proc. IEEE Int’l Workshop on Nonlinear Dynamics of Electronic Systems, pp. 237–240, 2007.

非特許文献19: 濱田卓矢, 堀尾喜彦, 合原一幸, 「完全差動ヒステリシス2ポートVCCSカオス発振器」, 信学技報, NLP2007-180, pp. 79–84, 2008.

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記した非特許文献14～16で提案されているマルチヒステリシス特性は、2値ヒステリシス特性が直列に結合した形状のみしか有しておらず、そのため、それに起因したカオスアトラクタのみしか発生しない。また、ここで用いられているマルチヒステリシス特性は、複数個の2値ヒステリシス特性を有した電圧制御電圧源回路（VCVS回路）を接続することによって構成されており、VCVS回路の入力と出力が共に電圧である

ため、複数個の接続には加算器が必要となり、回路規模が大きくなってしま
うという欠点があった。

[0006] 本発明は、上記状況に鑑みて、簡単な構成で、様々なマルチヒステリシス
VCCS特性が使用でき、多様なマルチスクリュウアトラクタを発生させる
ことができるマルチスクリュウカオス発振回路を提供することを目的とする
。

[0007] このマルチスクリュウカオス発振回路は、2値ヒステリシス電圧制御電流
源回路（VCCS回路）を用いたカオス発生回路（上記非特許文献10～1
3）に注目し、この回路中の2値ヒステリシスVCCS回路をマルチヒステ
リシスVCCS回路に置き換えたマルチスクリュウカオス発振回路を提供す
るものである。

[0008] ここで用いるマルチヒステリシスVCCS回路は、本発明者らが提案した
、VCCS回路が電流出力であることを利用するマルチヒステリシス特性の
実現方法（特許文献1）により容易に実現が可能である。さらに、このマル
チヒステリシスVCCS特性の実現法によれば、多様なマルチヒステリシス
特性が容易に利用できるため、上記非特許文献10～13では観測されなか
った、新しい高次元のマルチスクリュウアトラクタや分岐構造が実現できる
。

課題を解決するための手段

[0009] 本発明は、上記目的を達成するために、

〔1〕マルチスクリュウカオス発振回路において、線形VCCS回路 G_1 お
よび G_2 の組からなる線形2ポートVCCS回路と、マルチヒステリシス特性
を持つマルチヒステリシスVCCS回路 MH_1 および MH_2 の組からなるマル
チヒステリシス2ポートVCCS回路と、前記線形2ポートVCCS回路と
前記マルチヒステリシス2ポートVCCS回路とを並列接続させた回路の両
端にそれぞれキャパシタ C_1 と C_2 とを接続するようにしたことを特徴とする
。

[0010] 〔2〕上記〔1〕記載のマルチスクリュウカオス発振回路において、前記

マルチヒステリシスVCCS回路MH₁ およびMH₂ の特性として、様々なマルチヒステリシスVCCS特性を用いることにより、多様なカオスアトラクタや分岐構造を実現することを特徴とする。

[0011] [3] 上記[2]記載のマルチスクリュウカオス発振回路において、前記マルチヒステリシスVCCS回路MH₁ およびMH₂ の諸特性を変化させることにより、より多くのカオスアトラクタや分岐現象を呈することを特徴とする。

[0012] [4] 上記[3]記載のマルチスクリュウカオス発振回路において、前記マルチヒステリシスVCCS回路MH₁ およびMH₂ の諸特性が、閾値や飽和電流であることを特徴とする。

[0013] [5] 上記[4]記載のマルチスクリュウカオス発振回路において、前記閾値は複数の閾値からなり、この複数の閾値はそれぞれ異なった値を持つことを特徴とする。

[0014] [6] 上記[5]記載のマルチスクリュウカオス発振回路において、前記マルチヒステリシスVCCS回路MH₁ がn個、前記マルチヒステリシスVCCS回路MH₂ がm個の飽和電流値を持つことを特徴とする。

[0015] [7] 上記[6]記載のマルチスクリュウカオス発振回路において、複数の閾値が4個の場合、前記マルチヒステリシスVCCS回路MH₁ およびMH₂ それぞれに4種類の離散出力が存在し、このそれぞれの4種類の離散出力の組み合わせである16種類の離散出力にそれぞれ対応した半空間が解空間中に存在し、この解空間中の解軌道が前記半空間の内どの空間を通過するかによりカオスアトラクタを分類することを特徴とする。

[0016] [8] 上記[2]記載のマルチスクリュウカオス発振回路において、前記マルチヒステリシスVCCS特性の複数の制御パラメータを制御することにより、より多くのカオスアトラクタや分岐現象を呈することを特徴とする。

[0017] [9] 上記[8]記載のマルチスクリュウカオス発振回路において、前記複数の制御パラメータが前記マルチヒステリシスVCCS特性の形状や回路の固有値であることを特徴とする。

[0018] [10] 上記[1]記載のマルチスクリュウカオス発振回路において、前記マルチヒステリシスVCCS特性を持つマルチヒステリシスVCCS回路MH₁およびMH₂の組からなるマルチヒステリシス2ポートVCCS回路で、正規化したパラメータの減衰パラメータ δ が0.05、振動角周波数パラメータ ω が1.00、平衡点パラメータ p が0.25、平衡点パラメータ q が0.25の場合、前記マルチヒステリシスVCCS回路MH₁およびMH₂の閾値を変化させることを特徴とする。

[0019] [11] 上記[1]から[10]の何れか一項記載のマルチスクリュウカオス発振回路において、前記キャパシタC₁とC₂の容量は、40pFと10pFであることを特徴とする。

発明の効果

[0020] 本発明によれば、以下のような効果を奏することができる。

[0021] (1) 連続時間カオス発振回路でありながらインダクタを含んでいないため、従来提案されているカオス回路と比較して簡単な構成の回路を提供することができる。

[0022] (2) 多様なマルチヒステリシスVCCS特性が使用できるため、様々なマルチスクリュウアトラクタを発生させることができる。

[0023] (3) 構成要素であるマルチヒステリシスVCCS回路の諸特性を変化させることにより、より多くのカオスアトラクや分岐構造が実現できる。

図面の簡単な説明

[0024] [図1]本発明のマルチスクリュウカオス発振回路図である。

[図2]本発明のマルチスクリュウカオス発振回路における線形VCCS回路G₁およびG₂の特性を示す図である。

[図3]本発明のマルチスクリュウカオス発振回路におけるマルチヒステリシスVCCS回路MH₁およびMH₂の回路記号を示す図である。

[図4]本発明のマルチスクリュウカオス発振回路におけるマルチヒステリシスVCCS回路のマルチヒステリシスVCCS特性の例を示す図である。

[図5]本発明に係るマルチヒステリシスVCCS特性の正規化の例を示す図で

ある。

[図6]本発明のマルチスクリュウカオス発振回路の構成例におけるマルチヒステリシス2ポートVCCS特性を構成する2組のマルチヒステリシスVCCS回路の正規化特性 ($i = 1, 2$) を示す図 (その1) である。

[図7]図6に示す正規化特性を持ったマルチヒステリシスVCCS回路の閾値 Th_1 (横軸) および Th_2 (縦軸) を分岐パラメータとした時のマルチスクリュウカオス発振回路の2パラメータ分岐図である。

[図8]図6に示すマルチヒステリシスVCCS正規化特性を用いた場合に、閾値 Th_1 および Th_2 を変化させて得られるマルチスクリュウカオス発振回路のカオスアトラクタの例を示す図である。

[図9]本発明のマルチスクリュウカオス発振回路の構成例におけるマルチヒステリシス2ポートVCCS特性を構成する2組のマルチヒステリシスVCCS回路の正規化特性 ($i = 1, 2$) を示す図 (その2) である。

[図10]図9に示す正規化特性を持ったマルチヒステリシスVCCS回路の閾値 Th_1 (横軸) および Th_2 (縦軸) を分岐パラメータとした時のマルチスクリュウカオス発振回路の2パラメータ分岐図である。

[図11]図9に示すマルチヒステリシスVCCS正規化特性を用いた場合に、閾値 Th_1 および閾値 Th_2 を変化させて得られるマルチスクリュウカオス発振回路のカオスアトラクタの例を示す図である。

[図12]本発明のマルチスクリュウカオス発振回路の構成例における線形2ポートVCCS回路を構成する線形VCCS回路 G_1 および G_2 として用いた完全差動線形VCCS回路を示す図である。

[図13]本発明のマルチスクリュウカオス発振回路の構成例におけるマルチヒステリシス2ポートVCCS回路を構成するマルチヒステリシスVCCS回路 MH_1 および MH_2 として用いた完全差動マルチヒステリシスVCCS回路を示す図である。

[図14]図13中の三角形の記号で示された、2値ヒステリシスVCCS特性を持つコア回路を示す図である。

[図15] S P I C Eシミュレーションで用いたマルチヒステリシスV C C S回路M H₂の特性図である。

[図16] S P I C Eシミュレーションで用いたマルチヒステリシスV C C S回路M H₁の特性図である。

[図17] マルチヒステリシスV C C S回路M H₁の特性として図16(a)の特性を用いた場合に得られたカオスアトラクタを示す図である。

[図18] マルチヒステリシスV C C S回路M H₁の特性として図16(b)の特性を用いた場合に得られたカオスアトラクタを示す図である。

[図19] マルチヒステリシスV C C S回路M H₁の特性として図16(c)の特性を用いた場合に得られたカオスアトラクタを示す図である。

発明を実施するための形態

[0025] 本発明のマルチスクリュウカオス発振回路は、線形V C C S回路G₁およびG₂の組からなる線形2ポートV C C S回路と、マルチヒステリシスV C C S特性を持つマルチヒステリシスV C C S回路M H₁およびM H₂の組からなるマルチヒステリシス2ポートV C C S回路と、前記線形2ポートV C C S回路と前記マルチヒステリシス2ポートV C C S回路とを並列接続させた回路の両端にそれぞれキャパシタC₁とC₂とを接続するようにした。

実施例

[0026] 以下、本発明の実施の形態について詳細に説明する。

[0027] 図1は本発明のマルチスクリュウカオス発振回路図、図2はそのマルチスクリュウカオス発振回路における線形V C C S回路G₁およびG₂の特性を示す図であり、図2(a)は線形V C C S回路の回路記号を示す図、図2(b)はその入出力特性を示している。また、図3は本発明のマルチスクリュウカオス発振回路におけるマルチヒステリシスV C C S回路M H₁およびM H₂の回路記号を示す図、図4はそのマルチヒステリシスV C C S特性の例を示す図である。

[0028] これらの図に示すように、本発明のマルチスクリュウカオス発振回路は、線形V C C S回路G₁およびG₂の組から成る線形2ポートV C C S回路1と

、マルチヒステリシス特性を持つマルチヒステリシスVCCS回路MH₁およびMH₂の組から成るマルチヒステリシス2ポートVCCS回路2、さらには、2つのキャパシタC₁およびC₂により構成される。

[0029] 線形VCCS回路G₁およびG₂の特性は、図2に示すようであり、それらの入出力特性の中央の線形部分のトランスコンダクタンスを、それぞれg_{m1}およびg_{m2}とする。

[0030] 一方、マルチヒステリシスVCCS回路MH₁およびMH₂は、上記した特許文献1の方法などにより構成する。その回路記号を図3に、マルチヒステリシスVCCS特性の例を図4にそれぞれ示す。

[0031] 図1中のキャパシタC₁、C₂の電圧を、それぞれv₁(t)およびv₂(t)とし、さらに、キャパシタC₁、C₂から図1の線形2ポートVCCS回路1に流れ込む電流をそれぞれi₁(t)、i₂(t)とおくと、線形2ポートVCCS回路1部分の回路方程式は下記(1)で与えられる。

[0032] [数1]

$$\begin{cases} i_1(t) = -g_{m2}(v_1(t) - v_2(t)) \\ i_2(t) = -g_{m1}(v_1(t)) \end{cases} \quad \dots (1)$$

一方、図1のマルチヒステリシス2ポートVCCS回路2部分の回路方程式は、キャパシタC₁、C₂からマルチヒステリシス2ポートVCCS回路2に流れ込む電流を、それぞれi'₁(t)、i'₂(t)とおくと下記(2)となる。

[0033] [数2]

$$\begin{cases} i'_1(t) = -MH_2(v_1(t) - v_2(t)) \\ i'_2(t) = -MH_1(v_1(t)) \end{cases} \quad \dots (2)$$

ここで、MH_i(\cdot) (i = 1, 2) は、図4に例を示したようなマルチヒステリシスVCCS特性を与える関数である。

[0034] 上記式(1)で表現される線形2ポートVCCS回路1と、上記式(2)で表現されたマルチヒステリシス2ポートVCCS回路2とを並列接続させ

た回路の両端にそれぞれキャパシタ C_1 、 C_2 を接続したものが、図1で示した本発明のマルチスクリーカオス発振回路であり、この回路全体の回路方程式は、以下のように表すことができる。

[0035] [数3]

$$\frac{d}{dt} \begin{bmatrix} C_1(v_1(t)) \\ C_2(v_2(t)) \end{bmatrix} = \begin{bmatrix} g_{m2} & -g_{m2} \\ g_{m1} & 0 \end{bmatrix} \begin{bmatrix} v_1(t) \\ v_2(t) \end{bmatrix} + \begin{bmatrix} MH_2(v_1(t)-v_2(t)) \\ MH_1(v_1(t)) \end{bmatrix} \quad \dots (3)$$

本発明のマルチスクリーカオス発振回路の動作を解析するため、上記の回路方程式に対して、以下の変数変換を用いた正規化を行う。

$$[0036] \quad E_x x(t) = v_1(t) \quad \dots (4)$$

$$E_y y(t) = v_1(t) - v_2(t) \quad \dots (5)$$

$$C_1 E_x \tau = g_{m2} E_y t \quad \dots (6)$$

$$2\delta = E_x / E_y \quad \dots (7)$$

$$\nu = C_1 g_{m1} / C_2 g_{m2} \quad \dots (8)$$

$$\omega = \delta \sqrt{4\nu - 1} \quad \dots (9)$$

$$p \cdot mh_1(x(\tau)) = - (1 / g_{m1} E_x) MH_1(E_x x(\tau)) \quad \dots (10)$$

$$q \cdot mh_2(y(\tau)) = - (1 / g_{m2} E_y) MH_2(E_y y(\tau)) \quad \dots (11)$$

ここで、 τ は正規化された時間、 $x(\tau)$ および $y(\tau)$ は状態変数、 δ は減衰パラメータ、 ω は振動角周波数パラメータ、 p および q は平衡点パラメータである。また、 $mh_i(\cdot)$ ($i=1, 2$) は、正規化されたマルチヒステリシスVCCS特性である。

[0037] 図5は本発明に係るマルチヒステリシスVCCS特性の正規化の例を示す図である。

[0038] 例えば、図5(a)と(b)に示す2個の2値ヒステリシスVCCS特性 $H_1(v_d)$ 、 $H_2(v_d)$ を合成して得られるマルチヒステリシスVCCS特性を正規化すると図5(c)のようなマルチヒステリシスVCCS特性 $mh(x(\tau))$ となる。

[0039] 上記の変数変換およびパラメータを用いることにより、上記式（3）の回路方程式は以下の式（12）のように正規化できる。

[0040] [数4]

$$\frac{d}{dt} \begin{bmatrix} x(\tau) \\ y(\tau) \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -4\nu\delta^2 & 2\delta \end{bmatrix} \begin{bmatrix} x(\tau) - p \cdot mh_1(x(\tau)) \\ y(\tau) - q \cdot mh_2(y(\tau)) \end{bmatrix} \quad \dots(12)$$

式（12）において、 $p \cdot mh_1(x(\tau))$ および $q \cdot mh_2(y(\tau))$ は、マルチヒステリシスVCCS特性 $mh_1(x(\tau))$ および $mh_2(y(\tau))$ の出力が入力に応じて切り替わり、マルチヒステリシスVCCS特性が持つ離散出力の各レベルに対応する定数となるので、その期間では上記式（12）を線形微分方程式とみなすことができる。すなわち、本システムは、マルチヒステリシスVCCS特性 $mh_i(\cdot)$ の出力によって定義される半空間がつなぎ合わされた区分線形系であると見なせる。そこで、

[0041] [数5]

$$\begin{cases} \tilde{x}(\tau) = x(\tau) - p \cdot mh_1(x(\tau)) \\ \tilde{y}(\tau) = y(\tau) - q \cdot mh_2(y(\tau)) \end{cases} \quad \dots(13)$$

と変数変換すれば、上記式（12）は次式のように表すことができる。

[0042] [数6]

$$\frac{d}{dt} \begin{bmatrix} \tilde{x}(\tau) \\ \tilde{y}(\tau) \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ -4\nu\delta^2 & 2\delta \end{bmatrix} \begin{bmatrix} \tilde{x}(\tau) \\ \tilde{y}(\tau) \end{bmatrix} \quad \dots(14)$$

上記式（14）の特性方程式の固有値 λ は

$$\lambda = \delta \pm \delta \sqrt{1 - 4\nu} \quad \dots(15)$$

で与えられる。

[0043] パラメータ ν が

$$4\nu - 1 > 0 \quad \dots(16)$$

を満足していれば、固有値 λ は複素数となり、このとき、上記式（14）の解は

[0044]

[数7]

$$\begin{bmatrix} \tilde{x}(\tau) \\ \tilde{y}(\tau) \end{bmatrix} = \begin{bmatrix} e^{\delta\tau} \left(\tilde{x}(0) \cos \omega\tau + \frac{1}{\omega} (\tilde{y}(0) - \delta \tilde{x}(0)) \sin \omega\tau \right) \\ e^{\delta\tau} \left(\tilde{y}(0) \cos \omega\tau + \frac{\delta}{\omega} (\tilde{y}(0) - 4\nu\delta \tilde{x}(0)) \sin \omega\tau \right) \end{bmatrix} \quad \dots (17)$$

である。ただし、 $\tilde{x}(0)$, $\tilde{y}(0)$ は、それぞれ $\tilde{x}(\tau)$, $\tilde{y}(\tau)$ の初期値であり、また、 $\omega = \delta \sqrt{(4\nu - 1)}$ とする。

[0045] さらに、式 (17) は、

[0046] [数8]

$$\begin{bmatrix} \tilde{x}(\tau) \\ \tilde{y}(\tau) \end{bmatrix} = e^{\delta\tau} \begin{bmatrix} \cos \omega\tau - \frac{\delta}{\omega} \sin \omega\tau & \frac{1}{\omega} \sin \omega\tau \\ -\frac{\delta^2 + \omega^2}{\omega} \sin \omega\tau & \cos \omega\tau + \frac{\delta}{\omega} \sin \omega\tau \end{bmatrix} \begin{bmatrix} \tilde{x}(0) \\ \tilde{y}(0) \end{bmatrix} \quad \dots (18)$$

と表すことができる。ここで、 $\delta > 0$ であることに注意すると、上記式 (18) は、解が初期値 ($\tilde{x}(0)$, $\tilde{y}(0)$) から、原点を中心に角周波数 ω で回転しながら $e^{\delta\tau}$ の割合で拡大していくことを表す。このままでは解軌道は発散するが、マルチヒステリシス VCCS 特性の各閾値に到達することにより出力が切り替わり、この出力で定義される半空間での解軌道に切り替わる。その結果、あるパラメータ条件では解軌道は発散せずにカオスアトラクタを呈する。なお、アトラクタを特徴付けるためのパラメータ δ および ω は制御可能である。

[0047] 次に、分岐解析とアトラクタについて説明する。

[0048] ここでは、本発明のマルチスクリュウカオス発振回路が豊かな分岐現象と多様なカオスアトラクタを持ち得ることを、記号力学系を導入した分岐解析を通して示す。例として、簡単のため、図 5 (c) に示すようなマルチヒステリシス VCCS 特性で、 $E_{th1}^L = -E_{Th1}^R$, $I_{D1}^D = -I_{U1}^U$, $E_{th2}^L = -E_{Th2}^R$, $I_{D2}^D = -I_{U2}^U$ である対称な特性を持つマルチヒステリシス VCCS 回路により MH_1 および MH_2 をそれぞれ構成する場合を以下で取り上げる。さらに、これら 2 個のマルチヒステリシス VCCS 回路 MH_1 および MH_2 を一組として構成したマルチヒステリシス 2 ポート VCCS 回路において、正規化したパラメータが $\delta = 0.05$, $\omega = 1.00$, $p = 0.25$, $q = 0.25$

であるときを考える。このとき、マルチヒステリシスVCCS回路MH₁およびMH₂の閾値を変化させることによって、本発明のマルチスクリュウカオス発振回路は様々なアトラクタを呈する。

[0049] これらのアトラクタを特徴付けるため、ここではマルチヒステリシスVCCS回路MH₁、MH₂の出力電流が、各ヒステリシス特性での飽和電流に対応する離散値を取ることに注目する。すなわち、本発明のマルチスクリュウカオス発振回路はハイブリッドシステム的一种であり、連続値の内部状態変数と、これに対応した離散値の出力変数とを有している。そこで、記号力学系として、各アトラクタの軌道におけるマルチヒステリシスVCCS回路の出力電流の離散系列に着目する。ここで例として取り上げた回路では、2個の2値ヒステリシスVCCS回路を組み合わせたマルチヒステリシスVCCS回路を2個一組として用いてマルチヒステリシス2ポートVCCS特性を構成しているため、mh₁(x(τ)), mh₂(y(τ))共に4種類の離散出力状態が存在する。このため、これらの離散出力状態の組み合わせは4×4の16種類存在し、これらの組み合わせにそれぞれ対応した16個の半空間が解空間中に存在する。そこで、解軌道がこれらの半空間の内どの半空間を通過するかによりアトラクタを分類する。このため、mh₁(x(τ))の4つの離散出力状態をlとし、これにl=1, 2, 3, 4と番号付けをする。同様に、mh₂(y(τ))の離散出力状態をmとし、これにもm=1, 2, 3, 4と番号付けをする。さらに、l, mを用いて解空間Sを

[0050] [数9]

$$S = [s_{lm}] = \begin{bmatrix} s_{11} & s_{12} & s_{13} & s_{14} \\ s_{21} & s_{22} & s_{23} & s_{24} \\ s_{31} & s_{32} & s_{33} & s_{34} \\ s_{41} & s_{42} & s_{43} & s_{44} \end{bmatrix} \quad \dots (19)$$

と表す。ここで、s_{lm}は、離散出力値lとmにより構成される半空間である。

[0051] ここで、アトラクタの軌道が半空間s_{lm}を通過する場合はb_{lm}=“1”，通過しない場合をb_{lm}=“0”というバイナリ変数で記述し、アトラクタを分類する。このように記述した軌道通過半空間行列をBとする。例えば、

[0052] [数10]

$$B = \begin{bmatrix} 1 & 0 & 1 & 1 \\ 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 1 & 1 & 1 \end{bmatrix} \quad \dots (20)$$

で表されるアトラクタは、その軌道が、半空間 s_{11} , s_{13} , s_{14} , s_{22} , s_{32} , s_{34} , s_{42} , s_{43} , s_{44} を通過することを示す。

[0053] まず、マルチヒステリシス2ポートVCCS特性を構成する2つのマルチヒステリシスVCCS回路が、共に図6に示すような正規化マルチヒステリシスVCCS特性を持っているとし、それぞれの回路の閾値 T_{h1} および T_{h2} を、0.1から1.0まで変化させた際に得られるアトラクタについて、その解軌道が通過する半空間を調べた。これにより得られた2パラメータ分岐図を図7に示す。この図7で、各アトラクタの軌道が通過する半空間を表す軌道通過半空間行列は、それぞれ、

[0054] [数11]

$$\begin{aligned} B_1 &= \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \end{bmatrix} & B_2 &= \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \end{bmatrix} & B_3 &= \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 1 \end{bmatrix} \\ B_4 &= \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 1 \end{bmatrix} & B_5 &= \begin{bmatrix} 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 1 \end{bmatrix} & B_6 &= \begin{bmatrix} 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 \end{bmatrix} \\ B_7 &= \begin{bmatrix} 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 \end{bmatrix} & B_8 &= \begin{bmatrix} 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 0 \end{bmatrix} & B_9 &= \begin{bmatrix} 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 \end{bmatrix} \\ B_{10} &= \begin{bmatrix} 1 & 1 & 1 & 1 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} & B_{11} &= \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 \\ 1 & 1 & 1 & 1 \end{bmatrix} & & \dots (21) \end{aligned}$$

の11種類である。さらに、この分岐図中の幾つかの特徴的なカオスアトラ

クタの例を図8に示す。この図において、図8(a)は図7中の B_{10} ($Th_1 = 0.20, Th_2 = 0.60$)の領域でのカオスアトラクタの例、図8(b)は図7中の B_5 ($Th_1 = 0.60, Th_2 = 0.20$)の領域でのカオスアトラクタの例、図8(c)は図7中の B_{11} ($Th_1 = 0.20, Th_2 = 0.20$)の領域でのカオスアトラクタの例、図8(d)は図7中の B_7 ($Th_1 = 0.60, Th_2 = 0.60$)の領域でのカオスアトラクタの例を示している。

[0055] 次の例として、マルチヒステリシス2ポートVCCS特性を構成する2個のマルチヒステリシスVCCS回路が、共に図9に示すような正規化マルチヒステリシスVCCS特性を持っているとし、それぞれの閾値 Th_1 および Th_2 を、0.1から0.5まで変化させた際に得られたアトラクタがどの半空間を通過したかを調べた。得られた2パラメータ分岐図を図10に示す。この場合、用いた正規化マルチヒステリシスVCCS特性(図9)は、中間部分の飽和電流が縮退しているため、取り得る離散出力飽和電流は3つである。したがって、半空間の種類は 3×3 の9種類となる。図10で、各アトラクタの軌道が通過する半空間を表す 3×3 の軌道通過半空間行列は、それぞれ、

[0056] [数12]

$$\begin{aligned}
 B_1 &= \begin{bmatrix} 1 & 1 & 1 \\ 1 & 0 & 1 \\ 1 & 1 & 1 \end{bmatrix} & B_2 &= \begin{bmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix} & B_3 &= \begin{bmatrix} 0 & 1 & 0 \\ 1 & 1 & 1 \\ 0 & 1 & 0 \end{bmatrix} \\
 B_4 &= \begin{bmatrix} 0 & 0 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 0 \end{bmatrix} & B_5 &= \begin{bmatrix} 1 & 0 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 1 \end{bmatrix} & B_6 &= \begin{bmatrix} 1 & 1 & 1 \\ 0 & 1 & 0 \\ 1 & 1 & 1 \end{bmatrix} \\
 B_7 &= \begin{bmatrix} 0 & 1 & 0 \\ 0 & 1 & 0 \\ 0 & 1 & 0 \end{bmatrix} & B_8 &= \begin{bmatrix} 0 & 1 & 1 \\ 0 & 1 & 0 \\ 1 & 1 & 0 \end{bmatrix} & B_9 &= \begin{bmatrix} 1 & 0 & 1 \\ 1 & 1 & 1 \\ 1 & 0 & 1 \end{bmatrix} \dots(22)
 \end{aligned}$$

の9種類である。また、この分岐図中の特徴的なカオスアトラクタの例を図11に示す。この図11において、図11(a)は図10中の B_1 ($Th_1 = 0.20, Th_2 = 0.20$)の領域でのカオスアトラクタの例、図11(b)

)は図10中の B_2 ($Th_1=0.25$, $Th_2=0.25$)の領域でのカオスアトラクタの例、図11(c)は図10中の B_3 ($Th_1=0.30$, $Th_2=0.30$)の領域でのカオスアトラクタの例、図11(d)は図10中の B_4 ($Th_1=0.20$, $Th_2=0.40$)の領域でのカオスアトラクタの例、図11(e)は図10中の B_5 ($Th_1=0.20$, $Th_2=0.35$)の領域でのカオスアトラクタの例、図11(f)は図10中の B_6 ($Th_1=0.30$, $Th_2=0.20$)の領域でのカオスアトラクタの例、図11(g)は図10中の B_7 ($Th_1=0.40$, $Th_2=0.20$)の領域でのカオスアトラクタの例、図11(h)は図10中の B_8 ($Th_1=0.35$, $Th_2=0.20$)の領域でのカオスアトラクタの例、図11(i)は図10中の B_9 ($Th_1=0.20$, $Th_2=0.30$)の領域でのカオスアトラクタの例を示している。これらのカオスアトラクタは、これまでに観測されたカオスアトラクタとは異なるカオスアトラクタである。

[0057] 以上の例で示した通り、本発明のマルチスクリューカオス発振回路によれば、マルチヒステリシス2ポートVCCS特性を構成する、マルチヒステリシスVCCS回路の閾値を制御するだけでも多様なカオスアトラクタを得ることができる。したがって、閾値以外の回路パラメータを変化させることにより、より豊かな分岐現象やカオスアトラクタが容易に得られると考えられる。さらに、上記において例示したように、従来とは異なったカオスアトラクタも本発明のマルチスクリューカオス発振回路から観測されている。また、これらのカオスアトラクタを生ずる分岐現象も非常に複雑であり、分岐現象自体も独特の分岐構造を持ち得る可能性が十分ある。

[0058] 次に、マルチスクリューカオス発振回路の実装例について説明する。

[0059] 本発明の有効性を示すため、上記非特許文献17~19の完全差動ヒステリシス2ポートVCCSカオス発振回路を拡張した、完全差動マルチスクリューカオス発振回路を以下に述べる。この回路は、TSMC0.35 μ m CMOS半導体プロセスを用いて設計した。

[0060] 図1に示した本発明のマルチスクリューカオス発振回路中の線形2ポート

VCCS回路を構成する、2つの線形VCCS回路 G_1 および G_2 には、上記非特許文献19で提案されている完全差動線形VCCS回路を用いた。これを図12に示す。この回路では、外部制御電圧 V_g を変化させることにより、入出力特性の中央の線形部分のトランスコンダクタンス g_m の値を変化させることができる。完全差動線形VCCS回路中のシミュレーション実験で用いた各MOSFETのサイズを表1に示す。

[0061] [表1]

素子	W/L	素子	W/L
$M_{1,2}$	$1\ \mu\text{m}/2\ \mu\text{m}$	$M_{3,4}$	$1.1\ \mu\text{m}/2\ \mu\text{m}$
M_5	$4.4\ \mu\text{m}/2\ \mu\text{m}$	$M_{6,7}$	$2.15\ \mu\text{m}/2\ \mu\text{m}$
$M_{8,9}$	$0.8\ \mu\text{m}/2\ \mu\text{m}$	$M_{10,11}$	$2.2\ \mu\text{m}/2\ \mu\text{m}$
$M_{12,13}$	$0.8\ \mu\text{m}/2\ \mu\text{m}$		

一方、図1のマルチスクリーカオス発振回路中のマルチヒステリシス2ポートVCCS回路を構成する、マルチヒステリシスVCCS回路 MH_1 および MH_2 は、上記した特許文献1で提案する手法を基に実装した。具体的な回路を図13に示す。この図13中で三角形で示した h_1 , h_2 および h_3 は、2値ヒステリシスVCCS特性を持つコア回路であり、これを図14に示す。マルチヒステリシスVCCS特性の閾値電圧は、このコア回路の外部制御電圧 V_{hek} を調整することにより変化させることができる。また、図13の完全差動マルチヒステリシスVCCS回路でマルチヒステリシスVCCS回路 MH_1 および MH_2 を実装するため、表2に示したサイズのMOSFETを使用した。さらに、図14に示すコア回路中のMOSFETのサイズは、マルチヒステリシスVCCS回路 MH_1 および MH_2 を実装するために、それぞれ表3および表4に示す値を用いた。

[0062]

[表2]

素子	W/L	素子	W/L
M _{1,2,3,4,5,6}	3.2 μm/1.0 μm	M _{7,8,9,10,11,12}	3.2 μm/1.0 μm
M _{13,14,15}	8.0 μm/2.0 μm	M _{16,17,18}	8.0 μm/2.0 μm
M _{19,20,21}	16.0 μm/2.0 μm	M _{22,23,24}	16.0 μm/2.0 μm
M _{25,27}	1.6 μm/1.0 μm	M _{26,28}	3.6 μm/2.0 μm
M _{29,31}	3.2 μm/1.0 μm	M _{30,32}	7.2 μm/2.0 μm
M _{33,34,36}	3.6 μm/1.0 μm	M ₃₅	1.0 μm/3.5 μm

[0063] [表3]

素子	W/L	素子	W/L
M _{1,2}	1.0 μm/2.0 μm	M _{3,4}	2.0 μm/1.0 μm
M ₅	5.0 μm/1.0 μm	M ₇	4.4 μm/2.0 μm
M _{8,9}	1.0 μm/2.0 μm	M _{10,11}	2.2 μm/2.0 μm
M _{12,13}	2.15 μm/2.0 μm	M _{14,15}	0.8 μm/2.0 μm

[0064] [表4]

素子	W/L	素子	W/L
M _{1,2}	1.2 μm/2.0 μm	M _{3,4}	4.0 μm/1.0 μm
M _{5,6}	13.0 μm/1.0 μm	M ₇	4.4 μm/2.0 μm
M _{8,9}	1.0 μm/2.0 μm	M _{10,11}	2.2 μm/2.0 μm
M _{12,13}	2.15 μm/2.0 μm	M _{14,15}	0.8 μm/2.0 μm

また、図 1 に示したマルチスクリーカオス発振回路中のキャパシタ C₁、C₂ の容量は、それぞれ 40 pF と 10 pF である。

[0065] 以上の回路要素を図 1 に示すように接続して完全差動マルチスクリーカオス発振回路を構成し、SPICEシミュレーションでカオスアトラクタを観測した。この際、マルチヒステリシスVCCS回路MH₂の特性は図 15 に示すマルチヒステリシスVCCS特性に固定し、マルチヒステリシスVCCS回路MH₁のヒステリシスVCCS特性を図 16 に示す (a)、(b)、(c) と変化させた。マルチヒステリシスVCCS回路MH₁の特性として、図 16 (a) の特性を用いた場合に得られたカオスアトラクタを図 17 に、図 16 (b) の特性を用いた場合に得られたカオスアトラクタを図 18 に、さらに、図 16 (c) の特性を用いた場合に得られたカオスアトラクタを図 19 に、それぞれ示す。なお、図 17 (a)、図 18 (a) および図 19 (a

) はそれぞれ $v_{od1} - (v_{od1} - v_{od2}) - i_{od}$ 位相空間でのアトラクタ、図 17 (b), 図 18 (b) および図 19 (b) はそれぞれ $v_{od1} - (v_{od1} - v_{od2})$ 平面への射影を示している。これらの図で、 v_{od1} および v_{od2} は、それぞれ、図 1 中の $v_1(t)$ と $v_2(t)$ に対応する差動電圧、 i_{od} は図 1 中の $i_1(t) + i'_1(t)$ に対応する差動電流である。また、これらのアトラクタを観測した際の外部制御電圧の値を表 5 に示す。

[0066] [表5]

要素回路	制御電圧	図17	図18	図19
MH ₁	V _{he1} , V _{he2} , V _{he3}	1.08V	1.15V	1.17V
	V _{ref}	-1.25V	-1.25V	-1.25V
	V _{hi}	1.28V	1.40V	1.28V
MH ₂	V _{he1}	1.20V	1.20V	1.20V
	V _{he2}	1.24V	1.24V	1.24V
	V _{he3}	1.29V	1.29V	1.29V
	V _{ref}	-1.25V	-1.25V	-1.25V
	V _{hi}	1.27V	1.27V	1.27V
G ₁	V _g	-1.15V	-1.15V	-1.15V
G ₂	V _g	-1.09V	-1.09V	-1.09V

この表 5 に示す V_{he1}, V_{he2}, V_{he3}, V_{hi} は、マルチヒステリシス VCCS 回路 MH₁ および MH₂ のヒステリシスの幅, 高さを制御するパラメータである。また、V_g は完全差動線形 VCCS 回路の入出力特性の中央の線形部分のトランスコンダクタンス g_m を制御するパラメータである。

[0067] 図 17, 図 18, 図 19 に示した結果より、本発明の回路構成により、多様なマルチスクリュアトラクタが実現できることが確認された。

[0068] 本発明では、マルチヒステリシス VCCS 回路を用いたマルチスクリュアカオス発振回路を提供した。このマルチスクリュアカオス発振回路は、連続時間カオス発振回路でありながらインダクタを含んでいないため、従来提案されているカオス回路と比較して回路構成が簡単である。さらに、多様なマルチヒステリシス VCCS 特性が使用できるため、様々なマルチスクリュアトラクタを発生させることができる。また、構成要素であるマルチヒステリシス VCCS 回路の諸特性を変化させることにより、より多くのカオスア

トラクや分岐構造が実現できる。すなわち、本発明のマルチスクリーカオス発振回路は、マルチヒステリシスVCCS回路の閾値や飽和電流、マルチヒステリシスVCCS特性の形状や、回路の固有値等、多くの制御パラメータを有し、これらを制御することにより、これまでに報告されているカオスアトラクタはもとより、これまでに公表されていない様々なカオスアトラクタを生成することが可能である。

[0069] 本発明のマルチスクリーカオス発振回路は、その多様で高次元のカオスアトラクタを利用することによって、カオスを用いた情報処理装置などに適用可能である。

[0070] さらに、本発明のマルチスクリーカオス発振回路は、ハイブリッドダイナミカルシステムであるため、高次元ハイブリッドダイナミカルシステムの高速物理シミュレーションや、高次元ハイブリッドダイナミクスによる計算装置などに利用できる。

[0071] また、本発明のマルチスクリーカオス発振回路は、マルチヒステリシスVCCS特性の離散値出力状態を、記号力学あるいは多値論理値とすることにより、大容量でかつ動的なメモリや、多値論理回路の実現に有効である。

[0072] さらに、本発明のマルチスクリーカオス発振回路による高次元で多様なカオスアトラクタは、複雑な時空間パターンの発生、画像処理、カオス通信、カオス暗号などに有用である。

[0073] なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

産業上の利用可能性

[0074] 本発明のマルチスクリーカオス発振回路は、その多様で高次元のカオスアトラクタを利用することによって、カオスを用いた情報処理装置などに利用可能である。

請求の範囲

- [請求項1] (a) 線形VCCS回路 G_1 および G_2 の組からなる線形2ポートVCCS回路と、
- (b) マルチヒステリシスVCCS特性を持つマルチヒステリシスVCCS回路 MH_1 および MH_2 の組からなるマルチヒステリシス2ポートVCCS回路と、
- (c) 前記線形2ポートVCCS回路と前記マルチヒステリシス2ポートVCCS回路とを並列接続させた回路の両端にそれぞれキャパシタ C_1 と C_2 とを接続するようにしたことを特徴とするマルチスクリーカオス発振回路。
- [請求項2] 請求項1記載のマルチスクリーカオス発振回路において、前記マルチヒステリシスVCCS回路 MH_1 および MH_2 の特性として、様々なマルチヒステリシスVCCS特性を用いることにより、多様なカオスアトラクタや分岐構造を実現することを特徴とするマルチスクリーカオス発振回路。
- [請求項3] 請求項2記載のマルチスクリーカオス発振回路において、前記マルチヒステリシスVCCS回路 MH_1 および MH_2 の諸特性を変化させることにより、より多くのカオスアトラクタや分岐現象を呈することを特徴とするマルチスクリーカオス発振回路。
- [請求項4] 請求項3記載のマルチスクリーカオス発振回路において、前記マルチヒステリシスVCCS回路 MH_1 および MH_2 の諸特性が、閾値や飽和電流であることを特徴とするマルチスクリーカオス発振回路。
- [請求項5] 請求項4記載のマルチスクリーカオス発振回路において、前記閾値は複数の閾値からなり、該複数の閾値はそれぞれ異なった値を持つことを特徴とするマルチスクリーカオス発振回路。
- [請求項6] 請求項5記載のマルチスクリーカオス発振回路において、前記マルチヒステリシスVCCS回路 MH_1 が n 個、前記マルチヒステリシ

スVCCS回路 MH_2 が m 個の飽和電流値を持つことを特徴とするマルチスクリューカオス発振回路。

[請求項7] 請求項6記載のマルチスクリューカオス発振回路において、複数個の閾値が4個の場合、前記マルチヒステリシスVCCS回路 MH_1 および MH_2 それぞれに4種類の離散出力が存在し、該それぞれの4種類の離散出力の組み合わせである16種類の離散出力にそれぞれ対応した半空間が解空間中に存在し、該解空間中の解軌道が前記半空間の内のどの空間を通過するかによりカオスアトラクタを分類することを特徴とするマルチスクリューカオス発振回路。

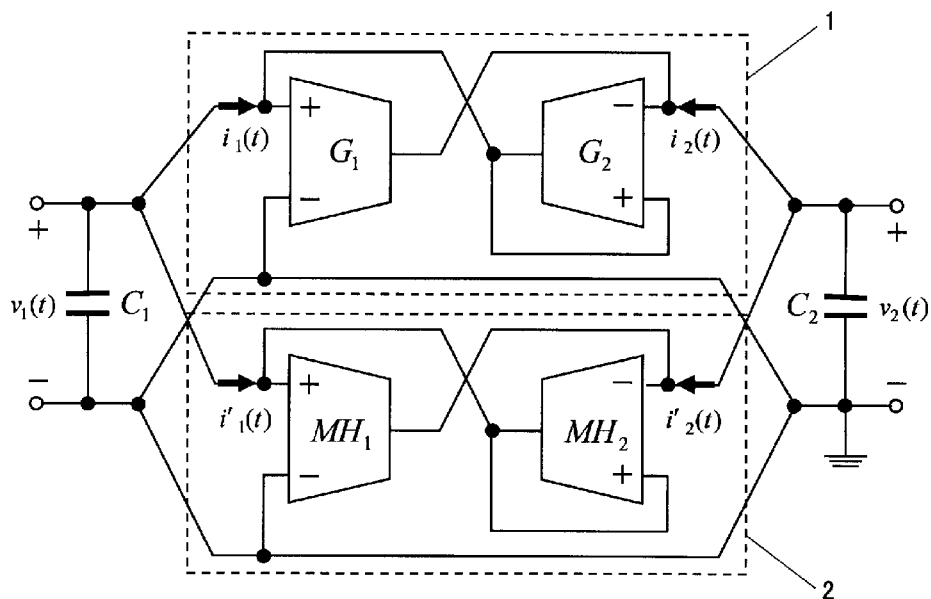
[請求項8] 請求項2記載のマルチスクリューカオス発振回路において、前記マルチヒステリシスVCCS特性の複数の制御パラメータを制御することにより、より多くのカオスアトラクタや分岐現象を呈することを特徴とするマルチスクリューカオス発振回路。

[請求項9] 請求項8記載のマルチスクリューカオス発振回路において、前記複数の制御パラメータが前記マルチヒステリシスVCCS特性の形状や回路の固有値であることを特徴とするマルチスクリューカオス発振回路。

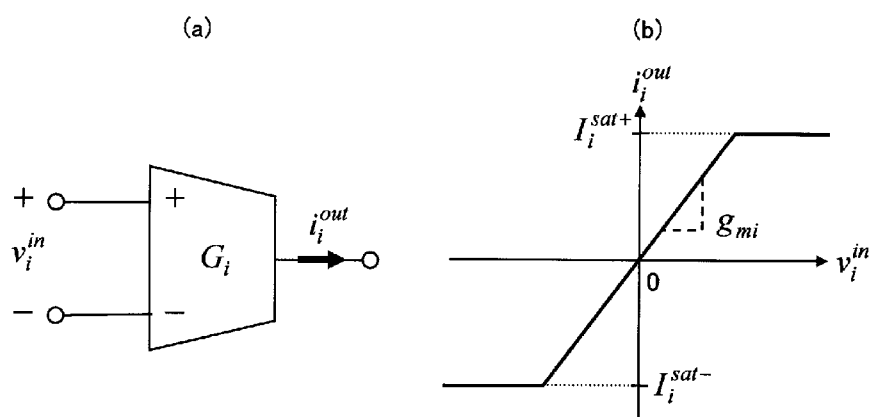
[請求項10] 請求項1記載のマルチスクリューカオス発振回路において、前記マルチヒステリシスVCCS特性を持つマルチヒステリシスVCCS回路 MH_1 および MH_2 の組からなるマルチヒステリシス2ポートVCCS回路で、正規化したパラメータの減衰パラメータ δ が0.05、振動角周波数パラメータ ω が1.00、平衡点パラメータ p が0.25、平衡点パラメータ q が0.25の場合、前記マルチヒステリシスVCCS回路 MH_1 および MH_2 の閾値を変化させることを特徴とするマルチスクリューカオス発振回路。

[請求項11] 請求項1から10の何れか一項記載のマルチスクリューカオス発振回路において、前記キャパシタ C_1 と C_2 の容量は、40pFと10pFであることを特徴とするマルチスクリューカオス発振回路。

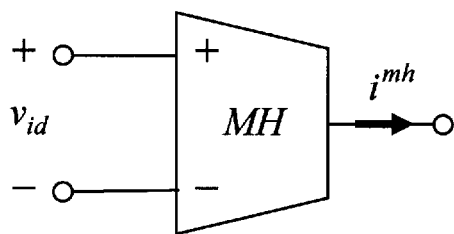
[圖1]



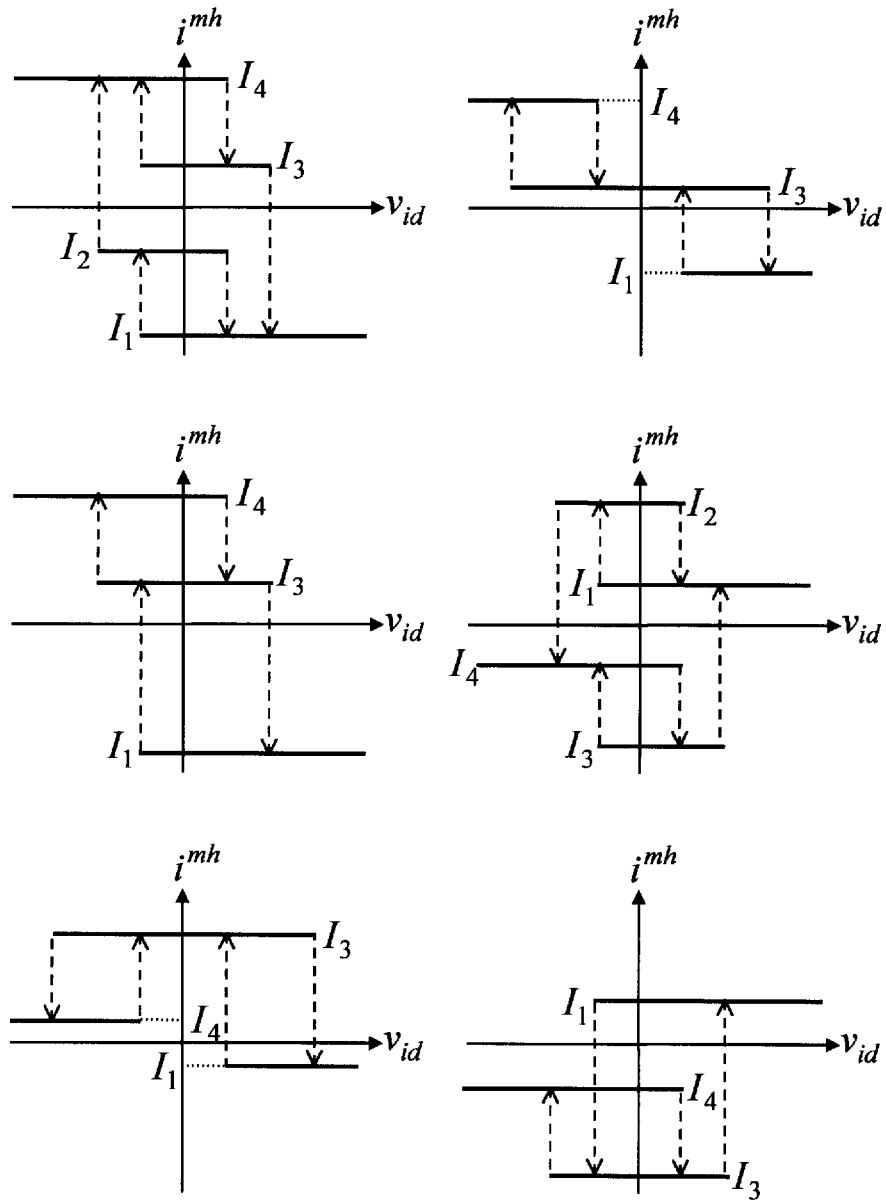
[圖2]



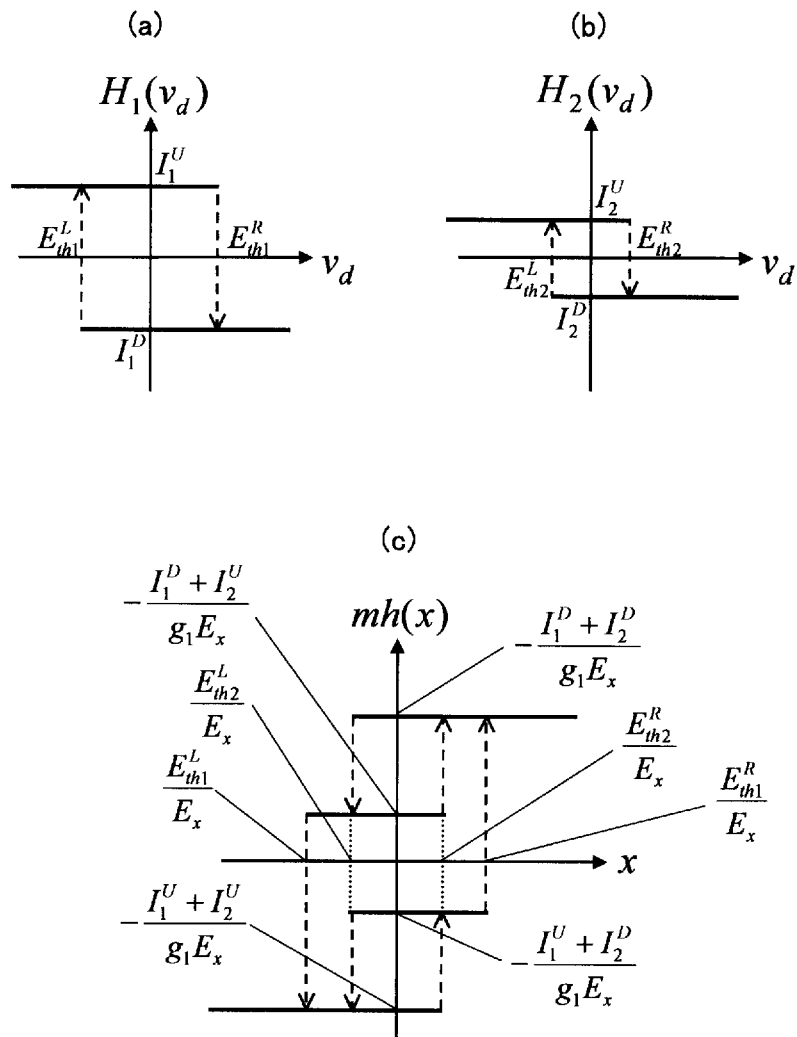
[圖3]



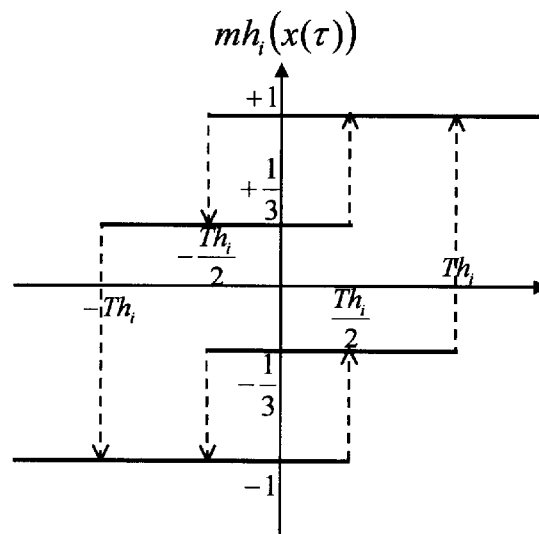
[圖4]



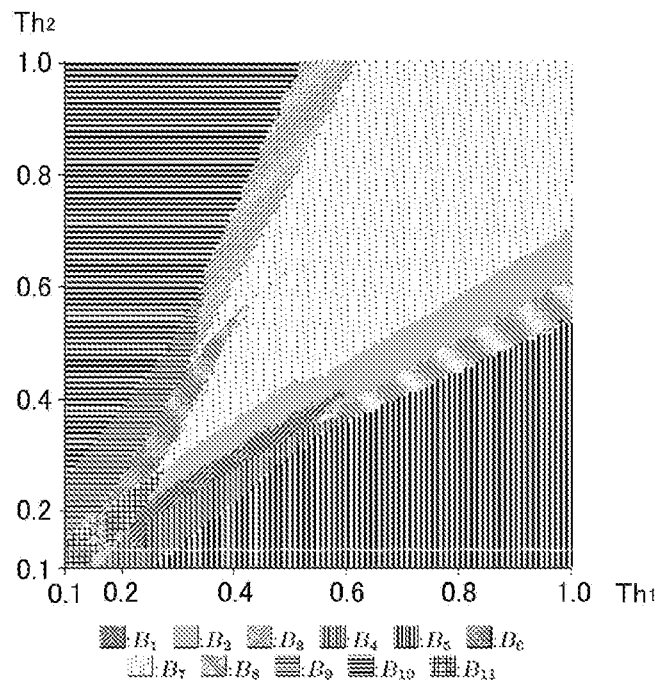
[図5]



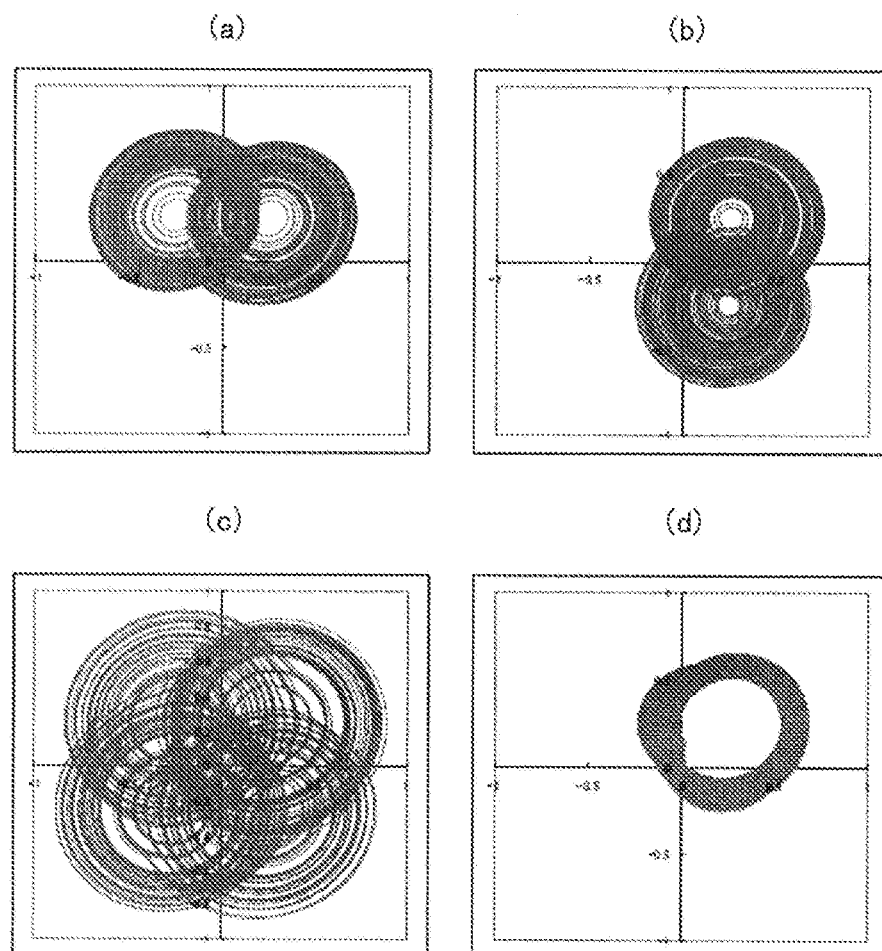
[図6]



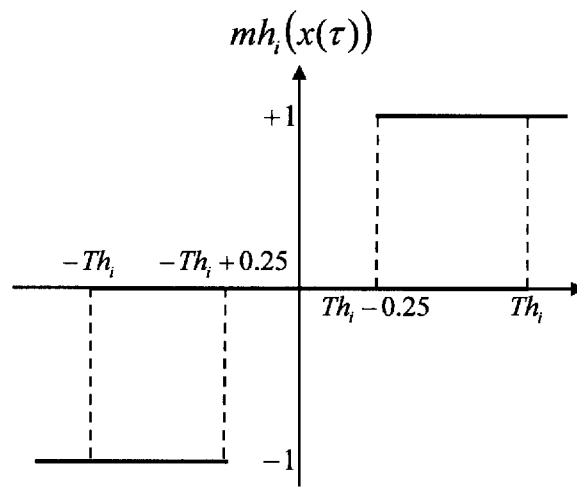
[圖7]



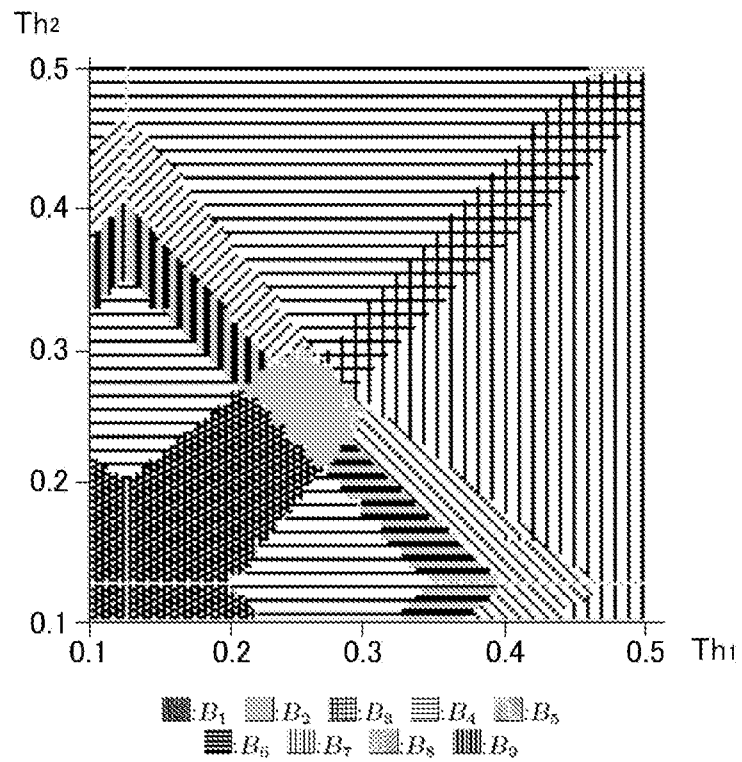
[圖8]



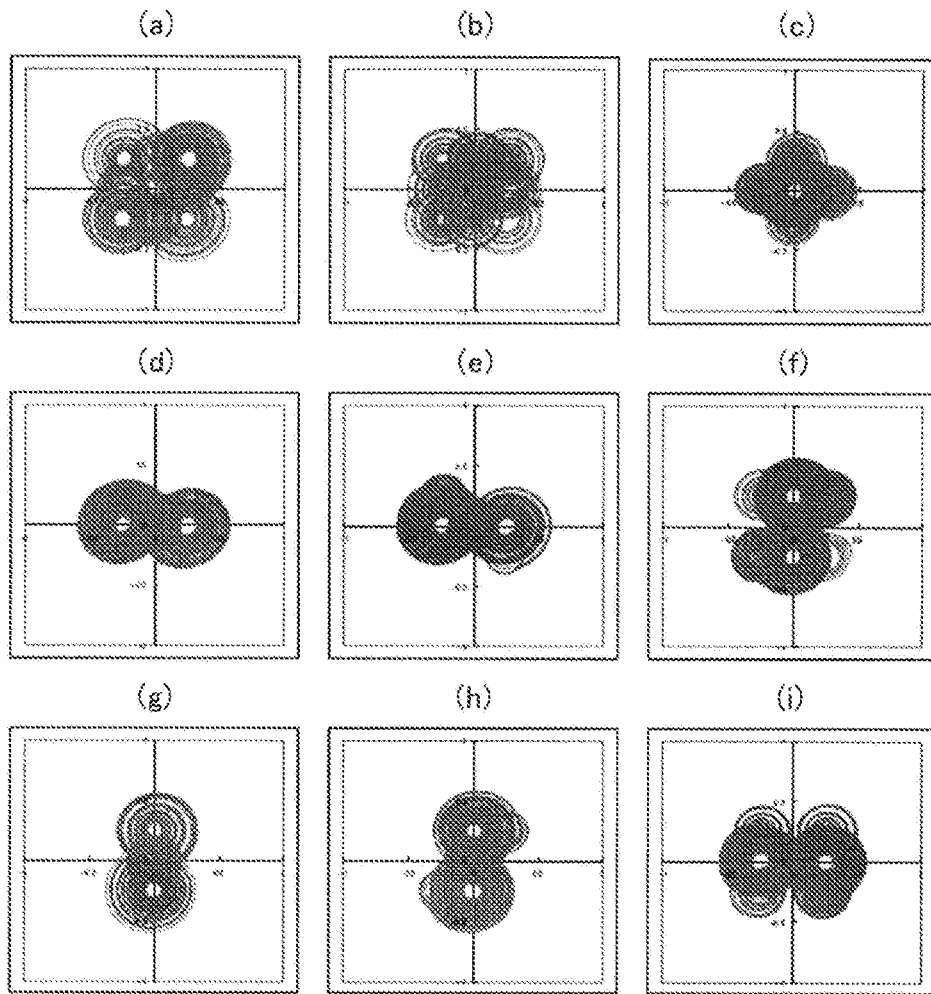
[図9]



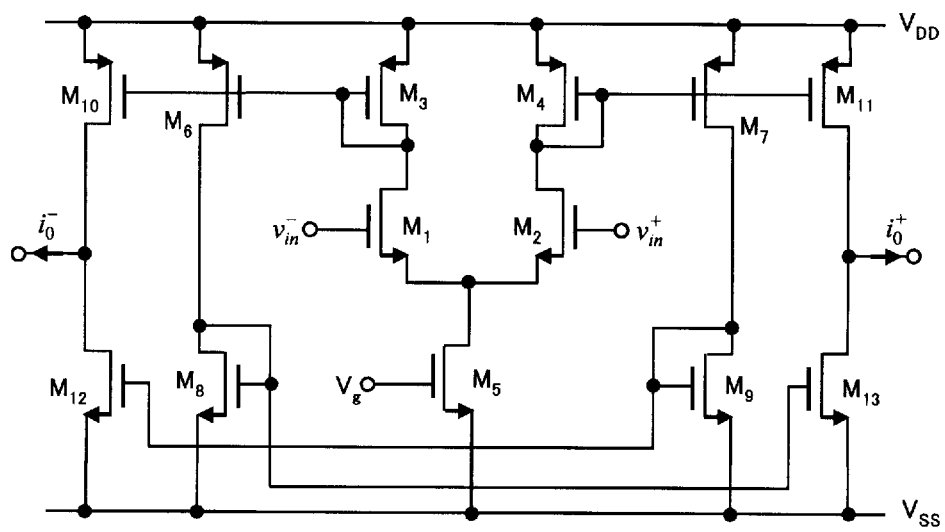
[图10]



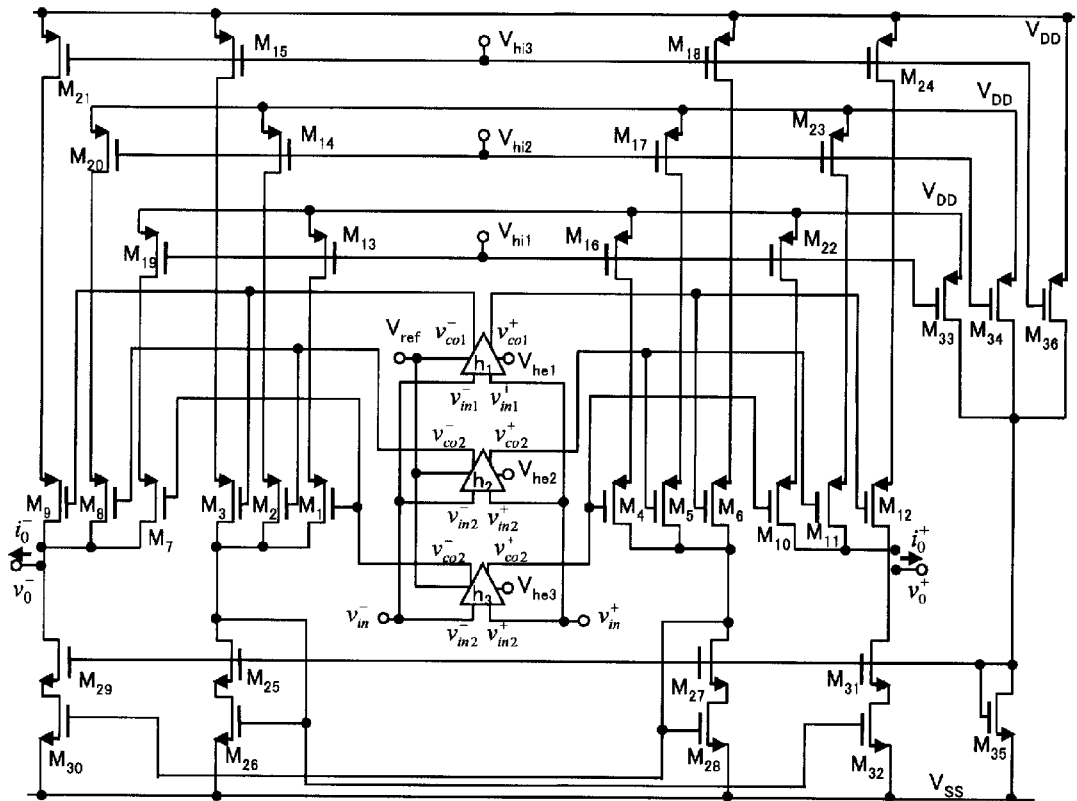
[图11]



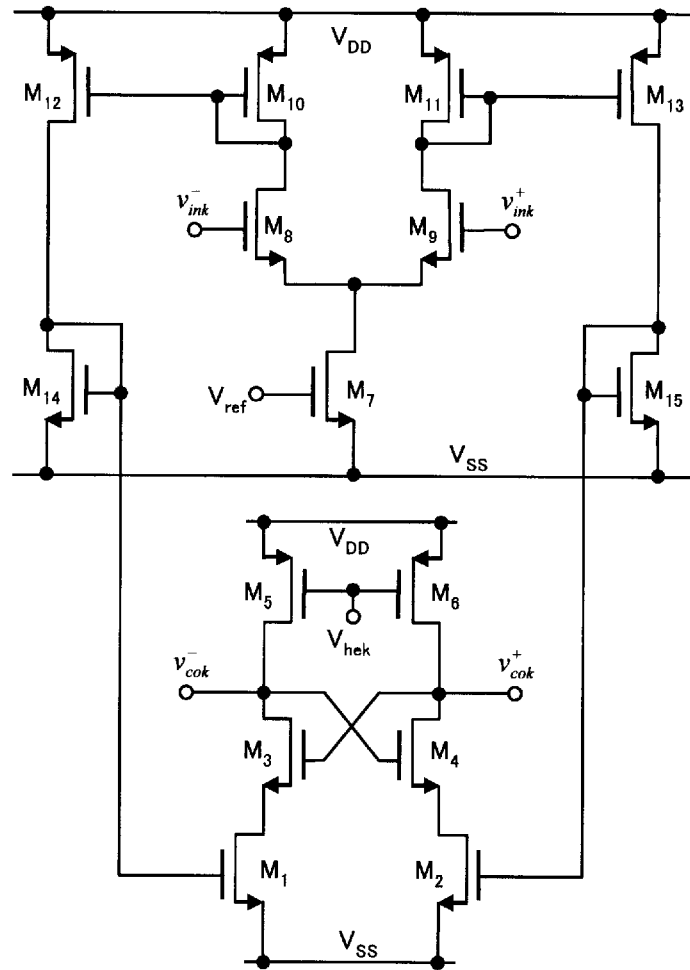
[图12]



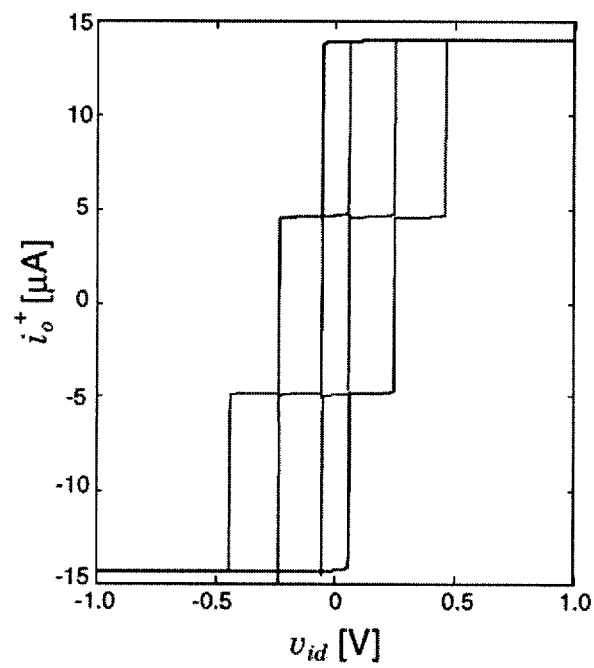
[圖13]



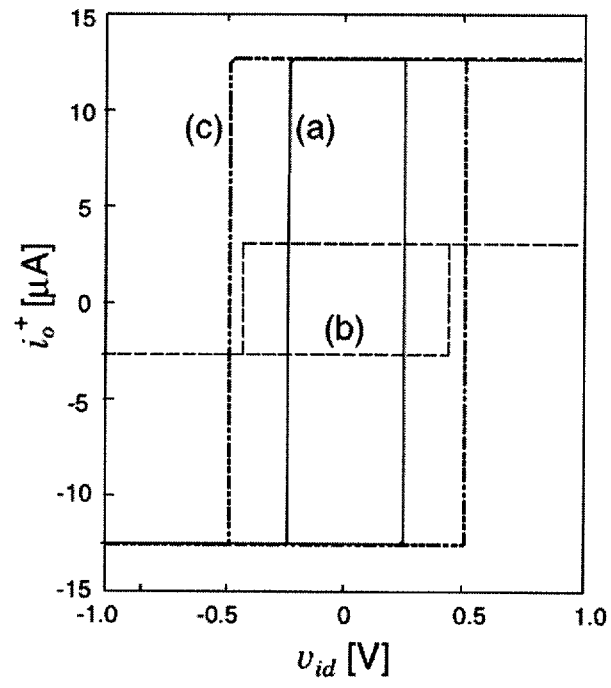
[図14]



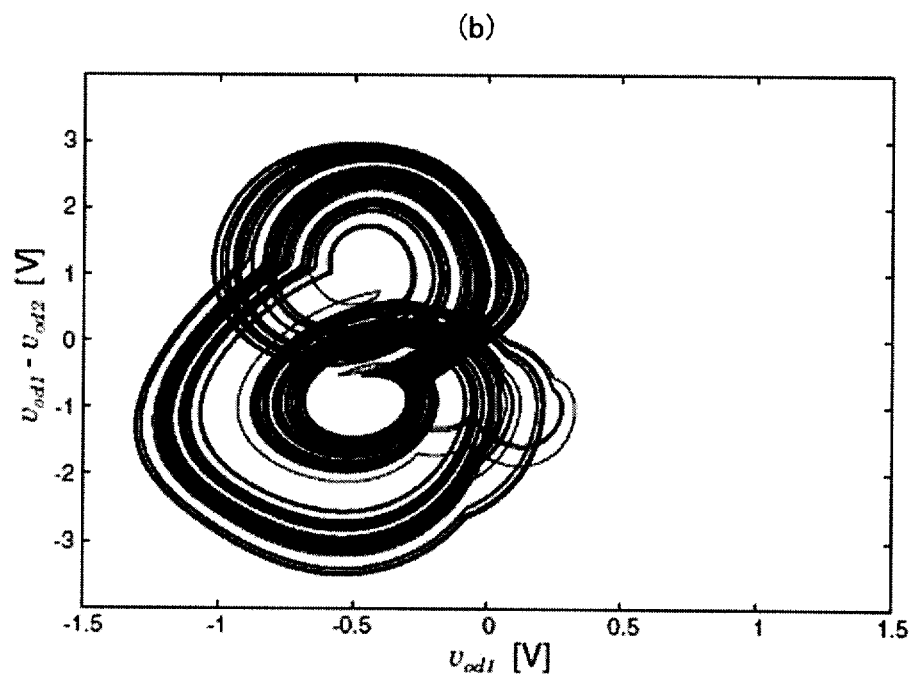
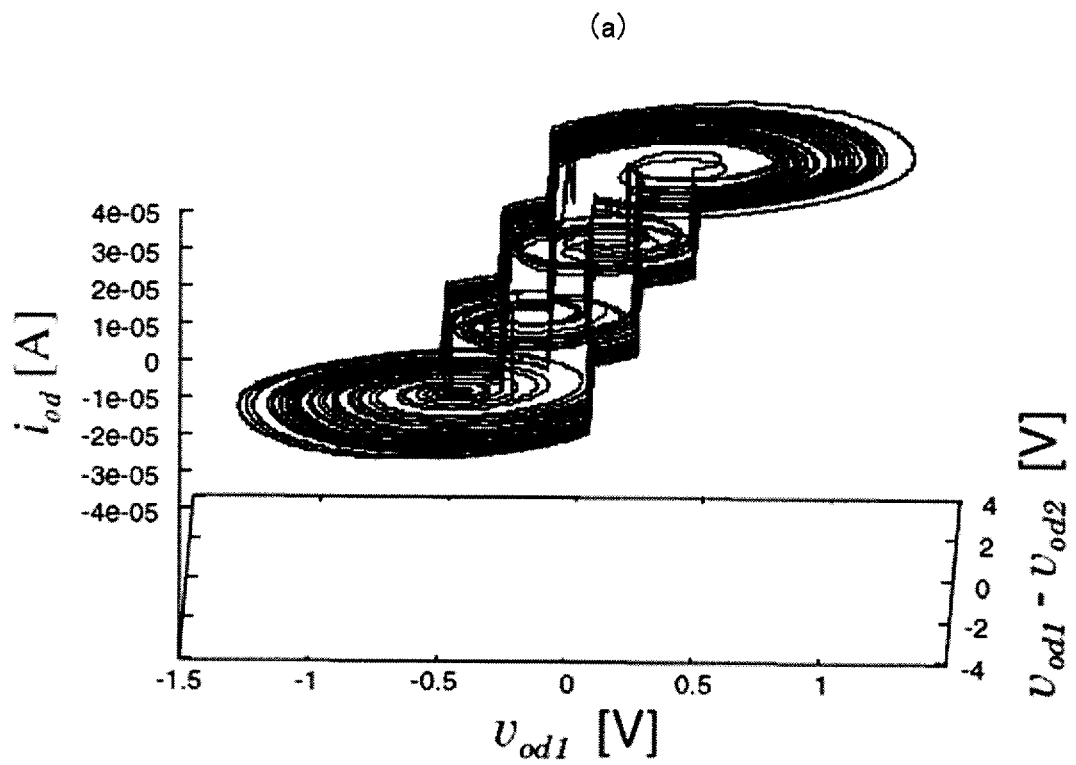
[図15]



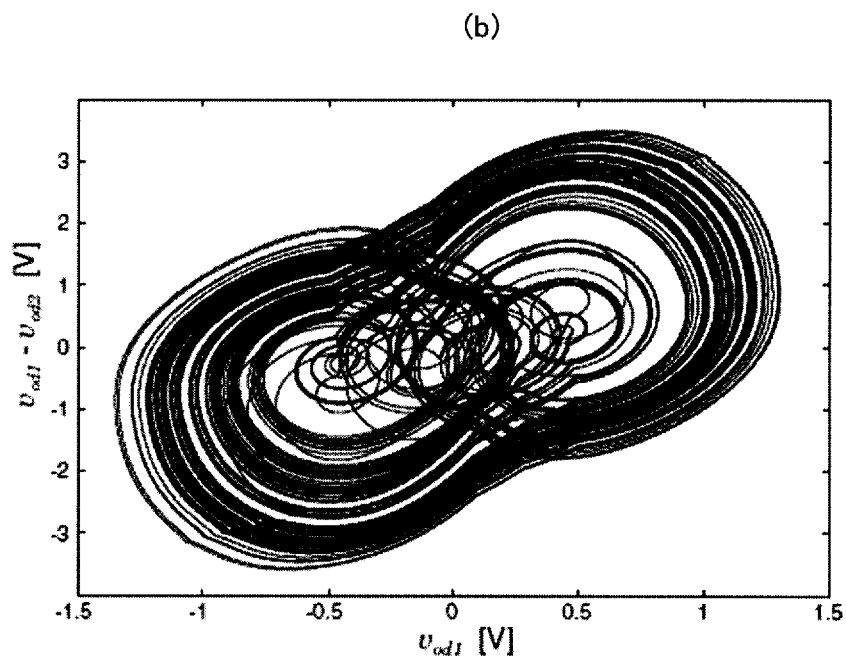
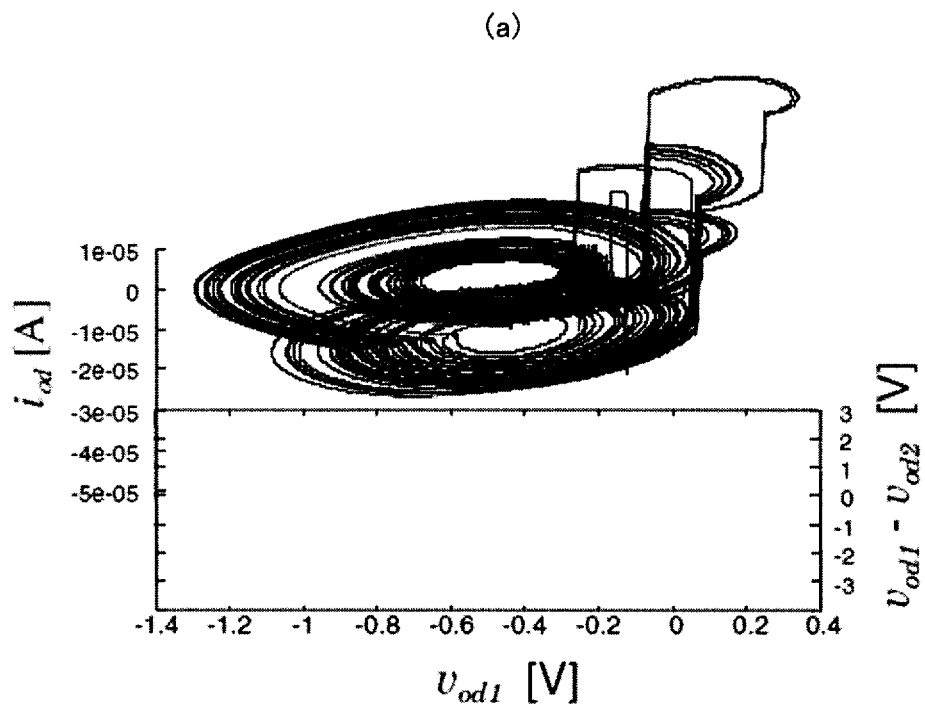
[図16]



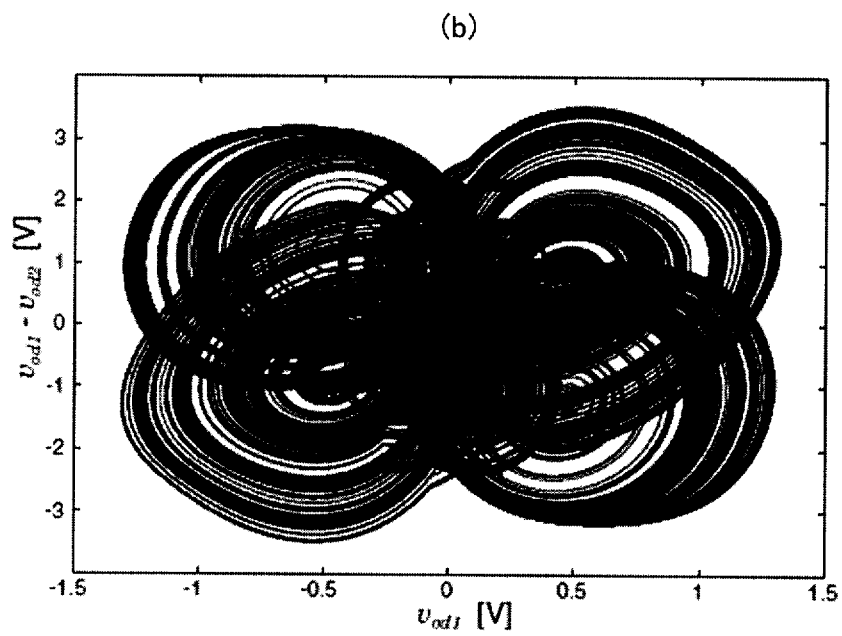
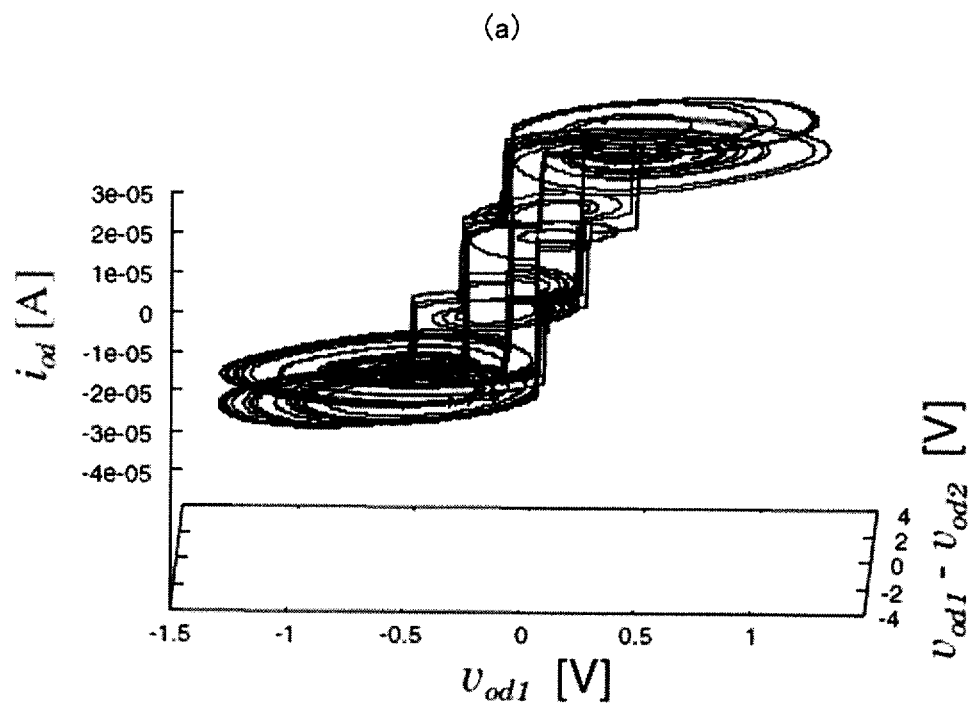
[圖17]



[圖18]



[圖19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/001687

A. CLASSIFICATION OF SUBJECT MATTER

H03K3/354 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K3/354

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KATAOKA et al. 'A 4-D CHAOTIC OSCILLATOR WITH A HYSTERESIS 2-PORT VCCS: THE FIRST EXAMPLE OF CHAOTIC OSCILLATORS CONSISTING OF 2-PORT VCCS AND CAPACITORS' In: Proceedings of the IEEE International Symposium on Circuits and Systems, 1999, Vol.5 p.418-421	1-11
A	HAMADA et al. 'An IC Implementation of a Hysteresis Two-Port VCCS Chaotic Oscillator' In: Proceedings of 18th European Conference on Circuit Theory and Design, 2007, p926-929	1-11
P, X	JIN'NO et al. 'A multi-hysteresis VCCS and its application to multi-scroll chaotic oscillators' In: Proceedings of the IEEE International Symposium on Circuits and Systems, 2009, p2850-2853	1-11

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 March, 2010 (24.03.10)

Date of mailing of the international search report
06 April, 2010 (06.04.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K3/354(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K3/354

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	KATAOKA et al. 'A 4-D CHAOTIC OSCILLATOR WITH A HYSTERESIS 2-PORT VCCS: THE FIRST EXAMPLE OF CHAOTIC OSCILLATORS CONSISTING OF 2-PORT VCCS AND CAPACITORS' In: Proceedings of the IEEE International Symposium on Circuits and Systems, 1999, Vol.5 p.418-421	1-11
A	HAMADA et al. 'An IC Implementation of a Hysteresis Two-Port VCCS Chaotic Oscillator' In: Proceedings of 18th European Conference on Circuit Theory and Design, 2007, p926-929	1-11
PX	JIN' NO et al. 'A multi-hysteresis VCCS and its application to multi-scroll chaotic oscillators' In: Proceedings of the IEEE International Symposium on Circuits and Systems, 2009, p2850-2853	1-11

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

24.03.2010

国際調査報告の発送日

06.04.2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石田 勝

電話番号 03-3581-1101 内線 3596

5X

3572