

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年12月5日(05.12.2013)



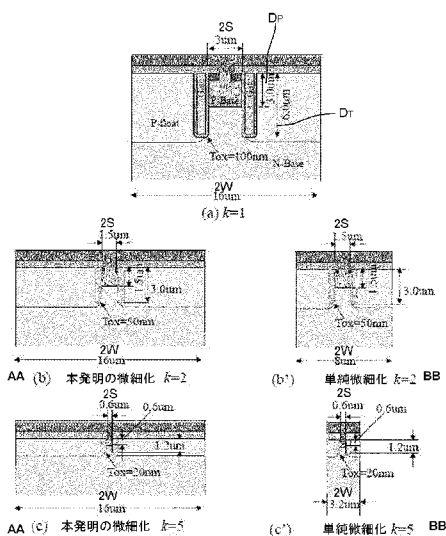
(10) 国際公開番号
WO 2013/180186 A1

- (51) 国際特許分類: H01L 29/78 (2006.01) H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2013/064943
- (22) 国際出願日: 2013年5月29日(29.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願 2012-123462 2012年5月30日(30.05.2012) JP
特願 2012-195347 2012年9月5日(05.09.2012) JP
- (71) 出願人: 国立大学法人九州工業大学(KYUSHU INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町1番1号 Fukuoka (JP).
- (72) 発明者: 大村 一郎(OMURA, Ichiro); 〒8048550 福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内 Fukuoka (JP). 田中 雅浩(TANAKA, Masahiro); 〒8048550 福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内 Fukuoka (JP). 附田 正則(TSUKUDA, Masanori); 〒8048550 福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内 Fukuoka (JP). 三木 大和(MIKI, Yamato); 〒8048550 福岡県
- (74) 代理人: 加藤 久, 外(KATO, Hisashi et al.); 〒8120011 福岡県福岡市博多区博多駅前3丁目2番21号博多駅前ビジネスセンター411号 Fukuoka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE FOR HIGH-VOLTAGE INSULATED GATE POWER, AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 高電圧絶縁ゲート型電力用半導体装置およびその製造方法

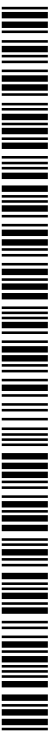


AA Miniaturization according to present invention
BB Simple miniaturization

(57) Abstract: Provided is a high-productivity semiconductor device for high-voltage insulated gate power in which the step for forming a trench gate on a wafer requires only a short period of time, and which is suitable for reducing the thickness and increasing the diameter of the wafer. In the semiconductor device for high-voltage insulated gate power, the width (S), trench depth (D_T), gate insulation film thickness (T_{ox}), and gate driving voltage (V_{ge}) of a mesa region that is a structural portion including the portion having the MOS transistor structure and the trench gate, which is the principal part of the structure of a trench IGBT, have an inverse relationship with the scale ratio (k) of size reduction relative to a reference structure. The cell width (2W) is the same as that in the reference structure. The reference structure is such that the scale ratio (k) is equal to or greater than 3 when the trench depth (D_T) is 5 to 6 μm , the distance between the centers of adjacent trenches is 3 to 4 μm , the total cell width (2W) is 15 to 20 μm , and the gate driving voltage (V_{ge}) in a conducting state is 15 V.

(57) 要約: ウエハに対するトレンチゲートの形成工程の時間が短く、ウエハの薄層化、大口径化に対応可能な、量産性の高い高電圧絶縁ゲート型電力用半導体装置を提供する。トレンチIGBTの構造の主要部であるトレンチゲートとMOSトランジスタ構造が形成される部分を含む構造部分であるメサ幅S、トレンチ深さ D_T 、ゲート絶縁膜厚 T_{ox} 、ゲート駆動電圧 V_{ge} が、基準となる構造に対する小型化のスケール比率kの逆数となる関係を有し、セル幅2Wは前記基準となる構造と同じであり、前記基準となる構造が、トレンチ深さ D_T が、5~6 μm 、隣接するトレンチの中心間距離が3~4 μm で、全体のセル幅2Wが15~20 μm であり、導通状態

でのゲート駆動電圧 V_{ge} が15Vであるとするとき、スケール比率kが3以上である高電圧絶縁ゲート型電力用半導体装置。



WO 2013/180186 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称：

高電圧絶縁ゲート型電力用半導体装置およびその製造方法

技術分野

[0001] 本発明は電力用半導体装置に関するものであり、特に導通損失の少ない高電圧絶縁ゲート型電力用半導体装置およびその製造方法に関する。

背景技術

[0002] 高電圧絶縁ゲート型半導体装置としては IGBT (Insulated Gate Bipolar Transistor) が広く用いられている。図 1 に IGBT の構造図を示す。

[0003] 図 1 に示すように、IGBT の構造は、低濃度 N 型層 (N ベース層 1) の表面側に選択的に形成され、広い間隔と狭い間隔を交互に有するトレンチ 2, 3 と、トレンチ 2, 3 の表面に形成されたゲート絶縁膜 4, 5 と、ゲート絶縁膜 4, 5 の内側に形成されたポリシリコンからなるゲート電極 (制御電極) 6, 7 と、狭い間隔を有する隣り合うトレンチ間に選択的に形成された P ベース層 (P ウエル層) 8 と、P ベース層 8 の表面に選択的に形成された高濃度の N ソース層 9 と、P ベース層 8 と N ソース層 9 の双方に接続する第一の主電極 (エミッタ電極 10) とを備えている。前記の N ソース層 9 と、P ベース層 8 と、N ベース層 1 の表面部に MOS トランジスタ構造が形成され、広い間隔の隣り合うトレンチ間にトレンチと同程度の深さを有する P 型層 (電位が固定されない P 型層 11) が、エミッタ電極 10 と接続しない状態で、またはエミッタ電極 10 と高抵抗で接続された状態で形成されている。さらに、IGBT 構造は、N ベース層 1 の裏面側に一様に形成された、N ベース層 1 よりも不純物濃度の高い N バッファ層 12 と、N バッファ層 12 の表面に一様に形成された高濃度の P 型層 (P エミッタ層 13) と、P エミッタ層 13 の表面に一様に形成された第二の主電極 (コレクタ電極 14) を備えている。

[0004] トレンチ構造を有する IGBT については、特許文献 1、非特許文献 1～

9に示すように、各種の提案や研究がなされている。

先行技術文献

特許文献

[0005] 特許文献1：米国特許第7709887号明細書

非特許文献

[0006] 非特許文献1：M. Kitagawa, et al., "A 4500V injection enhanced insulated gate bipolar transistor (IEGT) operating in a mode similar to a thyristor", IEDM Technical Digest, pp. 679-682, 1993.

非特許文献2：M. Harada, et al., "600V Trench IGBT in Comparison with Planar IGBT -An Evaluation of the Limit of IGBT Performance-", Proc. of the 6th International Symposium on Power Semiconductor Devices & IC's (ISPSD), pp. 411-416, 1994.

非特許文献3：M. Momose, et al., "A 600V Super Low Loss IGBT with Advanced Micro-P Structure for the next Generation IPM", Proc. of the 22nd International Symposium on Power Semiconductor Devices & IC's (ISPSD), pp. 379-382, 2010.

非特許文献4：T. Laska, et al., "The Field Stop IGBT (FS IGBT) -A New Power Device Concept with a Great Improvement Potential", Proc. of 12th ISPSD, pp. 355-358, 2000.

非特許文献5：A. Nakagawa, "Theoretical Investigation of Silicon Limit Characteristics of IGBT", Proc. of the 18th International Symposium on Power Semiconductor Devices & IC's (ISPSD), Session 1-2, 2006.

非特許文献6：M. Takei, et al., "DB (Dielectric Barrier) IGBT with Extreme Injection Enhancement", Proc. of the 22nd International Symposium on Power Semiconductor Devices & IC's (ISPSD), pp. 383-386, 2010.

非特許文献7：M. Baus, et al., "Fabrication of Monolithic Bidirectional Switch (MBS) devices with MOS-controlled emitter structures", Proc. of the 18th International Symposium on Power Semiconductor Devices &

IC's (ISPSD), Session 6-28, 2006.

非特許文献8: Robert H. Dennard, et al., "Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions", IEEE Journal of Solid-State Circuits, Vol. SC-9, No. 5, pp.256-268, Oct. 1974.

非特許文献9: M. Tanaka, et al., "Structure Oriented Compact Model for Advanced Trench IGBTs without Fitting Parameters for Extreme Condition: part I", Microelectronics Reliability 51, pp. 1933-1937, 2011.

発明の概要

発明が解決しようとする課題

[0007] 上述した従来のIGBTの構造では、トレンチゲート構造や不純物拡散層（電位が固定されないP型層11）の厚みが $5\mu\text{m}$ 程度と、通常のLSIの工程に比べて深い。そのため、構造形成の工程、例えばトレンチゲートではRIE (Reactive Ion Etching) のエッチング工程、拡散層の形成では熱拡散工程に時間が掛かるという問題があった。また前述のように、ウエハにトレンチ構造を深く形成すると、ウエハの反りが発生するため、量産性の向上に欠かせないウエハの大口径化が困難になる。さらに、最近のIGBTでは、高性能化のためウエハ厚が $100\mu\text{m}$ 程度と薄層化しており、さらにその薄層化の傾向が続いている。トレンチゲートや拡散層が、ウエハ内部にまで深く形成されている構造では、更なる薄層化が困難となる。

[0008] ここで、従来のIGBTの製造プロセスの例を図10にしたがって説明する。

(a) 図10(a-1), (a-2)に示すように、 $400\mu\text{m}$ から $600\mu\text{m}$ 程度の、Nベース層1となる半導体基板20に、IGBTの表面構造である電位が固定されないP型層11、Pベース層8、Nソース層9、ゲート絶縁膜4、5、エミッタ電極10を作製する。P型層11はボロンを用いて作製し、Nソース層9はリン、ヒ素を用いて作製する。ゲート絶縁膜4、5は熱酸化膜、CVD酸化膜、ポリイミドなどを用いて作製する。エミッタ電極10はAlSiまたはTi-Alで形成する。

(b) 図10 (b-1), (b-2) に示すように、半導体基板20をひっくり返し、裏面に保護テープ30を貼り、グラインダーによる研削とウエットエッチングにより半導体基板20を100 μ mから150 μ m程度まで薄化する。

(c) 図10 (c-1), (c-2) に示すように、不純物イオンの注入 (implantation) 工程とその後の短時間 (数10m秒~数秒程度) アニールによりIGBTの裏面構造であるNバッファ層12、Pエミッタ層13を形成する。Nバッファ層12はリンを用いて作成し、Pエミッタ層13はボロンを用いて作成する。アニールにより裏面のみ高温 (1000 $^{\circ}$ C程度) になるため、表面のIGBTの構造に変化は生じない。次いで、コレクタ電極14 (例えばAi-Ni-Auなどからなる) を付ける。

(d) 図10 (d-1), (d-2) に示すように、保護テープ30を剥離する。その後、400 $^{\circ}$ C程度でシンターをする。

[0009] 以上が、従来の表面の拡散層が深い高性能IGBTの製造プロセスであるが、これには次のような問題がある。

裏面、表面の順に作製した場合の問題点

(i) 裏面工程の自由度が損なわれるため、IGBTの高性能化、すなわち低損失化ができない。また、キャリアの高注入化に対してライフタイム制御をすると、工程が増える上に高温動作が難しくなる。

表面、裏面の順に作製した場合の問題点

(ii) 工程数が増える上に、微細な表面構造がステージ、ローダーまたは保護テープに触れるため、キズ・割れ・汚染により歩留まりが低下する。

(iii) プロセス中のグラインダーによる研削で半導体基板20にダメージが入る可能性がある。

(iv) 裏面平坦性が損なわれるので、面内で特性がばらつく。また裏面工程を深く形成できないため、波形振動が大きい。

(v) 保護テープを貼った際に出来る凹凸のために裏面パターニングが難しい。

[0010] そこで本発明は、ウエハに対するトレンチゲートの形成工程の時間が短く

、ウエハの薄層化、大口径化に対応可能な、高性能で量産性の高い高電圧絶縁ゲート型電力用半導体装置（IGBT）およびその製造方法を提供することを目的とする。

課題を解決するための手段

[0011] 本発明は、
低濃度第1導電型ベース層と、
前記低濃度第1導電型ベース層の表面側に、広い間隔と狭い間隔を交互に有するように選択的に形成された複数のトレンチと、
前記トレンチの表面に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の内側に形成されたゲート電極と、
前記狭い間隔で隣り合うトレンチ間に選択的に形成された第2導電型ベース層と、
前記第2導電型ベース層の表面に選択的に形成された高濃度の第1導電型ソース層と、
前記第2導電型ベース層と第1導電型ソース層の双方に接続する第一の主電極と、
前記第1導電型ソース層と、前記第2導電型ベース層と、前記低濃度第1導電型ベース層の表面部に形成されたMOSトランジスタ構造と、
前記広い間隔で隣り合うトレンチ間に、前記第一の主電極と接続しないように、あるいは前記第一の主電極と接続しても高抵抗を介して接続され、前記トレンチと同程度の深さを有する、電位が固定されない第2導電型層と、
前記低濃度第1導電型ベース層の裏面側に一様に形成され、該低濃度第1導電型ベース層よりも不純物濃度の高い第1導電型バッファ層と、
該第1導電型バッファ層の表面に一様に形成された高濃度の第2導電型エミッタ層と、
該第2導電型エミッタ層の表面に形成された第2の主電極と
を有する高電圧絶縁ゲート型電力用半導体装置において、
前記トレンチのゲート絶縁膜と前記MOSトランジスタ構造が形成される

部分を含む構造部分であるメサ領域の幅 S 、トレンチ深さ D_T 、ゲート絶縁膜厚 T_{ox} 、ゲート駆動電圧 V_{ge} が、基準となる構造に対する小型化のスケール比率 k の逆数となる関係を有し、セル幅 $2W$ は前記基準となる構造と同じである高電圧絶縁ゲート型電力用半導体装置である。

[0012] ここで、前記基準となる構造は、メーカーによってまちまちであるが、例えば、トレンチ深さ D_T が、 $5 \sim 6 \mu m$ 、隣接するトレンチの中心間距離が $3 \sim 4 \mu m$ で、全体のセル幅 $2W$ が $15 \sim 20 \mu m$ 、前記基準となる構造を有する電力用半導体装置の導通状態でのゲート駆動電圧 V_{ge} は $15 V$ である。あるメーカーでは、トレンチの構造がストライプではなく、正方形の構造を採用しているところもあるので、上の数字を、面積比率で考えるとよい。すなわち、トレンチの中心で挟まれた面積のうち、エミッタ電極およびコンタクトがある部分と、コンタクトがないかあっても高抵抗にコンタクトされている部分との面積比が、 $1 : 4 \sim 1 : 6$ 程度である。このような基本となる構造に本発明を適用するとき、スケール比率 k は 3 以上、好ましくは 5 以上とする。

[0013] このスケール比率 k を適用したケースで、前記トレンチ深さ D_T は $3 \mu m$ 以下、 2 つの隣り合うトレンチに挟まれたシリコン部分のメサ幅 $2S$ の平均値は $2 \mu m$ 以下、ゲート酸化膜厚 T_{ox} は $333 nm$ 以下、ゲート駆動電圧 V_{ge} は約 $5 V$ 、セル幅 $2W$ は約 $16 \mu m$ であることが好ましい。これは、後述の図5 (a) の電流電圧特性より、 $k = 3$ までがもっとも顕著に効果が現れるためである。

[0014] 本発明の一形態において、第2導電型エミッタ層の不純物濃度の傾斜の平均値を第2導電型エミッタ層の不純物総量で割った値が、電位が固定されない第2導電型層や第2導電型ベース層の、不純物濃度の傾斜の平均値をそれぞれの不純物総量で割った値より低いことを特徴とする。不純物濃度の傾斜は、不純物が拡散される熱履歴に対応する。本発明の製造方法では、裏面側の半導体構造を先に作製し、後に表面側のIGBT構造を作製することにより、結果として半導体装置の不純物濃度の傾斜の値が、表面側構造よりも裏

面側構造の方が低くなる。

[0015] 本発明の他の形態において、低濃度第1導電型ベース層の裏面側に形成される第2導電型エミッタ層の厚みが、 $1\ \mu\text{m}$ 以下 $10\ \text{nm}$ 以上であることを特徴とする。このような薄い第1導電型バッファ層と第2導電型エミッタ層は、短時間アニールにより作製できる。

[0016] 本発明の高電圧絶縁ゲート型電力用半導体装置の製造方法は、最初に、低濃度第1導電型ベース層の裏面側の第1導電型バッファ層と第2導電型エミッタ層を形成し、その後、低濃度第1導電型ベース層の表面側のトレンチおよびMOSトランジスタ構造を含む表面構造を形成することを特徴とする。このような製造プロセスにより、少ない工程と高い歩留まりで高性能（低損失）IGBTを作製することが可能になる。

発明の効果

[0017] 本発明によれば、ウエハに対するトレンチゲートの形成工程の時間が短く、ウエハの薄層化、大口径化に対応可能な、量産性の高い高電圧絶縁ゲート型電力用半導体装置を提供することができる。

また、本発明の製造方法により、少ない工程と高い歩留まりで高性能（低損失）IGBTを作製することが可能になる。

図面の簡単な説明

[0018] [図1]トレンチゲート型IGBTの構造図である。

[図2]トレンチゲート型IGBTにおける電流の流れを示す構造図である。

[図3]本発明による主要部のみの微細化と従来手法による単純微細化の対比を示す構造図であり、(a)は基本形、(b)、(c)は本発明による主要部の微細化の場合、(b')、(c')は従来手法による単純微細化の場合を示す。

[図4]微細化のスケール比率 k を変えたときの計算による $J_c - V_{ce}$ 特性を示すグラフである。

[図5]電流導通時のコレクターエミッタ電圧に対するコレクタ電流の変化を示すグラフであり、(a)は本発明による主要部の微細化の場合、(b)は従

来手法による単純微細化の場合を示すものである。

[図6] Nベース層中の蓄積キャリア（ホール）分布を示すグラフであり、（a）は本発明による主要部の微細化の場合、（b）は従来手法による単純微細化の場合を示すものである。

[図7] 本発明の製造方法の第1の実施形態を示す製造プロセス図であり、（a-1）、（b-1）は正面斜視図、（a-2）、（b-2）は拡大断面図である。

[図8] 本発明の製造方法の第2の実施形態を示す製造プロセス図であり、（a-1）～（d-1）は正面斜視図、（a-2）～（d-2）は拡大断面図である。

[図9] P型ポリシリコンを用いたときのスケール比率 k の変化に対するゲート電極の電位-コレクタ電流特性を示すグラフである。

[図10] 従来のIGBTの製造方法の例を示す製造プロセス図であり、（a-1）～（d-1）は正面斜視図、（a-2）～（d-2）は拡大断面図である。

発明を実施するための形態

[0019] 以下、本発明の実施の形態を具体的に説明する。なお、以下の実施の形態では、第1導電型をN型とし、第2導電型をP型として説明するが、両者を入れ替えて、第1導電型をP型とし、第2導電型をN型とすることもできる。

図2に示すように、トレンチゲート型IGBTの構造パラメータによりカソード側での注入効率のモデル化を行った。このモデルでは、MOS（Metal Oxide Semiconductor）ゲートから流れる電子電流は、pベース層8とNベース層1の間のメサ領域で2つの経路に分けられる。すなわち、 J_n^{mesa} と J_p^{mesa} で示される電流密度の電流である。

J_n^{mesa} と J_p^{mesa} は次のようにモデル化される。ただし、電子、ホールは一次元的に拡散すると仮定する。伝導度modulationによって導電変調が起こり、電子およびホールの密度はほぼ同じに保たれる。結果として、アン

バイポーラ拡散式である次の微分方程式が得られる。

[0020] [数1]

$$\mu_p \cdot J_n^{mesa} - \mu_n \cdot J_p^{mesa} = 2 \cdot \mu_p \cdot \mu_n \cdot kT \frac{dn}{dx} \quad (1)$$

[0021] ここで、 μ_p および μ_n はそれぞれ、ホールの移動度と電子の移動度、 k はボルツマン定数、 T は絶対温度、 dn/dx は電子およびホール密度の傾斜を表す。

また、電子蓄積層（トレンチゲート側壁絶縁膜表面で、Nベース層1と接している面に形成される）における電子電流式は次式で表される。

[0022] [数2]

$$I_n^{acc} = -\mu_{acc} \cdot Q_{acc} \frac{d\phi_n}{dx} \quad (2)$$

ここで、 μ_{acc} は、ゲート電圧が印加された際にトレンチゲート側面に形成される、電子蓄積層の電子の移動度、 Q_{acc} は、電子蓄積層の単位面積当たりの電荷密度、 $d\phi_n/dx$ は、電子の電位（電子の擬フェルミ電位）の、電子蓄積層に沿った方向の傾斜を表す。

[0023] 図2のセル幅とメサ幅を考慮すると、セル電流とメサ電流の式が得られる。

[0024] [数3]

$$W \cdot J_p^{cell} = S \cdot J_p^{mesa} \quad (3)$$

[数4]

$$W \cdot J_n^{cell} = I_n^{acc} + S \cdot J_n^{mesa} \quad (4)$$

ここで、 W はセル幅半ピッチ、 S はPベース層（メサ幅）半幅である。

[0025] (1) ~ (4) 式から式 (5) が得られる。

[0026] [数5]

$$\left(\frac{\mu_p}{\mu_n} \left(\frac{\mu_{acc} \cdot Q_{acc}}{q \cdot \mu_n \cdot n(x) \cdot S} + 1 \right) + 1 \right) \gamma_n - 1 = \frac{2q \cdot D_p}{J} \frac{S}{W} \frac{dn}{dx} \quad (5)$$

ここで、 q は素電荷、 γ_n は電子注入効率、 D_p はP型層11の深さである。

[0027] (5) 式はスケーリング則の基本式となる。

本発明のスケーリング則を表 1 に集約している。この法則は (5) 式から論理的に導かれる。(5) 式は、縮小デバイス (scaled device) は以下の条件下で同じ注入効率になることを示す。

[0028] [数6]

$$\frac{\mu_{acc} \cdot Q_{acc}}{q \cdot \mu_n \cdot n(x) \cdot S} = const. \quad (6)$$

[数7]

$$\frac{S}{W} \frac{dn}{dx} = const. \quad (7)$$

[0029] ゲート酸化膜の電界強度を $E_{ox}' = E_{ox}/k$ となるように、スケーリングで縮小するとともにゲート酸化膜内の電界強度を下げていくと、(6) 式は、ある一定の $n(x)$ の値に対して一定であり、その結果、IGBT に流れる電流密度が同じであれば、(5) 式より (7) 式の結果が導かれる。すなわち、先に述べた、ゲート酸化膜の電界強度を $E_{ox}' = E_{ox}/k$ となるように、スケーリングで縮小するとともにゲート酸化膜内の電界強度を下げていく条件でも、セル半ピッチ W が一定であれば、P ベース層半幅 S を縮小した分、メサ部分の dn/dx が反比例で大きくなり、P ベース層 δ から出ているトレンチの深さ ($D_T - D_P$) は S と比例して浅くしても、トレンチ下でのキャリア密度は変わらない。なお、この条件では、ゲート電圧は k の 2 乗に反比例して下げる条件であり、 $V_g' = V_g/k^2$ である。

[0030] 上の結論は、電流を導通させるキャリア (電子およびホール) の密度は、IGBT の主要部 (2 つのトレンチで挟まれ、MOS チャンネルが形成される部分) を縮小し、ゲート電圧は k の 2 乗で下げ、ゲート絶縁膜の電界を縮小するにしたがって、 k に反比例させて下げるという条件で、キャリアの密度が変化しないという知見である。一般に、ゲート絶縁膜は、薄くしても絶縁で破壊する電界は変化しないか、逆に上がるので、ここで $E_{ox}' = E_{ox}$ の条件としても良く、その条件で考えると、(6) 式の左辺は定数ではなく、縮小とともに大きくなる。

[0031] この結果を（５）式に当てはめて考えると、 γ_n にかかっている項（括弧部分）が小さくなり、 γ_n が同じであれば、式の左辺の絶対値が大きくなる。その結果、メサ部分での（７）式の左辺、 $S/W * d n / d x$ は前述のように一定ではなく、大きくなる。ということは、前述の場合に比べて、メサ部分での $d n / d x$ が大きく、よりキャリア密度を高くできることを意味している。この場合、 $E_{ox}' = E_{ox}$ なのでゲート-エミッタ間に印加する電圧 V_g のスケーリングは $V_g' = V_g / k$ となる。すなわち、ゲート酸化膜に高い電界を加えることなく、微細化により高いキャリア量を実現でき、IGBTの導通損失を低減できる。すなわち、より低い $V_{ce(sat)}$ を実現できる。

[0032] [表1]

パラメータ	スケール比率	
	ゲート酸化膜における電界強度 $E_{ox}' = E_{ox}/k$	ゲート酸化膜における電界強度 $E_{ox} = \text{一定}$
ゲート電圧 V_g	$1 / k^2$	$1 / k$
Pベース層半幅 S	$1 / k$	
セル半ピッチ W	1	
Nエミッタ幅 W_E	$1 / k$	
トレンチ深さ D_T	$1 / k$	
Pベース層深さ D_P	$1 / k$	
Nエミッタ深さ D_E	$1 / k$	
コンタクトホール半幅 W_C	$1 / k$	
ゲート絶縁膜厚さ T_{ox}	$1 / k$	
ゲート-エミッタ間容量 C_{ge}	1	
ゲート-コレクタ間容量 C_{gc}	1	
コレクター-エミッタ間容量 C_{ce}	$1 / k$	
コンタクトホール内電流密度 J_{ch}	k	
ゲート電荷 Q_g	$1 / k^2$	$1 / k$
電子注入効率 γ_n	1	> 1
蓄積キャリア密度 $n = p$	1	> 1

[0033] 2次元TCADシミュレーションによって、上述したスケーリング則の証明と性能改善の実証を行った。1. 2kV級の、薄ウエハ型パンチスルー構造のIGBT構造を想定して行う。

[0034] 図3に、本発明による主要部のみの微細化と従来手法による単純微細化の対比を示す。図3では、(a)は基本形、(b)、(c)は本発明による主要部の微細化の場合、(b')、(c')は従来手法による単純微細化の場合を示す。(b)、(b')はスケール比率 $k=2$ 、(c)、(c')はスケール比率 $k=5$ の場合を示したが、 $k=2, 3, 4$ の場合を含めて、表2に縮小デバイスの諸元を示す。

[0035] [表2]

スケール比率 k	$k=1$	$k=2$	$k=3$	$k=4$	$k=5$
セル幅(本発明): $2W[\mu\text{m}]$	16.0	16.0	16.0	16.0	16.0
セル幅(単純微細化): $2W[\mu\text{m}]$	(16.0)	(8.0)	(5.3)	(4.0)	(3.2)
メサ幅: $2S[\mu\text{m}]$ ($1/k$)	3.0	1.5	1.0	0.8	0.6
トレンチ深さ: $D_T[\mu\text{m}]$ ($1/k$)	6.0	3.0	2.0	1.5	1.2
ゲート絶縁膜厚: $T_{ox}[\text{nm}]$ ($1/k$)	100	50	33.3	25	20
ゲート電圧: $V_{gs}[\text{V}]$ ($1/k$)	15.0	7.5	5.0	3.75	3.0

[0036] $k=1\sim 5$ の縮小デバイスで、ゲート電界 $E_{ox}' = E_{ox}/k$ の場合での $J_c - V_{ce}$ 特性を図4に示す。

$k=1$ と $k=2$ はよく一致しているが、 $k=3\sim 5$ は飽和電流が小さくなっている。これはスケーリングにより、下式に示すゲートの閾値電圧 V_{th} が移動したためである。

[0037] [数8]

$$V_{th} = \frac{\sqrt{2\varepsilon_0\varepsilon_{Si}qN_A\phi_s}}{C_{ox}} + \phi_s \quad (8)$$

ここで、 ε_0 は真空の誘電率、 ε_{Si} はシリコンの比誘電率、 C_{ox} はゲートのMOS構造の単位面積当たりの容量、 N_A はPベース層(MOS構造で一般的に言われるPウェルに相当)のアクセプタ(P型不純物、ボロンなど)濃度、 ϕ_s は表面ポテンシャルである。

[0038] スケールダウンによって単位面積当たりのゲート容量が $C_{ox}' = k C_{ox}$ に増加するため、 V_{th} は小さくなる。しかし V_{th} は N_A と ϕ_s が一定であっても k によって正確にはスケールされない。

[0039] 一定のゲート酸化膜電界の場合での $J_c - V_{ce}$ 特性を、本発明の主要部のみ微

細化の場合 (a) と従来手法による単純微細化の場合 (b) を対比して図5に示す。(a) に示すように、スケールダウンにより $V_{ce(sat)}$ は小さくなる。一方、(b) の場合は、スケールダウンするにつれて $V_{ce(sat)}$ は大きくなり、損失が増加していることが分かる。

[0040] オン状態での N-Base 中のキャリア分布を、本発明の主要部のみ微細化の場合 (a) と従来手法による単純微細化の場合 (b) を対比して図6に示す。(a) に示すように、カソードサイドのキャリア密度はスケールダウンによって増えている。すなわち、高い γ_n と低い $V_{ce(sat)}$ が浅いトレンチでのスケールダウンによって得られる。一方、(b) の場合は、スケールダウンによって浅いトレンチでは蓄積キャリア密度が減少する。

[0041] 以上説明したように、本発明によって、トレンチゲート IGBT のスケールリング則により、浅いトレンチゲートと浅いドーピング構造でキャリア蓄積を多くすることができることが示された。

[0042] トレンチ IGBT のスケールダウンはトレンチ深さ、熱履歴、ドーピング深さ、酸化膜厚を削減することでデバイス性能の向上と直径の大きなウエハ (大口径ウエハ) を用いて製造できる。ゲート酸化膜電界強度を大きくしないスケールリングファクターによって、コレクタ電圧降下は非常に小さくなる。したがって、本発明のスケールリング則により、CMOS プロセスを用いた量産化技術への適用の可能性が増大する。特に、スケール比率が5以下では、トレンチの深さを $1\ \mu\text{m}$ 程度、ゲート絶縁膜の厚さを $20\ \text{nm}$ 程度まで薄くすることで、製造プロセス中の熱工程がほとんど不要となり、ウエハへの欠陥やキャリアライフタイムの低下が起こらず、導通損失のさらに少ない IGBT を提供することができる。またウエハの反りが起こらないため、大口径ウエハで IGBT を製造することが可能になり、生産性が著しく向上するという利点がある。

[0043] 次に、本発明の IGBT の製造方法の第1の実施形態を、図7を用いて説明する。

(a) 図7 (a-1), (a-2) に示すように、 $100\ \mu\text{m}$ から $150\ \mu$

m程度の厚みの半導体基板20の裏面構造であるNバッファ層12、Pエミッタ層13を、短時間（数10m秒～数秒程度）アニールにより形成する。その後、裏面電極であるコレクタ電極14を付ける。ここで、Pエミッタ層13の厚さは、短時間アニールで形成できる深さ程度の1 μ m以下とする。

このようなIGBT裏面構造は、すでに薄ウエハIGBTやフィールドストップIGBT（FS-IGBT）として、実用化されている。

本方法は従来に対し次のような利点がある。

従来、Nベース中のキャリアが多いことによるスイッチング特性の悪化を、高エネルギー電子、プロトン、ヘリウムなどを照射することによる、ウエハ内部のキャリアライフタイムの低減により、Nベース中での電子とホールの再結合を促進し、内部キャリアを少なくする方法により改善していた。しかし、このような照射プロセスはコストが高いだけでなく、不必要に半導体結晶欠陥を生成し、特性の悪化や信頼性の低下が起こっていた。とくにプロトン照射やヘリウム照射は、局所的にキャリアライフタイムを低減することで大きな効果を挙げたが、高温でのリーク電流の増加、信頼性の悪化、照射およびアニールによるプロセスコストの増加が問題であった。前記裏面構造は、キャリアライフタイムの低減が必要無いため、良質の結晶でデバイスを製造できるなど利点がある。一方で本裏面構造形成は製造面の課題があった。即ち、裏面の拡散層を非常に薄くすることでPエミッタからのホールの注入を抑える効果を得ている一方、拡散層の形成は非常に低い熱工程（低温、短時間）で行う必要があり、高い熱工程（高温、長時間）の表面構造（5-6 μ mまでの拡散層）の形成後に行う必要があった。このため一度形成した表面を下にして製造装置に挿入するために、表面ダメージなど様々な歩留まり悪化が問題となっていた。

[0044] (b) 図7 (b-1), (b-2) に示すように、表面構造である拡散層、ゲート絶縁膜4, 5、ゲート電極6, 7を作製する。拡散層は、ボロンを用いて電位が固定されないP型層11を作製し、リン、ヒ素を用いてNソース層9を作製する。ゲート絶縁膜4, 5は熱酸化膜、CVD酸化膜、ポリイミ

ドなどを用いて作製する。ゲート電極6, 7はAlSiまたはTi-Alで形成する。拡散層の形成は高加速イオン注入(数100keV)と短時間アニール(約1000°C)を用いる。高温・長時間を避けるため、酸化膜はCVD膜を用いることが望ましい。エミッタ電極10の形成には、約400°Cでのシンターも行う。ここで、電位が固定されないP型層11の厚さは、イオン注入で打ち込める深さが1μm程度であるので、1.5μm以下とする。従来は、これよりも深い厚さであるが高加速イオン注入により、この薄さが可能となった。

[0045] 本実施の形態によれば、表面工程の熱履歴を裏面工程より低いか、あるいは、表面も短時間アニール等を用いることで、裏面への熱伝達が制限される裏面構造に影響の無い表面プロセスを用いることが可能である。すなわち、表面の構造が1μm程度以下であり、高加速イオン注入、またはシャロートレンチにより選択的に溝を構成した部分へのイオン注入を行い、短時間アニールを用いると非常に低い熱履歴とすることが出来る。その結果、裏面構造を先に製造し、表面を後から作るという、製造効率の高いプロセスの構築が可能となる。

この製造工程において、金属スパイクと汚染を避けるために、裏面側電極(コレクタ電極14)を最後に付けるケースも考えられる。また、裏面構造形成工程の際に、テープで表面側を保護することも考えられる。

[0046] 次に、本発明のIGBTの製造方法の第2の実施形態を、図8を用いて説明する。

(a) 図8(a-1)(a-2)に示すように、100μmから150μm程度の半導体基板20の裏面構造であるNバッファ層12、PEミッタ層13を、短時間(数10m秒~数秒程度)アニールにより形成する。その後、裏面電極であるコレクタ電極14を付ける。ここで、PEミッタ層13の厚さは、短時間アニールで形成できる深さ程度の1μm以下とする。

[0047] (b) 図8(b-1), (b-2)に示すように、台基板40を貼り付ける。台基板40の材料としては、石英ウエハ、シリコンウエハ、セラミック、

ポリシリコンなどが考えられる。貼り合わせ材としては、酸化膜、樹脂などを用いることができる。

(c) 図8(c-1), (c-2)に示すように、表面構造である拡散層、ゲート絶縁膜4, 5、ゲート電極6, 7を作製する。拡散層は、ボロンを用いて電位が固定されないP型層11を作製し、リン、ヒ素を用いてNソース層9を作製する。なお、P型層11を付加することにより、阻止状態(オフ状態)での耐圧を改善することができる。ゲート絶縁膜4, 5は熱酸化膜、CVD酸化膜、ポリイミドなどを用いて作製する。ゲート電極6, 7はAlSiまたはTi-Alで形成する。拡散層の形成は高加速イオン注入(数100keV)と短時間アニール(約1000°C)を用いる。高温・長時間を避けるため、酸化膜はCVD膜を用いることが望ましい。エミッタ電極10の形成には、約400°Cでのシンターも行う。

(d) 図8(d-1), (d-2)に示すように、台基板40を剥がす。

[0048] この第2実施形態に係る製造方法は、ウエハ(半導体基板20)が非常に薄い、あるいは大口径ウエハの場合に、ウエハが割れたり、ウエハの反り等のためフォトリソグラフィ等の工程で焦点が合わなかったりすることを解消することを目的として、台基板40をプロセス中に貼り付けるものであり、第1実施形態に比べて工程数は増えるが、歩留まりは向上する。

なお、この製造工程において、金属スパイクと汚染を避けるために、裏面側電極(コレクタ電極14)を最後に付けるケースも考えられる。

以上の実施の形態のIGBTの製造プロセスについては一例であり、例えば厚い半導体基板を用いて作製し最終的なNベース層厚が500 μ mになるような場合でも、第1および第2の実施形態で詳述した方法を用いて最終的なNベース層厚が40-100 μ m程度に薄型化された場合でも、高性能化と量産化が可能になる効果が得られる。

[0049] 上述の第1実施形態および第2実施形態のいずれにおいても、トレンチ2, 3内部のゲート電極6, 7の材料は、ポリシリコンを用いるが、スケール比率kが特に5以上ではP型ポリシリコンが望ましい。従来のIGBTでは

、電極材料の抵抗低減のためN型のポリシリコンが用いられている。

N型のポリシリコンはP型のポリシリコンに比べて抵抗が低く、IGBTのゲート電極に一般的に用いられている。図9に示すように、N型のポリシリコンは正のビルトイン電圧を内在しており、電圧は約0.5~0.6V程度が一般的である。

ところがスケール比率 k を大きくすると、たとえばゲート絶縁膜の厚さが20nm以下になると、内在するビルトイン電圧により、たとえゲート端子に0Vを印加しても、素子内部のゲート電極にはビルトイン電圧分の正の電圧が発生しており、この電圧により、Pベース界面に若干の電子が誘起される。図9に示すように破線の電圧（N型ポリシリコンのビルトイン電圧）ではスケール比率 $k=5$ 以上で、ゲート電圧0Vでのオフ状態でのコレクタ電流（リーク電流）の増加がスケール比率 k の増加とともに現れる。その結果、N型ポリシリコンをゲート電極に用いると、ゲート駆動回路がゲート端子に負の電圧を加えないと、オフ状態がリーク電流により維持できないことになる。これは特に高温の際に問題となる。

[0050] これに対して、本発明の実施形態においては、P型ポリシリコンを用いることで、電極材料の抵抗が若干上がるものの、スケール比率 k が大きくなるとゲート電荷（ゲート電流）が低減されるため、電極材料の抵抗の上昇は問題にはならない。さらに、P型ポリシリコンを用いることで、負のビルトイン電圧により、MOS構造のチャンネルを介したリーク電流（Nエミッタ、Pベース表面、Nベースに抜ける電子による微小電流）を低減することができる。特に、ゲート-エミッタ間電圧 V_{GE} が0Vでのリーク電流を低減することができる。この結果、ゲート駆動において負のバイアスが不要となり、ゲート駆動回路が簡単になるという効果がある。ゲート電圧が5V以下（あるいはスケール比率 k が3以上）で負バイアスが必要なければ、CMOSで構成されたICでゲートドライブ回路を構成することが可能になり、ゲートドライブのICを安価に提供することが可能になる。

[0051] なお、ゲート絶縁膜4、5にハフニウム（Hf）、ジルコニウム（Zr）

、アルミニウム（Al）、チタン（Ti）などの各酸化物、あるいはそれらのシリケート化合物などの高誘電率ゲート絶縁膜を用いることで、特にスケール比率kが10以上で、ゲート絶縁膜を通したトンネル電流によるリーク電流を大幅に減らすことができる。

[0052] 以上のように、本発明の実施の形態によれば、ウエハに対するトレンチゲートの形成工程の時間が短く、ウエハの薄層化、大口径化に対応可能な、量産性の高い高電圧絶縁ゲート型電力用半導体装置を提供することができる。

また、本発明の製造方法により、少ない工程と高い歩留まりで高性能（低損失）IGBTを作製することが可能になる。

第1の実施例、第2の実施例に共通するが、本発明ではIGBTの表面が薄くなることで微細LSIの工程をIGBTの工程と同時に行うことが可能であり、IGBTの制御回路を同一チップ上に構成することも可能である。

本発明は、縦型のIGBTのみならず、パワーICに用いられる横型のIGBTにも適用することができる。

産業上の利用可能性

[0053] 本発明は、今後のウエハの大径化および薄層化に対応できる微細化技術として、IGBTその他の半導体製造技術に好適に利用することができる。

符号の説明

- [0054]
- 1 Nベース層（低濃度N型層）
 - 2, 3 トレンチ
 - 4, 5 ゲート絶縁膜
 - 6, 7 ゲート電極（制御電極）
 - 8 Pベース層（Pウエル層）
 - 9 Nソース層
 - 10 エミッタ電極（第一の主電極）
 - 11 電位が固定されないP型層
 - 12 Nバッファ層
 - 13 Pエミッタ層

- 14 コレクタ電極（第2の主電極）
- 20 半導体基板
- 30 保護テープ
- 40 台基板

請求の範囲

[請求項1]

低濃度第1導電型ベース層と、
前記低濃度第1導電型ベース層の表面側に、広い間隔と狭い間隔を交互に有するように選択的に形成された複数のトレンチと、
前記トレンチの表面に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の内側に形成されたゲート電極と、
前記狭い間隔で隣り合うトレンチ間に選択的に形成された第2導電型ベース層と、
前記第2導電型ベース層の表面に選択的に形成された高濃度の第1導電型ソース層と、
前記第2導電型ベース層と第1導電型ソース層の双方に接続する第一の主電極と、
前記第1導電型ソース層と、前記第2導電型ベース層と、前記低濃度第1導電型ベース層の表面部に形成されたMOSトランジスタ構造と、
前記低濃度第1導電型ベース層の裏面側に一様に形成され、該低濃度第1導電型ベース層よりも不純物濃度の高い第1導電型バッファ層と、
該第1導電型バッファ層の表面に一様に形成された高濃度の第2導電型エミッタ層と、
該第2導電型エミッタ層の表面に形成された第2の主電極と
を有する高電圧絶縁ゲート型電力用半導体装置において、
前記トレンチのゲート絶縁膜と前記MOSトランジスタ構造が形成される部分を含む構造部分であるメサ領域の幅 S 、トレンチ深さ D_T が、基準となる構造に対する小型化のスケール比率 k の逆数となる関係を有し、
セル幅 $2W$ は前記基準となる構造に対し、スケール比率 k の逆数となる関係よりも大きく、前記基準となる構造が、トレンチ深さ D_T が

5～6 μm 、全体のセル幅 $2W$ が 15～20 μm であり、前記基準となる構造を有する前記電力用半導体装置の導通状態でのスケール比率 k が 3 以上であることを特徴とする、高電圧絶縁ゲート型電力用半導体装置。

[請求項2] 前記トレンチのゲート絶縁膜と前記MOSトランジスタ構造が形成される部分を含む構造部分であるメサ領域の幅 S 、トレンチ深さ D_T 、ゲート絶縁膜厚 T_{ox} 、ゲート駆動電圧 V_{ge} が、基準となる構造に対する小型化のスケール比率 k の逆数となる関係を有し、

セル幅 $2W$ は前記基準となる構造に対し、スケール比率 k の逆数となる関係よりも大きくかつ基準となる幅と同じか小さく、前記基準となる構造が、トレンチ深さ D_T が 5～6 μm 、隣接するトレンチの中心間距離が 3～4 μm で、全体のセル幅 $2W$ が 15～20 μm であり、前記基準となる構造を有する前記電力用半導体装置の導通状態でのゲート駆動電圧 V_{ge} が 15 V であるとするとき、スケール比率 k が 3 以上であることを特徴とする、請求項 1 記載の高電圧絶縁ゲート型電力用半導体装置。

[請求項3] 前記スケール比率 k が 3 以上であり、第 2 導電型エミッタ層の不純物濃度の傾斜の平均値を第 2 導電型エミッタ層の不純物総量で割った値が、前記電位が固定されない第 2 導電型層や第 2 導電型ベース層の、不純物濃度の傾斜の平均値をそれぞれの不純物総量で割った値より低いことを特徴とする請求項 1 または 2 記載の高電圧絶縁ゲート型電力用半導体装置。

[請求項4] 前記スケール比率 k が 5 以上であることを特徴とする、請求項 1 から 3 のいずれかの項に記載の高電圧絶縁ゲート型電力用半導体装置。

[請求項5] 前記第 2 導電型エミッタ層の厚みが 1 μm 以下であり、前記第 2 導電型エミッタ層を形成する不純物イオンの注入工程が、前記第 2 導電型ベース層および前記電位が固定されない第 2 導電型層を形成する不純物イオンの注入工程より前であることを特徴とする請求項 1 から 4

のいずれかの項に記載の高電圧絶縁ゲート型電力用半導体装置。

[請求項6] 前記低濃度第1導電型ベース層の裏面側に形成される前記第2導電型エミッタ層の厚みが、 $1\ \mu\text{m}$ 以下 $10\ \text{nm}$ 以上であることを特徴とする、請求項1から5のいずれかの項に記載の高電圧絶縁ゲート型電力用半導体装置。

[請求項7] 前記トレンチ内部のゲート電極がP型ポリシリコンであることを特徴とする請求項1記載の高電圧絶縁ゲート型電力用半導体装置。

[請求項8] 請求項6記載の高電圧絶縁ゲート型電力用半導体装置を製造するに際し、最初に、低濃度第1導電型ベース層の裏面側の第1導電型バッファ層と第2導電型エミッタ層を形成し、その後、前記低濃度第1導電型ベース層の表面側のトレンチおよびMOSトランジスタ構造を含む表面構造を形成することを特徴とする高電圧絶縁ゲート型電力用半導体装置の製造方法。

[請求項9] 低濃度第1導電型ベース層と、
前記低濃度第1導電型ベース層の表面側に、広い間隔と狭い間隔を交互に有するように選択的に形成された複数のトレンチと、
前記トレンチの表面に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の内側に形成されたゲート電極と、
前記狭い間隔で隣り合うトレンチ間に選択的に形成された第2導電型ベース層と、
前記第2導電型ベース層の表面に選択的に形成された高濃度の第1導電型ソース層と、
前記第2導電型ベース層と第1導電型ソース層の双方に接続する第一の主電極と、
前記第1導電型ソース層と、前記第2導電型ベース層と、前記低濃度第1導電型ベース層の表面部に形成されたMOSトランジスタ構造と、
前記広い間隔で隣り合うトレンチ間に、前記第一の主電極と接続し

ないように、あるいは前記第一の主電極と接続しても高抵抗を介して接続され、前記トレンチと同程度の深さを有する、電位が固定されない第2導電型層と、

前記低濃度第1導電型ベース層の裏面側に一様に形成され、該低濃度第1導電型ベース層よりも不純物濃度の高い第1導電型バッファ層と、

該第1導電型バッファ層の表面に一様に形成された高濃度の第2導電型エミッタ層と、

該第2導電型エミッタ層の表面に形成された第2の主電極とを有する高電圧絶縁ゲート型電力用半導体装置において、

前記トレンチのゲート絶縁膜と前記MOSトランジスタ構造が形成される部分を含む構造部分であるメサ領域の幅 S 、トレンチ深さ D_T 、ゲート絶縁膜厚 T_{ox} 、ゲート駆動電圧 V_{ge} が、基準となる構造に対する小型化のスケール比率 k の逆数となる関係を有し、セル幅 $2W$ は前記基準となる構造と同じであり、前記基準となる構造が、トレンチの中心で挟まれた面積のうち、エミッタ電極およびコンタクトがある部分と、コンタクトがないかあっても高抵抗にコンタクトされている部分との面積比が、 $1:4 \sim 1:6$ 程度であり、前記基準となる構造を有する前記電力用半導体装置の導通状態でのゲート駆動電圧 V_{ge} が $15V$ であるとするとき、スケール比率 k が3以上であることを特徴とする、高電圧絶縁ゲート型電力用半導体装置。

[請求項10]

前記スケール比率 k が3以上であり、第2導電型エミッタ層の不純物濃度の傾斜の平均値を第2導電型エミッタ層の不純物総量で割った値が、前記電位が固定されない第2導電型層や第2導電型ベース層の、不純物濃度の傾斜の平均値をそれぞれの不純物総量で割った値より低いことを特徴とする請求項9記載の高電圧絶縁ゲート型電力用半導体装置。

[請求項11]

前記スケール比率 k が5以上であることを特徴とする、請求項9ま

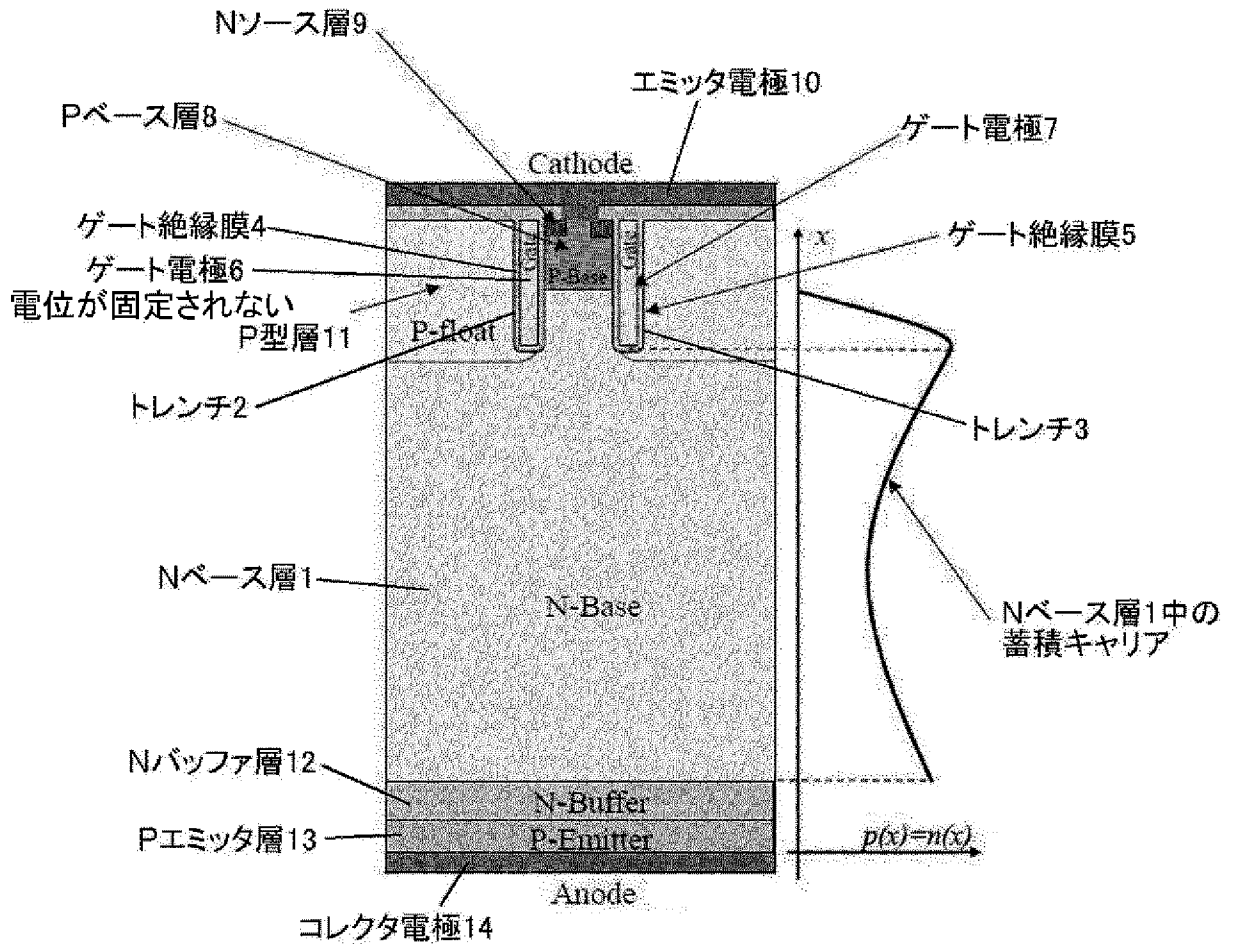
たは10に記載の高電圧絶縁ゲート型電力用半導体装置。

[請求項12] 前記第2導電型エミッタ層の厚みが $1\mu\text{m}$ 以下であり、前記第2導電型エミッタ層を形成する不純物イオンの注入工程が、前記第2導電型ベース層および前記電位が固定されない第2導電型層を形成する不純物イオンの注入工程より前であることを特徴とする請求項9から11のいずれかの項に記載の高電圧絶縁ゲート型電力用半導体装置。

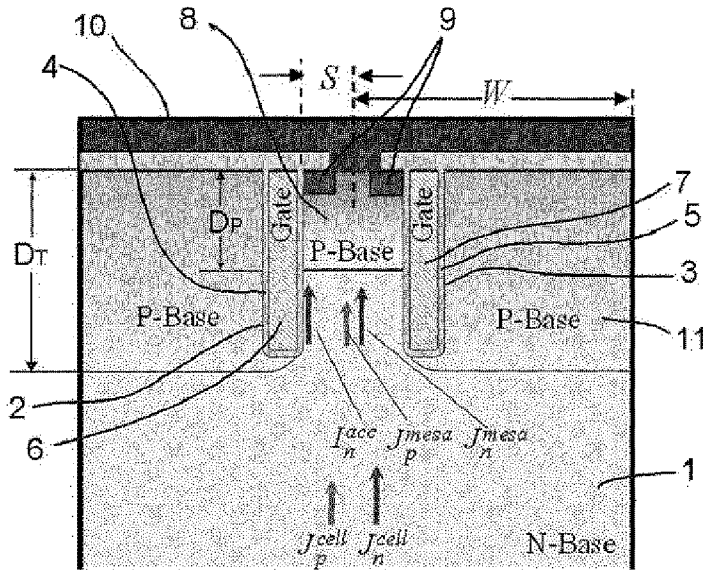
[請求項13] 前記低濃度第1導電型ベース層の裏面側に形成される前記第2導電型エミッタ層の厚みが、 $1\mu\text{m}$ 以下 10nm 以上であることを特徴とする、請求項9から12のいずれかの項に記載の高電圧絶縁ゲート型電力用半導体装置。

[請求項14] 請求項13記載の高電圧絶縁ゲート型電力用半導体装置を製造するに際し、最初に、低濃度第1導電型ベース層の裏面側の第1導電型バッファ層と第2導電型エミッタ層を形成し、その後、前記低濃度第1導電型ベース層の表面側のトレンチおよびMOSトランジスタ構造を含む表面構造を形成することを特徴とする高電圧絶縁ゲート型電力用半導体装置の製造方法。

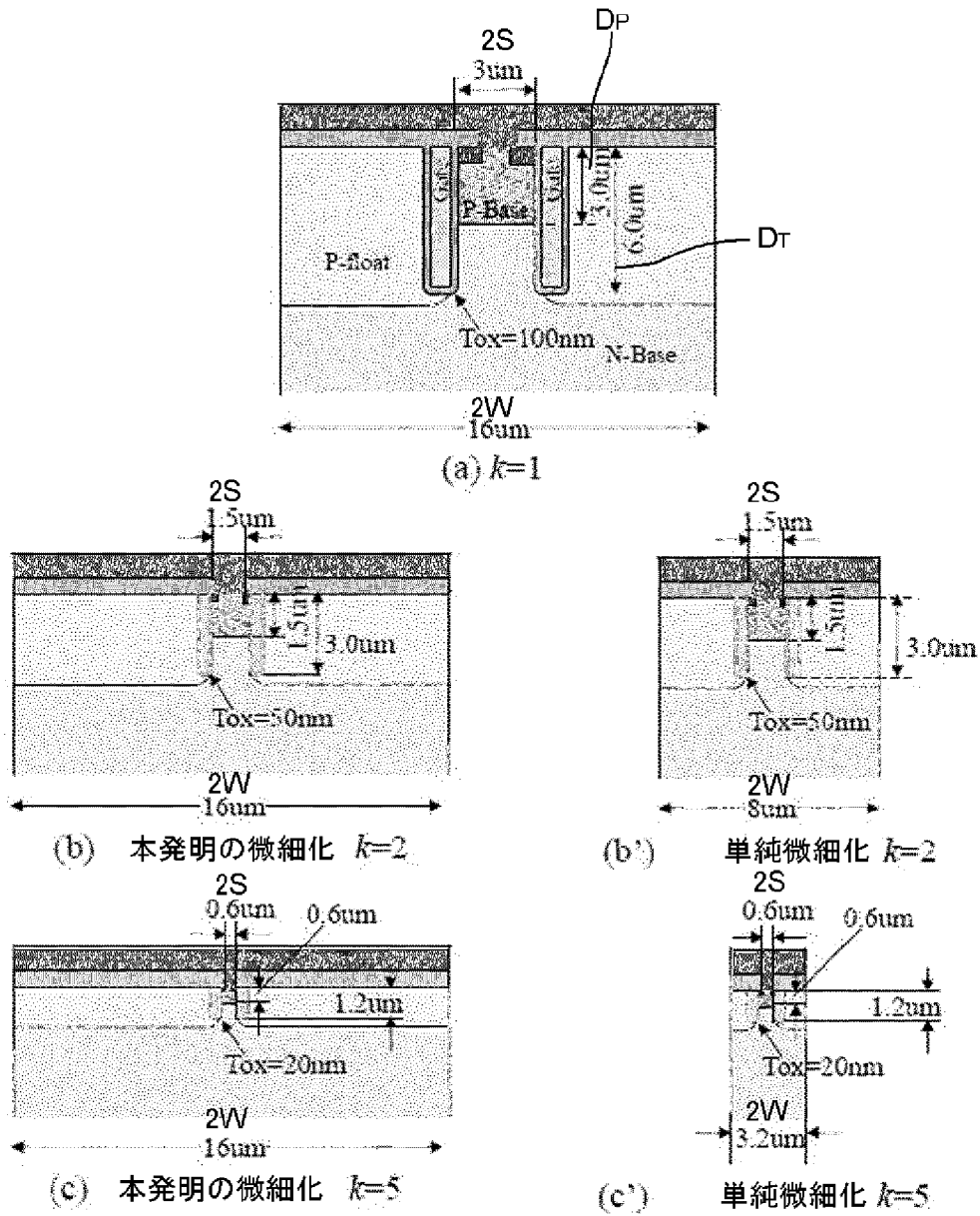
[図1]



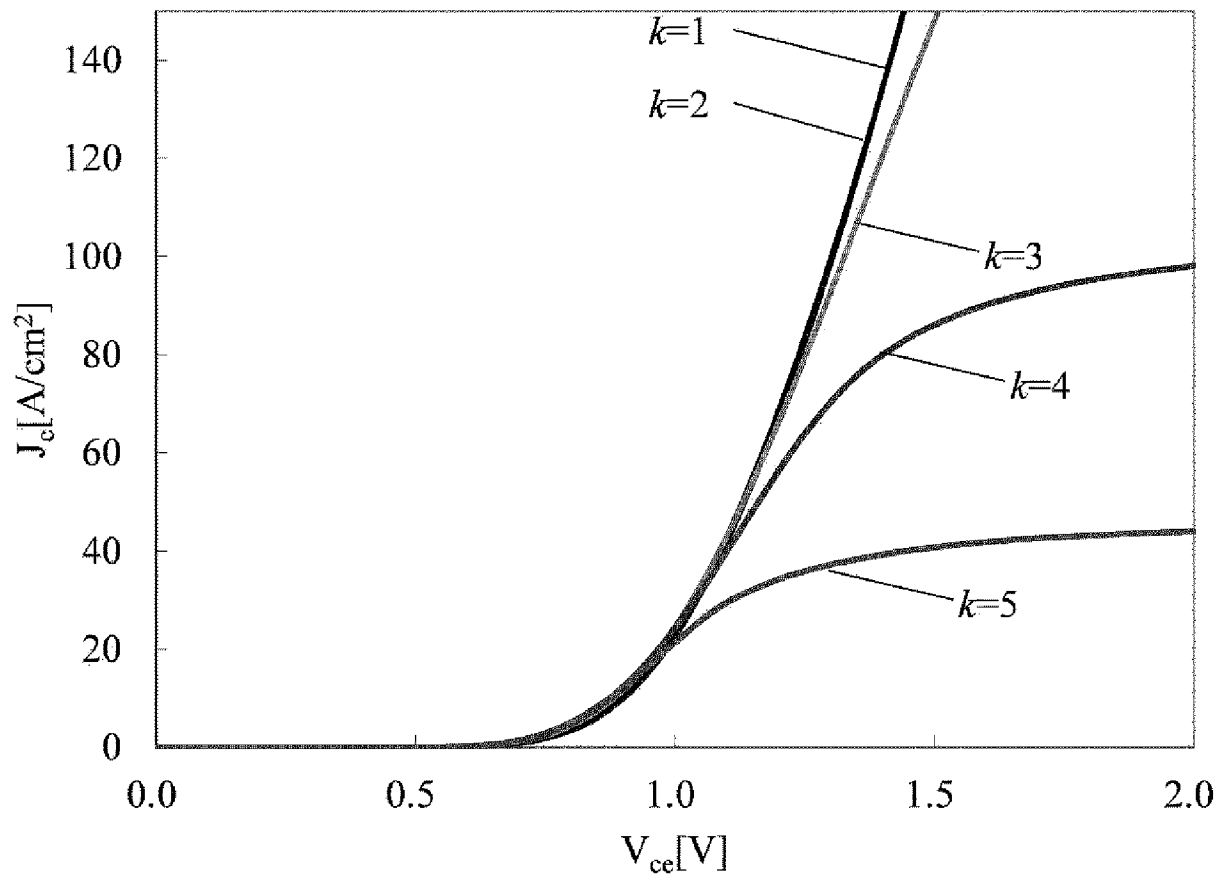
[図2]



[図3]

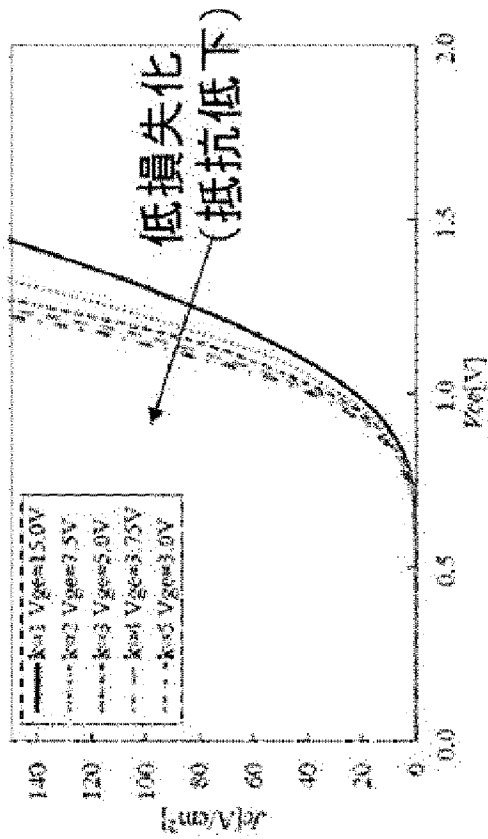


[図4]

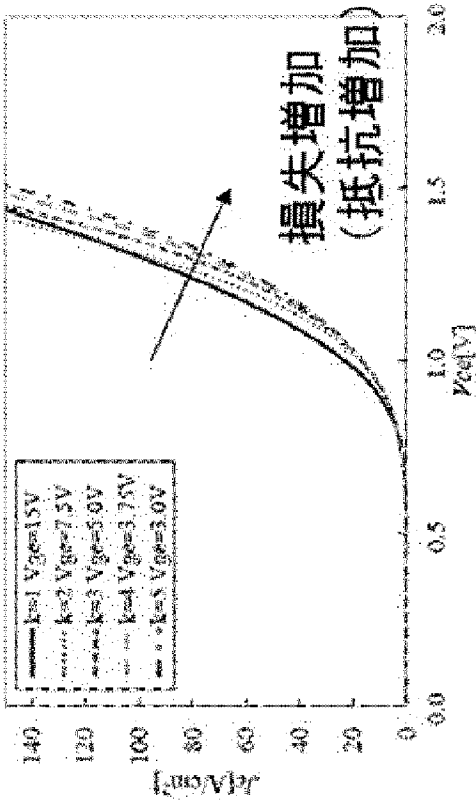


[図5]

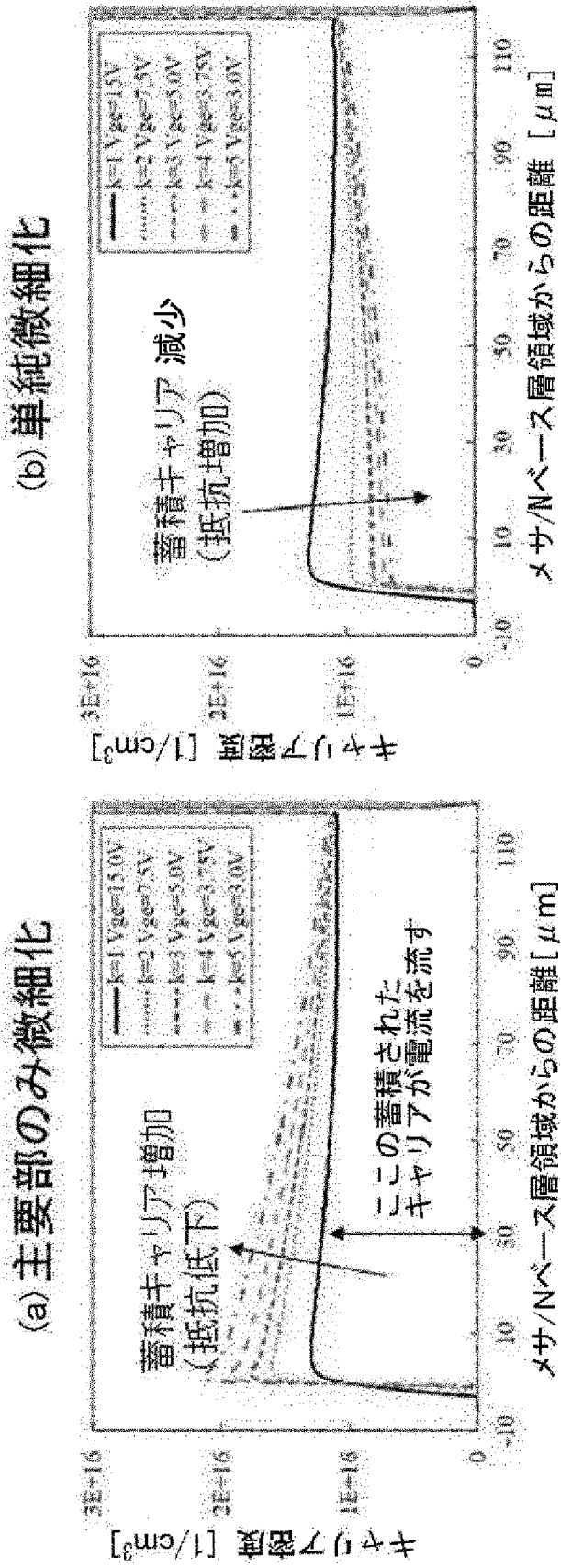
(a) 主要部のみ微細化



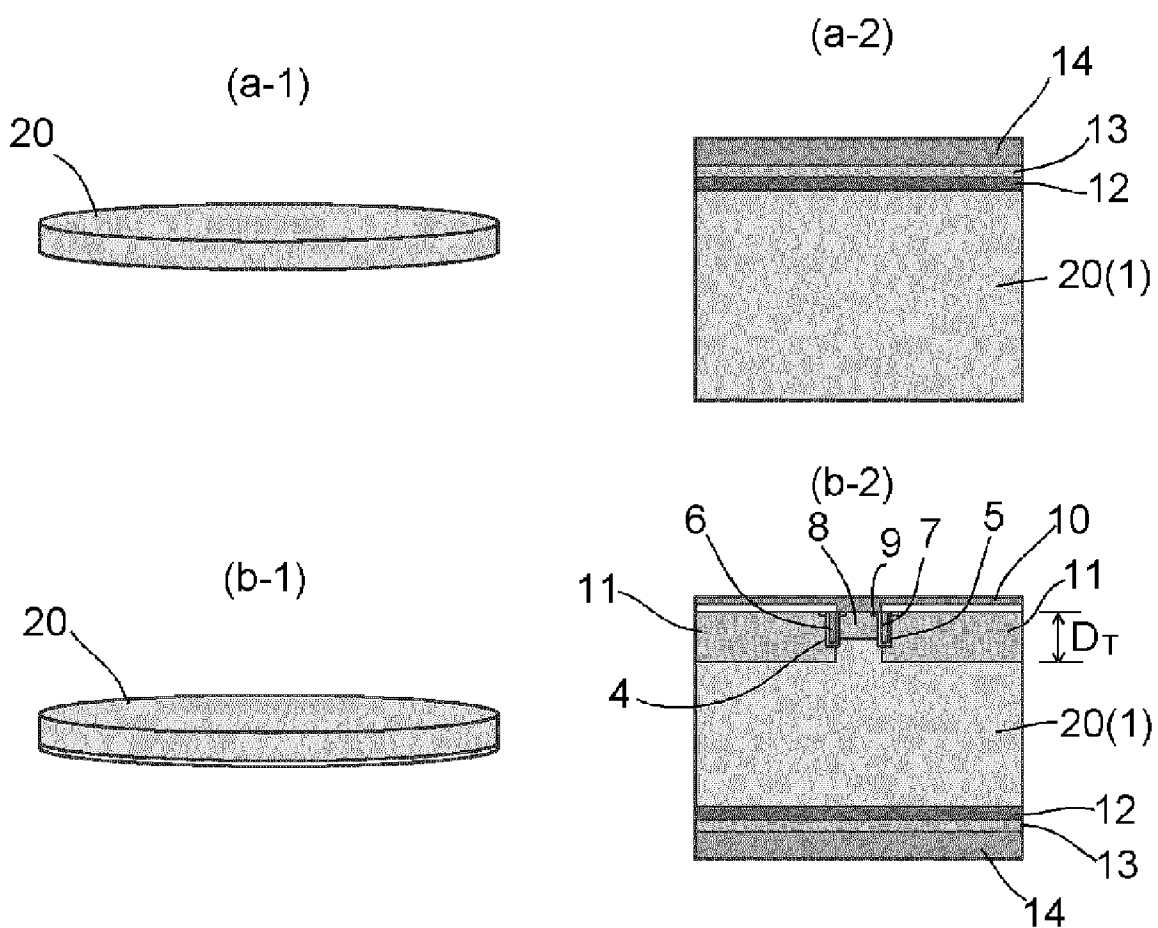
(b) 単純微細化



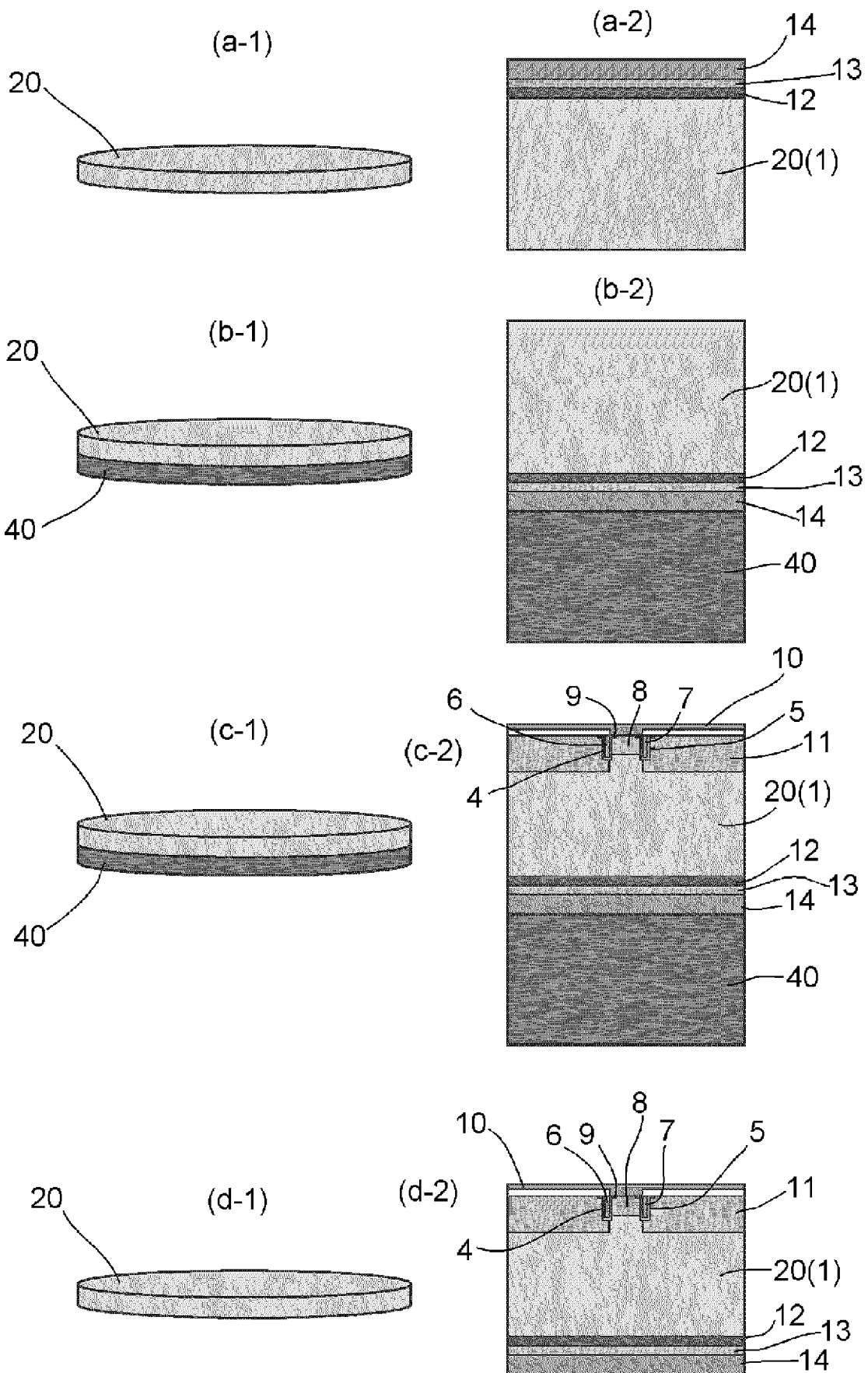
[図6]



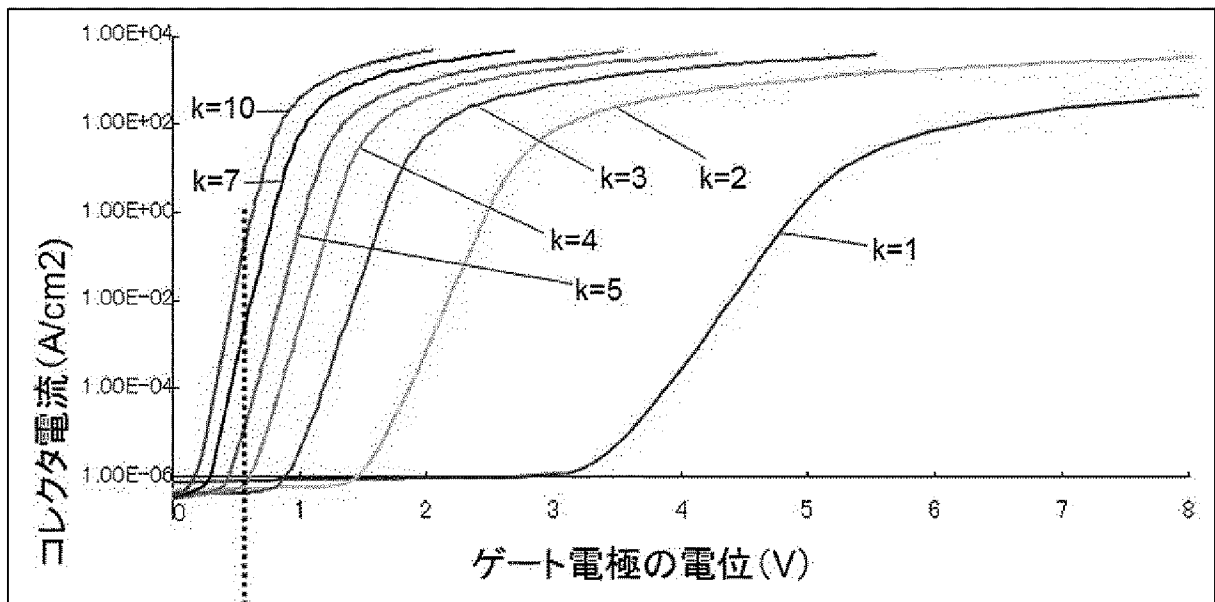
[図7]



[図8]

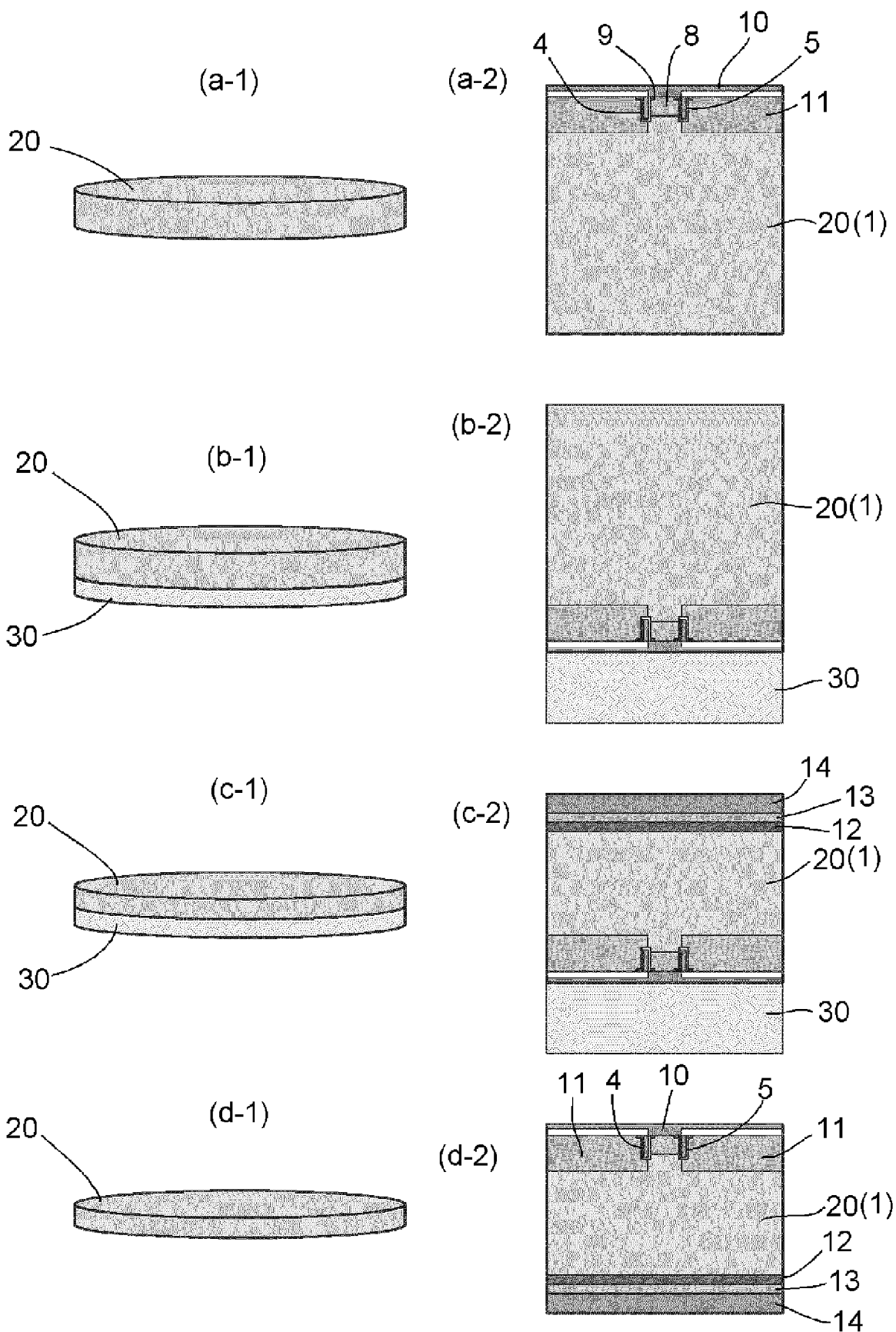


[図9]



N型ポリシリコンが
持つビルトイン電位

[図10]



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2013/064943

A. CLASSIFICATION OF SUBJECT MATTER
 H01L29/78(2006.01) i, H01L29/739(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H01L29/78, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-99696 A (Toshiba Corp.), 24 May 2012 (24.05.2012), entire text; all drawings (Family: none)	1-14
A	JP 2003-133557 A (Hitachi, Ltd.), 09 May 2003 (09.05.2003), entire text; all drawings & US 2003/0080355 A1	1-14

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 August, 2013 (26.08.13)	Date of mailing of the international search report 03 September, 2013 (03.09.13)
-----------------------------------------------------------------------------------------	-------------------------------------------------------------------------------------

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/78(2006.01)i, H01L29/739(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/78, H01L29/739		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 1 2 - 9 9 6 9 6 A (株式会社東芝) 2 0 1 2 . 0 5 . 2 4、全文全図 (ファミリーなし)	1 - 1 4
A	J P 2 0 0 3 - 1 3 3 5 5 7 A (株式会社日立製作所) 2 0 0 3 . 0 5 . 0 9、全文全図 & U S 2 0 0 3 / 0 0 8 0 3 5 5 A 1	1 - 1 4
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 2 6 . 0 8 . 2 0 1 3	国際調査報告の発送日 0 3 . 0 9 . 2 0 1 3	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 工藤 一光 電話番号 03-3581-1101 内線 3516	5 F 9 2 7 4