

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4839440号
(P4839440)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月14日(2011.10.14)

| | | | |
|----------------------------|-----------|------|---|
| (51) Int. Cl. | F 1 | | |
| HO2M 7/12 (2006.01) | HO2M 7/12 | 601A | |
| HO2M 7/21 (2006.01) | HO2M 7/21 | | |
| | HO2M 7/12 | | X |

請求項の数 4 (全 23 頁)

| | | | |
|-----------|------------------------------|-----------|--------------------|
| (21) 出願番号 | 特願2006-176051 (P2006-176051) | (73) 特許権者 | 504157024 |
| (22) 出願日 | 平成18年6月27日 (2006. 6. 27) | | 国立大学法人東北大学 |
| (65) 公開番号 | 特開2008-11584 (P2008-11584A) | | 宮城県仙台市青葉区片平二丁目1番1号 |
| (43) 公開日 | 平成20年1月17日 (2008. 1. 17) | (74) 代理人 | 100098729 |
| 審査請求日 | 平成21年3月19日 (2009. 3. 19) | | 弁理士 重信 和男 |
| | | (74) 代理人 | 100116757 |
| | | | 弁理士 清水 英雄 |
| | | (74) 代理人 | 100123216 |
| | | | 弁理士 高木 祐一 |
| | | (74) 代理人 | 100089336 |
| | | | 弁理士 中野 佳直 |
| | | (72) 発明者 | 小谷 光司 |
| | | | 宮城県仙台市青葉区片平二丁目1番1号 |
| | | | 国立大学法人東北大学内 |

最終頁に続く

(54) 【発明の名称】 整流回路

(57) 【特許請求の範囲】

【請求項1】

交流信号が両者間に印加される第一の交流端子および第二の交流端子と、
 整流された信号が両者間に出力される第一の直流端子および第二の直流端子と、
 第一のNチャネルMOSトランジスタと、第一のPチャネルMOSトランジスタと、
 第二のNチャネルMOSトランジスタと、第二のPチャネルMOSトランジスタと、
 を備え、
 前記第一のNチャネルMOSトランジスタのソースおよびドレイン電極が、それぞれ前記第一の交流端子および前記第一の直流端子のどちらかに排他的に接続され、
 前記第一のPチャネルMOSトランジスタのソースおよびドレイン電極が、それぞれ前記第一の交流端子および前記第二の直流端子のどちらかに排他的に接続され、
 前記第二のNチャネルMOSトランジスタのソースおよびドレイン電極が、それぞれ前記第二の交流端子および前記第一の直流端子のどちらかに排他的に接続され、
 前記第二のPチャネルMOSトランジスタのソースおよびドレイン電極が、それぞれ前記第二の交流端子および前記第二の直流端子のどちらかに排他的に接続され、
 前記第一のNチャネルMOSトランジスタのゲート電極が、前記第二の交流端子に、第一の容量を介して交流的に接続され、
 前記第一のPチャネルMOSトランジスタのゲート電極が、前記第二の交流端子に、第二の容量を介して交流的に接続され、
 前記第二のNチャネルMOSトランジスタのゲート電極が、前記第一の交流端子に、第三の

10

20

容量を介して交流的に接続され、

前記第二のPチャンネルMOSトランジスタのゲート電極が、前記第一の交流端子に、第四の容量を介して交流的に接続され、

前記第一のNチャンネルMOSトランジスタ、前記第一のPチャンネルMOSトランジスタ、前記第二のNチャンネルMOSトランジスタ、前記第二のPチャンネルMOSトランジスタのゲート電極の直流的電位をそれぞれ設定する手段を備える、

ことを特徴とする整流回路。

【請求項2】

前記直流的電位をそれぞれ設定する手段として、自身の出力を用いることを特徴とする請求項1に記載の整流回路。

10

【請求項3】

前記直流的電位をそれぞれ設定する手段として、自身とは別に用意した整流回路の出力を用いることを特徴とする請求項1に記載の整流回路。

【請求項4】

請求項1、請求項2、あるいは請求項3に記載の整流回路と同じ構成の二つ以上の整流回路を備え、

それぞれの整流回路の直流端子が直列に接続され、

それぞれの整流回路の交流端子が、少なくとも二つ以上の容量を介して並列に接続されている、

ことを特徴とする整流回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パッシブ型RFIDタグにおいてアンテナで受信する高周波微弱信号から直流電力を取り出したり、機械・電気結合系を利用して微弱な振動エネルギーなどの機械的エネルギーを交流電力に変換した後に直流電力に変換したりする場合に用いられる、交流信号を直流に電力変換する整流回路に関する。

【背景技術】

【0002】

従来、この種の回路としては、図11に示すような回路が用いられていた。これは、交流信号を半波整流して直流に変換し、負荷 R_L に供給する回路である。整流ダイオードD1およびD2、結合容量 C_C 、平滑容量 C_S から構成される。整流ダイオードは順方向電圧に対しては電流を流し、逆方向電圧に対しては電流をほとんど流さない非線形素子である。交流端子TA1には交流信号が入力され、直流端子TDPからは負荷 R_L に対して直流が出力される。ここでは、単純のため負荷は線形抵抗としたが、実際の応用では、整流回路によって駆動される負荷となり、一般的には非線形負荷である。たとえばパッシブ型RFIDの場合は、デコード回路やメモリ駆動回路等のベースバンド信号処理回路となる。

30

【0003】

交流信号は、結合容量 C_C を介して節点N1に印加される。アノード（陽極）が接地されている整流ダイオードD1のカソード（陰極）側に交流信号が印加されることになる。交流信号の電位が負であり節点N1の瞬時電位が整流ダイオードD1のアノードの電位、つまり接地電位に対して負になる時には、整流ダイオードD1は順方向となり、電流が、接地点から節点N1に向かって流れる。節点N1に注入された電荷は、一部が整流ダイオードD2を介して負荷に供給される。残りの電荷は、結合容量 C_C に蓄積され、節点N1の直流的電位を上昇させる。交流信号の電位が正であり、節点N1の瞬時電位が正になり、整流ダイオードD1が逆方向になる場合には、整流ダイオードD1を通して節点N1から接地点に対して電流はほとんど流れず、結合容量 C_C に蓄えられた電荷はほぼ保たれる。

40

【0004】

整流ダイオードD2に対しては、直流端子TDPとなっているカソード端子の電位が平滑容量 C_S により平滑されており、一定電位の直流電位となっている。一方アノード端子となる

50

節点N1には交流信号が印加される。整流ダイオードD1とは逆相の動作を行うが、基本的な原理は同様であり、順方向状態時に流れる電流の一部は負荷 R_L に供給され、残りは平滑容量 C_S に蓄積され、直流端子TDPの電位を上昇させる。

【 0 0 0 5 】

節点N1や直流端子TDPの直流的電位の上昇は、負荷 R_L に供給される電流とバランスした時点で定常状態となる。定常状態における整流ダイオードD1あるいはD2のバイアス状態を図12に示す。図12において横軸は整流ダイオードに印加される電圧、縦軸は整流ダイオードに流れる電流を示しており、実線はダイオードの電圧・電流特性を示している。整流ダイオードに印加される交流電圧信号は点線で示してある。交流電圧信号の軸となる下向きの軸は時間である。交流電圧信号の一周期分に注目する。整流ダイオードに順方向電圧が印加される期間 t_2-t_1 においては、整流ダイオードに順方向電流が流れる。この期間に順方向に流れる電荷量 Q_F は、以下の式で記述される。

【 0 0 0 6 】

【数1】

$$Q_F = \int_{t_1}^{t_2} I_D(V_D(t)) dt$$

【 0 0 0 7 】

ここで、 $V_D(t)$ は整流ダイオードに印加される電圧であり、 $I_D(V_D(t))$ は電圧 V_D の関数として記述される整流ダイオードの電流である。一方、整流ダイオードに逆方向電圧が印加される期間 t_3-t_2 においては、整流ダイオードに逆方向電流が流れる。この逆方向電流は、整流ダイオードの逆方向リーク電流である。この期間に逆方向に流れる電荷量 Q_R は、以下の式で記述できる。

【 0 0 0 8 】

【数2】

$$Q_R = \int_{t_2}^{t_3} I_D(V_D(t)) dt$$

【 0 0 0 9 】

一方、負荷 R_L で交流電圧信号一周期の間に消費される電荷量 Q_L は以下の式で記述できる。

【 0 0 1 0 】

【数3】

$$Q_L = I_L(t_3 - t_1) = I_L T = \frac{V_{OUT}}{R_L} T$$

【 0 0 1 1 】

ここで、 I_L は負荷に供給される直流電流であり、 T は交流信号の周期（周波数の逆数）である。 V_{OUT} は直流端子TDPの出力電圧、 R_L は負荷抵抗である。

定常状態では、 Q_F 、 Q_R 、 Q_L 間に以下の関係が成り立つ。

【 0 0 1 2 】

【数4】

$$Q_F - |Q_R| = Q_L$$

【 0 0 1 3 】

別の言い方をすれば、この関係が成り立つように、整流ダイオードに発生する直流的電圧（昇圧電圧）が決まり、整流ダイオードの段数倍された直流出力電圧 V_{OUT} が決まる。

【 0 0 1 4 】

次に、この整流回路の効率を考える。整流回路の根本的な損失は、有限の抵抗として働く整流ダイオードに流れる電流による損失である。逆方向に流れる電荷 Q_R は負荷には供給されないため、整流回路としての付加的損失となる。直流負荷 R_L に一定電流を供給する条件下では、 Q_R が大きくなれば順方向電荷 Q_F も大きくしなければならず、さらに損失が増大

10

20

30

40

50

する。したがって、整流回路の電力変換効率を増大させるためには、整流ダイオードの順方向ON抵抗を出来るだけ小さくし、逆方向リーク電流を出来るだけ小さくすることが重要である。

【0015】

一方、整流回路としては、出来るだけ小さい交流入力電圧信号振幅で出来るだけ大きい直流出力電圧を得る事が重要である。単に直流出力電圧を増大させるだけであれば、図Aに示した整流回路を積み上げ、直流出力電圧を増大させることが出来る。しかし、その場合、整流ダイオードの接続段数が増え、整流ダイオードの損失が大きくなり、整流回路の効率の面では望ましくない。つまり、効率も考慮した上で、出来るだけ小さい交流入力電圧信号振幅で出来るだけ大きい直流出力電圧を得るためには、整流ダイオード一段当りの昇圧電圧を増大することが重要である。そのためには、前述した効率向上のための要件、つまり、整流ダイオードの順方向ON抵抗を出来るだけ小さくし、逆方向リーク電流を出来るだけ小さくすることと共に、整流ダイオードのON電圧を低減することが重要である。

10

【0016】

ON電圧のみが有限値 V_{ON} で、逆方向リーク電流がゼロ、ON抵抗もゼロの理想的整流ダイオードを仮定すれば、整流ダイオード一段当りの昇圧電圧 V_E は、以下のように記述できる。

【0017】

【数5】

$$V_E = V_{AC} - V_{ON}$$

20

【0018】

ここで、 V_{AC} は整流ダイオードに印加される交流電圧信号のピーク電圧振幅である。整流ダイオードのON電圧もゼロになれば、一段当り、交流電圧信号振幅の昇圧電圧が得られることが分かる。

【0019】

半導体集積回路で一般的に実現可能な整流ダイオードとしては、PN接合ダイオードがある。順方向の電圧電流特性が指数関数であり、ON抵抗は小さく、逆方向リーク電流も小さい。しかし、PN接合バンドの障壁高さで決定されるON電圧は、シリコンの場合0.7V程度と、決して小さくない。

30

【0020】

そこで、特に低電力・低電圧振幅の交流信号に対して効率的な整流回路を実現するため、PN接合ダイオードの代わりに、ショットキーダイオードを用いる場合がある。金属・半導体接合を用いるショットキーダイオードでは、逆方向リーク電流が比較的大きいが、ON電圧が0.3V程度と小さく、低電圧振幅の交流信号の整流において効果的である。ただし、金属・半導体接合を形成するための特別な製造プロセスが付加的に必要で、コスト面で欠点がある。

【0021】

特別な製造プロセスが必要なショットキーダイオードの代わりに、一般的な製造プロセスで形成可能な低ON電圧の等価的ダイオードとして、ダイオード接続されたMOSトランジスタも用いられている。図13に、NチャネルMOSトランジスタを整流ダイオードとして用いた整流回路を示す。整流ダイオードD1、D2の代わりに、NチャネルMOSトランジスタMN1、MN2が接続されている。MOSトランジスタでは、一般的にソースおよびドレインが対称構造をしており、どちらの電極が動作上のソースになるかドレインになるかは、その時点でのバイアス状況による。NチャネルMOSトランジスタの場合、電位の低い電極が動作上のソース電極となり、電位が高いほうが動作上のドレイン電極となる。したがって、整流ダイオードとして用いる場合、整流ダイオードの順方向と逆方向状態で動作上のソース電極と動作上のドレイン電極が入れ替わることになる。しかし、ここでは、便宜上、順方向バイアス状態で、電位の低い電極をソース電極、高い電極をドレイン電極と呼ぶことにする。つまり、ダイオードのアノードに対応するのがドレイン、カソードに対応するのがソース

40

50

となる。動作の説明上，必要に応じて動作上のソース電極，動作上のドレイン電極という表現も用いることにする。

【0022】

NチャネルMOSトランジスタのドレイン電極をゲート電極と接続することにより，順方向動作時，ゲート・ソース間電圧とゲート・ドレイン間順方向電圧が同一となり，MOSトランジスタのしきい値電圧以上でトランジスタがONして順方向電流が流れる。一方，逆方向動作時，アノード端子として働くドレイン電極より，カソード端子として働くソース電極の電位が高くなり，動作上のドレイン電極とソース電極が入れ替わる。このとき，カソード端子として働くソース電極は動作上のドレイン電極となり，アノード端子として働くドレイン電極は動作上のソース電極となる。ゲート電極は，ドレイン電極，つまりこの時の動作上のソース電極と接続されているため，動作上のゲート・ソース間電圧はゼロとなり，しきい値電圧が正のエンハンスメント型トランジスタではトランジスタはOFFとなり，わずかなリーク電流が流れるだけとなる。つまり，しきい値電圧をON電圧とする整流ダイオードとして動作することになる。このとき，NチャネルMOSトランジスタの基板電極は，ソースに接続してもドレインに接続しても基本的なダイオード特性は得られるが，順方向動作時に並列動作する寄生基板・ソース間PN接合ダイオードを利用するとともに，順方向動作時の正極性の基板バイアス効果によるしきい値低減効果を得るため，ドレイン電極と接続するのが一般的である。ただし，ソースと接続しても良いし，直流一定電位の接点に接続してもよい。ただし，一般的な単一ウェルプロセスで形成される集積回路では，寄生PNダイオードの順方向動作時の基板に対してのキャリア注入に気をつける必要がある。過大な電流が流れれば，基板の電位が揺らいだり，周辺の回路に影響を及ぼすからである。

【0023】

MOSトランジスタのしきい値電圧は，半導体のバンドギャップでON電圧が決まるPN接合ダイオードと異なり，ゲート絶縁膜や基板不純物濃度等によりある程度任意に設定可能である。一般的にはデジタル論理回路やアナログ回路向けに設定されたしきい値電圧をそのまま利用することになるが，最近の集積回路では0.3V～0.5V程度に設定される場合がほとんどであり，PN接合ダイオードのON電圧に比べて小さい。結果としてON電圧の小さい整流ダイオードとして用いることが可能となる。したがって，低電力・低電圧振幅の交流信号の整流において効果的である。

【0024】

しかし，さらに低電力・低電圧振幅の交流信号を整流するためには，MOSトランジスタのしきい値電圧でも不十分である。そこで，MOSトランジスタの実効的しきい値電圧を回路的に低減することによって低電力・低電圧振幅の交流信号を効率よく整流する回路技術が特許文献1に開示されている。ゲート電極とドレイン電極間に一定の直流電圧を出力するバイアス回路を挿入したもので，順方向動作時，ドレイン・ソース間電圧に一定の正電圧を上乗せした電圧をゲート電極に供給することにより，実効的なしきい値電圧を低減することが可能であり，結果としてダイオード回路のON電圧を低減することができ，より低電力・低電圧振幅の交流信号を整流することが可能となる。しかし，一定の直流電圧は逆方向動作時にも印加されるため，逆方向動作時の動作上のゲート・ソース間電位が直流正電圧となり，逆方向ソース・ドレイン間リーク電流が増大してしまう。これは，電力変換効率の低下につながる。最も効率が向上するのは，おおよそ，しきい値電圧程度の直流電圧を印加した場合であり，それ以上の電圧を印加すると逆方向リーク電流の増大により電力変換効率は逆に低下する。さらに，この特許文献1では，バイアス回路としてスイッチトキャパシタ回路や，フローティングゲート構造を用いており，それぞれ，外部電源が必要であること，特殊なMOSトランジスタ構造が必要であることなどの欠点がある。さらに，特許文献1のように，ダイオードD1およびD2として共にNチャネルMOSトランジスタを用いる場合，NチャネルMOSトランジスタMN2のバイアス回路は，交流信号電圧が，結合容量Ccを介して印加される節点N1に接続する必要があり，交流信号に対して，対接地基板に対する寄生容量を増やすことになってしまい，効果的に交流信号を節点N1に印加することが出来なくなり，効率を劣化させる欠点を有している。さらに，NチャネルMOSトランジスタ

10

20

30

40

50

タMN2の基板電極をドレイン電極，つまり節点N1に接続する場合，NチャネルMOSトランジスタの基板となるPウェルと集積回路基板間の容量が節点N1に寄生することになり，さらに交流信号を節点N1に印加することが困難になり，効率を劣化させる欠点を有している。

【0025】

一方，非特許文献1では，これらの欠点を克服するために，CMOS構成の整流回路が開示されている。NチャネルMOSトランジスタMN2の代わりにPチャネルMOSトランジスタを用いることにより，PチャネルMOSトランジスタのバイアス回路を，直流電圧端子となるTDP側に接続することが可能となり，交流端子の寄生容量増大を防止できる。さらに，基板電極となるNウェルはドレイン側，つまり直流端子TDP側に接続するため，ウェル・基板間の寄生容量も交流端子から切り離すことが可能となる。なお，この非特許文献1では，バイアス回路として，抵抗分割原理によるカレントミラー回路を用いており，バイアス電圧の発生のためには，自ら整流した直流電力を用いるため，外部電源を必要としない。

10

【0026】

しかしながら，特許文献1および非特許文献1では，直流バイアス電圧のみを印加しているため，ダイオードとしての低ON電圧を実現できる代わりに，逆方向リーク電流は増大する。この逆方向リーク電流により，交流入力から直流出力への電力変換効率は劣化してしまうという共通の問題点を有している。

【0027】

さらに，差動動作を基本とするCMOS整流回路を図14に示す。NチャネルMOSトランジスタMN1とPチャネルMOSトランジスタMP1は，第一の半波整流回路を構成し，NチャネルMOSトランジスタMN2と，PチャネルMOSトランジスタMP2は第二の半波整流回路を構成している。並列接続される第一および第二の半波整流回路は，差動入力される交流信号によって互いに逆相で動作し，全体として全波整流回路を構成している。

20

【0028】

単に，従来例として図13で示した半波整流回路を組み合わせた全波整流回路と異なり，それぞれの半波整流回路がCMOS構成で実現されており，さらに，整流ダイオードを構成するMOSトランジスタのゲート電極が，逆相の交流信号節点に接続されている。

【0029】

ダイオード接続したMOSトランジスタのゲート電極を，自身のソース電極あるいはドレイン電極に印加される交流信号と逆相の交流信号節点に交流的に接続することによって，ダイオード回路の順方向動作時のON電圧，ON抵抗を低減するとともに逆方向リーク電流を低減し，高効率な交流直流電力変換を実現することができる。

30

【0030】

しかし，入力される交流電力が大きくなり，出力直流電圧も大きくなると，過剰なMOSトランジスタゲート電極直流バイアスにより，逆方向動作時のリーク電流が増大し，電力変換効率が減少する。つまり，電力変換効率は，入力交流電力や，出力直列電圧に対してピークを有する特性となる。さらに，その最大のピーク値を示す値は，ほぼ，MOSトランジスタの特性と出力電圧値で決定され，容易に回路設計者が任意の値を設定することが出来ない。したがって，高効率な電力変換特性の適用範囲を著しく限定してしまうという欠点を有している。

40

【0031】

【特許文献1】特開2006-34085号公報

【非特許文献1】H. Nakamoto, et al., "A Passive UHF RFID Tag LSI with 36.6% Efficiency CMOS-Only Rectifier and Current-Mode Demodulator in 0.35um FeRAM Technology," ISSCC Dig. Tech. Papers, pp.310-311, Feb. 2006.

【発明の開示】

【発明が解決しようとする課題】

【0032】

上記のように，従来の技術では，低電力・低電圧振幅交流信号の整流が可能であるが，高効率な電力変換特性の適用範囲を著しく限定してしまうという問題があった。

50

【0033】

本発明は、低電力・低電圧振幅交流信号の整流が可能であるだけでなく、高い電力変換効率を発揮する出力電圧範囲を任意に設計可能な整流回路を提供することを目的としている。

【課題を解決するための手段】

【0034】

本発明によれば、

交流信号が両者間に印加される第一の交流端子および第二の交流端子と
整流された信号が両者間に出力される第一の直流端子および第二の直流端子と、
第一のNチャンネルMOSトランジスタと、第一のPチャンネルMOSトランジスタと、
第二のNチャンネルMOSトランジスタと、第二のPチャンネルMOSトランジスタと、
を備え、

前記第一のNチャンネルMOSトランジスタのソースおよびドレイン電極が、それぞれ前記第一の交流端子および前記第一の直流端子のどちらかに排他的に接続され、

前記第一のPチャンネルMOSトランジスタのソースおよびドレイン電極が、それぞれ前記第一の交流端子および前記第二の直流端子のどちらかに排他的に接続され、

前記第二のNチャンネルMOSトランジスタのソースおよびドレイン電極が、それぞれ前記第二の交流端子および前記第一の直流端子のどちらかに排他的に接続され、

前記第二のPチャンネルMOSトランジスタのソースおよびドレイン電極が、それぞれ前記第二の交流端子および前記第二の直流端子のどちらかに排他的に接続され、

前記第一のNチャンネルMOSトランジスタのゲート電極が、前記第二の交流端子に、第一の容量を介して交流的に接続され、

前記第一のPチャンネルMOSトランジスタのゲート電極が、前記第二の交流端子に、第二の容量を介して交流的に接続され、

前記第二のNチャンネルMOSトランジスタのゲート電極が、前記第一の交流端子に、第三の容量を介して交流的に接続され、

前記第二のPチャンネルMOSトランジスタのゲート電極が、前記第一の交流端子に、第四の容量を介して交流的に接続され、

前記第一のNチャンネルMOSトランジスタ、前記第一のPチャンネルMOSトランジスタ、前記第二のNチャンネルMOSトランジスタ、前記第二のPチャンネルMOSトランジスタのゲート電極の直
流的電位をそれぞれ設定する手段を備える、

ことを特徴とする整流回路。

が得られる。

【0035】

また、本発明によれば、

前記直流的電位をそれぞれ設定する手段として、自身の出力を用いることを特徴とする請求項1に記載の整流回路。

が得られる。

【0036】

また、本発明によれば、

前記直流的電位をそれぞれ設定する手段として、自身とは別に用意した整流回路の出力を用いることを特徴とする請求項1に記載の整流回路。

が得られる。

【0037】

また、本発明によれば、

前述の整流回路と同じ構成の二つ以上の整流回路を備え、

それぞれの整流回路の直流端子が直列に接続され、

それぞれの整流回路の交流端子が、少なくとも二つ以上の容量を介して並列に接続されている、

ことを特徴とする整流回路。

が得られる。

【発明の効果】

【0038】

本発明によれば、交流差動信号を用いて、ダイオード接続されたMOSトランジスタの順方向動作時に大きなゲート電圧を印加してダイオードのON電圧およびON抵抗を低減すると共に、逆方向動作時には、ゲート電圧を低減する方向の電圧を印加することによって逆方向リーク電流をも低減するCMOS全波整流回路において、MOSトランジスタの直流的バイアス電圧を、用途に応じて最適設定することができるという効果が得られるため、あらゆる入力電力の交流信号の整流においても高い電力変換効率を実現するという効果が得られる。

10

【発明を実施するための最良の形態】

【0039】

以下、本発明の実施の形態について図面を参照しながら説明する。

【実施例1】

【0040】

図1は本発明の第一の実施の形態による整流回路101の構成を示す図である。図1を参照すると、交流信号が両者間に印加される交流端子TA1および交流端子TA2と、整流された信号が両者間に出力される直流端子TDNおよび直流端子TDPと、NチャネルMOSトランジスタMN1と、PチャネルMOSトランジスタMP1と、NチャネルMOSトランジスタMN2と、PチャネルMOSトランジスタMP2とを備え、NチャネルMOSトランジスタMN1のソースおよびドレイン電極が、それぞれ交流端子TA1および直流端子TDNのどちらかに排他的に接続され、PチャネルMOSトランジスタMP1のソースおよびドレイン電極が、それぞれ交流端子TA1および直流端子TDPのどちらかに排他的に接続され、NチャネルMOSトランジスタMN2のソースおよびドレイン電極が、それぞれ交流端子TA2および直流端子TDNのどちらかに排他的に接続され、PチャネルMOSトランジスタMP2のソースおよびドレイン電極が、それぞれ交流端子TA2および直流端子TDPのどちらかに排他的に接続され、

20

【0041】

NチャネルMOSトランジスタMN1のゲート電極が、交流端子TA2に、容量C1を介して交流的に接続され、PチャネルMOSトランジスタMP1のゲート電極が、交流端子TA2に、容量C2を介して交流的に接続され、NチャネルMOSトランジスタMN2のゲート電極が、交流端子TA1に、容量C3を介して交流的に接続され、PチャネルMOSトランジスタMP2のゲート電極が、交流端子TA1に、容量C4を介して交流的に接続されている。

30

【0042】

さらに、バイアス回路102は、MOSトランジスタのゲート電極の直流的電位を設定する手段である。具体的には、NチャネルMOSトランジスタMN1のゲート電極は抵抗R1を介して直流端子TDNに接続され、PチャネルMOSトランジスタMP1のゲート電極は抵抗R2を介して直流端子TDPに接続され、NチャネルMOSトランジスタMN2のゲート電極は抵抗R3を介して直流端子TDNに接続され、PチャネルMOSトランジスタMP2のゲート電極は抵抗R4を介して直流端子TDPに接続されている。

【0043】

容量C1の容量値は、接続されるNチャネルMOSトランジスタMN1のゲート容量に比べて十分大きく、抵抗R1の抵抗値は、容量C1の容量値との積であるRC時定数 $R1 \cdot C1$ が入力される交流信号の周期Tより十分大きくなるように設定してある。

40

【0044】

その他の容量および抵抗、C2、R2、C3、R3、C4、R4についても同様である。

【0045】

容量C1は、節点N2とNチャネルMOSトランジスタMN1のゲート電極を、交流的に接続し、直流的に遮断するためのものである。

【0046】

抵抗R1は、NチャネルMOSトランジスタMN1のゲート電極を、他方の接続点である直流端

50

子TDNと直流的に接続し，直流的電位を直流端子TDNと同一にするためのものである。

【0047】

その他の容量および抵抗， C_2 ， R_2 ， C_3 ， R_3 ， C_4 ， R_4 についても同様である。

【0048】

交流入力信号は，結合容量 C_C を介して，交流端子TA1，TA2間に印加され，直流出力信号は，直流端子TDN，TDP間に出力される。

【0049】

直流端子TDN，TDP間には，出力信号の平滑のための平滑容量 C_S と，整流回路の負荷となる抵抗 R_L が接続される。ここでは，説明のため負荷は線形抵抗としたが，実際の応用では，整流回路によって駆動される負荷となり，一般的には非線形負荷である。たとえばパッシブ型RFIDの場合は，デコード回路やメモリ駆動回路等のベースバンド信号処理回路となる。

10

【0050】

直流端子TDNおよびTDPの端子電圧で代表される本整流回路における直流電位に対して，印加される交流信号は，平衡状態で入力される。つまり交流端子TA1，TA2に印加される交流信号は差動信号として入力される。

【0051】

NチャンネルMOSトランジスタMN1とPチャンネルMOSトランジスタMP1は，半波整流回路を構成し，NチャンネルMOSトランジスタMN2と，PチャンネルMOSトランジスタMP2は別の半波整流回路を構成している。並列接続されるそれらの半波整流回路は，差動入力される交流信号によってお互いに逆相で動作し，全体として全波整流回路を構成している。

20

【0052】

逆相の交流信号接点に交流的に接続される点では，従来例として示した図14のCMOS全波整流回路と同様であるが，本実施例では，その直流的電位を，交流信号接点の直流電位とは独立に設定することが可能となっている。

【0053】

ここでは，1GHzの交流信号を整流することを想定し，NチャンネルMOSトランジスタMN1とNチャンネルMOSトランジスタMN2は，共にゲート長0.5 μm ，ゲート幅10 μm ，しきい値電圧0.39Vであり，PチャンネルMOSトランジスタMP1と，PチャンネルMOSトランジスタMP2は，共にゲート長0.5 μm ，ゲート幅30 μm ，しきい値電圧-0.39Vである。結合容量 C_C は1pF，平滑容量 C_S は10pF，負荷抵抗 R_L は100k Ω である。トランジスタのゲートに交流信号を結合する容量 C_1 ， C_2 ， C_3 ， C_4 は1pF，直流的に結合する抵抗 R_1 ， R_2 ， R_3 ， R_4 は5M Ω である。

30

【0054】

本整流回路の動作を説明するために，NチャンネルMOSトランジスタMN1のゲート電極である節点N3の電位の時間波形の概略を，各節点電位の時間波形と共に図2に示す。定常動作状態における，節点N3の電位 V_{N3} （NチャンネルMOSトランジスタMN1のゲート電極の電位），節点N1の電位 V_{N1} （交流端子TA1の電位と同じ），節点N2の電位 V_{N2} （交流端子TA2の電位と同じ），直流端子TDPの電位 V_{TDP} の時間波形の概略を，直流端子TDNの電位（接地電位）を基準に示してある。

【0055】

入力される交流電圧の振幅はピーク値で V_{AC} である。

40

【0056】

直流端子TDPの電位 V_{TDP} は，整流作用，平滑容量 C_S の平滑作用により，電圧値 V_{DC} の，ほぼ一定電位の直流電位となっている。

【0057】

節点N1および節点N2の電位は，およそ $V_{DC}/2$ の，ほぼ等しい直流オフセット電位を有する逆相の交流信号となっている。つまり，同相電圧 $V_{DC}/2$ を有する差動交流信号となっている。

【0058】

一方，NチャンネルMOSトランジスタMN1のゲート電極の電位 V_{N3} は，直流バイアス用抵抗 R_1

50

、交流結合用容量C1の働きにより、ほぼ節点N2の電位と同じ振幅、位相で、直流電位が直流端子TDNの電位、つまりゼロの交流信号となっている。

【0059】

NチャンネルMOSトランジスタMN1の動作に着目する。時刻t1からt2の間は、節点N1の電位 V_{N1} は、直流端子TDNの接地電位に対して負であり、NチャンネルMOSトランジスタMN1の、直流端子TDNに接続される端子が動作上のドレイン電極になり、節点N1に接続される端子が動作上のソース電極となる。ドレイン・ソース間電圧は、 $-V_{N1}$ となる

【0060】

節点N3に接続されているNチャンネルMOSトランジスタMN1のゲート電極の電位は V_{N3} であり、時刻t1からt2の間は、 $V_{N3}-V_{N1}$ がゲート・ソース間電圧となる。

10

【0061】

およそ $V_{AC}/2$ の電圧がゲート・ソースに印加されていることになり、NチャンネルMOSトランジスタMN1が構成する整流ダイオード回路のON電圧を低減している。

【0062】

さらに、図2からも明らかなように、ドレイン・ソース間電圧に比例してゲート・ドレイン間電圧も変動するため、ダイオード回路に印加される順方向電圧のドレイン・ソース間電圧変化に対して2倍のゲインでゲート・ソース間電圧が変化することになる。つまり、ドレイン電極の電位を基準に、ソース電極の電位は負方向に、ゲート電極の電位は正方向に同じゲインで変化するので、ソース電極から見ると、ゲート電極の電位変化は、ダイオード回路に印加される順方向電圧であるドレイン電極電位変化の2倍のゲインとなる。したがって、ダイオード回路として見たときの順方向ON抵抗も、直流固定バイアスをゲート・ドレイン間に印加し、ダイオード回路に印加される順方向電圧に対して1倍のゲインでゲート・ソース間電圧が変化する従来例(図13相当)に比べて低減できる。

20

【0063】

一方、時刻t2からt3の間は、節点N1の電位は、直流端子TDNに対して正であり、NチャンネルMOSトランジスタMN1の、直流端子TDNに接続される電極が動作上のソース電極になり、節点N1に接続される電極が動作上のドレイン電極となる。

【0064】

節点N3に接続されているNチャンネルMOSトランジスタMN1のゲート電極の電位は V_{N3} であり、時刻t2からt3の間は、これがそのままゲート・ソース間電圧となる。

30

【0065】

ゲート・ソース間電圧となる V_{N3} は、ダイオード回路の逆方向電圧となる V_{N1} が増大すると共に減少し、時刻t2からt3の期間の半分以上の時間、負の電圧となる。

【0066】

NチャンネルMOSトランジスタMN1によるダイオード回路の逆方向動作時に、ゲート・ソース間電圧を低減することは、ダイオード回路の逆方向リーク電流を低減する上で非常に効果的である。

【0067】

従来例図14で示した差動構成CMOS全波整流回路では、NチャンネルMOSトランジスタMN1のゲート電極は、直接節点N2に接続されており、ゲート電極電位は V_{N2} そのものになる。順方向動作時のゲート・ソース間電位は大きい、逆方向動作時にもゲート・ソース間電位が大きいままであり、交流電圧振幅が大きい領域では、ダイオード回路の逆方向リーク電流が増大し、電力変換効率を劣化させることになる。

40

【0068】

図3は、本実施例におけるダイオード接続NチャンネルMOSトランジスタの電圧電流特性(本発明差動バイアスと表記)を、ゲート電極とドレイン電極を接続する通常のダイオード接続(ゼロバイアスと表記)の電圧電流特性(従来例図13に相当)と、ゲート・ドレイン間に一定の直流電圧を出力するバイアス回路を挿入した場合(0.5V固定バイアスと表記)の電圧電流特性(従来例特許文献1および非特許文献1に相当)、従来例図14におけるダイオード接続NチャンネルMOSトランジスタの電圧電流特性(従来差動バイアスと表記)

50

と比較したものを示している。

【0069】

NチャンネルMOSトランジスタのパラメータは、ゲート長0.5 μ m、ゲート幅10 μ m、しきい値電圧0.39Vである。固定バイアス電圧値としては0.5Vを印加した場合を示している。固定バイアス電圧印加により、ダイオード特性のON電圧は低減しているが、逆方向リーク電流は増大している。一方、本実施例の構成では、ON電圧は、ゼロバイアスの場合より低減して、ほぼ固定バイアス回路と同程度となっている。一方ON抵抗（順方向動作時の電圧・電流特性の傾きの逆数）は、本実施例の構成のほうが、ゼロバイアスや固定バイアスよりも小さくなっている。さらに、固定バイアスに比べて、本実施例の構成の逆方向リーク電流は、著しく減少している。わずかに原点付近に逆方向リーク電流のピークが見られるが、これは、ゲート・ソース間電圧が十分低減してないためであり、逆方向電圧の増大と共に、ゲート・ソース間電圧も低減するため、大きい逆方向電圧印加時には、逆方向リーク電流は非常に小さくなっている。ゲート・ソース間電圧が負になる領域では、ゼロバイアスよりもリーク電流が減少する。さらに、図14に示した従来例の差動バイアスでは、過剰なゲート・ソース間バイアスにより、逆方向リーク電流のピーク値が著しく増大していることが分かる。

10

【0070】

以上の動作は、NチャンネルMOSトランジスタMN1に限らず、PチャンネルMOSトランジスタMP1、NチャンネルMOSトランジスタMN2、PチャンネルMOSトランジスタMP2でも同様である。

【0071】

以上のように、本発明により、本実施例に示した整流回路では、MOSトランジスタを用いたダイオード回路のON電圧を低減し、ON抵抗を低減し、逆方向リーク電流を低減することが可能になった。これにより、従来例のNMOS半波整流回路に比べて低電力・低電圧振幅交流信号の整流が可能であるだけでなく、高い電力変換効率を実現できた。

20

【0072】

逆方向リーク電流低減の効果により、特に大きい直流電圧を出力する場合に、従来例図14では過剰なゲート・ソース間バイアスにより電力変換効率が著しく劣化していた問題を解決することができ、大きい交流入力、直流出力電圧領域でも高効率で整流動作が実現可能となった。

【実施例2】

30

【0073】

図4は本発明の第二の実施の形態による整流回路401の構成を示す図である。

【0074】

バイアス回路402は、MOSトランジスタのゲート電極の直流的電位を設定する手段である。具体的には、NチャンネルMOSトランジスタMN1のゲート電極は抵抗R1を介して直流端子TDPに接続され、PチャンネルMOSトランジスタMP1のゲート電極は抵抗R2を介して直流端子TDNに接続され、NチャンネルMOSトランジスタMN2のゲート電極は抵抗R3を介して直流端子TDPに接続され、PチャンネルMOSトランジスタMP2のゲート電極は抵抗R4を介して直流端子TDNに接続されている。

その他の回路構成は、実施例1と同じであるので、説明を省略する。

40

【0075】

本バイアス回路402においては、NチャンネルMOSトランジスタMN1およびNチャンネルMOSトランジスタMN2のゲート電極の直流的電位を、直流端子TDPの電位と等しくし、PチャンネルMOSトランジスタMP1およびPチャンネルMOSトランジスタMP2のゲート電極の直流的電位を、直流端子TDNの電位と等しくする。

【0076】

MOSトランジスタのゲート電極の直流バイアス値を、自身の整流回路の直流出力から取りうる最大値に設定する構成であり、特に低電力・低電圧振幅交流信号の整流を高い電力変換効率で実現することができる。

【実施例3】

50

【 0 0 7 7 】

図5は本発明の第三の実施の形態による整流回路501の構成を示す図である。バイアス回路502は、MOSトランジスタのゲート電極の直流的電位を設定する手段である。具体的には、NチャネルMOSトランジスタMN1のゲート電極は、抵抗R5およびR9を介してそれぞれ直流端子TDNおよび直流端子TDPに接続され、PチャネルMOSトランジスタMP1のゲート電極は、抵抗R6およびR10を介してそれぞれ直流端子TDPおよび直流端子TDNに接続され、NチャネルMOSトランジスタMN2のゲート電極は、抵抗R7およびR11を介してそれぞれ直流端子TDNおよび直流端子TDPに接続され、PチャネルMOSトランジスタMP2のゲート電極は、抵抗R8およびR12を介してそれぞれ直流端子TDPおよび直流端子TDNに接続されている。

【 0 0 7 8 】

その他の回路構成は、実施例1と同じであるので、説明を省略する。

【 0 0 7 9 】

抵抗R5、R9からなる直列接続により、直流端子TDPとTDN間の直流電圧が抵抗比で分割され、NチャネルMOSトランジスタMN1のゲート電極に直流バイアス電圧として供給されている。

【 0 0 8 0 】

例えば、 $R5=R9$ とすると、NチャネルMOSトランジスタMN1のゲート電極の電位は直流端子TDPと直流端子TDNとの電位差である直流出力電圧 V_{DC} の半分となり、特性上は、従来例図14の動作と、ほぼ等価な動作となる。

【 0 0 8 1 】

また、R9を無限大の抵抗値とする（つまりR9を実質的に取り払う）と、自明の通り、NチャネルMOSトランジスタMN1のゲート電極の電位は直流端子TDNの電位と等しくなり、動作上は、実施例1と同等の動作が実現される。

【 0 0 8 2 】

同様に、R5を無限大の抵抗値とする（つまりR5を実質的に取り払う）と、NチャネルMOSトランジスタMN1のゲート電極の電位は直流端子TDPの電位と等しくなり、動作上は、実施例2と同等の動作が実現される。

【 0 0 8 3 】

このように、抵抗R5、R9の値を適切に設定することにより、NチャネルMOSトランジスタMN1のゲート電極の直流電位を、直流端子TDPの電位と直流端子TDN間の電位の間で任意に設定することが出来る。

【 0 0 8 4 】

抵抗R6とR10、R7とR11、R8とR12からなる直列接続によるバイアス回路も、同様である。

【 0 0 8 5 】

電力変換効率の面で、MOSトランジスタのゲート電極に印加する直流バイアス電圧値は、MOSトランジスタのしきい値電圧や、整流回路の負荷の大きさなどにより最適値が異なるが、本実施例のバイアス回路により、最適な直流バイアス値を設定できるため、整流回路に用いるMOSトランジスタの特性が異なる場合や、整流回路の用途が異なる場合なども、最適な電力変換特性を有する整流回路が実現可能となった。

【実施例4】

【 0 0 8 6 】

図6は本発明の第四の実施の形態による整流回路601の構成を示す図である。バイアス回路602は、MOSトランジスタのゲート電極の直流的電位を設定する手段である。具体的には、抵抗R13と、ダイオード接続されたNチャネルMOSトランジスタMN3が、節点N4において直列接続された回路と、抵抗R14と、ダイオード接続されたPチャネルMOSトランジスタMP3が、節点N5において直列接続された回路が、直流端子TDPと直流端子TDN間に挿入されている。節点N4は、抵抗R1および抵抗R3を介して、それぞれ、NチャネルMOSトランジスタMN1およびNチャネルMOSトランジスタMN2に接続されている。同様に、節点N5は、抵抗R2および抵抗R4を介して、それぞれ、PチャネルMOSトランジスタMP1およびPチャネルMOS

10

20

30

40

50

トランジスタMP2に接続されている。

【0087】

その他の回路構成は、実施例1と同じであるので、説明を省略する。

【0088】

ダイオード接続されたMOSトランジスタは、電圧電流特性が非線形性となり、単純な固定抵抗による抵抗分割に比べて、より高度なバイアス電圧設定が可能となる。

【0089】

具体的には、直流端子TDPの電位がNチャネルMOSトランジスタMN3のしきい電圧以下の場合には、MOSトランジスタMN3はオフの状態であり、抵抗値はほぼ無限大となる。この場合、節点N4の直流電位は、ほぼ直流端子TDPの電位と等しくなる。一方、直流端子TDPの電位が、NチャネルMOSトランジスタMN3のしきい電圧以上になると、NチャネルMOSトランジスタMN3がオンしはじめ、徐々にダイオード接続されたNチャネルMOSトランジスタMN3の実効的な抵抗値が小さくなる。したがって、直流端子TDPの電位がさらに上昇しても、節点N4の電位の上昇は緩やかになり、NチャネルMOSトランジスタMN3のしきい電圧よりわずかに大きい電圧値でほぼ一定に推移する。

10

【0090】

抵抗R14と、ダイオード接続されたPチャネルMOSトランジスタMP3からなる回路も同様に動作する。

【0091】

つまり、直流端子TDPの電位、つまり、整流回路の直流出力電圧が小さい範囲では、ほぼ実施例2に示した回路の動作と等価で、低い交流電力・電圧においても高効率の整流が可能となった。

20

【0092】

整流回路の直流出力電圧が大きくなると、ほぼ一定電位のバイアスがMOSトランジスタに印加されることになり、直流出力電圧の上昇に伴う過大な直流バイアス印加が抑制され、電力変換効率の低下が防止できる。

【0093】

つまり、広い交流電力・電圧範囲において、高効率な整流が実現できた。

【0094】

ここまで説明した実施例においては、MOSトランジスタのゲート電極の直流電位を設定する抵抗R1、R2、R3、R4には交流電圧が印加され、わずかながら交流電流が流れるため電力消費が発生する。しかしながら、各抵抗値が十分大きく設定してあれば、それによる消費電力は、整流回路の電力変換効率を議論する上で無視できるレベルに抑えることが可能である。

30

【0095】

実施例においては、MOSトランジスタのゲート電極の直流電位を設定するバイアス回路として、抵抗R1、R2、R3、R4を用いた場合を示したが、入力する交流信号の周波数において、十分大きいインピーダンスを示し、直流的にインピーダンスが小さい素子であれば、他の素子でも良く、例えばインダクタンスを用いても良い。インダクタンスを用いた場合、インダクタンス自身の電力消費はさらに小さくなる。

40

【0096】

さらに、バイアス回路として、抵抗の代わりに、たとえばダイオード接続したMOSトランジスタなども利用可能である。ただし、基板電極を持たない薄膜トランジスタ(TFT)や完全空乏型SOIトランジスタを使う場合は特に問題ないが、基板電極を有するトランジスタも用いる場合は、基板電極とソースあるいはドレイン電極間に形成される寄生PNダイオードの存在に気をつける必要がある。

【0097】

また、実施例で示した整流回路では、NチャネルMOSトランジスタMN1の基板電極は直流端子TDNに、PチャネルMOSトランジスタMP1の基板電極は直流端子TDPに、NチャネルMOSトランジスタMN2の基板電極は直流端子TDNに、PチャネルMOSトランジスタMP2の基板電極は

50

直流端子TDPに接続してあるが、これは、順方向動作時に並列動作する寄生基板・ソース間PN接合ダイオードを利用するとともに、順方向動作時の正極性の基板バイアス効果によるしきい値低減効果を得るためであり、ダイオード動作の本質的にはこれに限定されない。たとえば、NチャンネルMOSトランジスタMN1の基板電極を節点N1に接続してもかまわない。

【0098】

さらに、整流素子としてバルクMOSトランジスタを用いた実施例を示したが、バルクMOSトランジスタの代わりに薄膜トランジスタ(TFT)や完全空乏形のSOIトランジスタを用いてもよい。その場合、基板電極そのものが無いので基板電極は接続する必要は無い。基板への電流注入の影響を除外できるためむしろ効果的である。

10

【0099】

また、交流入力信号は、結合容量 C_c を介して、交流端子TA1, TA2間に印加される例を示したが、RFID応用の場合などで、交流入力端子にダイポールアンテナを直接接続して用いる場合など、交流入力端子に同相直流電圧が印加されても問題ない場合は結合容量 C_c は省略可能である。

【0100】

説明で述べたように、交流入力端子には平衡給電が望ましいが、モノポールアンテナを接続する場合など、2つの交流端子が、整流回路の直流電位に対して大きく異なる度合いで結合する非平衡給電の場合でも、整流回路およびその直流出力が接続される回路全体が、接地点に対して小さい(対地結合が弱い)場合は問題ない。そうでない場合であっても、

20

【0101】

さらに、実施例では、直流バイアス設定のために、整流回路自ら生成した直流電圧(直流端子TDPとTDNの電位)を基準に用いる形式を示したが、他の方法でもよい。

【0102】

たとえば、抵抗分割原理を用いず、容量 C_1, C_2, C_3, C_4 だけでMOSトランジスタのゲート電極を電氣的にフローティング状態とし、そこに電荷を注入したり引き抜いたりする制御機構を組み合わせて、MOSトランジスタの直流バイアス値を制御する手法を用いてもよい。

【0103】

また、自身の整流回路以外の外部電源を用いてもよい場合などは、外部独立電源によるバイアス回路を用いてもよい。

30

【0104】

さらに、図7に示すように、自身の整流回路以外に別の整流回路を用いてバイアス電圧を設定しても良い。以下に図7の回路の構成と動作を説明する。

【0105】

701は負荷 R_L に整流直流電力を出力する主整流回路であり、401は実施例2と同じ構成の副整流回路で、主整流回路701を構成するMOSトランジスタのゲート電極の直流的電位を設定する手段である。

【0106】

交流信号は、結合容量 C_c を介して、主整流回路および副整流回路の交流端子TA1およびTA2に接続されている。

40

【0107】

副整流回路401の直流出力は、平滑容量 C_s' により平滑され、高電位側出力は、主整流回路のNチャンネルMOSトランジスタMN1, MN2のゲート電極の直流電位を設定し、低電位側出力は、主整流回路のPチャンネルMOSトランジスタMP1, MP2のゲート電極の直流電位を設定する。

【0108】

その他の構成は前述の実施例と同じである。

【0109】

50

本整流回路における副整流回路401が実施例2の場合と異なるのはその出力である。本整流回路においては、負荷となる抵抗が接続されておらず、出力端は高インピーダンスであり、直流的には無負荷状態である。

【0110】

したがって、副整流回路401の直流出力は、実施例2の場合に比べて、小さい交流入力電圧でも高い電圧となる。

【0111】

その高い電圧を主整流回路のMOSトランジスタのゲート電極の直流電位を設定する直流バイアスとして用いることで、特に小さい交流電力・電圧時の効率を増大することが可能になった。

10

【0112】

副整流回路の交流入力は、主整流回路と共有する方式を示したが、独立に設けても良いことは言うまでもない。例えば、主整流回路と副整流回路で、独立の結合容量Ccを用いて交流を入力しても良いし、RFID応用などでは、主整流回路と副整流回路で独立のマッチング回路を介してアンテナに接続してもよい。さらには、それぞれ独立のアンテナを用いても良い。

【0113】

図8は、本発明の実施例1, 2, 3, 4による整流回路の電力変換効率を、従来技術によるNMOS半波整流回路および差動構成CMOS全波整流回路(図14)と比較したものである。交流信号入力電力を横軸に、交流から直流への電力変換効率を縦軸に示している。

20

【0114】

NチャネルMOSトランジスタMN1, MN2, MN3のパラメータは、ゲート長0.5 μ m, ゲート幅10 μ m, しきい値電圧0.39Vである。PチャネルMOSトランジスタMP1, MP2, MP3のパラメータは、ゲート長0.5 μ m, ゲート幅30 μ m, しきい値電圧0.39Vである。容量や抵抗のパラメータは、 $C_C=1$ pF, $C_S=10$ pF, $C_1=C_2=C_3=C_4=1$ pF, $R_1=R_2=R_3=R_4=R_5=R_6=R_7=R_8=5$ M Ω , $R_9=R_{10}=R_{11}=R_{12}=15$ M Ω , $R_{13}=R_{14}=5$ M Ω , $R_L=100$ k Ω である。

【0115】

従来技術によるNMOS半波整流回路では、一樣に交流入力電力の上昇と共に効率が向上している。しかし、例えば入力交流電力が-25dBmのとき、変換効率は20%程度と低く、低入力電力領域では効率が悪いことが分かる。これは、NチャネルMOSダイオードのしきい値電圧に対して交流入力電圧振幅が十分でなく、NチャネルMOSトランジスタによるダイオード回路が効率よく働いていないためである。

30

【0116】

一方、従来技術による差動構成CMOS全波整流回路(図14)の整流回路は、低入力電力領域でも効率高く、例えば、入力交流電力が-25dBmのとき、変換効率は70%以上を実現している。これは、MOSトランジスタのゲート電極の交流差動駆動によりダイオード回路のON電圧とON抵抗が実効的に低減できたためである。

【0117】

しかし、入力交流電力が-25dBmより大きくなると、入力交流電力の増大と共に変換効率は劣化している。これは、入力交流電力の増大と共に直流出力電圧 V_{DC} も増大し、およそ $V_{DC}/2$ の電位となるMOSトランジスタのゲート電極直流バイアス電圧が、MOSトランジスタのしきい値電圧に対して過剰になり、MOSトランジスタよりなるダイオード回路の逆方向リーク電流が増大して損失が増大したためである。

40

【0118】

実施例1, 2, 3, 4の整流回路も同様の理由により効率の特性にピークが存在するが、従来技術によるNMOS半波整流回路に比べて、低入力電力領域で格段に優れた電力変換効率を実現している。

【0119】

さらに、変換効率がピークを示す入力電力値は、それぞれの実施例により変化している。

50

【 0 1 2 0 】

実施例 1 および 3 で、変換効率がピークを示す入力電力値が、従来技術による差動構成 CMOS 全波整流回路（図 1 4）に対して、大きい方向に移動しているのは、MOS トランジスタのゲート電極直流バイアス電圧値が、出力直流電圧に比べて小さい割合に設定されているためである。ピーク変換効率値にも、ピーク位置の高電力側シフトと共にわずかに増大傾向が見られるが、これは、負荷に供給すべき電力に対して、ダイオード回路の逆方向リーク電流による損失の割合が相対的に減少するためである。

【 0 1 2 1 】

一方実施例 2 では、ピーク位置が低入力電力側にシフトしており、低い入力電圧範囲で高効率に整流可能であることを示している。これは、自身の整流回路の出力を用いて MOS トランジスタのゲート電極直流バイアスを設定する形式においては、最大のバイアス電位を設定する回路構成であるためである。従来技術による差動構成 CMOS 全波整流回路（図 1 4）に対して、より低い入力交流電力範囲で高効率の整流が実現できた。

【 0 1 2 2 】

さらに、実施例 4 では、変換効率がピークを示す入力電力値そのものは、従来技術による差動構成 CMOS 全波整流回路（図 1 4）とほとんど変化はないが、最大効率そのものは高く、また、広い入力電力範囲で高効率を実現している（従来技術による差動構成 CMOS 全波整流回路（図 1 4）の変換効率をすべての入力交流電力範囲で上回っている）。これは、MOS トランジスタと抵抗を組み合わせた直流バイアス電圧設定機構の非線形性により、出力電圧値に応じて適応的に直流バイアスが設定される機構の効果である。

【 0 1 2 3 】

変換効率が最大値を示す時点での最大変換効率と、そのときの交流入力電力値は、従来技術による差動構成 CMOS 全波整流回路では、71%、-25dBm、実施例 1 では、85%、-18dBm、実施例 2 では、64%、-29dBm、実施例 3 では、80%、-23dBm、実施例 4 では、77%、-24dBm であった。

【 0 1 2 4 】

以上のように、本発明によれば、高い電力変換効率を、広い交流入力電力範囲において実現できていることが分かる。

【 0 1 2 5 】

なお、電力変換効率がピークを示した後、さらに交流入力電力を増大すると、電力変換効率は減少するが、直流出力電圧は減少することなく緩やかに増大し続ける。

【 0 1 2 6 】

この電力変換効率がピークを持つ特性は、電力変換効率が最大値を示す時点での直流出力電圧が、駆動すべき負荷に対して必要十分な電圧であれば、むしろ望ましい特性である。なぜならば、通常の電力変換回路では、過大な交流入力電力に対して直流出力電圧や電力を制限して負荷回路を過大な電圧や電力から保護する保護回路や制限回路を設けなければならないが、本発明の整流回路は、ある交流入力電力以上では、自動的に整流回路の電力変換効率が減少し、過大な直流電圧や電力が出力されるのを自立的に制限するため、保護回路や制限回路が不要になったり、簡単な回路で済ませることが出来るなどの利点があるからである。

【 実施例 5 】

【 0 1 2 7 】

図 9 は本発明の第五の実施の形態による整流回路の構成を示す図である。図 9 を参照すると、実施例 1 で示した整流回路 101 が二つ用いられ、二段構成の整流回路となっている。第一段目の整流回路は、直流端子 TDN が接地され、直流端子 TDP1 は、平滑容量 C_s と接続されると共に、第二段目の整流回路の直流端子 TDN に接続され、第二段目の整流回路の直流端子 TDP1 は、平滑容量 C_s と負荷抵抗に接続されている。つまり二つの整流回路は、直流端子を介して直列接続されている。

【 0 1 2 8 】

一方、第一段目の整流回路の交流端子 TA1 および TA2 は、直接交流信号が印加されている

10

20

30

40

50

。第二段目の整流回路の交流端子TA1およびTA2には、結合容量 C_C を介して同じ交流信号が印加されている。つまり、二つの整流回路は、交流端子を介して交流的に並列接続されている。

【0129】

各々の整流回路は、結合容量 C_C の有る無しの差はあるが、基本的に交流信号に対して同様に機能する。第一段目の整流回路の交流端子の直流電位と第二段目の交流端子の直流電位には差があるため、第一段目の交流端子と第二段目の交流端子を直接並列接続することは出来ない。結合容量 C_C は、直流電位差を遮断し、交流信号を伝達するためのものである。

【0130】

実施例1で示したとおり、直流端子TDNとTDP間に、交流信号を整流して得られた直流信号が出力される。それらの直流信号は、直流端子間の直列接続により直流的に加算され、一段の直流出力電圧より高い出力電圧が得られる。

【0131】

実施例1, 2, 3, 4で述べたように、本発明の整流回路においては、整流ダイオードとして働くMOSトランジスタのゲート電極の交流差動駆動と直流バイアス電圧により高い電力変換効率を得ている。直流バイアス電圧には、トランジスタのしきい値電圧や負荷の大きさなどのパラメータで決まる最適値が存在し、小さければ十分な効率を得られず、大きすぎても、逆方向リーク電流の増大により効率が劣化する。本発明の整流回路における実施例で説明した例では、バイアス電圧値は、整流回路自らが生成した直流電位から生成するため、ゼロから直流出力電位までの間であれば、実施例で示したようにバイアス回路のパラメータ設定により、ある程度自由に設定できる。

【0132】

整流回路の直流出力電圧の大きい領域で大きい電力変換効率を実現するためには、直流バイアス電圧値は、その絶対値が小さい方が良いが、最低でも、実施例1で示した場合のゼロ直流バイアスの場合である。

【0133】

したがって、より高い直流出力電圧をより高い変換効率で得る整流回路は、これまでの実施例で示したような回路単独では困難である。

【0134】

そこで、本実施例のように、整流回路を直流的に直列接続すると、各々の整流回路の直流出力電圧は低く抑えながら、全体としては高い電圧を出力することが出来る。

【0135】

各整流回路の出力電圧は低く抑えられているため、実施例1で示した回路を用いることによって、高い電力変換効率を実現できる。

【0136】

したがって、高い電力変換効率と高い直流出力電圧を両立することが出来た。

【0137】

ここで、個々の整流回路として、実施例1で示した整流回路101を用いたが、目標とする直流出力電圧に応じて他の整流回路を用いても良いことは言うまでもない。

【0138】

また、本実施例では、二段構成について示したが、三段以上の段数でもよいことは言うまでもない。

【0139】

また、第一段目の交流端子には交流信号が直接入力されているが、結合容量 C_C を介して入力してよい。交流信号源が、直流同相電圧を許容しない場合には、必須である。

【0140】

第二段目の直流端子TDPに接続された平滑容量 C_C のもう一方の端子は、接地電位である第一段目の整流回路の直流端子TDNに接続されているが、他の直流電位端子でも良く、例えば、第二段目の直流端子TDNに接続しても良い。

10

20

30

40

50

【 0 1 4 1 】

各々の整流回路内のバルクMOSトランジスタの基板電極は、それぞれの整流回路の直流端子に接続する場合が一般的であるが、他の接続方法もある。例えば、本実施例中のすべてのNチャネルMOSトランジスタの基板電極は、第一段目の整流回路の直流端子TDNに接続したり、すべてのPチャネルMOSトランジスタの基板電極は、第二段目の整流回路の直流端子TDPに接続しても良い。さらに、バルクMOSトランジスタの代わりに薄膜トランジスタ（TFT）や完全空乏形のSOIトランジスタを用いてもよい。その場合、基板電極そのものが無いので基板電極は接続する必要は無い。

【 0 1 4 2 】

図10は、本発明の実施例5および、実施例1, 2, 3, 4による整流回路の電力変換効率を、従来技術によるNMOS半波整流回路および差動構成CMOS全波整流回路（図14）と比較したものである。直流出力電圧を横軸に、交流から直流への電力変換効率を縦軸に示している。

10

【 0 1 4 3 】

実施例1の整流回路は、直流出力電圧1.1V付近で、最大電力変換効率85%を実現している。しかし、この整流回路で直流出力電圧2V以上を得ようとする、従来技術のNMOS半波整流回路よりも電力変換効率が劣化してしまっている。

【 0 1 4 4 】

ところが、実施例1で示した整流回路を二段構成で用いた本実施例5の整流回路では、電力変換効率が最大値を示す直流出力電圧値が高電圧側にシフトしている。直流出力電圧範囲0Vから3V以上の範囲にわたって、従来技術のNMOS半波整流回路よりも高電力変換効率を実現している。

20

【 0 1 4 5 】

図10を参照すると、必要とされる、直流出力電圧範囲において、本発明のどの形態をとれば良いか一目瞭然である。例えば、直流出力電圧が0.3V以下であれば実施例2の形態、直流出力電圧が0.3V以上0.55V以下であれば実施例4の形態、直流出力電圧が0.55V以上0.75V以下であれば実施例3の形態、直流出力電圧が0.75V以上1.65V以下であれば実施例1の形態、直流出力電圧が1.65V以上であれば実施例5の形態が最適であることが分かる。ただし、以上の結果は、負荷が単純な固定抵抗100k の場合である。負荷が変われば、最適な回路形態の範囲は変化する。

30

【 0 1 4 6 】

ただし、どのような負荷であろうとも、また、どのような要求直流出力電圧であろうとも、一般的に利用される範囲であれば、本発明による整流回路の形態のいずれかを適用すれば、従来技術による整流回路より優れた電力変換効率を得られることは明らかである。

【産業上の利用可能性】

【 0 1 4 7 】

本発明に係る整流回路は、パッシブ型RFIDタグにおいてアンテナで受信する高周波微弱信号から直流電力を取り出したり、機械・電気結合系を利用して微弱な振動エネルギーなどの機械的エネルギーを交流電力に変換した後に直流電力に変換したりする場合等の様々な分野に適用できる。

40

【図面の簡単な説明】

【 0 1 4 8 】

【図1】実施例1におけるCMOS差動能動バイアス全波整流回路の回路図である。

【図2】実施例1の整流回路の電圧信号波形の概略である。

【図3】ダイオード接続NMOSトランジスタの電圧電流特性である。

【図4】実施例2におけるCMOS差動能動バイアス全波整流回路の回路図である。

【図5】実施例3におけるCMOS差動能動バイアス全波整流回路の回路図である。

【図6】実施例4におけるCMOS差動能動バイアス全波整流回路の回路図である。

【図7】副整流回路を用いたCMOS差動能動バイアス全波整流回路の回路図である。

【図8】実施例1, 2, 3, 4における整流回路の電力変換効率を示す図である。

50

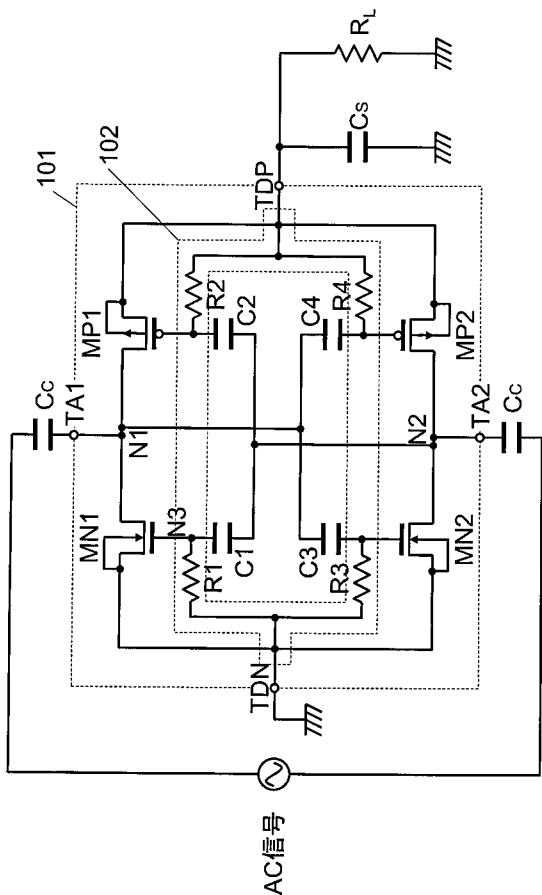
- 【図9】実施例5におけるCMOS差動能動バイアス整流回路の回路図である。
- 【図10】実施例1, 2, 3, 4, 5における整流回路の電力変換効率を示す図である。
- 【図11】半波整流回路の回路図である。
- 【図12】整流ダイオードのバイアス状態を示す概念図である。
- 【図13】従来技術によるNMOS半波整流回路の回路図である。
- 【図14】従来技術による差動構成CMOS全波整流回路の回路図である。

【符号の説明】

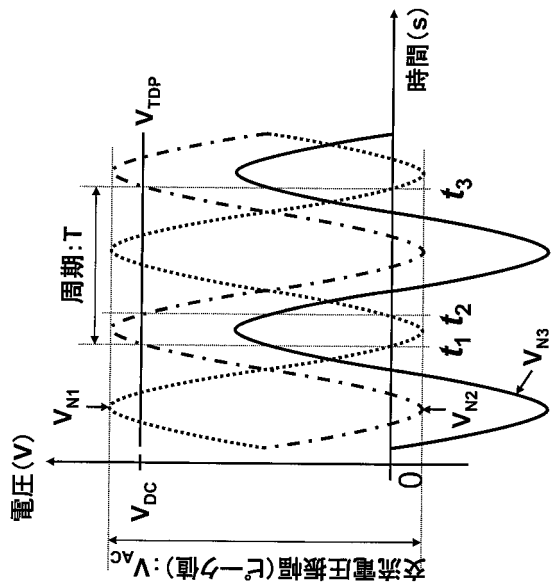
【0149】

- 101, 401, 501, 601, 701 整流回路
- 102, 402, 502, 602 バイアス回路

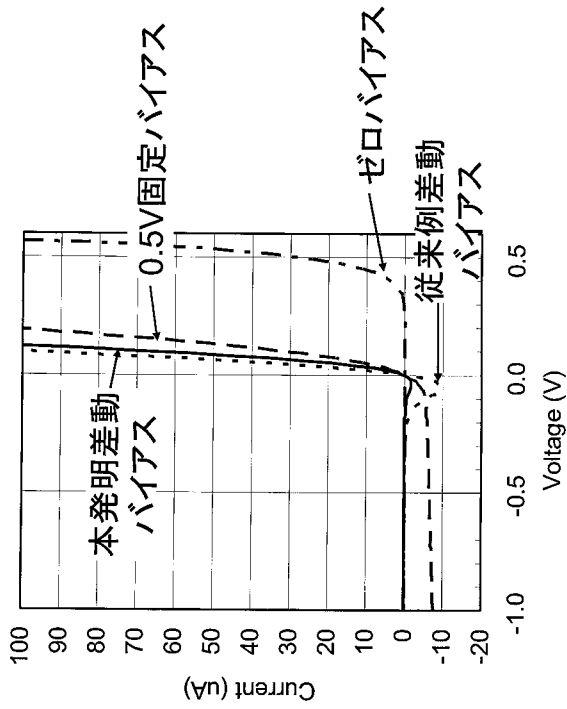
【図1】



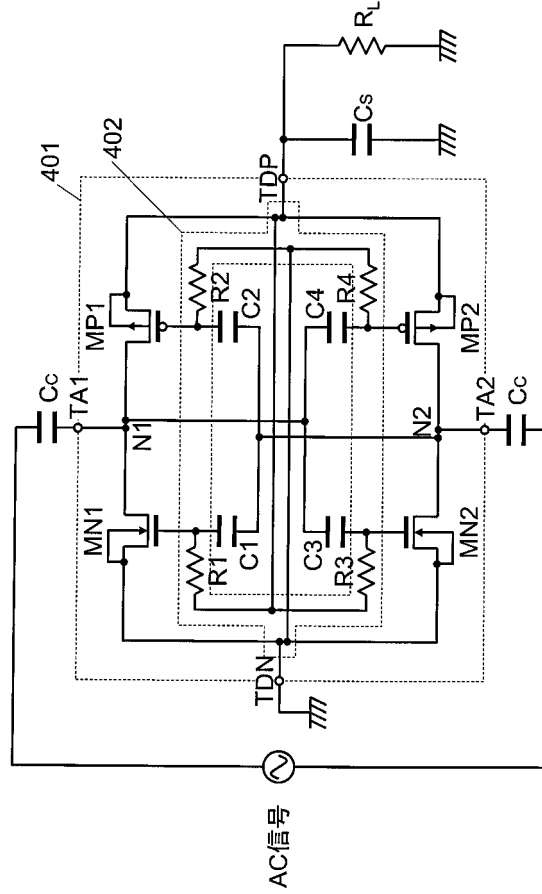
【図2】



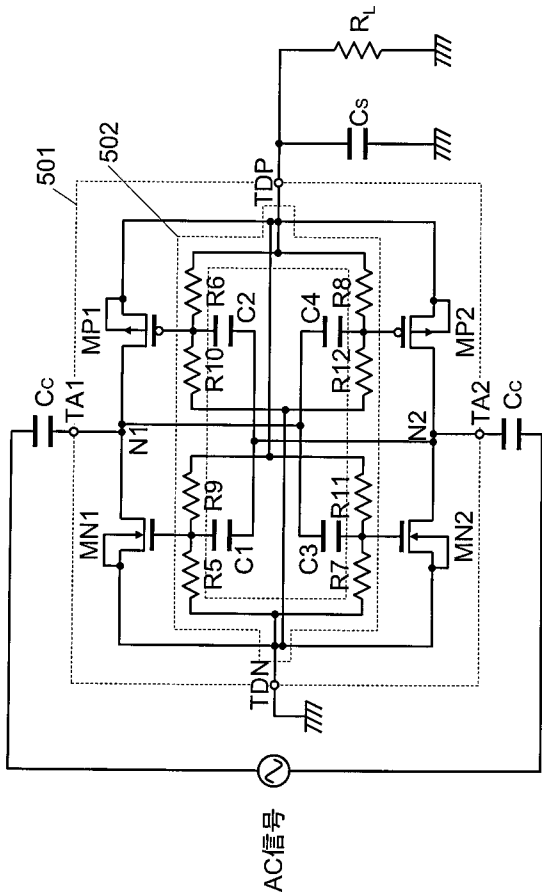
【 図 3 】



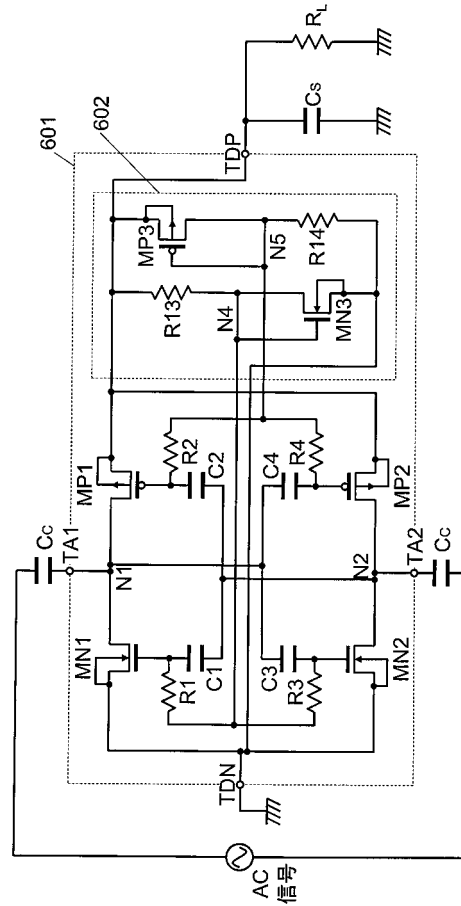
【 図 4 】



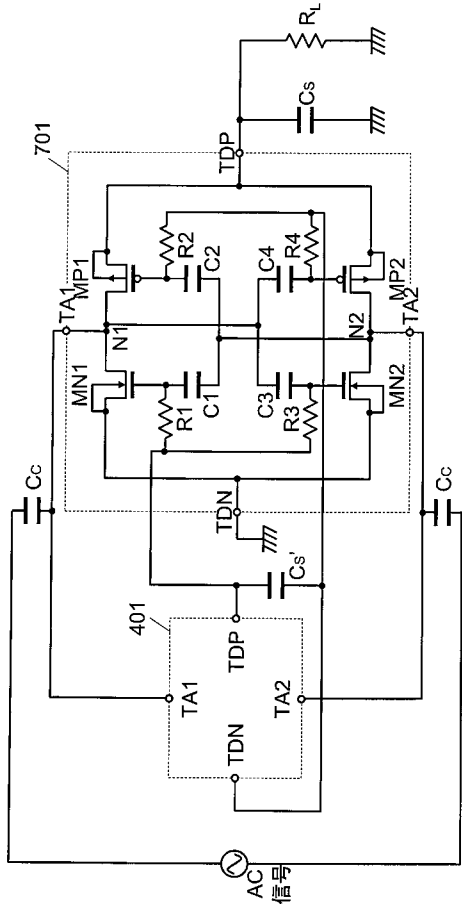
【 図 5 】



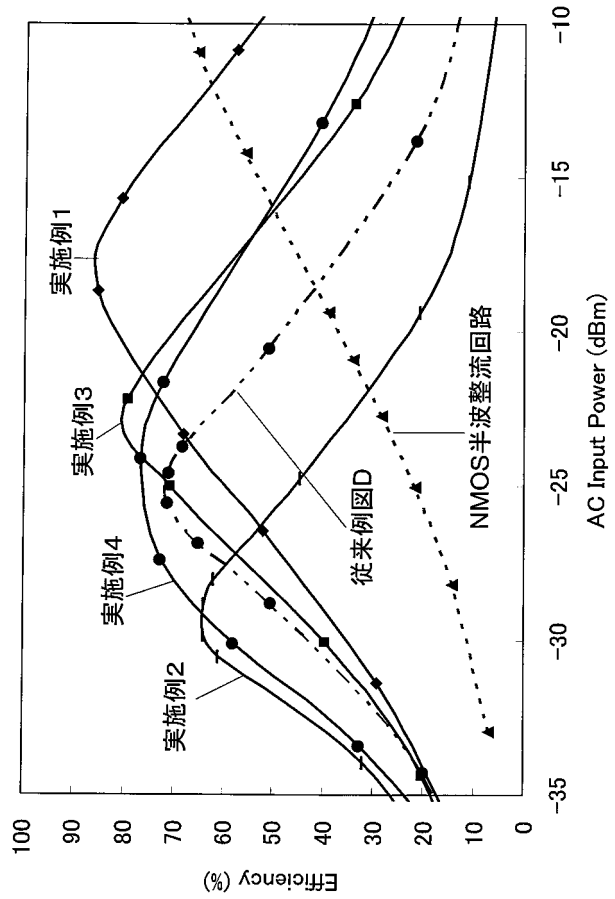
【 図 6 】



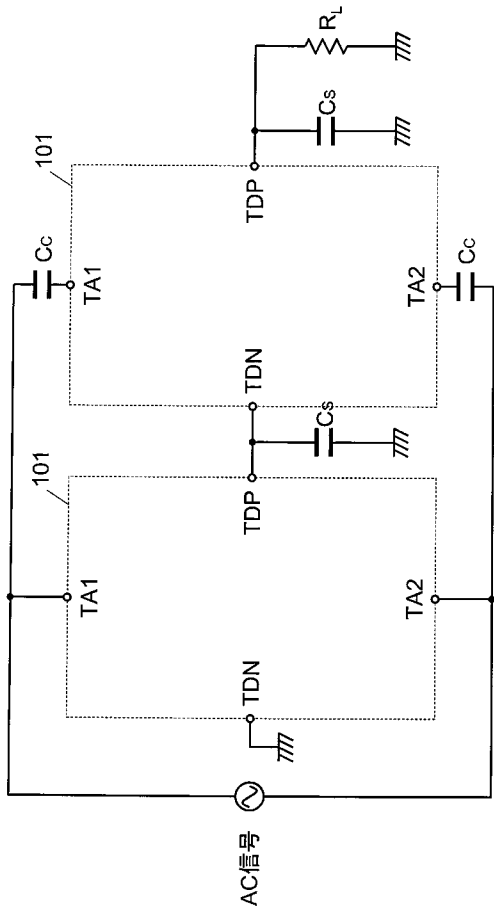
【 図 7 】



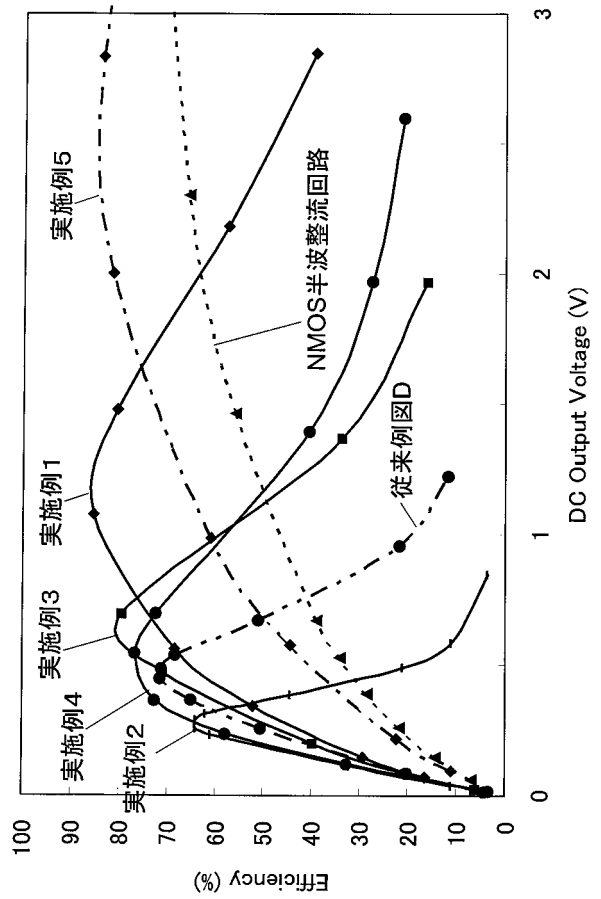
【 図 8 】



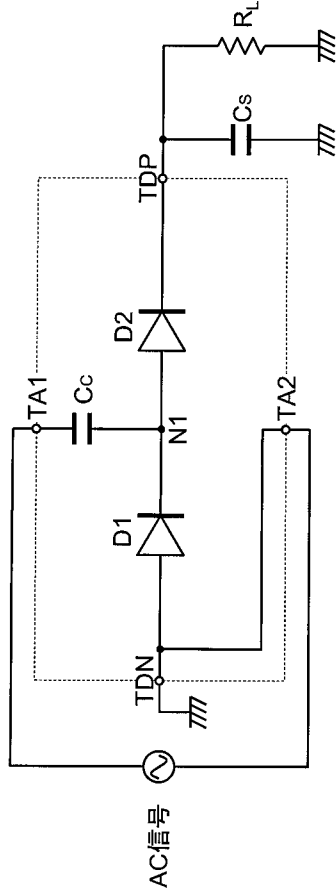
【 図 9 】



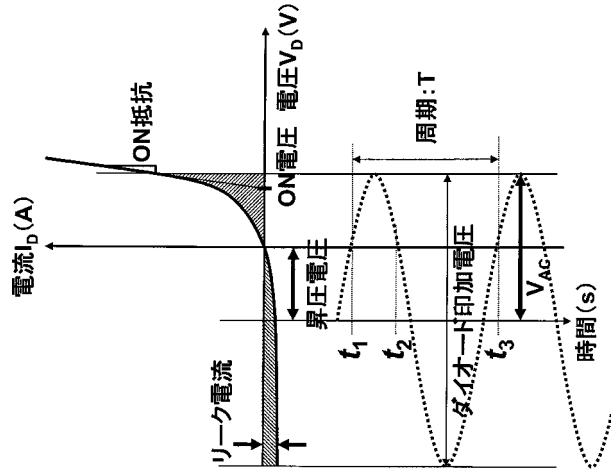
【 図 10 】



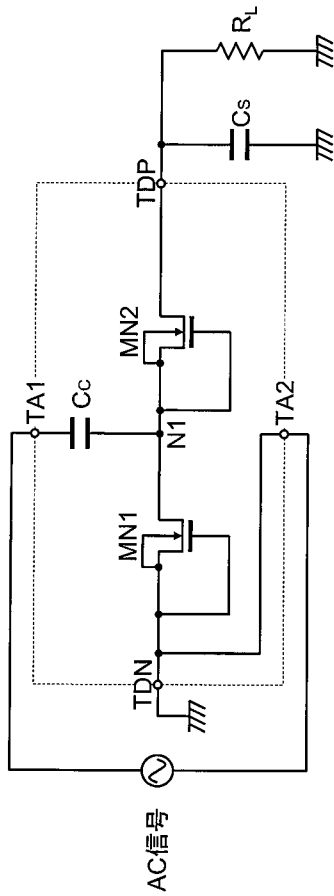
【 図 1 1 】



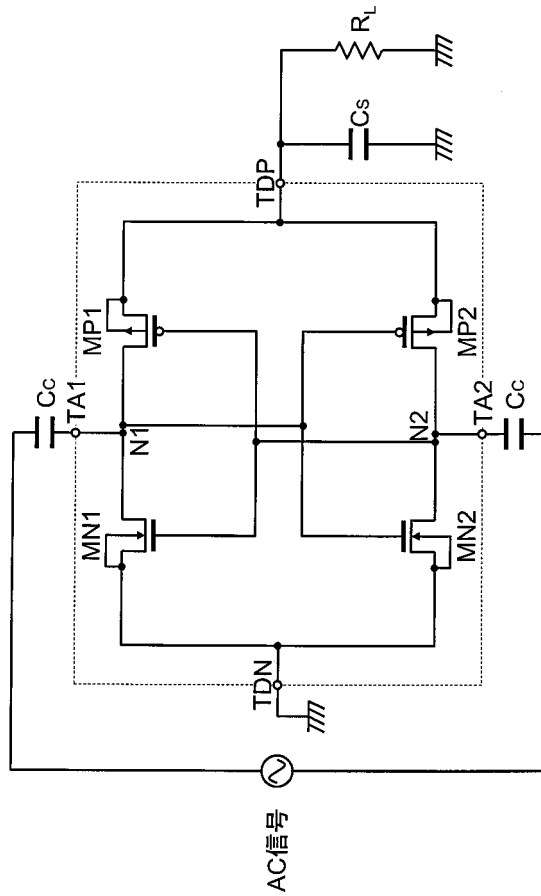
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(72)発明者 伊藤 隆司

宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

審査官 天坂 康種

(56)参考文献 特開昭63-003655(JP,A)
特開2003-092885(JP,A)
特開2006-034085(JP,A)
特開平06-046563(JP,A)
特開2003-309978(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/12
H02M 7/21