

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-311741

(P2006-311741A)

(43) 公開日 平成18年11月9日(2006.11.9)

(51) Int. Cl. F I テーマコード (参考)
H02M 3/155 (2006.01) H02M 3/155 A 5H730

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号	特願2005-132931 (P2005-132931)	(71) 出願人	304028726 国立大学法人 大分大学 大分県大分市大字旦野原 700番地
(22) 出願日	平成17年4月28日 (2005. 4. 28)	(72) 発明者	西嶋 仁浩 大分県大分市旦野原 700番地 大分大学 構内宿舎 1-23
		Fターム(参考)	5H730 AA02 AA04 AA14 AS05 AS19 BB13 DD04 EE03 EE07 EE59 FD01 FG05

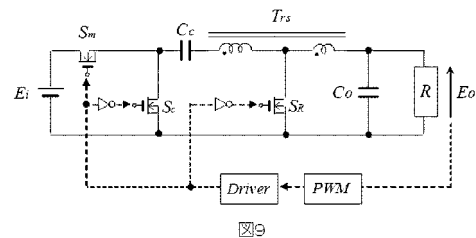
(54) 【発明の名称】 タップインダクタ降圧形コンバータ

(57) 【要約】 (修正有)

【課題】従来のタップインダクタ降圧形コンバータに比べて、降圧比が大きく取れ、部品を小型化や部品点数の削減が可能で、高効率、低ノイズのコンバータを提供する。

【解決手段】従来のタップインダクタ降圧形コンバータと異なり、本発明では、クランプコンデンサCcを1次巻線と直列に挿入し、クランプスイッチにより、タップインダクタの電流を転流させる。これにより、漏れインダクタンスによるスイッチングサージが抑制される。さらに、従来方式の動作が昇降圧形コンバータの動作に似ているのに対し、本発明のコンバータは、降圧形コンバータに近い動作と成るため、より低い出力電圧を生成でき、制御の安定度も高い。さらに、主スイッチとクランプスイッチに低い耐圧の素子を使用でき、インダクタの重畳電流が少なく、駆動回路に既存のICが利用できるため、回路を小型で部品点数の少ないものに出来る。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

入力電源と負荷の間に、主スイッチと、整流素子と、第 1 及び第 2 巻線を含むタップインダクタと、出力平滑コンデンサと、を備えたタップインダクタ降圧形コンバータにおいて、前記 1 次巻線にクランプコンデンサを直列接続し、これらと並列又は又は主スイッチの一端と入力電源の一端との間にクランプスイッチを接続したことを特徴とするタップインダクタ降圧形コンバータ。

【請求項 2】

入力電源と負荷の間に、主スイッチと、整流素子と、第 1 及び第 2 巻線を含むタップインダクタと、出力平滑コンデンサと、を備えたタップインダクタ降圧形コンバータにおいて、前記 1 次巻線にクランプコンデンサを直列接続し、これらと並列に又は主スイッチの一端と入力電源の一端との間にクランプスイッチを接続すると共に、前記 2 次巻線を前記出力平滑コンデンサと直列接続し、この両端に前記整流素子を並列接続したことを特徴とするタップインダクタ降圧形コンバータ。

10

【請求項 3】

入力電源と負荷の間に、主スイッチと、整流素子と、第 1 及び第 2 巻線を含むタップインダクタと、出力平滑コンデンサと、を備えたタップインダクタ降圧形コンバータにおいて、前記 1 次巻線にクランプコンデンサを直列接続し、これらと並列に又は主スイッチの一端と入力電源の一端との間にクランプスイッチを接続すると共に、前記 2 次巻線を前記整流素子と直列接続し、この両端に前期出力平滑コンデンサを並列接続したことを特徴とするタップインダクタ降圧形コンバータ。

20

【発明の詳細な説明】

【技術分野】

【0001】

マイクロプロセッサにおいて、高クロック周波数、高集積、低消費電力を実現させるには、駆動電圧を下げる必要がある。パソコンの CPU では、数年前に 2.5V で駆動していたのに対し、近年では、1.4V で駆動している。一方、マイクロプロセッサの高集積化に伴って、消費電流は急増しており、CPU の最大消費電流は 100A に達している。本発明における電源装置は、低電圧大電流を高効率に出力する場合に適している。

【背景技術】

30

【0002】

低電圧出力を作る場合には、一般的に、図 15 に示す降圧形コンバータが用いられている。しかし、降圧形コンバータは、降圧比が大きくなるに連れて電力効率が悪くなるため、大幅に降圧する用途には不向きである。

【0003】

そこで、降圧比を大きく取るために、図 16 に示す様なタップインダクタ降圧形コンバータが提案されている。このコンバータは、従来の降圧形コンバータの持つインダクタに中間タップを設けたもので、1 次巻線と 2 次巻線の巻数比に比例して降圧比を大きくとることが出来る。

【0004】

40

ただし、タップインダクタを用いた方式は、巻数比に比例して、巻線間の漏れインダクタンスも大きくなる傾向があり、漏れインダクタンスによって生じるスイッチングサージを取り除く対策が必要となる。しかし、RC スナバ回路など、熱損失としてサージエネルギーを捨てる方法は、電力効率を悪くするため問題がある。

【0005】

そこで、損失を伴わない方法として、アクティブクランプ方式が広く知られている。図 17 にその一例を示す。この方式は、1 次巻線 n_1 と並列にクランプコンデンサ C_c とクランプスイッチ S_c を接続し、主スイッチ S_m とクランプスイッチ S_c を交互にオン・オフさせる。これにより、クランプスイッチ S_c がオンの期間中に、サージエネルギーが一端クランプコンデンサ C_c で吸収され、その後、このエネルギーは入力電源 V_i もしくは負荷 R へ回生される

50

ため、原理的には電力損失が発生しない。また、スイッチング転換時に両方のスイッチがオフとなる期間（デッドタイム）を設けることで、ゼロ電圧スイッチング（ZVS）が実現できるため、スイッチング損失も低減できる。

【発明の開示】

【発明が解決しようとする課題】

【0006】

ただし、タップインダクタ方式の降圧形コンバータは、一見、降圧形コンバータの改良形のように見えるが、実際には、フライバックコンバータや昇降圧形コンバータに近い動作となるため、降圧形コンバータの持つ利点を失ってしまう。

降圧形の利点としては、

(1)インダクタを流れる直流電流成分が負荷電流値以上にはならないので、インダクタのサイズを小さく出来る。

(2)時比率に対する出力電圧特性が線形的であるため、PWM制御の安定度が高い。また、降圧比を大きく取れる。

(3)スイッチ素子の耐圧が電源電圧までしか上がらないので、耐圧の低いスイッチ素子が利用できる。

などがあげられる。これらの利点が失われるため、

(1)インダクタの重畳電流が負荷電流値以上になるため、インダクタのサイズが大きくなる。

(2)時比率に対する出力電圧特性が指数関数的であり、PWM制御の安定度が悪い。また、時比率を大きく取ると、降圧比が大きく取れない。

(3)スイッチ素子の耐圧が電源電圧の2倍前後になるため、耐圧の高いスイッチ素子が必要。

といった問題が生じる。

【0007】

また、アクティブクランプを用いた方式は、サージ除去のためだけにスイッチ素子を1個増やす必要があり、電源コストが高くなることは避けられない。また、主スイッチ S_m とクランプスイッチ S_c の駆動に既存のドライブICが利用し難い。なぜなら、クランプコンデンサ C_c がこれらのスイッチと直列接続されており、クランプコンデンサにマイナスの電圧が発生するためである。そのため、ドライブ回路には、パルストランスなどを用いた複雑な回路が必要となる。

【課題を解決するための手段】

【0008】

従来アクティブクランプ方式を用いたタップインダクタ降圧形コンバータが、クランプコンデンサを1次巻線と並列接続させるのに対して、本発明の特徴は、入力電源と負荷の間に、主スイッチと、整流素子と、第1及び第2巻線を含むタップインダクタと、出力平滑コンデンサと、を備えたタップインダクタ降圧形コンバータにおいて、前記1次巻線にクランプコンデンサを直列接続し、これらと並列又は又は主スイッチの一端と入力電源の一端との間にクランプスイッチを接続したタップインダクタ降圧形コンバータである。これにより前記主スイッチとクランプスイッチを交互にオン・オフさせることにより、1次巻線とクランプコンデンサを流れる電流を転流させる。

【発明の効果】

【0009】

本発明は、上記構成により、従来方式と同様に、スイッチング損失とサージを低減できるだけでなく、従来方式の回路動作が昇降圧形コンバータに近いのに対して、降圧形コンバータに近い動作となるため、降圧形コンバータの利点を引き継ぐことが出来る。以下に、その利点を示す。

(1)降圧比を大きくとれる（巻数比を減らせる、漏れインダクタを減らせる）

(2)タップインダクタの直流重畳成分が少なくなる（インダクタを小型化できる）

10

20

30

40

50

(3)スイッチ素子の耐圧が半分で済む(スイッチ素子を安価にできる)

(4)上記理由から、電力効率が改善できる

(5)制御の安定度が高い(負荷応答特性が改善できる、出力平滑コンデンサを小型化できる)

また、本発明のコンバータでは、メインスイッチとクランプスイッチの間にクランプコンデンサが直列接続されていないため、駆動に、既存のドライブICがそのまま利用できる。そのため、ドライブ回路の設計が容易である。さらに、ソフトスイッチングや電流共振を組み合わせることで、電力効率の向上と低ノイズ化が可能である。また、本発明のコンバータを多相構成にすれば、出力電圧リップルの低減や応答特性の改善も可能となる。

【発明を実施するための最良の形態】

10

【0010】

前記本発明の構成の形態の好ましい変形として、2次巻線を出力平滑コンデンサと直列接続し、この両端に整流素子を並列接続してもよい。

また、2次巻線を前記整流素子と直列接続し、この両端に出力平滑コンデンサを並列接続させることもできる。

なお、整流素子として同期整流スイッチを用いて、主スイッチと交互にオン・オフさせても同様の作用効果が得られる。

クランプスイッチは、直列接続された1次巻線とクランプコンデンサに並列接続させてもよい。

また、クランプスイッチを、主スイッチの一端と入力電源の一端との間に接続させてもよい。これにより、ドライブ回路の設計が容易となる。

20

なお、スイッチング転換時に全スイッチがオフとなる期間(デッドタイム)を設けることにより、ゼロ電圧スイッチング(ZVS)のソフトスイッチング動作を行うことができる。

また、タップインダクタの持つ漏れインダクタンスとクランプコンデンサとを電流共振させることで、スイッチング転換時の損失を低減できる。

さらに、本発明のコンバータを複数個並列接続し、多相駆動することによって、出力リップルの低減や負荷応答特性の改善が可能である。

本発明におけるタップインダクタ降圧形コンバータの構成する具体的な回路構成例は複数存在しており、以下で述べる回路例に限定されるものではない。

30

【実施例1】

【0011】

図1に本発明におけるタップインダクタ降圧形コンバータの回路例を示す。本コンバータの回路構成が、従来のアクティブクランプ方式のタップインダクタ降圧形コンバータと異なる点は、クランプコンデンサCcが1次巻線と直列に挿入されている点である。タップインダクタ降圧形コンバータは、MOSFETである主スイッチSm、整流素子であるダイオードD、及び、1次巻線n1及び2次巻線n2を持つタップインダクタTrs、出力平滑コンデンサCo、クランプコンデンサCc、クランプスイッチSc、から成る。なお、Eiは入力電源、Rは負荷である。制御部は、PWM(Pulse Width Modulator)と、ドライバとを含む。

【0012】

40

入力電源Eiの正極は、主スイッチSmのドレインと接続され、主スイッチSmのソースは、クランプコンデンサCcの一端と接続され、クランプコンデンサCcの他端は、タップインダクタTrsの1次巻線n1の一端と接続され、1次巻線n1の他端は、2次巻線n2の一端と接続され、2次巻線n2の他端は、負荷Rの一端と接続され、負荷Rの他端は入力電源Eiの負極と接続される。また、ダイオードDのアノードは、1次巻線n1と2次巻線n2の接続点に接続され、ダイオードDのカソードは、入力直流電源Eiの負極と接続される。出力平滑コンデンサCoは、負荷と並列接続される。クランプスイッチScのドレインは、スイッチSmのソースと接続され、クランプスイッチScのソースは、ダイオードDのアノードに接続される。

【0013】

v_{Gsz} 制御部の PWMには負荷Rの出力電圧 E_o が入力されている。PWMの出力はドライバに出力されている。ドライバの出力は、主スイッチ S_m のゲートに接続される第1の出力と、クランプスイッチ S_c のゲートに接続される第2の出力 v_{Gsb} とを含む。このドライバにより主スイッチとクランプスイッチは交互にオン・オフされる。

【0014】

v_{Sm} 本実施例の動作を説明するために、図2に示す等価回路を用いる。タップインダクタは、1次巻線 n_1 と2次巻線 n_2 を持つ理想トランス T_i と、励磁インダクタ L_m 、漏れインダクタ L_{kg} 、に分けて考える。なお、漏れインダクタ成分は、2次側にも存在するが、これは1次側の漏れインダクタ L_{kg} に含めて動作を説明する。なお、主スイッチ S_m のドレイン・ソース間電圧を v_{sm} とし、ドレイン・ソース間電流を i_{sm} とする。同様に、クランプスイッチ S_c のドレイン・ソース間電圧を v_{sc} とし、ドレイン・ソース間電流を i_{sc} とする。クランプコンデンサ C_c の電圧を V_{Cc} とし、クランプコンデンサと漏れインダクタを流れる電流を i_{Lkg} とする。1次巻線電圧を v_{n1} とし、励磁インダクタ電流を i_{Lm} とする。2次巻線電圧を v_{n2} とし、2次巻線電流を i_{n2} とする。ダイオードDを流れる電流を i_D とする。入力電圧は E_i 、出力電圧は E_o とする。図3、4に各スイッチング状態における等価回路を示し、図5に回路各部の電圧電流波形を示す。

10

【0015】

まず、期間 $t_0 \sim t_1$ では、図3に示す等価回路のように、主スイッチ S_m がオン、クランプスイッチ S_c はオフとなり、入力電源 E_i 、クランプコンデンサ C_c 、タップインダクタ、出力平滑コンデンサ C_o が連結される。これにより、入力電源 E_i から、クランプコンデンサ C_c と出力平滑コンデンサ C_o にエネルギーが送られる。また、この間、ダイオードDは逆バイアスされているため、タップインダクタは、単なるインダクタとして機能する。よって、インダクタ成分 L_m 、 L_{kg} にエネルギーが蓄積され、主スイッチの電流 i_{sm} 及び、タップインダクタの各電流 i_{Lm} 、 i_{Lkg} 、 i_{n2} は共に増加する。

20

【0016】

期間 $t_1 \sim t_2$ では、図4に示す等価回路のように、主スイッチ S_m がオフ、クランプスイッチ S_c はオンとなり、励磁インダクタ L_m と漏れインダクタ L_{kg} が、クランプコンデンサ C_c と連結される。これにより、期間 $t_0 \sim t_1$ でインダクタ L_m 、 L_{kg} に蓄えられたエネルギーは、クランプコンデンサ C_c へ放出され、インダクタ電流 i_{Lm} 、 i_{Lk1} は減少する。一方、クランプコンデンサ C_c は1次巻線 n_1 と連結され、2次巻線 n_2 は出力平滑コンデンサ C_o と連結されているため、ダイオードDは順バイアスとなっている。そのため、タップインダクタはトランスとして機能し、クランプコンデンサに蓄えられているエネルギーが、巻線 n_1 、 n_2 を通して出力平滑コンデンサ C_o へ放出される。

30

【0017】

上記のごとく、本発明のコンバータは、漏れインダクタ L_{kg} のエネルギーがクランプコンデンサで吸収され、その後、巻線を通して負荷へ放出される。したがって、従来のアクティブクランプ方式を用いたタップインダクタ降圧形コンバータと同様に、スイッチングサージやエネルギー損失が抑制できる。

40

【0018】

さらに、本発明のコンバータでは、期間 $t_0 \sim t_1$ にクランプコンデンサ C_c が、入力電源 E_i と1次巻線 n_1 に連結され、期間 $t_1 \sim t_2$ に1次巻線 n_1 のみと連結される。つまり、クランプコンデンサ C_c は、常に1次巻線 n_1 と連結されている。この動作は、降圧形コンバータの出力平滑コンデンサが、常にリアクトルと連結されている動作と似ている。そのため、本発明のコンバータは、降圧形コンバータと似た動作となり降圧形コンバータが持つ利点を引き継ぐことが出来る。

まず、クランプコンデンサの電圧 V_{Cc} が、入力電圧 E_i と逆向きに発生する。この効果により、従来方式よりも降圧比を大きく取ることが可能となる。これに伴って、タップインダクタの巻数比を小さくできるので、漏れインダクタンスの少ないトランスを作ることが出

50

来る。また、主スイッチの時比率に対する出力電圧は、線形的に変化するため、制御の安定度も高い。さらに、スイッチにかかる耐圧は、従来方式では、電源電圧の約2倍であったのに対し、本方式は、電源電圧までしか加わらないため、耐圧の低い素子を使用できる。さらに、タップインダクタの直流重畳成分が少ないため、コアサイズの小型かも可能である。

【実施例2】

【0019】

図6に、2次巻線の接続位置を変更し、ダイオードと直列に挿入した場合の回路図を示す。この回路においても、同様の効果が得られる。

【実施例3】

【0020】

スイッチング電源では通常、整流素子にダイオードを用いているが、この整流用ダイオードは、少なくとも0.3Vの順方向電圧降下が生じるので、低電圧出力では、大幅に電力効率が低下してしまう。そこで、低電圧出力の場合には、整流用ダイオードの代わりに半導体スイッチング素子を用い、主スイッチと交互にオン・オフさせる同期整流方式が一般的に用いられる。この場合、FETのオン抵抗は数mΩと小さいため、電源効率を大幅に改善できる。

図7示す回路は、図1の回路のダイオードを同期整流スイッチSRに交換したものである。

図8に示す回路は、図6の回路のダイオードを同期整流スイッチSRに交換したものである。

【実施例4】

【0021】

また、クランプスイッチを、図9、図10の様に、入力電源の一端と主スイッチの一端と接続しても、同様の効果が得られる。この場合、クランプスイッチのソースが入力電源の負極と接続されるため、スイッチの駆動が更に容易となる。

【実施例5】

【0022】

図11の模式図に示すように、スイッチSm、Sc、SRは、寄生容量CSm、CSc、CSRを持つ。そのため、スイッチがオフの期間中に寄生容量に蓄えられていたエネルギーが、スイッチがオンした瞬間に短絡電流として放電され、スイッチングサージと電力損失を生み出す。このスイッチング転換時の問題を解決するために、実施例1から4の回路(図1、図6、図7、図8、図9、図10)にソフトスイッチングと呼ばれる技術を適用する。当業者には周知の技術であるため、簡単な説明のみを以下に行う。ソフトスイッチングを実現するには、図12に示すように、スイッチングの転換時に全スイッチがオフとなる期間(デッドタイム)t1~t3、t4~t6を設ける。このデッドタイム帰還中に、漏れインダクタを流れる電流が、次にオンさせるスイッチの持つ寄生容量に蓄えられたエネルギーを放電させる。この放電により、スイッチの電圧がゼロまで減圧し、ゼロになった以降も、電流がボディダイオードを流れてフライホイール状態となるため、0Vを保持し続ける。したがって、このフライホイール中にスイッチをオンにすれば、スイッチング損失やサージが発生しない。

【実施例6】

【0023】

スイッチング損失やサージを低減する方法として、整流素子を流れる電流を正弦波状にすることも有効である。正弦波状の波形を作るには、タップインダクタの持つ漏れインダクタとクランプコンデンサとを電流共振させればよい。この場合、出力電圧の制御方法に周波数制御を用いれば、共振条件と同期整流スイッチのオン時間を一致させることができるので、ZCS(ゼロカレントスイッチング)が実現できる。また、PWM制御であっても、電流共振によりスイッチング転換時の電流値が小さくなっているため、スイッチング損失やサージが低減できる。

【実施例7】

10

20

30

40

50

【0024】

マイクロプロセッサの電源として、複数個のコンバータを並列接続し、多相駆動する方法が、広く用いられている。これにより、出力電圧リップルの低減や出力平滑コンデンサの小型が可能となる。本発明のコンバータにおいても、同じ方法で同じ効果が得られる。この具体的な動作については、当業者には自明であるので省略する。

【0025】

図9に示した本実施の形態を評価するために、以下の回路パラメータで実験を行った。

E_i : 48 V、 E_o : 1.2 V、 C_c : 22mF、 C_o : 500mF、タップインダクタの1次巻数10巻、2次巻数1巻、スイッチング周波数 : 100 kHz。

図13に、時比率に対する出力電圧の関係を示す。従来方式に比べ、本発明のコンバータは、時比率が大きくても、出力電圧を大幅に降圧することが可能であることがわかる。また、従来方式は昇降圧形コンバータの様に、指数関数的な変化をしているのに対して、本発明のコンバータは、降圧形コンバータの様に、直線状に変化する。したがって、降圧形コンバータと同様に、安定したPWM制御が可能である。図14に、主スイッチのドレイン・ソース間電圧波形を示す。電圧波形にサージの発生はなく、電源電圧48Vにクランプされている。

10

【産業上の利用可能性】

【0026】

マイクロプロセッサの電源には、低電圧大電流を出力することが求められる。本発明は、前記手段とするタップインダクタ降圧形コンバータによって、低電圧大電流を高効率に出力できるので、この種産業に多大な貢献を呈するものである。

20

【図面の簡単な説明】

【0027】

【図1】実施例1における回路図である。

【図2】実施例1における回路の動作説明のための等価回路を示す図である。

【図3】実施例1における回路の $t_0 \sim t_1$ 期間における等価回路を示す図である。

【図4】実施例1における回路の $t_1 \sim t_2$ 期間における等価回路を示す図である。

【図5】回路各部の電圧電流波形図である。

【図6】実施例2における回路図である。

【図7】図1の回路のダイオードを同期整流スイッチSRに交換した回路を示す実施例3における回路図である。

30

【図8】図6の回路のダイオードを同期整流スイッチSRに交換した回路を示す実施例3における回路図である。

【図9】図7に示す変形回路を示す実施例4における回路図である。

【図10】図8に示す変形回路を示す実施例4における回路図である。

【図11】実施例4における図9の回路のFETの寄生成分の模式図である。

【図12】実施例4における図9の回路におけるソフトスイッチングを行う際の電圧電流波形図である。

【図13】実施例4における図9の回路の時比率と出力電圧との関係を示す図である。

【図14】実施例4における図9の回路と従来の同期整流スイッチのドレイン・ソース間電圧を示す図である。

40

【図15】低電圧出力を作る従来の降圧形コンバータ例を示す図である。

【図16】降圧比を大きく取るタップインダクタ降圧形コンバータ例を示す図である。

【図17】損失を伴わないアクティブクランプ方式の一例を示す図である。

【符号の説明】

【0028】

E_i 入力電源
 S_m メインスイッチ（主スイッチ）
 D ダイオード
 S_c クランプスイッチ

50

Cc、	クランプコンデンサ
SR	同期整流スイッチ
Co	出力平滑コンデンサ
Trs	タップインダクタ
n1	1次巻線
n2	2次巻線
Ti	理想トランス
Lm	励磁インダクタ
Lkg	漏れインダクタ
R	負荷

【 図 1 】

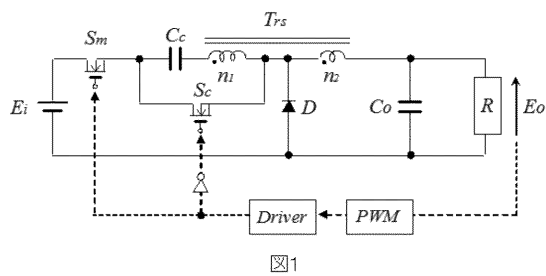


図1

【 図 3 】

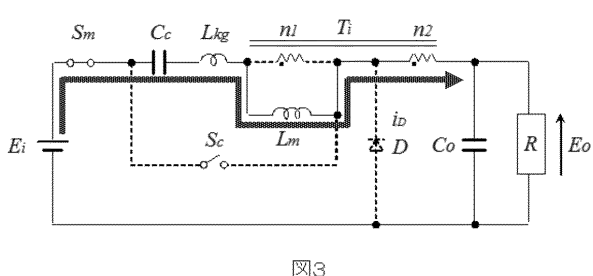


図3

【 図 2 】

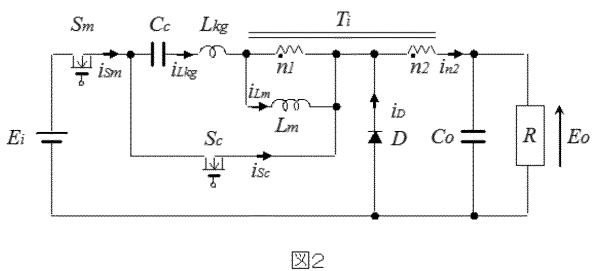


図2

【 図 4 】

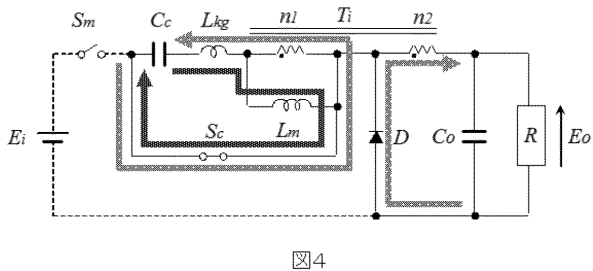


図4

【 図 5 】

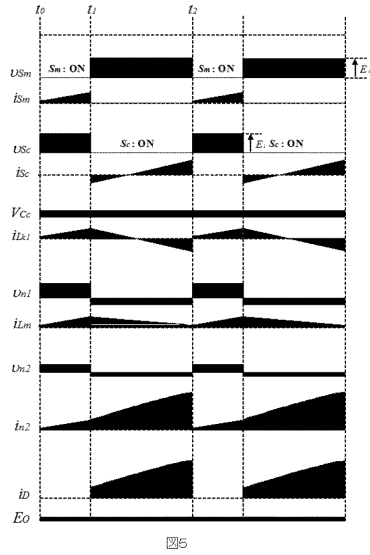


図5

【 図 6 】

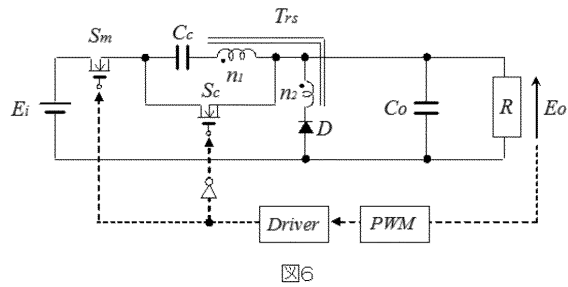


図6

【 図 9 】

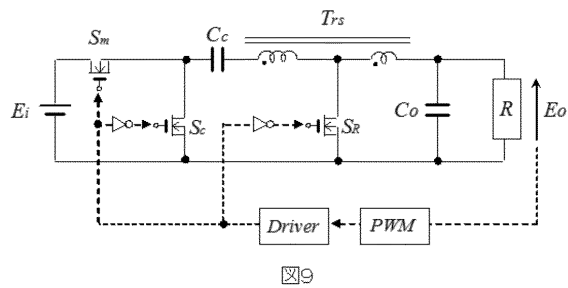


図9

【 図 10 】

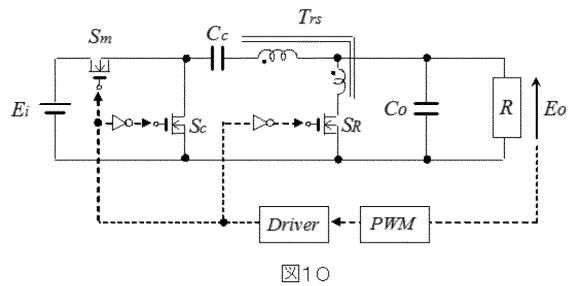


図10

【 図 7 】

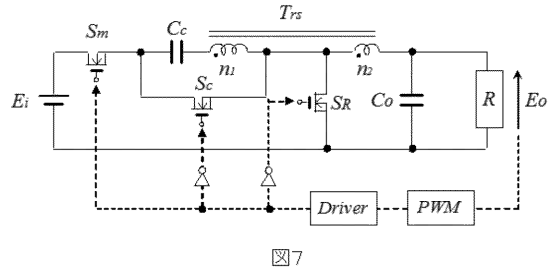


図7

【 図 8 】

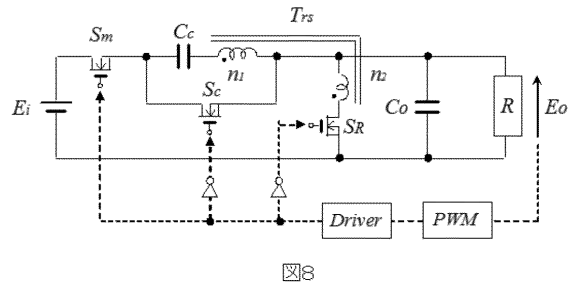


図8

【 図 11 】

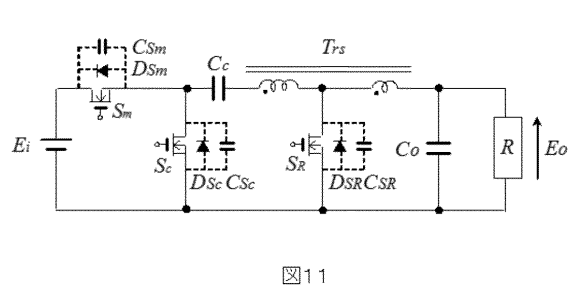


図11

【 図 1 2 】

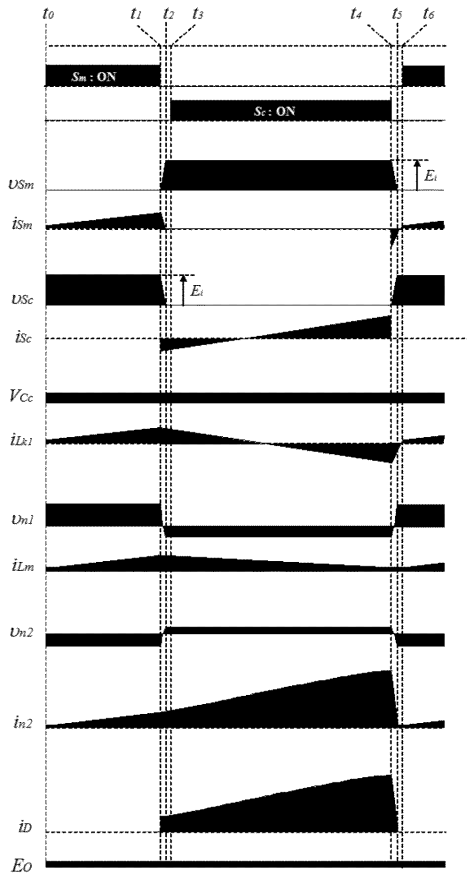


図12

【 図 1 3 】

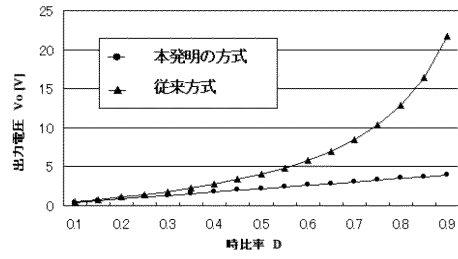


図13

【 図 1 4 】

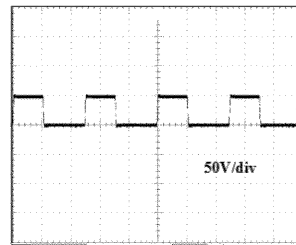


図14

【 図 1 5 】

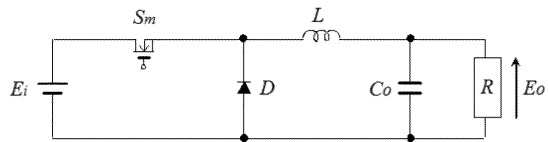


図15

【 図 1 6 】

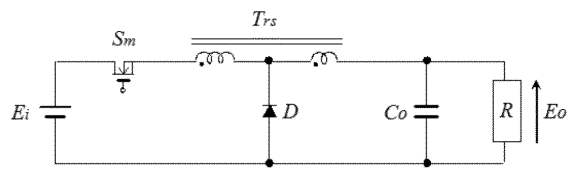


図16

【 図 1 7 】

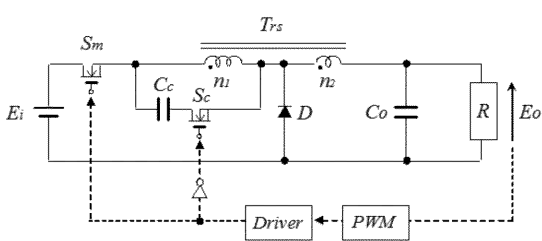


図17