

【特許請求の範囲】**【請求項 1】**

クロック信号により制御される複数のスタンダードセルを有する半導体装置において、前記スタンダードセルは、インバータと、前記クロック信号を反転させる反転回路と、前記クロック信号及び前記反転回路で反転した反転クロック信号により制御されるトランスミッションゲートと、前記クロック信号及び反転クロック信号により制御されるクロックドインバータとを備え、前記トランスミッションゲートの入力にデータ入力端子を接続し、前記トランスミッションゲートの出力にデータ出力端子、前記インバータの入力及び前記クロックドインバータの出力を接続し、前記インバータの出力を前記クロックドインバータの入力に接続してあることを特徴とする半導体装置。

10

【請求項 2】

前記スタンダードセルは、前記インバータ、前記トランスミッションゲート及び前記クロックドインバータそれぞれを所定数備え、各トランスミッションゲートの入力それぞれに個別のデータ入力端子を接続し、各トランスミッションゲートの出力それぞれに個別のデータ出力端子、各インバータの入力及び各クロックドインバータの出力を接続し、各インバータの出力を各クロックドインバータの入力に接続したことを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 3】

複数の前記スタンダードセルで構成されるメモリアレイ回路を備えることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

複数のアンド・オア・インバータ複合ゲートを有するメモリ読出回路を備え、前記データ出力端子に前記アンド・オア・インバータ複合ゲートの一の入力を接続したことを特徴とする請求項 1 から請求項 3 までのいずれか 1 項に記載の半導体装置。

30

【請求項 5】

前記スタンダードセルは、複数の配線層を有し、前記データ入力端子及びデータ出力端子、又は前記クロック信号が供給されるクロック信号端子のいずれか一方に、前記スタンダードセル内の配線に用いられる第 1 配線より上層の第 2 配線を接続したことを特徴とする請求項 1 から請求項 4 までのいずれか 1 項に記載の半導体装置。

【請求項 6】

前記データ入力端子及びデータ出力端子、又は前記クロック信号端子の他方に、前記第 2 配線より上層の第 3 配線を接続したことを特徴とする請求項 5 に記載の半導体装置。

40

【請求項 7】

クロック信号により制御される複数のスタンダードセルを有する半導体装置の製造方法において、前記スタンダードセルに、インバータと、前記クロック信号を反転させる反転回路と、前記クロック信号及び前記反転回路で反転した反転クロック信号により制御されるトランスミッションゲートと、前記クロック信号及び反転クロック信号により制御されるクロックドインバータと

50

を配置し、
前記トランスマッションゲートの入力にデータ入力端子を接続し、
前記トランスマッションゲートの出力にデータ出力端子、前記インバータの入力及び前記クロックドインバータの出力を接続し、
前記インバータの出力を前記クロックドインバータの入力に接続することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のスタンダードセルを有する半導体装置及び該半導体装置の製造方法に関する。 10

【背景技術】

【0002】

近年、半導体装置の設計には、スタンダードセルによる設計方法が広く使用されている。スタンダードセルは矩形状をなし、高さ（縦方向の寸法）は制約として予め定められているが、幅（横方向の寸法）は自由度があり、様々な論理回路を構成可能としている。スタンダードセルにおいては、基本ゲート回路又は使用頻度が高い論理回路などを構成することができ、多種のスタンダードセルをライブラリとして準備することができる。準備された複数のスタンダードセルを要求仕様等に応じて配置することにより、半導体チップ上で論理演算装置を半自動で設計することができ、半導体チップの設計効率が格段に向上するという利点がある。 20

【0003】

また、従来、半導体メモリ装置は、アナログ回路を多用して構成されてきたが、駆動電圧を下げるとノイズ又は半導体素子の特性のばらつきにより誤動作する可能性が高くなる。このような問題を解決するため、最近では、半導体メモリ装置にスタンダードセルが使用されつつある（非特許文献1参照）。

【0004】

このような、従来の半導体メモリ装置に使用されるスタンダードセルには、例えば、1ビットのデータを記憶するラッチ回路（ラッチセル）、ラッチ回路を2個接続したフリップフロップ回路（フリップフロップセル）、多数のラッチ回路で構成されたメモリアレイ部からデータを読み出す読出回路に使用されるマルチプレクサ回路（マルチプレクサセル）など種々のものがある。 30

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】P. Meinerzhagen, Y. Sherazi, A. Burg, J. N. Rodrigues, "Benchmarking of Standard-Cell Based Memories on the Sub-VT Domain in 65-nm CMOS Technology", IEEE Journal on Emerging and Selected Topics in Circuits and Systems, Vol. 1, Issue 2, June 2011, pp.1-12

【発明の概要】 40

【発明が解決しようとする課題】

【0006】

従来のスタンダードセルは、メモリ回路だけでなく様々な論理演算回路に用いられるため、セル内の回路構成は複雑かつ多種に亘る。このため、所要の配線ルール（例えば、配線幅、配線間隔など）を適用した場合に、セルの高さは、例えば、配線間隔の9倍程度となり、物理的な回路面積（セルの面積）が大きくなり、また、回路面積が増大すると消費エネルギーも高くなるという問題がある。

【0007】

本発明は斯かる事情に鑑みてなされたものであり、回路面積を小さくすることができる半導体装置及び該半導体装置の製造方法を提供することを目的とする。 50

【課題を解決するための手段】

【0008】

本発明の実施の形態に係る半導体装置は、クロック信号により制御される複数のスタンダードセルを有する半導体装置において、前記スタンダードセルは、インバータと、前記クロック信号を反転させる反転回路と、前記クロック信号及び前記反転回路で反転した反転クロック信号により制御されるトランスマッションゲートと、前記クロック信号及び反転クロック信号により制御されるクロックドインバータとを備え、前記トランスマッションゲートの入力にデータ入力端子を接続し、前記トランスマッションゲートの出力にデータ出力端子、前記インバータの入力及び前記クロックドインバータの出力を接続し、前記インバータの出力を前記クロックドインバータの入力に接続してあることを特徴とする。

10

【0009】

本発明の実施の形態に係る半導体装置の製造方法は、クロック信号により制御される複数のスタンダードセルを有する半導体装置の製造方法において、前記スタンダードセルに、インバータと、前記クロック信号を反転させる反転回路と、前記クロック信号及び前記反転回路で反転した反転クロック信号により制御されるトランスマッションゲートと、前記クロック信号及び反転クロック信号により制御されるクロックドインバータとを配置し、前記トランスマッションゲートの入力にデータ入力端子を接続し、前記トランスマッションゲートの出力にデータ出力端子、前記インバータの入力及び前記クロックドインバータの出力を接続し、前記インバータの出力を前記クロックドインバータの入力に接続することを特徴とする。

20

【0010】

本実施の形態に係る半導体装置及び半導体装置の製造方法にあつては、スタンダードセルは、インバータと、クロック信号を反転させる反転回路と、クロック信号及び反転回路で反転した反転クロック信号により制御されるトランスマッションゲートと、クロック信号及び反転クロック信号により制御されるクロックドインバータとを備える。

【0011】

そして、スタンダードセルは、トランスマッションゲートの入力にデータ入力端子を接続し、トランスマッションゲートの出力にデータ出力端子、インバータの入力及びクロックドインバータの出力を接続し、インバータの出力をクロックドインバータの入力に接続してある。これにより、スタンダードセルは、ラッチ回路を構成することができる。

30

【0012】

ラッチ回路の論理表は、従来のラッチ回路と同様であり、クロック信号が1 (High) のとき、入力Dの値が出力Qとして表れ、クロック信号が1から0 (Low) になると、出力Qがそのまま維持される。

【0013】

インバータ及びトランスマッションゲートは、1個のpMOS (Metal Oxide Semiconductor) トランジスタ及び1個のnMOS トランジスタで構成される。反転回路は、例えば、インバータを用いることができる。クロックドインバータは、2個のpMOS (Metal Oxide Semiconductor) トランジスタ及び2個のnMOS トランジスタで構成される。すなわち、ラッチ回路をなすスタンダードセルは、10個のトランジスタで構成することができる。従来のラッチ回路をなすスタンダードセルは、14個のトランジスタで構成されるので、トランジスタの数を4個低減することができる。ラッチ回路は、1ビットのデータを記憶することができる (1ビットラッチ) ので、半導体メモリ1ビット当たり、トランジスタを4個少なくすることができる。これにより、スタンダードセルの回路面積を従来よりも小さくすることができる。また、回路面積を小さくできるので、消費エネルギーを低減することができる。

40

【0014】

本発明の実施の形態に係る半導体装置は、前記スタンダードセルは、前記インバータ、前記トランスマッションゲート及び前記クロックドインバータそれぞれを所定数備え、各トランスマッションゲートの入力それぞれに個別のデータ入力端子を接続し、各トランス

50

ミッションゲートの出力それぞれに個別のデータ出力端子、各インバータの入力及び各クロックインバータの出力を接続し、各インバータの出力を各クロックインバータの入力に接続したことを特徴とする。

【0015】

本実施の形態に係る半導体装置にあっては、スタンダードセルは、インバータ、トランスミッションゲート及びクロックインバータそれぞれを所定数備える。所定数は、例えば、4とすることができる。そして、各トランスミッションゲートの入力それぞれに個別のデータ入力端子（例えば、D1、D2、D3、D4）を接続し、各トランスミッションゲートの出力それぞれに個別のデータ出力端子（例えば、Q1、Q2、Q3、Q4）、各インバータの入力及び各クロックインバータの出力を接続し、各インバータの出力を各クロックインバータの入力に接続する。

10

【0016】

すなわち、スタンダードセルは、クロック信号を反転する反転回路、及び1ビットのラッチ回路を4個備えた4ビットのラッチセルである。反転回路を、4個の1ビットラッチ回路で共有化することにより、トランジスタの数を34個にすることができる。従来の4ビットラッチ回路は56個（=4×14個）のトランジスタで構成されるので、1ビット当たりのトランジスタの数をさらに低減（10個から8.5個になる）することができ、回路面積の低減効率をさらに高めることができる。

【0017】

本発明の実施の形態に係る半導体装置は、複数の前記スタンダードセルで構成されるメモリアレイ回路を備えることを特徴とする。

20

【0018】

本実施の形態に係る半導体装置にあっては、複数のスタンダードセルで構成されるメモリアレイ回路を備える。例えば、1ビットラッチセルを32個使用し、あるいは4ビットラッチセルを8個使用して、1ワードを構成することができる。これにより、回路面積が小さく、消費エネルギーが小さい半導体メモリを実現することができる。

【0019】

本発明の実施の形態に係る半導体装置は、複数のアンド・オア・インバータ複合ゲートを有するメモリ読出回路を備え、前記データ出力端子に前記アンド・オア・インバータ複合ゲートの一の入力を接続したことを特徴とする。

30

【0020】

本実施の形態に係る半導体装置にあっては、複数のアンド・オア・インバータ複合ゲートを有するメモリ読出回路を備える。アンド・オア・インバータ複合ゲートは、AOI22（and-or-inverter complex gate）とも称する。データ出力端子にアンド・オア・インバータ複合ゲートの一の入力を接続してある。ラッチ回路（ラッチセル）の1個のデータ出力端子には、AOI22の1個の入力だけを接続する構成とする。

【0021】

従来のラッチ回路では、出力端に様々な回路が接続される可能性があるため、様々な回路が接続された場合でも、十分な電流を駆動できるように出力端の前段には、一般的にインバータを付加している。しかし、本実施の形態では、ラッチ回路のデータ出力端子には、AOI22の1個の入力だけを接続する構成としているので、電流を駆動するためのインバータを設ける必要がなく、トランジスタの数を低減することができる。

40

【0022】

本発明の実施の形態に係る半導体装置は、前記スタンダードセルは、複数の配線層を有し、前記データ入力端子及びデータ出力端子、又は前記クロック信号が供給されるクロック信号端子のいずれか一方に、前記スタンダードセル内の配線に用いられる第1配線より上層の第2配線を接続したことを特徴とする。

【0023】

本実施の形態に係る半導体装置にあっては、スタンダードセルは、複数の配線層を有する。データ入力端子及びデータ出力端子、又はクロック信号が供給されるクロック信号端

50

子のいずれか一方に、スタンダードセル内の配線に用いられる第1配線より上層の第2配線を接続してある。すなわち、データ入力端子及びデータ出力端子に第2配線を接続するか、あるいは、クロック信号端子に第2配線を接続する。なお、第2配線は、第1配線より上層であればよく、第1配線と第2配線との間に他の層の配線を設ける構成を排除しない。

【0024】

例えば、データ入力端子及びデータ出力端子に第2配線を接続する場合、データ入力端子とトランスマッションゲートの入力との間の配線、データ出力端子とインバータの入力との間の配線、データ出力端子とクロックドインバータの出力との間の配線それぞれに第2配線を用いることができる。これにより、データ入力端子及びデータ出力端子に第1配線を接続する場合に比べて、スタンダードセル内の第1配線に伴う面積増加を抑制することができる。また、データ入力端子及びデータ出力端子に第1配線ではなく上層の第2配線を接続することにより、スタンダードセル同士を接続する配線を第2配線に統一することができ、スタンダードセル内の第1配線と交差又は重なるように第2配線を配線することができるという配線自由度が増すので他のスタンダードセルとの接続性を向上させることができる。

10

【0025】

また、例えば、クロック信号端子に第2配線を接続する場合も同様に、クロック信号端子と、インバータの入力、トランスマッションゲート及びクロックドインバータそれぞれのクロック入力との間の配線それぞれに第2配線を用いることができる。これにより、クロック信号端子に第1配線を接続する場合に比べて、スタンダードセル内の第1配線に伴う面積増加を抑制することができる。

20

【0026】

本発明の実施の形態に係る半導体装置は、前記データ入力端子及びデータ出力端子、又は前記クロック信号端子の他方に、前記第2配線より上層の第3配線を接続したことを特徴とする。

【0027】

データ入力端子及びデータ出力端子、又はクロック信号端子の他方に、第2配線より上層の第3配線を接続してある。なお、第3配線は、第2配線より上層であればよく、第2配線と第3配線との間に他の層の配線を設ける構成を排除しない。

30

【0028】

例えば、データ入力端子及びデータ出力端子に第2配線を接続する場合、クロック信号端子に第3配線を接続する。また、クロック信号端子に第2配線を接続する場合、データ入力端子及びデータ出力端子に第3配線を接続する。これにより、データ入力端子及びデータ出力端子に接続する配線と、クロック端子に接続する配線とを、スタンダードセル内で交差又は重なって配線することができ、スタンダードセルの面積増加をさらに抑制することができる。

【発明の効果】

【0029】

本発明によれば、回路面積を小さくすることができる。

40

【図面の簡単な説明】

【0030】

【図1】第1実施形態の半導体装置が有するスタンダードセルの構成の一例を示すブロック図である。

【図2】第1実施形態のスタンダードセルの動作の一例を示す論理図である。

【図3】第1実施形態のスタンダードセルの構成の一例を示す回路図である。

【図4】従来のスタンダードセルのラッチ回路の構成を示す回路図である。

【図5】第1実施形態のスタンダードセルの第1実施例の半導体層のレイアウトを示す模式図である。

【図6】第1実施形態のスタンダードセルの第1実施例の配線のレイアウトを示す模式図

50

である。

【図 7】第 1 実施形態のスタンダードセルの第 2 実施例の半導体層のレイアウトを示す模式図である。

【図 8】第 1 実施形態のスタンダードセルの第 2 実施例の配線のレイアウトを示す模式図である。

【図 9】第 2 実施形態のスタンダードセルの構成の一例を示すブロック図である。

【図 10】第 2 実施形態のスタンダードセルの半導体層のレイアウトを示す模式図である。

【図 11】第 2 実施形態のスタンダードセルの配線のレイアウトを示す模式図である。

【図 12】本実施の形態の半導体装置のメモリアレイ回路の構成の一例を示す模式図である。

【図 13】本実施の形態の半導体メモリ装置の要部構成の一例を示すブロック図である。

【図 14】本実施の形態のデータ読み出し回路の構成の一例を示すブロック図である。

【図 15】A O I 2 2 の構成を示す回路図である。

【図 16】A O I 2 2 の動作を示す論理図である。

【発明を実施するための形態】

【0031】

(第 1 実施形態)

以下、本発明をその実施の形態を示す図面に基づいて説明する。図 1 は第 1 実施形態の半導体装置が有するスタンダードセル 50 の構成の一例を示すブロック図である。本実施の形態のスタンダードセル 50 は、インバータ 30、クロック信号 (c k) を反転させる反転回路 10、クロック信号 (c k) 及び反転回路で反転した反転クロック信号により制御されるトランSMIションゲート 20、クロック信号 (c k) 及び反転クロック信号により制御されるクロックドインバータ 40 を備える。なお、反転回路 10 は、インバータで構成することができる。

【0032】

スタンダードセル 50 は、トランSMIションゲート 20 の入力にデータ入力端子 D を接続し、トランSMIションゲート 20 の出力にデータ出力端子 Q、インバータ 30 の入力及びクロックドインバータ 40 の出力を接続し、インバータ 30 の出力をクロックドインバータ 40 の入力に接続してあり、ラッチ回路を構成してある。なお、各ブロック内の数字は、それぞれのブロックを構成するためのトランジスタの数を示す。すなわち、本実施の形態のスタンダードセル 50 は、10 個のトランジスタで構成することができる。なお、本実施の形態のスタンダードセル 50 は、ラッチ回路に限定されるものではなく、例えば、インバータ、NAND 2、NOR 2、A O I 2 2 (and-or-inverter complex gate : アンド・オア・インバータ複合ゲート) などを実現することができる。

【0033】

図 2 は第 1 実施形態のスタンダードセル 50 の動作の一例を示す論理図である。図 2 に示すように、スタンダードセル 50 は、従来のラッチ回路を同様の動作をさせることができる。すなわち、クロック信号が 1 (High) のとき、入力 D の値が出力 Q として表れ、クロック信号が 1 から 0 (Low) になると、出力 Q がそのまま維持される。例えば、図 2 の左側の図に示すように、入力 D が 1 (High) の場合に、クロック信号が 1 (High) となると、出力 Q は、入力と同じ 1 (High) となる。この状態でクロック信号が 1 (High) から 0 (Low) になると、出力 Q は 1 (High) を維持する。同様に、図 2 の右側の図に示すように、入力 D が 0 (Low) の場合に、クロック信号が 1 (High) となると、出力 Q は、入力と同じ 0 (Low) となる。この状態でクロック信号が 1 (High) から 0 (Low) になると、出力 Q は 0 (Low) を維持する。

【0034】

図 3 は第 1 実施形態のスタンダードセル 50 の構成の一例を示す回路図である。図 3 において、符号 p は p M O S (Metal Oxide Semiconductor) トランジスタを示し、符号 n は n M O S トランジスタを示す。なお、p M O S トランジスタは、ゲート入力が 0 (low

10

20

30

40

50

) の場合、オンとなり、ゲート入力が 1 (High) の場合、オフとなる。また、nMOS トランジスタは、ゲート入力が 1 (High) の場合、オンとなり、ゲート入力が 0 (Low) の場合、オフとなる。

【0035】

図 3 に示すように、反転回路 (インバータ) 10 は、pMOS トランジスタ 11 及び nMOS トランジスタ 12 の直列回路で構成される。インバータ 30 は、pMOS トランジスタ 31 及び nMOS トランジスタ 32 の直列回路で構成される。また、クロックインバータ 40 は、2 個の pMOS トランジスタ 41、42 及び 2 個の nMOS トランジスタ 43、44 を直列に接続した回路で構成される。また、トランスミッションゲート 20 は、pMOS トランジスタ 21 及び nMOS トランジスタ 22 を並列に接続した回路で構成される。すなわち、ラッチ回路をなすスタンダードセル 50 は、10 個のトランジスタで構成することができる。

10

【0036】

トランスミッションゲート 20 は、クロック信号 ck が 1 (High) の場合 (反転クロック信号が 0 (Low) の場合)、入力 D (例えば、1 又は 0) が出力され、クロック信号 ck が 0 (Low) の場合 (反転クロック信号が 1 (High) の場合)、出力はハイインピーダンスとなり、入力と出力とが切り離されたような状態となる。

【0037】

図 4 は従来のスタンダードセルのラッチ回路の構成を示す回路図である。図 4 に示すように、従来のラッチ回路は、3 個のインバータ及び 2 個のクロックインバータを有し、14 個のトランジスタで構成される。ラッチ回路を構成する従来のスタンダードセルでは、入力側及び出力側に種々の回路構成のスタンダードセルが接続される。このため、図 4 に示すように、データ入力端子は、クロックインバータ 201 に接続してあり、データ入力端子に印加される信号に基づいて、十分な電流を供給することができるようにしてある。また、データ出力端子には、インバータ 202 を接続してあり、データ出力端子に接続される種々の回路 (複数の回路) に十分な電流を駆動できるようにしてある。

20

【0038】

本実施の形態のスタンダードセル 50 にあっては、ラッチ回路を構成するとともに、半導体メモリ回路に使用することを前提としているため、ラッチ回路のデータ入力端子には、必ずインバータ、NAND 2 又は NOR 2 の出力が接続され、データ出力端子には、AOI 22 (and-or-inverter complex gate: アンド・オア・インバータ複合ゲート) の一つの入力のみが接続されるように構成することができる。これにより、図 4 に示す、インバータ 202 が不要になるとともに、図 4 に示す、クロックインバータ 201 をトランスミッションゲート 20 に置き換えることができ、1 個のスタンダードセル (ラッチ回路) 当たり 4 個のトランジスタを削減することができる。

30

【0039】

ラッチ回路は、1 ビットのデータを記憶することができる (1 ビットラッチ) ので、半導体メモリ 1 ビット当たり、トランジスタを 4 個少なくすることができる。これにより、スタンダードセルの回路面積を従来よりも小さくすることができる。また、回路面積を小さくできるので、消費エネルギーを低減することができる。

40

【0040】

次に、本実施の形態のスタンダードセル 50 のレイアウトについて説明する。図 5 は第 1 実施形態のスタンダードセル 50 の第 1 実施例の半導体層のレイアウトを示す模式図であり、図 6 は第 1 実施形態のスタンダードセル 50 の第 1 実施例の配線のレイアウトを示す模式図である。図 5 及び図 6 に示すスタンダードセル 50 は、図 3 に示すラッチ回路を構成する。以下の説明において、半導体層は、pMOS 拡散層 (p 拡散層ともいう)、nMOS 拡散層 (n 拡散層ともいう) 及びポリシリコン層などを含む。また、配線は、電源の配線、信号線の配線を含む。図 5 及び図 6 において、縦方向の寸法はセル (スタンダードセル) の高さを表し、横方向の寸法はセル (スタンダードセル) の幅を表す。

【0041】

50

図5において、符号1はpMOS拡散層を示し、符号2はnMOS拡散層を示し、符号3はポリシリコン層を示す。ポリシリコン層3及び当該ポリシリコン層3を間にして配置されたpMOS拡散層1によりpMOSトランジスタ11、21、42、41、31が形成されている。また、ポリシリコン層3及び当該ポリシリコン層3を間にして配置されたnMOS拡散層2によりnMOSトランジスタ12、22、43、44、32が形成されている。図5に示す各トランジスタの符号は、図3に示すトランジスタの符号と対応している。なお、図5において、pMOS拡散層1、nMOS拡散層2及びポリシリコン層3のレイアウトは、一例であって、図5のレイアウトに限定されるものではない。

【0042】

図6において、符号4は第1配線を示す。図6に示すように、第1配線4は、電源配線VDD、VSS、及びスタンダードセル50内の信号線の配線に用いられる。第1配線4は、配線間接続ビア（図6において、符号Xで示す）を介してpMOS拡散層1、nMOS拡散層2及びポリシリコン層3の所要の位置に接続されている。なお、第1配線4のレイアウトは一例であって、図6に示すレイアウトに限定されるものではない。

10

【0043】

上述のように、本実施の形態のスタンダードセル50は、ラッチ回路を構成するトランジスタの数を低減することができ、セルの高さを従来のスタンダードセルの高さより小さくすることができる（例えば、配線間隔の5倍～6倍程度にすることができる）。また、従来のラッチ回路よりもトランジスタの数が少ないので、スタンダードセル50の面積（高さ×幅）も小さくすることができる、電力消費を低減することができる。

20

【0044】

また、本実施の形態のスタンダードセル50は、従来のスタンダードセルよりも高さが小さいが、本実施の形態のスタンダードセル50を、半導体メモリに使用することを前提にすれば、メモリ回路で使用する他の論理回路（例えば、インバータ、NAND2、NOR2、AOI22など）も同じ高さのスタンダードセル50で実現することができる。これにより、従来よりも高さが小さく、かつ回路面積が小さいスタンダードセル50を用いてメモリ回路を設計し、消費電力が少ない半導体メモリ装置を実現することが可能となる。

【0045】

図7は第1実施形態のスタンダードセル50の第2実施例の半導体層のレイアウトを示す模式図であり、図8は第1実施形態のスタンダードセル50の第2実施例の配線のレイアウトを示す模式図である。図7及び図8に示すスタンダードセル50は、図3に示すラッチ回路を構成する。第1実施例では、第1配線4を用いたが、第2実施例では、第1配線4より上層の第2配線5、及び第2配線5より上層の第3配線6を用いる。

30

【0046】

図7において、符号1はpMOS拡散層を示し、符号2はnMOS拡散層を示し、符号3はポリシリコン層を示す。ポリシリコン層3及び当該ポリシリコン層3を間にして配置されたpMOS拡散層1によりpMOSトランジスタ11、21、42、41、31が形成されている。また、ポリシリコン層3及び当該ポリシリコン層3を間にして配置されたnMOS拡散層2によりnMOSトランジスタ12、22、43、44、32が形成されている。図7に示す各トランジスタの符号は、図3に示すトランジスタの符号と対応している。

40

【0047】

図7に示すように、第2実施例では、後述のように、信号線に第1配線4だけでなく第2配線5及び第3配線6を用いるので、第1実施例では、第1配線4及びポリシリコン層3で占有された領域を小さくすることができ、結果として、pMOS拡散層1、nMOS拡散層2及びポリシリコン層3をコンパクトに配置することができ、スタンダードセル50の幅をさらに小さくすることができる。なお、図7において、pMOS拡散層1、nMOS拡散層2及びポリシリコン層3のレイアウトは、一例であって、図7のレイアウトに限定されるものではない。

50

【 0 0 4 8 】

図 8 において、上段の図は第 1 配線 4 のレイアウトを示し、中段の図は第 2 配線 5 のレイアウトを示し、下段の図は第 3 配線 6 のレイアウトを示す。図 8 に示すように、第 1 配線 4 は、電源配線 V D D、V S S、及びスタンダードセル 5 0 内の一部の信号線の配線に用いられる。第 1 配線 4 は、配線間接続ビア（図 8 において、符号 X で示す）を介して p M O S 拡散層 1、n M O S 拡散層 2 及びポリシリコン層 3 の所要の位置に接続されている。

【 0 0 4 9 】

また、図 8 に示すように、第 2 配線 5 は、データ入力端子 D 及びデータ出力端子 Q に接続してある。第 2 配線 5 は、スタンダードセル 5 0 内の第 1 配線 4 より上層の配線である。第 2 配線 5 は、第 1 配線 4 より上層であればよく、第 1 配線 4 と第 2 配線 5 との間に他の層の配線を設ける構成を排除しない。

10

【 0 0 5 0 】

また、図 8 に示すように、第 3 配線 6 は、クロック信号端子 c k に接続してある。第 3 配線 6 は、第 2 配線 5 より上層であればよく、第 2 配線 5 と第 3 配線 6 との間に他の層の配線を設ける構成を排除しない。なお、第 1 配線 4、第 2 配線 5 及び第 3 配線 6 のレイアウトは一例であって、図 8 の構成に限定されるものではない。

【 0 0 5 1 】

図 8 に示すように、データ入力端子 D 及びデータ出力端子 Q に第 2 配線 5 を接続する場合、データ入力端子 D とトランスマッションゲート 2 0 (2 1、2 2) の入力との間の配線、データ出力端子 Q とインバータ 3 0 (3 1、3 2) の入力との間の配線、データ出力端子 Q とクロックインバータ 4 0 (4 2、4 3) の出力との間の配線それぞれに第 2 配線 5 を用いることができる。

20

【 0 0 5 2 】

これにより、データ入力端子 D 及びデータ出力端子 Q に第 1 配線 4 を接続する第 1 実施例に比べて、スタンダードセル 5 0 内の第 1 配線 4 に伴う面積増加を抑制することができる。また、データ入力端子 D 及びデータ出力端子 Q に第 1 配線 4 ではなく上層の第 2 配線 5 を接続することにより、スタンダードセル 5 0 同士を接続する配線を第 2 配線 5 に統一することができ、スタンダードセル 5 0 内の第 1 配線 4 と交差又は重なるように第 2 配線 5 を配線することができるという配線自由度が増すので他のスタンダードセルとの接続性を向上させることができる。

30

【 0 0 5 3 】

また、図 8 に示すように、クロック信号端子 c k に第 3 配線を接続する。これにより、データ入力端子 D 及びデータ出力端子 Q に接続する配線と、クロック端子 c k に接続する配線とを、スタンダードセル 5 0 内で交差又は重なって配線することができ、スタンダードセル 5 0 の面積増加をさらに抑制することができる。

【 0 0 5 4 】

上述のように、スタンダードセル 5 0 をメモリ回路に特化したセルとすることにより、スタンダードセル 5 0 上を通過するセル間配線が少なくなるので、セル間配線の妨げとならないようにして、第 2 配線 5、第 3 配線 6 の配線を行うことができる。

40

【 0 0 5 5 】

図 8 の例では、データ入力端子 D 及びデータ出力端子 Q に第 2 配線 5 を接続し、クロック信号端子 c k に第 3 配線 6 を接続する構成であったが、これに限定されるものではない。例えば、クロック信号端子 c k に第 2 配線 5 を接続し、データ入力端子 D 及びデータ出力端子 Q に第 3 配線 6 を接続するようにしてもよい。この場合、クロック信号端子 c k と、インバータ 1 0 (1 1、1 2) の入力、トランスマッションゲート 2 0 (2 2) 及びクロックインバータ 4 0 (4 2) それぞれのクロック入力との間の配線それぞれに第 2 配線 5 を用いることができる。これにより、クロック信号端子 c k に第 1 配線 4 を接続する場合に比べて、スタンダードセル 5 0 内の第 1 配線 4 に伴う面積増加を抑制することができる。

50

【 0 0 5 6 】

(第2実施形態)

上述の第1実施形態では、スタンダードセル50は1個のラッチ回路を有する構成であったが、複数のラッチ回路を有するように構成することもできる。以下、第2実施形態について説明する。

【 0 0 5 7 】

図9は第2実施形態のスタンダードセル60の構成の一例を示すブロック図である。図9に示すように、第2実施形態のスタンダードセル60は、インバータ30、トランスミッションゲート20及びクロックドインバータ40それぞれを所定数備える。図9の例では、所定数は4であるが、4に限定されるものではない。

10

【 0 0 5 8 】

各トランスミッションゲート20の入力それぞれに個別のデータ入力端子(図9の例では、D1、D2、D3、D4)を接続し、各トランスミッションゲート20の出力それぞれに個別のデータ出力端子(図9の例では、Q1、Q2、Q3、Q4)、各インバータ30の入力及び各クロックドインバータ40の出力を接続し、各インバータ20の出力を各クロックドインバータ40の入力に接続する。

【 0 0 5 9 】

すなわち、スタンダードセル60は、クロック信号ckを反転する反転回路(インバータ)10、及び1ビットのラッチ回路を4個(図9の例では、ラッチ回路51、52、53、54)備えた4ビットのラッチセルである。反転回路10を、4個の1ビットラッチ回路51~54で共有化することにより、トランジスタの数を34個にすることができる。従来の4ビットラッチ回路は56個(=4×14個)のトランジスタで構成されるので、1ビット当たりのトランジスタの数をさらに低減(10個から8.5個になる)ことができ、回路面積の低減効率をさらに高めることができる。

20

【 0 0 6 0 】

次に、第2実施形態のスタンダードセル60のレイアウトについて説明する。図10は第2実施形態のスタンダードセル60の半導体層のレイアウトを示す模式図であり、図11は第2実施形態のスタンダードセル60の配線のレイアウトを示す模式図である。図10及び図11に示すスタンダードセル60は、図9に示すラッチ回路を構成する。

【 0 0 6 1 】

図10において、符号1はpMOS拡散層を示し、符号2はnMOS拡散層を示し、符号3はポリシリコン層を示す。ポリシリコン層3及び当該ポリシリコン層3を間にして配置されたpMOS拡散層1によりpMOSトランジスタが形成されている。また、ポリシリコン層3及び当該ポリシリコン層3を間にして配置されたnMOS拡散層2によりnMOSトランジスタが形成されている。図10に示す符号10、51、52、53、54は、図9に示すラッチ回路の符号と対応している。なお、図10において、pMOS拡散層1、nMOS拡散層2及びポリシリコン層3のレイアウトは、一例であって、図10のレイアウトに限定されるものではない。

30

【 0 0 6 2 】

図11において、上段の図は第1配線4のレイアウトを示し、中段の図は第2配線5のレイアウトを示し、下段の図は第3配線6のレイアウトを示す。図11に示すように、第1配線4は、電源配線VDD、VSS、及びスタンダードセル50内の一部の信号線の配線に用いられる。第1配線4は、配線間接続ビア(図8において、符号Xで示す)を介してpMOS拡散層1、nMOS拡散層2及びポリシリコン層3の所要の位置に接続されている。

40

【 0 0 6 3 】

また、図11に示すように、第2配線5は、データ入力端子D1、D2、D3、D4及びデータ出力端子Q1、Q2、Q3、Q4に接続してある。第2配線5は、スタンダードセル50内の第1配線4より上層の配線である。第2配線5は、第1配線4より上層であればよく、第1配線4と第2配線5との間に他の層の配線を設ける構成を排除しない。

50

【 0 0 6 4 】

また、図 1 1 に示すように、第 3 配線 6 は、クロック信号端子 c k に接続してある。第 3 配線 6 は、第 2 配線 5 より上層であればよく、第 2 配線 5 と第 3 配線 6 との間に他の層の配線を設ける構成を排除しない。なお、第 1 配線 4、第 2 配線 5 及び第 3 配線 6 のレイアウトは一例であって、図 1 1 の構成に限定されるものではない。

【 0 0 6 5 】

これにより、スタンダードセル 6 0 内の第 1 配線 4 に伴う面積増加を抑制することができる。また、スタンダードセル 6 0 同士を接続する配線を第 2 配線 5 に統一することができ、スタンダードセル 6 0 内の第 1 配線 4 と交差又は重なるように第 2 配線 5 を配線することができるという配線自由度が増すので他のスタンダードセルとの接続性を向上させることができる。

10

【 0 0 6 6 】

また、データ入力端子 D 1 ~ D 4 及びデータ出力端子 Q 1 ~ Q 4 に接続する配線と、クロック端子 c k に接続する配線とを、スタンダードセル 6 0 内で交差又は重なって配線することができ、スタンダードセル 6 0 の面積増加をさらに抑制することができる。

【 0 0 6 7 】

図 1 2 は本実施の形態の半導体装置のメモリアレイ回路 7 0 の構成の一例を示す模式図である。本実施の形態の半導体装置は、メモリアレイ回路 7 0 を備える。図 1 2 に示すように、メモリアレイ回路 7 0 は、図 9 に例示した 4 ビットラッチセル（スタンダードセル 6 0）を 8 個使用して、1ワードを構成することができる。これにより、回路面積が小さく、消費エネルギーが小さい半導体メモリを実現することができる。

20

【 0 0 6 8 】

なお、図 9 に例示した 4 ビットラッチセルに代えて、図 1 に例示した 1 ビットラッチセル（スタンダードセル 5 0）を 3 2 個使用して、1ワードを構成することもできる。この場合も、回路面積が小さく、消費エネルギーが小さい半導体メモリを実現することができる。

【 0 0 6 9 】

図 1 3 は本実施の形態の半導体メモリ装置 1 0 0 の要部構成の一例を示すブロック図である。図 1 3 に示すように、半導体メモリ装置 1 0 0 は、スタンダードセル 5 0 又は 6 0 で構成されるメモリアレイ回路 7 0、データ書き込み回路 8 0、データ読み出し回路 9 0 などを備える。また、データ書き込み回路 8 0 は、選択回路 8 1、1ワード書き込みラッチ 8 2、選択的クロック生成回路 8 3、書き込み選択回路 8 4などを備える。データ書き込み回路 8 0 は、1ワード単位のデータを書き込む場合、アドレスをデコードして、メモリアレイ回路 7 0 のどのラッチにデータを書き込むかを選択する。

30

【 0 0 7 0 】

書き込み選択回路 8 4 の出力段には、インバータ、NAND 2 又は NOR 2 が接続されており、メモリアレイ回路 7 0 内の各ラッチのデータ入力端子に当該素子（インバータ、NAND 2 又は NOR 2）の出力を接続してある。

【 0 0 7 1 】

図 1 4 は本実施の形態のデータ読み出し回路 9 0 の構成の一例を示すブロック図である。図 1 4 に示すように、データ読み出し回路 9 0 は、読み出しデコーダ 9 1、読み出し出力回路 9 2などを備える。また、読み出し出力回路 9 2 は、複数の AOI 2 2（9 3）及び複数の NAND 2（9 4）などを備える。

40

【 0 0 7 2 】

図 1 5 は AOI 2 2（9 3）の構成を示す回路図であり、図 1 6 は AOI 2 2（9 3）の動作を示す論理図である。AOI 2 2（9 3）は、4 個の入力 A 0、A 1、B 0、B 1 及び 1 個の出力 Y を有する。図 1 4 に示すように、AOI 2 2（9 3）の 1 組の入力（例えば、A 0 及び A 1）のうちの一つの入力には、メモリアレイ回路 7 0 内の 1 個のラッチのデータ出力端子が接続され、他の入力には、読み出しデコーダ 9 1 の出力が接続される。すなわち、前述のスタンダードセル 5 0、6 0 のラッチ回路のデータ出力端子には A O

50

I 2 2 (9 3) の一つの入力のみが接続された構成となっている。

【 0 0 7 3 】

すなわち、本実施形態の半導体メモリ装置 1 0 0 は、複数の A O I 2 2 (9 3) を有するデータ読み出し回路 (メモリ読出回路) 9 0 を備える。スタンダードセル 5 0、6 0 のデータ出力端子に A O I 2 2 (9 3) の一の入力を接続してある。すなわち、ラッチ回路 (ラッチセル) の 1 個のデータ出力端子には、A O I 2 2 の 1 個の入力だけを接続する構成とする。

【 0 0 7 4 】

従来 of ラッチ回路では、出力端に様々な回路が接続される可能性があるため、様々な回路が接続された場合でも、十分な電流を駆動できるように出力端の前段には、一般的にインバータを付加している。しかし、本実施の形態では、ラッチ回路のデータ出力端子には、A O I 2 2 の 1 個の入力だけを接続する構成としているので、電流を駆動するためのインバータを設ける必要がなく、トランジスタの数を低減することができる。

10

【 0 0 7 5 】

データ読み出し回路 9 0 は、1ワード単位のデータを読み出す場合、アドレスをデコードして、メモリアレイ回路 7 0 のどのラッチからデータを読み出すかを選択する。

【符号の説明】

【 0 0 7 6 】

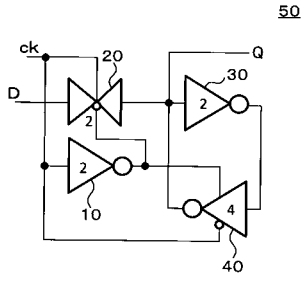
- 1 p M O S 拡散層
- 2 n M O S 拡散層
- 3 ポリシリコン層
- 4 第 1 配線
- 5 第 2 配線
- 6 第 3 配線
- 1 0 反転回路
- 2 0 トランスマッションゲート
- 3 0 インバータ
- 4 0 クロックインバータ
- 1 1、2 1、3 1、4 1、4 2 p M O S トランジスタ
- 1 2、2 2、3 2、4 3、4 4 n M O S トランジスタ
- 5 0、6 0 スタンダードセル
- 5 1、5 2、5 3、5 4 ラッチ回路
- 7 0 メモリアレイ回路
- 8 0 書き込み回路
- 8 1 選択回路
- 8 2 1ワード書き込みラッチ
- 8 3 選択的クロック生成回路
- 8 4 書き込み選択回路
- 9 0 読み出し回路
- 9 1 読み出しデコーダ
- 9 2 読み出し出力回路
- 9 3 A O I 2 2
- 9 4 N A N D 2

20

30

40

【図1】

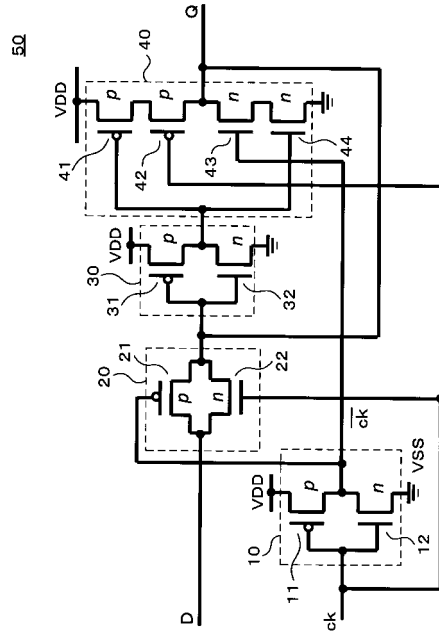


【図2】

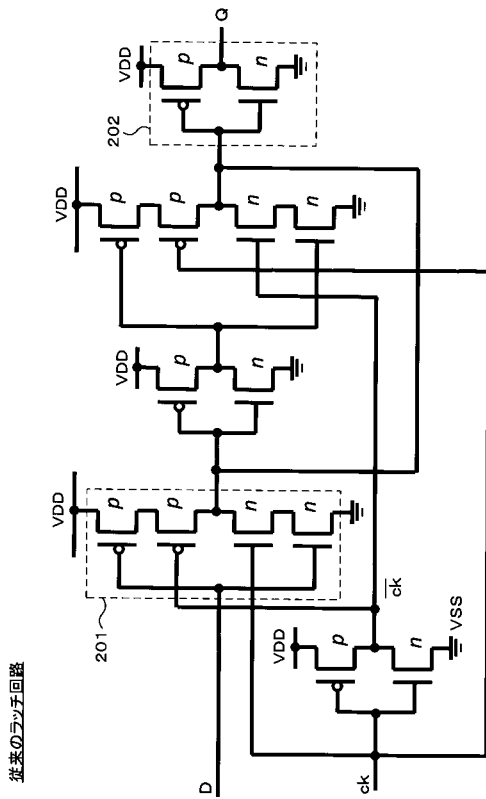
ck	1	0
D	1	-
Q	1	1

ck	1	0
D	0	-
Q	0	0

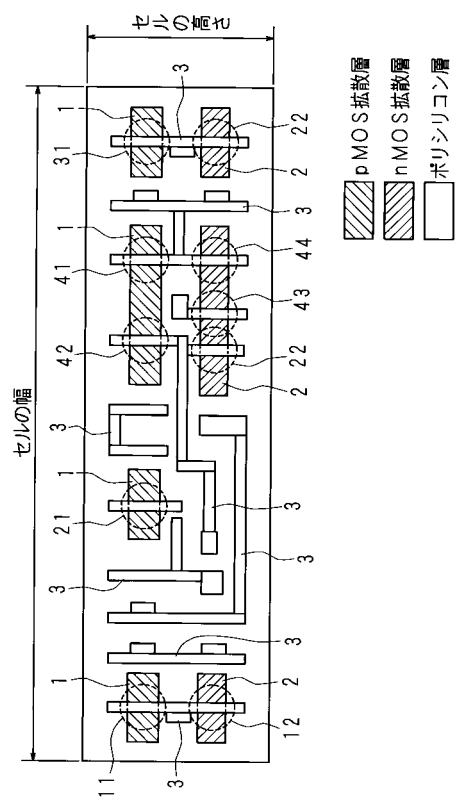
【図3】



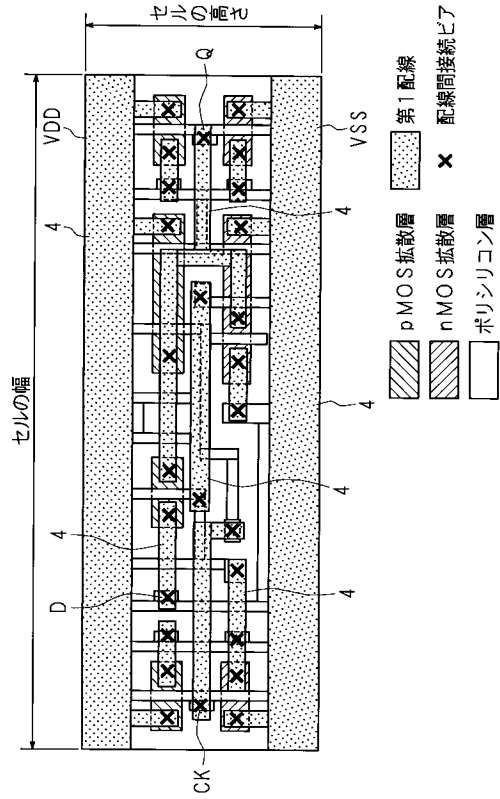
【図4】



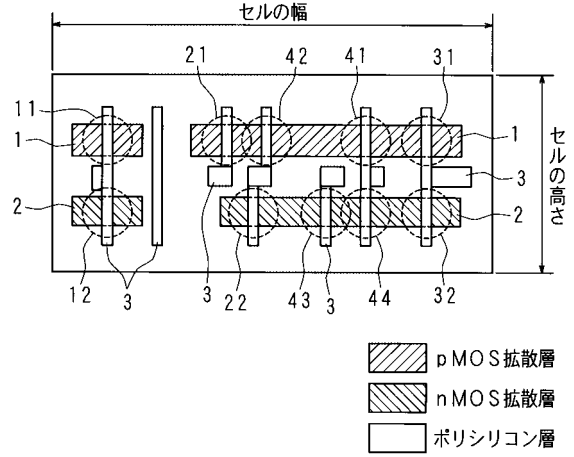
【図5】



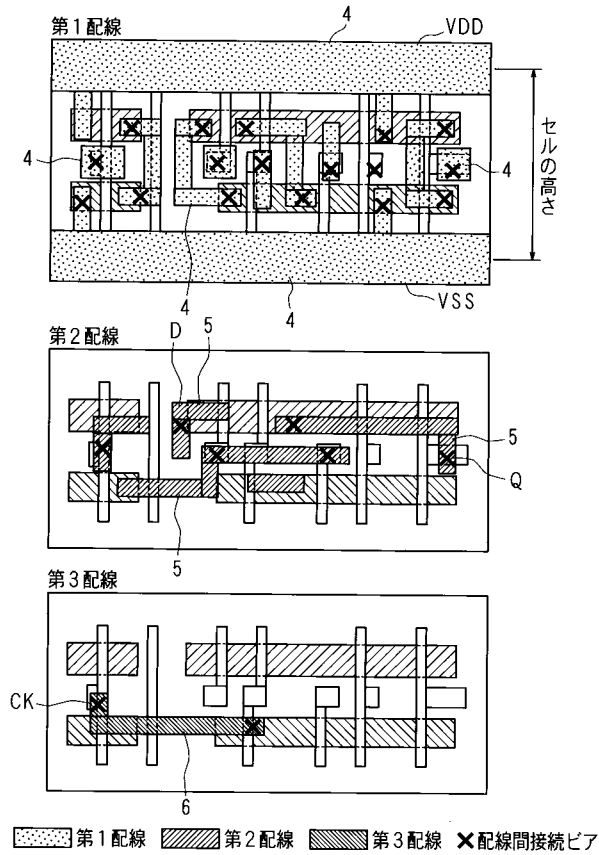
【図6】



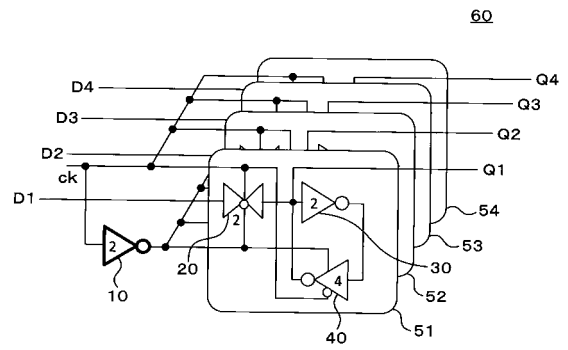
【図7】



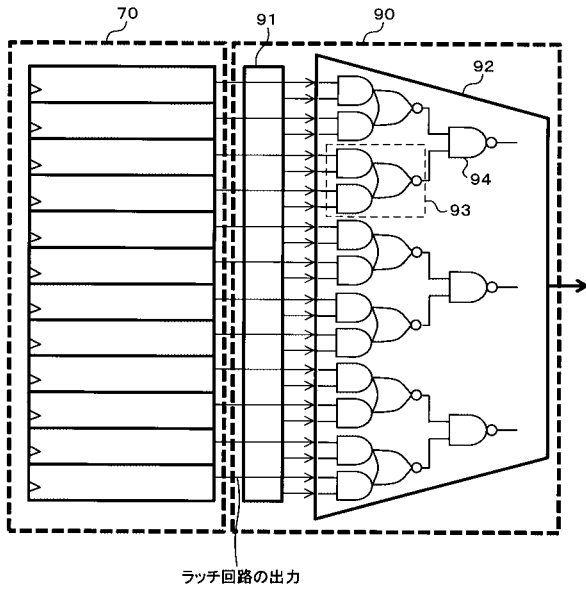
【図8】



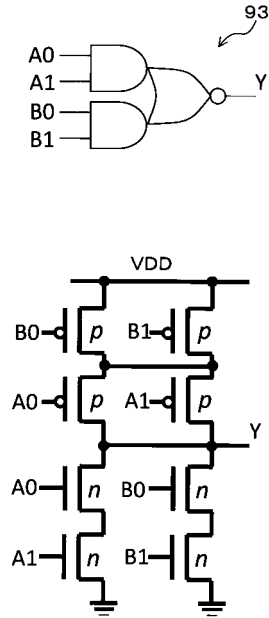
【図9】



【 図 1 4 】



【 図 1 5 】



【 図 1 6 】

A0	A1	B0	B1	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

フロントページの続き

Fターム(参考) 5F064 AA04 BB03 BB04 BB05 BB06 BB07 BB12 BB19 BB28 CC10
CC12 DD02 DD03 DD05 DD09 DD10 DD19 DD25 DD31 EE14
EE23 EE26 EE52 EE54 HH06 HH12
5J056 AA04 BB52 BB57