

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-139314

(P2017-139314A)

(43) 公開日 平成29年8月10日(2017.8.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 D	5 F 0 3 3
HO 1 L 27/04 (2006.01)	HO 1 L 21/82 W	5 F 0 3 8
HO 1 L 21/82 (2006.01)	HO 1 L 27/04 L	5 F 0 6 4
HO 1 L 23/522 (2006.01)	HO 1 L 21/88 Z	
HO 1 L 21/768 (2006.01)		

審査請求 未請求 請求項の数 18 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2016-18817(P2016-18817)
 (22) 出願日 平成28年2月3日(2016.2.3)

(出願人による申告)平成27年度、国立研究開発法人科学技術振興機構、戦略的創造研究推進事業(ACCCEL)の研究課題「近接場結合集積技術による革新的情報処理システムの実現と応用展開」における、研究題目「近接場結合集積技術ならびに高効率情報処理システムの研究開発」に係る委託研究、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 899000079
 学校法人慶應義塾
 東京都港区三田2丁目15番45号
 (74) 代理人 100094525
 弁理士 土井 健二
 (74) 代理人 100094514
 弁理士 林 恒徳
 (74) 代理人 100105337
 弁理士 眞鍋 深
 (72) 発明者 黒田 忠広
 神奈川県横浜市港北区日吉3丁目14番1号 慶應義塾大学工学部内
 Fターム(参考) 5F033 UU04 VV04 VV05 VV08 XX23
 5F038 AZ04 CA02 CA05 CA09 CD02
 CD17 EZ08 EZ20

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

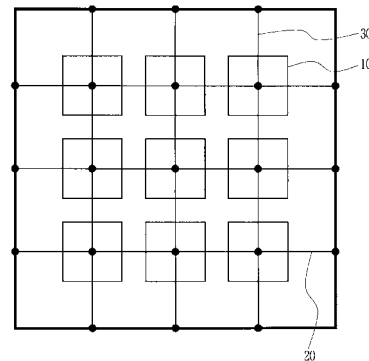
(57) 【要約】

【課題】半導体集積回路装置に関し、電源網を工夫することによって、コイル間の誘導結合度の改善と電源線における電源電圧降下の抑制を両立する。

【解決手段】基板上に設けた多層配線構造における同一の水平位置に形成され、所定の間隔で配置された複数のコイルからなる第1のコイルアレイの全てのコイル内部を前記多層配線構造の積層方向から見てX方向を通過する第1の電源配線群と、Y方向を通過する第2の電源配線群を備えた電源網を設け、前記第1の電源配線群の少なくとも一部と前記第2の電源配線群の少なくとも一部により、前記コイルの周辺を囲む閉回路を形成する。

【選択図】 図1

本発明の実施の形態の半導体集積回路装置の送受信コイル配置部のシミュレーション図



10: コイル 20: 第1の電源配線群 30: 第2の電源配線群

【特許請求の範囲】

【請求項 1】

基板上に設けた多層配線構造における同一の水平位置に形成され、所定の間隔で配置された複数のコイルからなる第 1 のコイルアレイと、

前記多層配線構造の積層方向から見て全ての前記コイルの内部の X 方向を通過する電源線と接地線との電源線対からなる第 1 の電源配線群と、前記多層配線構造の積層方向から見て全ての前記コイルの内部の前記 X 方向と直交する Y 方向を通過する電源線と接地線との電源線対からなる第 2 の電源配線群を備えた電源網とを有し、

前記第 1 の電源配線群の少なくとも一部と前記第 2 の電源配線群の少なくとも一部は、前記コイルの周辺を囲む閉回路を形成する半導体集積回路装置。

10

【請求項 2】

前記コイルが、前記第 1 の電源配線群と平行な第 1 のコイル要素と、前記第 2 の電源配線群と平行な第 2 のコイル要素から形成される請求項 1 に記載の半導体集積回路装置。

【請求項 3】

前記第 1 のコイル要素と前記第 2 のコイル要素が、互いに異なった層準の配線で形成され、

前記第 1 のコイル要素と前記第 2 のコイル要素が交互にビアによって接続されている請求項 2 に記載の半導体集積回路装置。

【請求項 4】

前記第 1 のコイルアレイに対して、前記第 1 のコイルアレイと同じ間隔で配置した前記多層配線構造により形成された第 2 のコイルアレイを、前記第 1 のコイルアレイと所定間隔だけずれて重なるように配置し、

20

前記第 1 の電源配線群が前記多層配線構造の積層方向から見て前記第 2 のコイルアレイを構成する全ての前記コイルの内部の X 方向を通過し、

前記第 2 の電源配線群が前記多層配線構造の積層方向から見て前記第 2 のコイルアレイを構成する全ての前記コイルの内部の前記 Y 方向を通過する請求項 3 に記載の半導体集積回路装置。

【請求項 5】

前記第 1 のコイル要素と前記第 2 のコイル要素が、同じ層準の配線で形成され、

前記第 1 の電源配線群及び前記第 2 の電源配線群が前記第 1 のコイル要素及び前記第 2 のコイル要素と異なった層準の配線により形成されている請求項 2 に記載の半導体集積回路装置。

30

【請求項 6】

前記第 1 のコイル要素及び前記第 2 のコイル要素と前記第 1 の電源配線群及び前記第 2 の電源配線群とが同一の基板上に設けた前記多層配線構造により形成されている請求項 2 乃至請求項 5 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 7】

前記第 1 のコイル要素及び前記第 2 のコイル要素と、前記第 1 の電源配線群及び前記第 2 の電源配線群とが互いに異なった基板上に設けた前記多層配線構造により形成されている請求項 2 乃至請求項 5 のいずれか 1 項に記載の半導体集積回路装置。

40

【請求項 8】

前記コイルが、前記第 1 の電源配線群に対して斜め方向の第 3 のコイル要素と、前記第 2 の電源配線群に対して斜め方向の第 4 のコイル要素から形成される請求項 1 に記載の半導体集積回路装置。

【請求項 9】

前記第 3 のコイル要素と前記第 4 のコイル要素が、互いに異なった層準の配線で形成され、

前記第 3 のコイル要素と前記第 4 のコイル要素が交互にビアによって接続されている請求項 8 に記載の半導体集積回路装置。

【請求項 10】

50

前記第 1 のコイルアレイに対して、前記第 1 のコイルアレイと同じ間隔で配置した前記多層配線構造により形成された第 2 のコイルアレイを、前記第 1 のコイルアレイと所定間隔だけずれて重なるように配置し、

前記第 1 の電源配線群が前記多層配線構造の積層方向から見て前記第 2 のコイルアレイを構成する全ての前記コイルの内部の X 方向を通過し、

前記第 2 の電源配線群が前記多層配線構造の積層方向から見て前記第 2 のコイルアレイを構成する全ての前記コイルの内部の前記 Y 方向を通過する請求項 9 に記載の半導体集積回路装置。

【請求項 1 1】

前記第 3 のコイル要素と前記第 4 のコイル要素が、同じ層準の配線で形成され、

10

前記第 1 の電源配線群及び前記第 2 の電源配線群が前記第 3 のコイル要素及び前記第 4 のコイル要素と異なった層準の配線により形成されている請求項 8 に記載の半導体集積回路装置。

【請求項 1 2】

前記第 3 のコイル要素及び前記第 4 のコイル要素と前記第 1 の電源配線群及び前記第 2 の電源配線群とが同一の基板に設けた前記多層配線構造により形成されている請求項 8 乃至請求項 1 1 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 1 3】

前記第 3 のコイル要素及び前記第 4 のコイル要素と、前記第 1 の電源配線群及び前記第 2 の電源配線群とが互いに異なった基板に設けた前記多層配線構造により形成されている請求項 8 乃至請求項 1 1 のいずれか 1 項に記載の半導体集積回路装置。

20

【請求項 1 4】

前記第 1 の電源配線群と前記第 2 の電源配線群とが、全ての前記コイルの内部において短絡している請求項 1 乃至請求項 1 3 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 1 5】

前記第 1 の電源配線群と前記第 2 の電源配線群とが、前記コイルの内部の一部において短絡している請求項 1 乃至請求項 1 3 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 1 6】

前記第 1 の電源配線群と前記第 2 の電源配線群とが、前記コイルの内部において所定の周期的間隔で短絡している請求項 1 5 に記載の半導体集積回路装置。

30

【請求項 1 7】

前記第 1 の電源配線群の一端と前記第 2 の電源配線群の一端が、開放端である請求項 1 乃至請求項 1 6 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 1 8】

前記第 1 のコイルアレイを構成する各コイルの内部及び前記第 2 のコイルアレイを構成する各コイルの内部を、前記電源線対が複数通過し、

前記第 1 の電源配線群の一端と前記第 2 の電源配線群の一端が開放端である請求項 4 または請求項 1 0 に記載の半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

40

【0 0 0 1】

本発明は、半導体集積回路装置に関するものであり、例えば、誘導結合を用いたデータ通信に用いる送受信コイルを備えた半導体集積回路装置における誘導結合を妨げない電源網の構成に関するものである。

【背景技術】

【0 0 0 2】

磁界は半導体チップを貫通する。半導体チップ上の配線を巻いて作った送信用コイルと受信コイルを近接配置して、信号に応じて送信コイルに流れる電流を変化させると、それに伴いコイル周辺の磁界が変化する。この時、受信コイルに電圧信号が誘起され、受信回路を介して信号を復元する。このような、誘導結合を用いたデータ通信は積層チップ間

50

のデジタル信号接続に用いられる。

【0003】

誘導結合を用いたデータ通信は、シリコン貫通ビア(TSV)を用いた積層チップ間接続などの従来の機械式接続に比べて、集積回路による電子式接続なので、製造歩留まりが高くコストが低いという特長がある。また、信号となる電磁界はトランジスタを設けた半導体基板を貫通できるのでコイル同士の接続場所の制約が少なく通信チャネルを増やして高速にできる或いは静電保護回路が要らないので低電力にできるなどの利点を有する。

【0004】

しかし、コイルの近傍に金属板があると、電磁誘導効果により磁界の変化を打ち消す方向に金属内で渦状の誘導電流(渦電流)が生じ、その結果コイル間の誘導結合が弱くなる。金属板の抵抗が小さいほど渦電流の変化は大きくなり、周辺の磁界の変化を打ち消す力は強くなる。

10

【0005】

半導体チップに設けた送受信コイルは空芯なので、磁界の変化はコイルの辺の周辺で強く生じる。したがって、コイルの近傍に金属板があると、コイルの辺の近くにコイルの辺に沿って渦電流が流れる閉回路ができる。その経路の電気抵抗が低いほど、誘導結合が弱くなることが予想される。

【0006】

一方、半導体チップには電源配線が網目状に設置されることが多い。電源配線における電源電圧降下を抑えるためには電気抵抗を低くすれば良く、そのために、細目で低抵抗な電源網が設置されている。このように電源網とコイルの誘導結合は、電源電圧降下を改善するとコイルの誘導結合が劣化し、コイルの誘導結合を改善すると電源電圧降下が劣化するという相反関係にあり、両方の要求を両立させることが重要になる。

20

【0007】

そこで、本願発明者等は、電磁界シミュレーションによって詳細な検討を行い、さらにテストチップを設計、試作、実測して、電源網の電気抵抗とコイル間の誘導結合の関係を鋭意探求した(例えば、非特許文献1及び非特許文献2参照)。

【0008】

非特許文献1或いは非特許文献2に示しているように、コイルの辺に沿って渦電流が閉回路を流れると誘導結合は著しく低下し、渦電流が閉回路を流れないと誘導結合はほとんど低下しないことが確認された。また、図28に示すように、テストチップを用いた実験結果によれば、渦電流が流れる閉回路をコイルの辺から離すほどに、誘導結合の強さは回復することが確認された。なお、図における符号Zは、送信コイルと受信コイルの間隔である。

30

【0009】

図28は、誘導結合度の渦電流が流れる閉回路とコイルの辺との間隔Xとコイルの辺長Dとの比に対する依存性の説明図である。図28に示すように、コイルの辺に沿って渦電流が流れると($X/D=0$)、誘導結合度は20%程度(1/5程度)に低下する。一方、コイルの辺からコイルの一边の長さDの0.5倍離れたところを渦電流が流れると($X/D=0.5$)、誘導結合度は50%程度(1/2程度)にまで回復することが分かる。

40

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2015-103584号公報

【特許文献2】特許第5475962号

【非特許文献】

【0011】

【非特許文献1】L. Hsu, J. Kadomoto, S. Hasegawa, A. Kosuge, Y. Take, and T. Kuroda, "A Study of Physical Design Guidelines in ThruChip Inductiv

50

e Coupling Channel, "IEICE Trans. on Fundamentals, vol. E98-A, no. 12, pp. 2584-2591, Dec. 2015

【非特許文献2】L. Hsu, Y. Take, A. Kosuge, S. Hasegawa, J. Kadomoto, and T. Kuroda, "Design and Analysis for ThruChip Design for Manufacturing (DFM)," 20th Asia and South Pacific Design Automation Conference (ASP-DAC'15), Proceedings, pp. 46-47, Jan. 19th-22nd. 2015

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、上述の非特許文献1 あるいは非特許文献2 においては、コイルの誘導結合を改善する際に、どのようにして電源電圧降下の劣化を抑制するかについては具体的に検討がなされていない。

【0013】

したがって、半導体集積回路装置において、コイル間の誘導結合度の改善と電源線における電源電圧降下の抑制を両立することを目的とする。

【課題を解決するための手段】

【0014】

開示する一観点からは、基板上に設けた多層配線構造における同一の水平位置に形成され、所定の間隔で配置された複数のコイルからなる第1のコイルアレイと、前記多層配線構造の積層方向から見て全ての前記コイルの内部のX方向を通過する電源線と接地線との電源線対からなる第1の電源配線群と、前記多層配線構造の積層方向から見て全ての前記コイルの内部の前記X方向と直交するY方向を通過する電源線と接地線との電源線対からなる第2の電源配線群を備えた電源網とを有し、前記第1の電源配線群の少なくとも一部と前記第2の電源配線群の少なくとも一部は、前記コイルの周辺を囲む閉回路を形成する半導体集積回路装置が提供される。

【発明の効果】

【0015】

開示の半導体集積回路装置によれば、電源網を工夫することによって、コイル間の誘導結合度の改善と電源線における電源電圧降下の抑制を両立することが可能になる。

【図面の簡単な説明】

【0016】

【図1】本発明の実施の形態の半導体集積回路装置の送受信コイル配置部のシンボル平面図である。

【図2】コイルのシンボル表記の説明図である。

【図3】電源線のシンボル表記の説明図である。

【図4】コイルと電源線を組み合わせた場合のシンボル表記の説明図である。

【図5】コイルアレイと電源線のシンボル表記の説明図である。

【図6】コイルを流れる電流による磁界強度分布の説明図である。

【図7】コイルの周辺に形成される渦電流の流れる閉回路の説明図である。

【図8】誘導結合の電源線網とコイル辺の距離依存性の説明図である。

【図9】本発明の実施例1の半導体集積回路装置の説明図である。

【図10】渦電流の流れる閉回路の説明図である。

【図11】本発明の実施例2の半導体集積回路装置の説明図である。

【図12】本発明の実施例3の半導体集積回路装置の説明図である。

【図13】本発明の実施例4の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。

【図14】渦電流の流れる閉回路の説明図である。

10

20

30

40

50

【図 15】本発明の実施例 5 の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。

【図 16】渦電流の流れる閉回路の説明図である。

【図 17】本発明の実施例 6 の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。

【図 18】渦電流の流れる閉回路の説明図である。

【図 19】本発明の実施例 7 の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。

【図 20】渦電流の流れる閉回路の説明図である。

【図 21】本発明の実施例 8 の半導体集積回路装置の説明図である。

10

【図 22】渦電流の流れる閉回路の説明図である。

【図 23】本発明の実施例 9 の半導体集積回路装置の説明図である。

【図 24】渦電流の流れる閉回路の説明図である。

【図 25】渦電流の流れる閉回路の説明図である。

【図 26】本発明の実施例 10 の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。

【図 27】本発明の実施例 11 の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。

【図 28】誘導結合度の渦電流が流れる閉回路とコイルの辺との間隔 X とコイルの辺長 D との比に対する依存性の説明図である。

20

【発明を実施するための形態】

【0017】

ここで、図 1 乃至図 8 を参照して、本発明の実施の形態の半導体集積回路装置を説明する。図 1 乃至図 4 は、本発明の実施の形態の半導体集積回路装置の構成説明図であり、図 1 は、本発明の実施の形態の半導体集積回路装置の送受信コイル配置部のシンボル平面図であり、図 2 は、コイルのシンボル表記の説明図であり、図 3 は、電源線のシンボル表記の説明図であり、図 4 は、コイルと電源線を組み合わせた場合のシンボル表記の説明図であり、図 5 は、コイルアレイと電源線のシンボル表記の説明図である。

【0018】

図 1 に示すように、所定の間隔で配置された複数のコイル 10 からなる第 1 のコイルアレイは、基板上に設けた多層配線構造における同一の水平位置に形成される。多層配線構造の積層方向から見て全てのコイル 10 の内部の X 方向を通過する電源線と接地線との電源線対からなる第 1 の電源配線群 20 と、多層配線構造の積層方向から見て全てのコイル 10 の内部の前記 X 方向と直交する Y 方向を通過する電源線と接地線との電源線対からなる第 2 の電源配線群 30 を備えた電源網とを有している。これらの第 1 の電源配線群 20 の少なくとも一部と第 2 の電源配線群 30 の少なくとも一部は、コイル 10 の周辺を囲む閉回路を形成する。なお、図 1 では 3 行 3 列のコイルアレイとして示しているが、 m 行 n 列に拡張できる。

30

【0019】

この場合、コイル 10 の形状は、矩形でも、ダイヤ型でも、八角形等の多角形でも、菱形でも良いが、正形状の矩形が典型的な形状である。コイル 10 を矩形の形状にする場合には、図 2 に示すように、コイル 10 を第 1 の電源配線群 20 と平行な第 1 のコイル要素 11 と、第 2 の電源配線群 30 と平行な第 2 のコイル要素 12 から形成すれば良い。電源網に対してダイヤ型のコイル形状とする場合には、第 1 の電源配線群 20 に対して 45° 斜め方向の第 3 のコイル要素と、第 2 の電源配線群 30 に対して 45° 斜め方向の第 4 のコイル要素とを用いれば良い。

40

【0020】

コイル 10 は、図 2 (a) に示すように、第 1 のコイル要素 11 と第 2 のコイル要素 12 を互いに異なった層準の配線で形成し、第 1 のコイル要素 11 と第 2 のコイル要素を交互にビア 13 によって接続すれば良い。この場合のコイルの巻き数は任意である。なお、

50

図 2 (a) の左図はコイルの平面図であり、右図はコイルのシンボル図である。

【 0 0 2 1 】

また、図 2 (b) に示すように、第 1 のコイル要素 1 1 と第 2 のコイル要素 1 2 を同じ層準の配線で形成して平面スパイラルコイルとしても良い。この場合には、第 1 の電源配線群 2 0 及び第 2 の電源配線群 3 0 は、第 1 のコイル要素 1 1 及び第 2 のコイル要素 1 2 と異なった層準の配線により形成することになる。なお、図 2 (b) の左図はコイルの平面図であり、右図はコイルのシンボル図である。或いは、垂直ソレノイドや、平面スパイラルコイルと垂直ソレノイドを組み合わせた巻き方でも良い。垂直ソレノイドを形成する場合には、例えば、M n を層準 n の金属配線とすると、M 2 と M 3 で巻いたあと、更に同じ位置で、M 4 と M 5 で巻けば良い。

10

【 0 0 2 2 】

図 3 に示すように、第 1 の電源配線群 2 0 と第 2 の電源配線群 3 0 は、それぞれ電源線 2 1 , 3 1 と接地線 2 2 , 3 2 との電源線対からなる。図 3 (a) の場合には、互いに層準の異なる電源線 2 1 と電源線 3 1 とが交差位置でビア 4 1 によって短絡し、互いに層準の異なる接地線 2 2 と接地線 3 1 とが交差位置でビア 4 2 によって短絡している。なお、図 3 (a) の左図は電源線の平面図であり、右図は電源線のシンボル図である。また、図 3 (b) は、電源線 2 1 , 3 1 同士或いは接地線 2 2 , 3 2 同士が交差位置で短絡していない場合を示しており、ここでも、図 3 (b) の左図は電源線の平面図であり、右図は電源線のシンボル図である。

20

【 0 0 2 3 】

図 4 は、コイルと電源線を組み合わせた場合のシンボル表記の説明図であり、図 4 (a) はコイル 1 0 の内部において、電源線 2 1 , 3 1 同士或いは接地線 2 2 , 3 2 同士が交差位置で短絡している場合を示している。また、図 4 (b) はコイル 1 0 の内部において、電源線 2 1 , 3 1 同士或いは接地線 2 2 , 3 2 同士が交差位置で短絡していない場合を示している。図 4 (a) 及び図 4 (b) における左図はコイルと電源線を組み合わせた場合の平面図であり、右図はそのシンボル図である。

30

【 0 0 2 4 】

図 5 は、コイルアレイと電源線のシンボル表記の説明図であり、図 5 (a) はコイルアレイと電源線の平面図であり、図 5 (b) はそのシンボル図である。上述の図 1 は、図 5 (b) に対してチップの周辺に設けた電源線を加えたものである。なお、ここでは、各コイル 1 0 の内部において、電源線 2 1 , 3 1 同士或いは接地線 2 2 , 3 2 同士が交差位置で短絡している場合を示しているが、必ずしも全てのコイルの内部で、電源線 2 1 , 3 1 同士或いは接地線 2 2 , 3 2 同士を交差位置で短絡させる必要はない。即ち、一部のコイル 1 0 の内部で選択的に電源線 2 1 , 3 1 同士或いは接地線 2 2 , 3 2 同士を交差位置で短絡させるようにしても良いし、或いは、所定の周期毎に選択的にコイルの内部で電源線 2 1 , 3 1 同士或いは接地線 2 2 , 3 2 同士を交差位置で短絡させるようにしても良い。さらには、電源線 2 1 , 3 1 の一端を開放端にするとともに、接地線 2 2 , 3 2 の一端も開放端にしても良く、その場合には、コイル列の周辺で電源線 2 1 , 3 1 同士或いは接地線 2 2 , 3 2 同士が接続されていれば良く、接続箇所を結ぶ電源線対が閉回路となる。典型的には、チップの周辺に設けた電源線対が閉回路となる。

40

【 0 0 2 5 】

一部のコイル 1 0 の内部或いは所定の周期毎に選択的にコイルの内部で電源線 2 1 , 3 1 同士或いは接地線 2 2 , 3 2 同士を交差位置で短絡させた場合には、着目するコイルに対して、複数の閉回路が形成される。複数の閉回路の効果が重畳する結果、着目するコイルの誘導結合は低下する。しかし、渦電流の経路は拡大するので電気抵抗は大きくなり渦電流効果は小さくなり、その結果、誘導結合の低下が抑制される。

【 0 0 2 6 】

図 6 は、コイルを流れる電流による磁界強度分布の説明図である。コイル 1 0₁ は空芯なのでコイル 1 0₁ の辺の周辺の磁界が強くなる。一方、コイル 1 0₁ の辺の内側は対向する辺の磁界が同じ向きに重なるので、コイル 1 0₁ の辺の外側よりも磁界が強くなる。

50

しかし、コイル 10₁ の外側には別のコイル 10₂ が近接して配置されている。コイルを高密度に配置するほど隣のコイルからの磁界がより強く重なり、コイルの内側よりも外側の方が磁界が強くなる場合が多い。

【0027】

また、電源線を互いに隣接するコイルの間に設置するとき、電源線とコイルの辺の距離は短くなる。したがって、コイルの高密度化の観点から、電源網を通すのはコイルの内側の中央付近が望ましい。図1は、そのような電源網を示している。

【0028】

図7は、コイルの周辺に形成される渦電流の流れる閉回路の説明図である。中央のコイルに着目すると、中央のコイルを囲む8つのコイル10の内部で短絡している第1の電源線群20と第2の電源線群30によって形成される太線で示す閉回路43が中央の太線で示すコイルにおける誘導結合に受ける最も大きな影響を与える渦電流の経路となる。この場合、電源線対20, 30は、コイル10の中央を通っているので、閉回路43は、中央のコイル10の辺からコイルの辺長Dの0.5倍とコイル相互間の間隔の和だけ離れたところを周回することになる。

10

【0029】

図8は、誘導結合の電源線網とコイル辺の距離依存性の説明図であり、電磁界シミュレーションで求めた送受信コイル間の電磁界の透過率を電源網を配置しない場合の透過率で規格化した値として示している。図1に示した配置の場合には、図7で示すように、注目するコイルに最も影響を与える閉回路は、注目するコイルの辺からコイルの辺長Dの0.5倍以上離れた位置を周回するので、誘導結合の劣化は10%以内に納まることが分かる。なお、上述の図28の実験の場合には、コイルの辺に沿う配線を仮定しているため、結果が異なっている。

20

【0030】

また、特許文献1に示すように、第1のコイルアレイに対して、第1のコイルアレイと同じ間隔で配置した同じ多層配線構造により形成された第2のコイルアレイを、第1のコイルアレイと所定間隔だけずれて重なるように配置しても良い。この場合にも、第1の電源配線群が多層配線構造の積層方向から見て第2のコイルアレイを構成する全てのコイルの内部のX方向を通過し、第2の電源配線群が多層配線構造の積層方向から見て第2のコイルアレイを構成する全てのコイルの内部のY方向を通過するように配置する。この場合、互いに重なったコイルは、特許文献1に示すように、時分割或いは位相分割で電磁界通信を行うことになる。

30

【0031】

第1のコイルアレイの各コイルをコイル間に電源線対を配置することが困難な程度に近接配置するとともに、第2のコイルアレイの各コイルをコイル間に電源線対を配置することが困難な程度に近接配置した場合には、各コイルの内部を通過するように、複数の電源線対を配置すれば良い。この場合、各電源線の一端及び接地線の一端を開放端にすることが望ましい。

【0032】

なお、第1のコイル要素及び第2のコイル要素と第1の電源配線群及び第2の電源配線群とを同一の基板に設けた多層配線構造により形成しても良いし、互いに異なった基板に設けた多層配線構造により形成しても良い。

40

【0033】

本発明の実施の形態においては、

- 1) コイルの中央付近に電源線対を通す、
 - 2) コイルの中央付近で交差する電源線対はビアで接続する、
 - 3) コイルの一部を重ねたとき、コイルの辺の間を通る電源線対はコイル列の中ではビアで接続せずにコイル列の外側でビアにより接続する
- という構成を採用している。

その結果、

50

1) 渦電流の経路となる閉回路を、コイルからコイルの辺長の0.5倍以上離すことができるので、電源線網によるコイルの誘導結合の低下を抑えることができる。

2) 電源線対を密に配置することができるので、電源線網の電気抵抗の増大を抑えることができる。

3) コイルの中央付近に電源線対を通してあるので、誘導結合通信用のコイルのレイアウト密度を高くできる

という作用効果が得られる。

【実施例1】

【0034】

次に、図9及び図10を参照して、本発明の実施例1の半導体集積回路装置を説明する。図9は、本発明の実施例1の半導体集積回路装置の説明図であり、図9(a)は送受信コイルアレイ配置領域のシンボル図であり、図9(b)は、送受信コイルアレイ配置領域の概略的断面図である。図9(a)に示すように、各コイル50の中央付近をX方向には電源線対60が通過し、Y方向には電源線対70が通過し、各コイル50の中央部で、電源線対60と電源線対70の電源線同士及び接地線同士がビア80により接続されている。なお、図9(a)においては、コイルアレイは6行6列で示しているが、m行n列に拡張されるものである。

10

【0035】

図9(a)及び図9(b)に示すように、各コイル50は、シリコン基板55上に形成された多層配線構造56を利用して互いに層準が異なる配線によるコイル要素51とコイル要素52を交互にビア53により接続して形成されている。また、電源線対60は、コイル要素51と平行な同じ層準の配線によって形成され、電源線対70はコイル要素52と平行な同じ層準の配線によって形成される。なお、ここでは、層準の違いを実線と破線で示しており、以後、線種が異なる場合は層準の違いを表している。

20

【0036】

図10は、渦電流の流れる閉回路の説明図であり、ここでは、太線で示した着目するコイルに対して最大の影響を与える太線で示した閉回路83を示している。電界シミュレーションの結果によると、実施例1の電磁界の透過率は、電源網を設けない場合の透過率を1にした場合に、0.90となり、10%の低下で透過率の劣化が押さえられている。なお、電界シミュレーションに際しては、コイルの辺長Dを100 μ m、互いに隣接するコイル辺同士の間隔を20 μ m、コイル要素の線幅を7 μ m、電源線及び接地線の線幅を10 μ mとしている。

30

【0037】

このように、実施例1においては、各コイル50の中央付近を通過するように電源線対60及び電源線対70を配置し、各コイル50の中央付近で電源線対60及び電源線対70の電源線同士及び接地線同士を接続しているため、コイルのレイアウト密度を高くできるとともに、電源網の電源電圧降下を抑制することができる。

【0038】

また、着目するコイルに最大の影響を与える渦電流の流れる閉回路は、コイルの辺長Dの0.5倍以上離れた位置に形成されるので、渦電流による誘導結合の低下を10%程度に抑制することができる。

40

【実施例2】

【0039】

次に、図11を参照して、本発明の実施例2の半導体集積回路装置を説明する。図11は、本発明の実施例2の半導体集積回路装置の説明図であり、図11(a)は送受信コイルアレイ配置領域のシンボル図であり、図11(b)は、送受信コイルアレイ配置領域の概略的断面図である。図11(a)に示すように、積層方向から見て各コイル90の中央付近をX方向には電源線対60が通過し、Y方向には電源線対70が通過し、各コイル90の中央部で、電源線対60と電源線対70の電源線同士及び接地線同士がビア80により接続されている。なお、図11(a)においては、コイルアレイは6行6列で示してい

50

るが、 m 行 n 列に拡張されるものである。

【0040】

但し、図11(a)及び図11(b)に示すように、各コイル90は、シリコン基板55上に形成された多層配線構造56を利用して互いに同じ層準の配線によるコイル要素91とコイル要素92により形成される平面スパイラルコイルである。したがって、電源線対60及び電源線対70はコイル90の内部を通過できないので、電源線対60及び電源線対70はコイル要素91及びコイル要素92と異なった層準の配線によって形成される。

【0041】

この場合の着目するコイルに対して最大の影響を与える閉回路は実施例1と同様であり、実施例1と同様に、電磁界の透過率の劣化を抑制することができる。また、コイルのレイアウト密度を高くすることができるとともに、電源網の電源電圧降下を抑制することができる。

10

【実施例3】

【0042】

次に、図12を参照して、本発明の実施例3の半導体集積回路装置を説明する。図12は、本発明の実施例3の半導体集積回路装置の説明図であり、図12(a)は送受信コイルアレイ配置領域のシンボル図であり、図12(b)は、送受信コイルアレイ配置領域の概略的断面図である。図12(a)に示すように、積層方向から見て各コイル90の中央付近を X 方向には電源線対60が通過し、 Y 方向には電源線対70が通過し、各コイル90の中央部で、電源線対60と電源線対70の電源線同士及び接地線同士がビア80により接続されている。なお、図11(a)においては、コイルアレイは6行6列で示しているが、 m 行 n 列に拡張されるものである。

20

【0043】

図12(a)及び図12(b)に示すように、各コイル90は、シリコン基板57上に形成された多層配線構造58を利用して互いに同じ層準の配線によるコイル要素91とコイル要素92により形成される平面スパイラルコイルである。したがって、電源線対60及び電源線対70はコイル90の内部を通過できないので、電源線対60及び電源線対70はコイル要素91及びコイル要素92とは互いに異なったシリコン基板55に設けた多層配線構造56を利用して形成する。

30

【0044】

この場合の着目するコイルに対して最大の影響を与える閉回路は実施例1と同様であり、実施例1と同様に、電磁界の透過率の劣化を抑制することができる。また、コイルのレイアウト密度を高くすることができるとともに、電源網の電源電圧降下を抑制することができる。

【実施例4】

【0045】

次に、図13及び図14を参照して、本発明の実施例4の半導体集積回路装置を説明する。図13は、本発明の実施例4の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。図13に示すように、所定の周期の位置の各コイル50の中央部で、電源線対60と電源線対70の電源線同士及び接地線同士がビア80により接続されている。なお、図13においては、コイルアレイは6行6列で示しているが、 m 行 n 列に拡張されるものである。

40

【0046】

図14は、渦電流の流れる閉回路の説明図であり、ここでは、太い実線で示す着目するコイルに対して最大の影響を与える太い実線で示す閉回路84と太い破線で示す閉回路85を示している。電界シミュレーションの結果によると、実施例4の電磁界の透過率は、電源網を設けない場合の透過率を1にした場合に、0.95となり、5%の低下で透過率の劣化が押さえられている。なお、電界シミュレーションに際しては、コイルの辺長 D を $100\mu\text{m}$ 、互いに隣接するコイル辺同士の間隔を $20\mu\text{m}$ 、コイル要素の線幅を $7\mu\text{m}$

50

、電源線及び接地線の線幅を $10\ \mu\text{m}$ としている。

【0047】

このように、実施例4においては、各コイル50の中央付近を通過するように電源線対60及び電源線対70を配置し、所定の周期に配置されたコイル50の中央付近で電源線対60及び電源線対70の電源線同士及び接地線同士を接続しているため、渦電流による電磁界の透過率の低下をより抑制することができる。なお、コイルのレイアウト密度を高くすることができるとともに、電源網の電源電圧降下を抑制することができる点は、実施例1と同様である。

【0048】

なお、実施例4においては、実施例1と同様に、コイル要素51及びコイル要素52を互いに異なった層準の配線で形成しているが、実施例2或いは実施例3と同様に、平面スパイラルコイルとしても良い。その場合には、実施例2と同様に、電源線対60及び電源線対70はコイル要素51及びコイル要素52とは同じチップに設けた多層配線構造を利用して形成しても良いし、或いは、実施例3と同様に、互いに異なったチップに設けた多層配線構造を利用して形成しても良い。

【実施例5】

【0049】

次に、図15及び図16を参照して、本発明の実施例5の半導体集積回路装置を説明する。図15は、本発明の実施例5の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。図15に示すように、第1のコイルアレイを構成するコイル50₁に対して第1のコイルアレイと同じ構成のコイル50₂からなる第2のコイルアレイをコイル50₁とコイル50₂とがずれて重なるように配置する。このような配置は、コイル要素51₁、51₂とコイル要素52₁、52₂を互いに異なる層準の配線で形成することによって可能になる。

【0050】

また、電源線対60₁、60₂の一端と、電源線対70₁、70₂の一端は開放端として、コイル50₁、50₂の内部においては、電源線対60₁、60₂と、電源線対70₁、70₂とは短絡しないようにしている。この場合、互いに重なり合うコイルは時分割或いは位相分割で電磁界通信を行うことになる。なお、図15においては、各コイルアレイは3行3列で示しているが、 m 行 n 列に拡張されるものである。

【0051】

図16は、渦電流の流れる閉回路の説明図であり、各コイル50₁、50₂の内部においては、電源線対60₁、60₂と、電源線対70₁、70₂とは短絡していないので、太線で示す着目するコイルに最大の影響を与える閉回路86は、コイルアレイの外側に形成される。したがって、閉回路86は各コイル50₁、50₂の辺から大幅に離れているので、渦電流による影響を大幅に小さくすることができる。なお、ここでは、理解しやすいように、閉回路86を実際の閉回路より内側に一点鎖線で示している。或いは、コイル列の周辺で電源線対60₁、60₂と、電源線対70₁、70₂とが接続されていれば良く、接続箇所を結ぶ電源線対が閉回路となる。

【実施例6】

【0052】

次に、図17及び図18を参照して、本発明の実施例6の半導体集積回路装置を説明する。図17は、本発明の実施例6の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図であり、コイルの配置及び電源線付の配置は上記の実施例5と同様である。但し、この実施例6においては所定の周期の位置に配置されたコイル50₁、50₂の中央部において、電源線対60₁、60₂と、電源線対70₁、70₂とを短絡させている。この場合も、互いに重なり合うコイルは時分割或いは位相分割で電磁界通信を行うことになる。なお、図17においては、各コイルアレイは3行3列で示しているが、 m 行 n 列に拡張されるものである。

【0053】

10

20

30

40

50

図18は、渦電流の流れる閉回路の説明図であり、太線で示す着目する中央のコイル50₁に大きな影響を与える3つの閉回路、即ち、太い実線で示す閉回路87、太い一点鎖線で占めず閉回路88及び太い二点鎖線で示す閉回路89が形成される。閉回路88、89の辺の2辺の一部は着目する中央のコイル50₁の辺から0.5D以下の距離に近接して配置されるが、その他の部分はかなり離れた距離になるので、渦電流の影響は小さくなる。

【実施例7】

【0054】

次に、図19及び図20を参照して、本発明の実施例7の半導体集積回路装置を説明する。図19は、本発明の実施例7の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。図19に示すように、第1のコイルアレイを構成するコイル50₁に対して第1のコイルアレイと同じ構成のコイル50₂からなる第2のコイルアレイをコイル50₁とコイル50₂とがずれて重なるように配置する。このような配置は、コイル要素51₁、51₂とコイル要素52₁、52₂を互いに異なる層準の配線で形成することによって可能になる。

10

【0055】

但し、ここでは、各コイルアレイの互いに隣接するコイル50₁、50₂同士の間には電源線対60及び電源線対70が配置できない程度に密集してコイル50₁、50₂を配置する。したがって、各コイル50₁、50₂の内部を2本ずつの電源線対60及び電源線対70が通過するように、電源線対60、70を配置する。また、各電源線対60、70は中央部近傍で断線するフィッシュボーン状の配線とする。この場合も、互いに重なり合うコイルは時分割或いは位相分割で電磁界通信を行うことになる。なお、図19においては、各コイルアレイは3行3列で示しているが、m行n列に拡張されるものである。

20

【0056】

図20は、渦電流の流れる閉回路の説明図であり、各コイル50₁、50₂の内部においては、電源線対60と、電源線対70とは短絡していないので、着目するコイルに最大の影響を与える閉回路86は、コイルアレイの外側に形成される。したがって、閉回路86は各コイル50₁、50₂の辺から大幅に離れているので、渦電流による影響を大幅に小さくすることができる。なお、ここでも、理解しやすいように、閉回路86を実際の閉回路より内側に一点鎖線で示している。或いは、コイル列の周辺で電源線対60と、電源線対70とが接続されていれば良く、接続箇所を結ぶ電源線対が閉回路となる。

30

【実施例8】

【0057】

次に、図21及び図22を参照して、本発明の実施例8の半導体集積回路装置を説明する。図21は、本発明の実施例8の半導体集積回路装置の説明図であり、図21(a)は送受信コイルアレイ配置領域のシンボル図であり、図21(b)は、送受信コイルアレイ配置領域の概略的断面図である。図21(a)に示すように、各コイル100の中央付近をX方向には電源線対60が通過し、Y方向には電源線対70が通過し、各コイル100の中央部で、電源線対60と電源線対70の電源線同士及び接地線同士がビア80により接続されている。但し、この実施例8においては、各コイル100は、電源線対60に対して45°傾斜した配線で形成されるコイル要素101と電源線対70に対して45°傾斜した配線で形成されたコイル要素102からなるダイヤ型のコイル100である。なお、図21(a)においては、コイルアレイは最外周の配置が6行5列で示しているが、m行n列に拡張されるものである。

40

【0058】

図21(b)に示すように、各コイル100は、シリコン基板55上に形成された多層配線構造56を利用して同じ層準の配線によるコイル要素101とコイル要素102により形成される平面スパイラルコイルである。したがって、電源線対60及び電源線対70はコイル100の内部を通過できないので、電源線対60及び電源線対70はコイル要素101及びコイル要素102と異なった層準の配線によって形成される。

50

【0059】

図22は、渦電流の流れる閉回路の説明図であり、ここでは、太線で示す着目するコイルに対して最大の影響を与える閉回路111を太い実線で示している。電界シミュレーションの結果によると、実施例8の電磁界の透過率は、電源網を設けない場合の透過率を1にした場合に、0.80となり、20%の低下で透過率の劣化が押さえられている。なお、電界シミュレーションに際しては、コイルの辺長Dを100 μ m、互いに隣接するコイル辺同士の間隔を20 μ m、コイル要素の線幅を7 μ m、電源線及び接地線の線幅を10 μ mとしている。

【0060】

このように、実施例8においては、コイル要素と電源線対を45°傾斜させているので、特許文献2で示したように、コイルとX-Y方向に配置された電源線対との間のクロストークを小さくすることができる。ビオ・サバルの法則（微小な長さの電流要素によってr離れた位置に作られる微小な磁場を計算する式）から理解できるように、電源網とコイル辺が斜めに対向すると、両者の距離が離れ角度も付くことから、渦電流を効果的に減少することができる。なお、実施例8の場合も、実施例1と同様に、コイル100を互いに層準の異なるコイル要素を接続して形成しても良い。或いは、実施例3のように、コイル要素と、電源線対を互いに異なったチップに形成した多層配線構造を利用して形成しても良い。

10

【実施例9】

【0061】

次に、図23乃至図25を参照して、本発明の実施例9の半導体集積回路装置を説明する。図23は、本発明の実施例9の半導体集積回路装置の説明図であり、図23(a)は送受信コイルアレイ配置領域のシンボル図であり、図23(b)は、送受信コイルアレイ配置領域の概略的断面図である。図23(a)に示すように、実施例8と同様に、各コイル100の中央付近をX方向には電源線対60が通過し、Y方向には電源線対70が通過している。但し、実施例9においては所定の周期の位置に配置されたコイル100の中央部で、電源線対60と電源線対70の電源線同士及び接地線同士がビア80により接続されている。なお、図23(a)においては、コイルアレイは最外周の配置が6行5列で示しているが、m行n列に拡張されるものである。

20

【0062】

図23(b)に示すように、各コイル100は、シリコン基板57上に形成された多層配線構造58を利用して同じ層準の配線によるコイル要素101とコイル要素102により形成される平面スパイラルコイルである。したがって、電源線対60及び電源線対70はコイル100の内部を通過できないので、電源線対60及び電源線対70はコイル要素101及びコイル要素102と互いに異なったシリコン基板55上に形成された多層配線構造56を利用して形成される。

30

【0063】

図24は、渦電流の流れる閉回路の説明図であり、ここでは、その内部において電源線対60と電源線対70が交差位置において短絡していないコイルに着目しており、太線で示す着目するコイルに対して最大の影響を与える2つの閉回路112, 113を太い実線で示している。電界シミュレーションの結果によると、実施例9の電磁界の透過率は、電源網を設けない場合の透過率を1にした場合に、0.88となり、12%の低下で透過率の劣化が押さえられている。なお、電界シミュレーションに際しては、コイルの辺長Dを100 μ m、互いに隣接するコイル辺同士の間隔を20 μ m、コイル要素の線幅を7 μ m、電源線及び接地線の線幅を10 μ mとしている。

40

【0064】

図25は、渦電流の流れる閉回路の説明図であり、ここでは、その内部において電源線対60と電源線対70が交差位置において短絡しているコイルに着目しており、太線で示す着目するコイルに対して大きな影響を与える太い実線で示す正方形の閉回路114と太い実線で示す大きな長方形の閉回路115, 116の3つの閉回路を示している。電

50

界シミュレーションの結果によると、この場合の電磁界の透過率は、電源網を設けない場合の透過率を1にした場合に、0.90となり、10%の低下で透過率の劣化が押さえられている。

【0065】

このように、実施例9においては、所定の周期の位置に配置されたコイル100の中央部で、電源線対60と電源線対70の電源線同士及び接地線同士を短絡させているので、コイルの辺と電源線対の平均距離は実施例8より大きくなり、渦電流の影響を弱めることができる。なお、実施例9の場合も、実施例1と同様に、コイル100を互いに層準の異なるコイル要素を接続して形成しても良い。或いは、実施例8のように、コイル要素と、電源線対を同じチップに形成した多層配線構造を利用して形成しても良い。

10

【実施例10】

【0066】

次に、図26を参照して、本発明の実施例10の半導体集積回路装置を説明する。図26は、本発明の実施例10の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。図26に示すように、第1のコイルアレイを構成するコイル120₁に対して第1のコイルアレイと同じ構成のコイル120₂からなる第2のコイルアレイをコイル120₁とコイル120₂とがずれて重なるように配置する。このような配置は、コイル要素121₁、121₂とコイル要素122₁、122₂を互いに異なる層準の配線で形成することによって可能になる。

20

【0067】

また、電源線対60₁、60₂の一端と、電源線対70₁、70₂の一端は開放端として、コイル120₁、120₂の内部においては、電源線対60₁、60₂と、電源線対70₁、70₂とは短絡しないようにしている。この場合、互いに重なり合うコイルは時分割或いは位相分割で電磁界通信を行うことになる。なお、図26においては、各コイルアレイは3行3列で示しているが、m行n列に拡張されるものである。

【0068】

この場合の渦電流の流れる閉回路は、上記の実施例5と同様である。即ち、着目するコイルに最大の影響を与える閉回路は、コイルアレイの外側に形成される。したがって、閉回路は各コイル120₁、120₂の辺から大幅に離れているので、渦電流による影響を大幅に小さくすることができる。或いは、コイル列の周辺で電源線対60₁、60₂と、電源線対70₁、70₂とが接続されていれば良く、接続箇所を結ぶ電源線対が閉回路となる。

30

【0069】

なお、この場合、実施例7と同様に、各コイルアレイの互いに隣接するコイル120₁、120₂同士の間には電源線対60₁、60₂及び電源線対70₁、70₂が配置できない程度に密接してコイル120₁、120₂を配置しても良い。この場合、各コイル120₁、120₂の内部を2本ずつの電源線対60及び電源線対70が通過するように、電源線対60、70を配置する。また、各電源線対60、70は中央部近傍で断線するフィッシュボーン状の配線とする。

【実施例11】

40

【0070】

次に、図27を参照して、本発明の実施例11の半導体集積回路装置を説明する。図27は、本発明の実施例10の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図である。図26に示すように、第1のコイルアレイを構成するコイル120₁に対して第1のコイルアレイと同じ構成のコイル120₂からなる第2のコイルアレイをコイル120₁とコイル120₂とがずれて重なるように配置する。このような配置は、コイル要素121₁、121₂とコイル要素122₁、122₂を互いに異なる層準の配線で形成することによって可能になる。

【0071】

また、電源線対60₁、60₂の一端と、電源線対70₁、70₂の一端は開放端とし

50

て、所定の周期の位置のコイル 120_1 , 120_2 の内部においては、電源線対 60_1 , 60_2 と、電源線対 70_1 , 70_2 とを短絡させている。この場合、互いに重なり合うコイルは時分割或いは位相分割で電磁界通信を行うことになる。なお、図 27 においては、各コイルアレイは 3 行 3 列で示しているが、 m 行 n 列に拡張されるものである。

【0072】

この場合の着目するコイルに大きな影響を与える渦電流の流れる閉回路は、上記の実施例 6 と同様に、複数形成されるが、いずれもコイルの辺に対する相対距離が大きいため、渦電流による影響を大幅に小さくすることができる。

【符号の説明】

【0073】

10 , 10₁ , 10₂ コイル

11 第 1 のコイル要素

12 第 2 のコイル要素

13 ピア

20 第 1 の電源配線群

21 , 31 電源線

22 , 32 接地線

30 第 2 の電源配線群

41 , 42 ピア

43 閉回路

50 , 50₁ , 50₂ , 90 , 100 , 100₁ , 100₂ , 120₁ , 120₂ コイル

51 , 52 , 91 , 92 , 101 , 101₁ , 101₂ , 102 , 102₁ , 102₂ , 121₁ , 121₂ , 122₁ , 122₂ コイル要素

53 , 80 ピア

55 , 57 シリコン基板

56 , 58 多層配線構造

60 , 60₁ , 60₂ , 70 , 70₁ , 70₂ 電源線対

83 , 84 , 85 , 86 , 87 , 88 , 89 , 111 , 112 , 113 , 114 , 115 , 116 閉回路

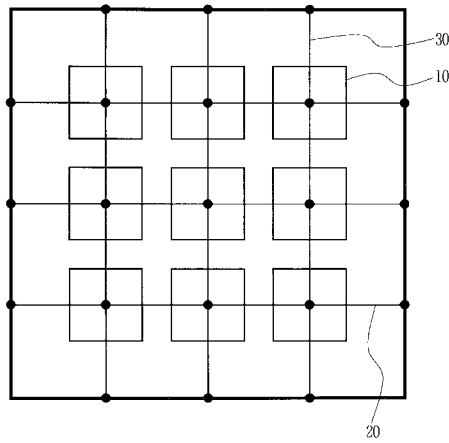
10

20

30

【 図 1 】

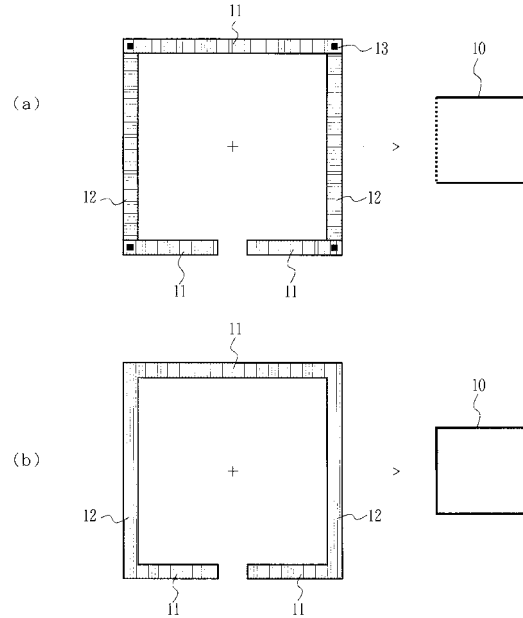
本発明の実施の形態の半導体集積回路装置の送受信コイル配置部のシンボル平面図



10: コイル 20: 第1の電源配線群 30: 第2の電源配線群

【 図 2 】

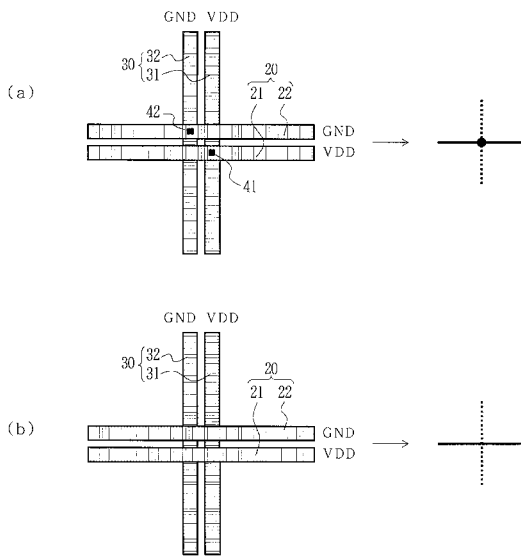
コイルのシンボル表記の説明図



10: コイル 11: 第1のコイル要素 12: 第2のコイル要素
13: ビア

【 図 3 】

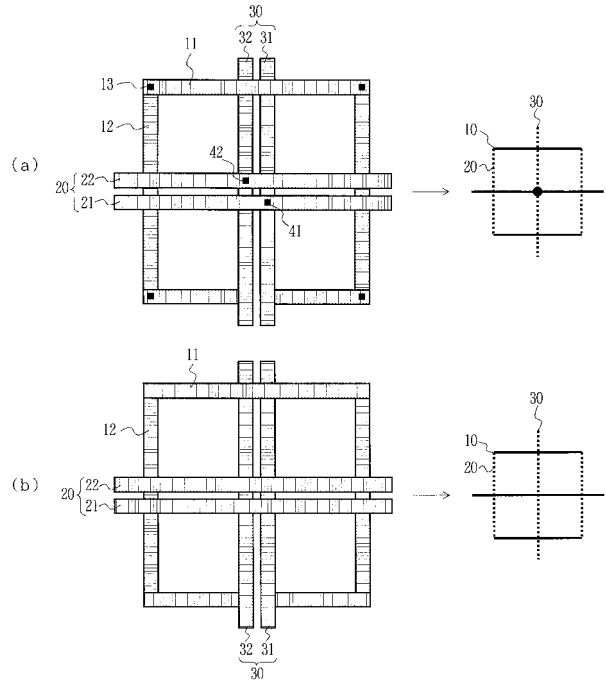
電源線のシンボル表記の説明図



20: 第1の電源配線群 31: 電源線
21: 電源線 32: 接地線
22: 接地線 41, 42: ビア
30: 第2の電源配線群

【 図 4 】

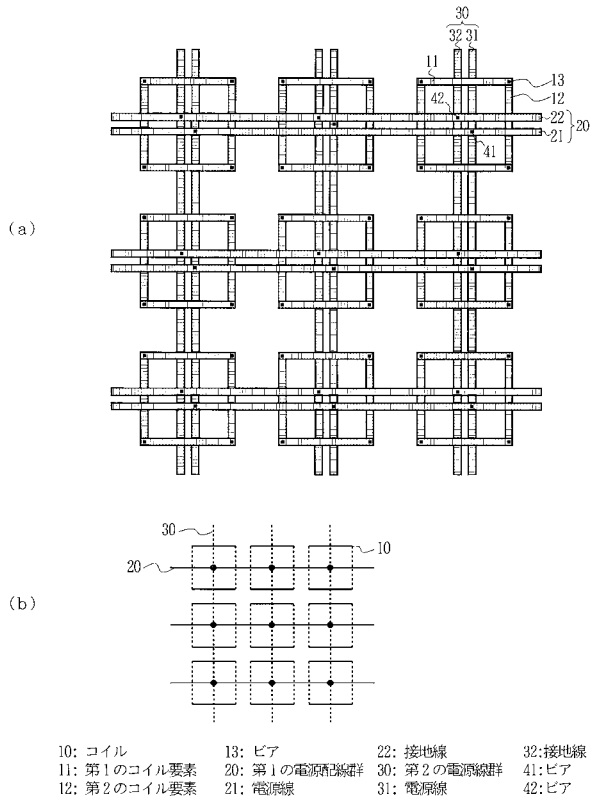
コイルと電源線を組み合わせた場合のシンボル表記の説明図



10: コイル 13: ビア 22: 接地線 32: 接地線
11: 第1のコイル要素 20: 第1の電源配線群 30: 第2の電源配線群 41: ビア
12: 第2のコイル要素 21: 電源線 31: 電源線 42: ビア

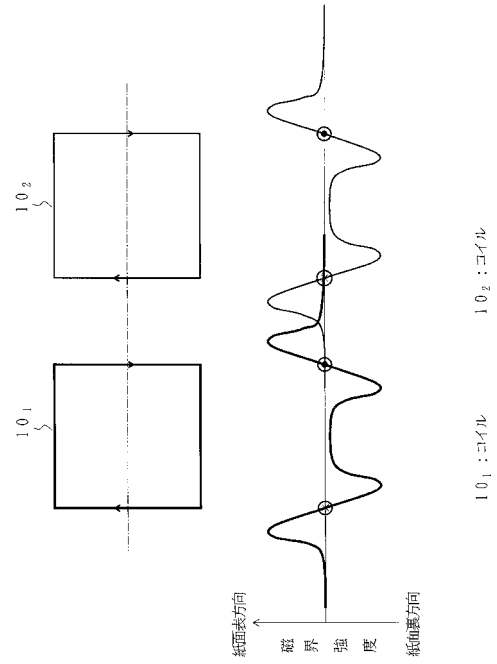
【 図 5 】

コイルアレイと電源線のシンボル表記の説明図



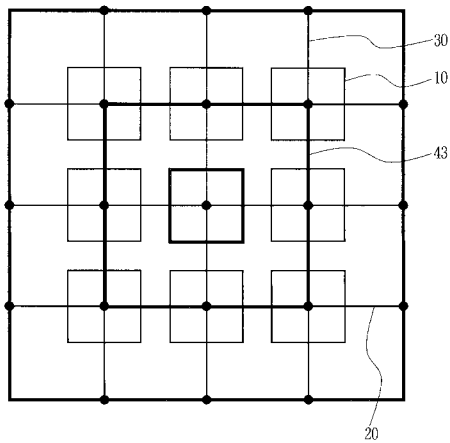
【 図 6 】

コイルを流れる電流による磁界強度分布の説明図



【 図 7 】

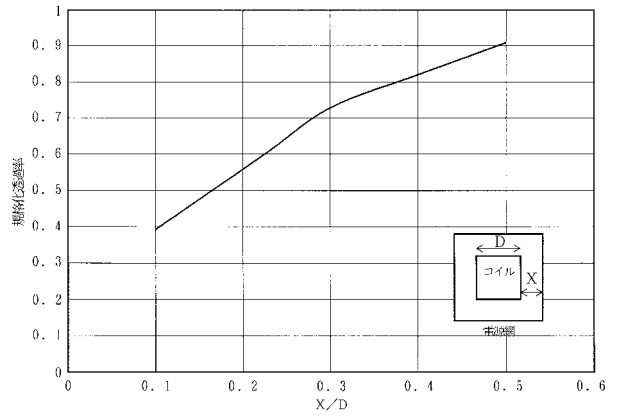
コイルの周辺に形成される渦電流の流れる閉回路の説明図



10: コイル	30: 第2の電源線群
20: 第1の電源線群	43: 閉回路

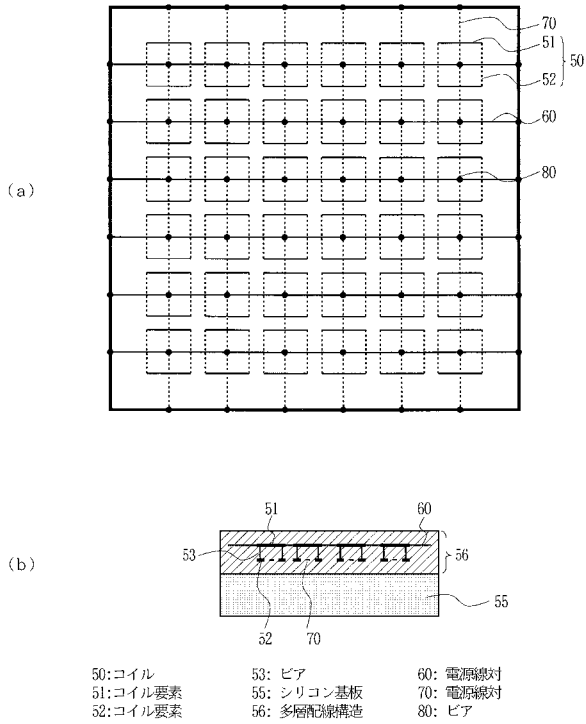
【 図 8 】

誘導結合の電源線網とコイルの距離依存性の説明図



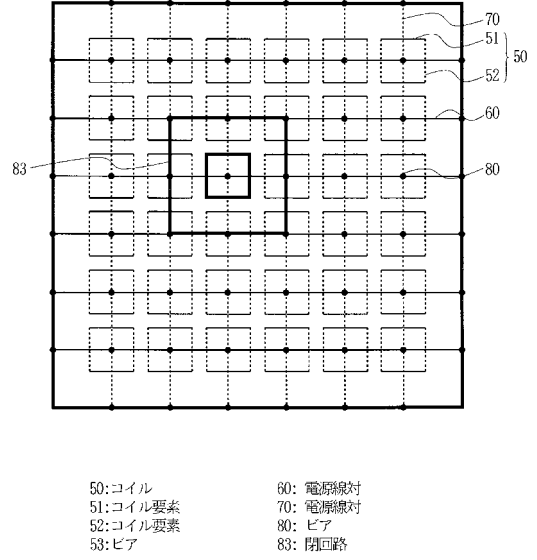
【 図 9 】

本発明の実施例1の半導体集積回路装置の説明図



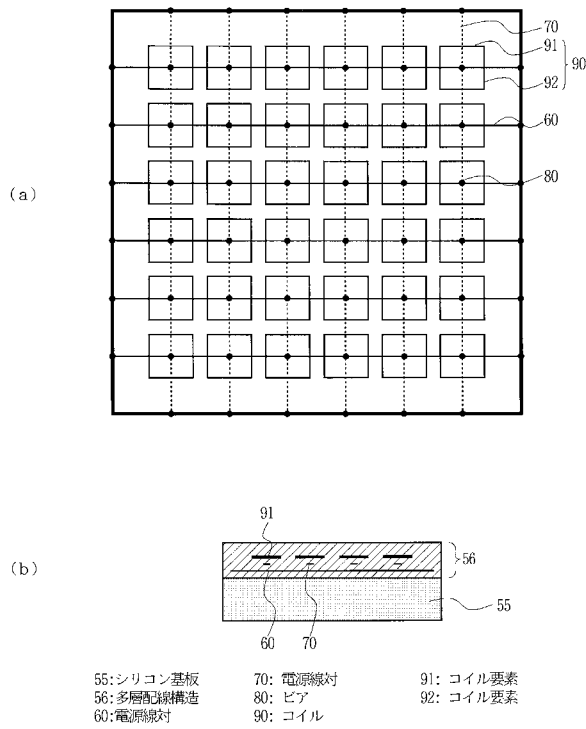
【 図 1 0 】

渦電流の流れる閉回路の説明図



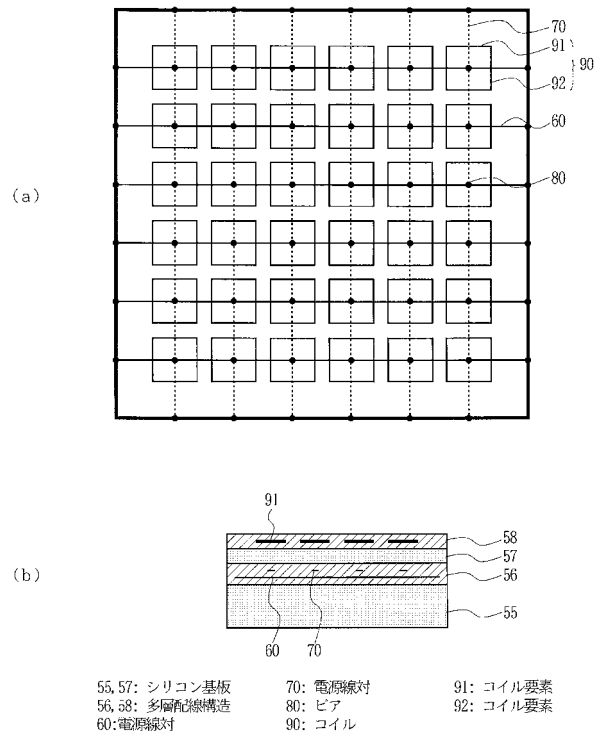
【 図 1 1 】

本発明の実施例2の半導体集積回路装置の説明図



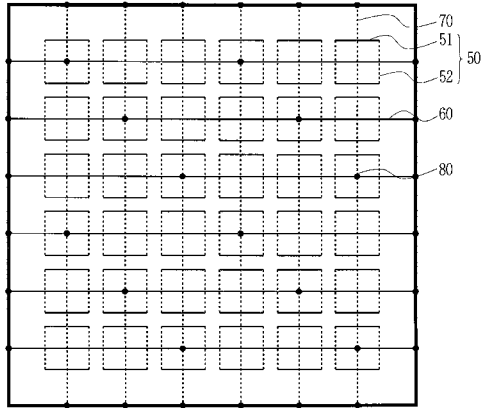
【 図 1 2 】

本発明の実施例3の半導体集積回路装置の説明図



【 図 1 3 】

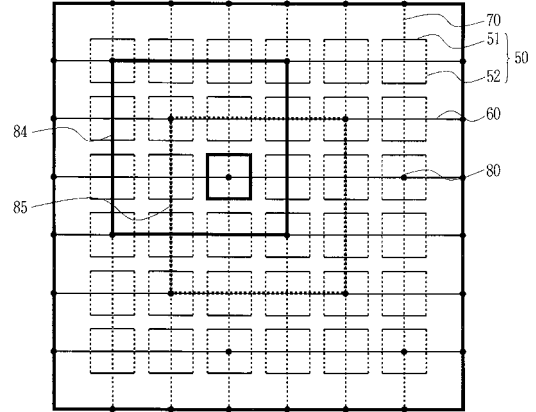
本発明の実施例4の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図



50: コイル	60: 電源線対
51: コイル要素	70: 電源線対
52: コイル要素	80: ビア

【 図 1 4 】

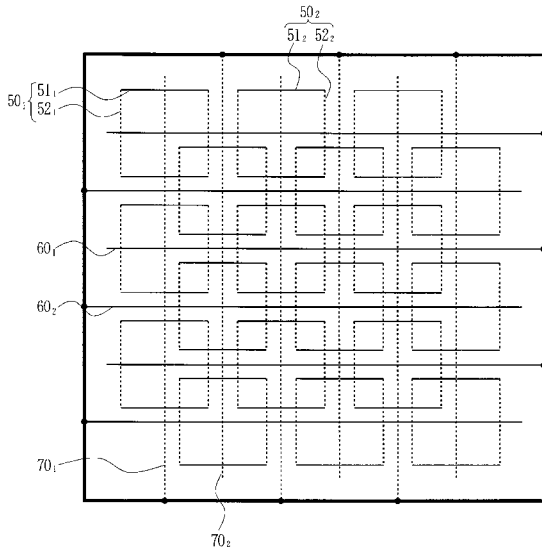
渦電流の流れる閉回路の説明図



50: コイル	70: 電源線対
51: コイル要素	80: ビア
52: コイル要素	84: 閉回路
60: 電源線対	85: 閉回路

【 図 1 5 】

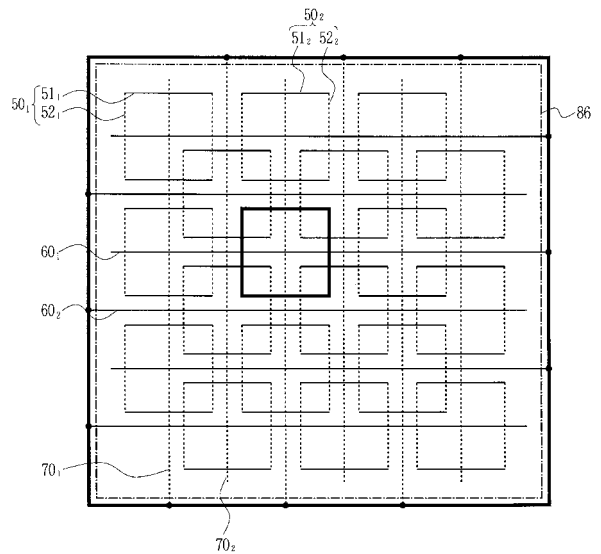
本発明の実施例5の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図



50, 50 ₂ : コイル	60 ₁ , 60 ₂ : 電源線対
51 ₁ , 51 ₂ : コイル要素	70 ₁ , 70 ₂ : 電源線対
52 ₁ , 52 ₂ : コイル要素	

【 図 1 6 】

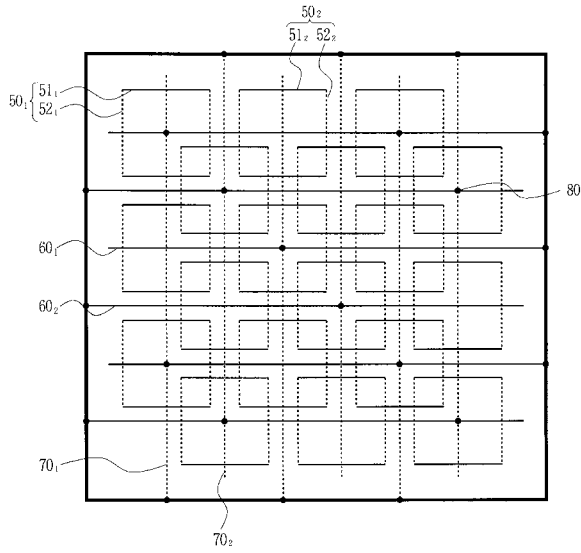
渦電流の流れる閉回路の説明図



50, 50 ₂ : コイル	60 ₁ , 60 ₂ : 電源線対
51 ₁ , 51 ₂ : コイル要素	70 ₁ , 70 ₂ : 電源線対
52 ₁ , 52 ₂ : コイル要素	86: 閉回路

【 図 1 7 】

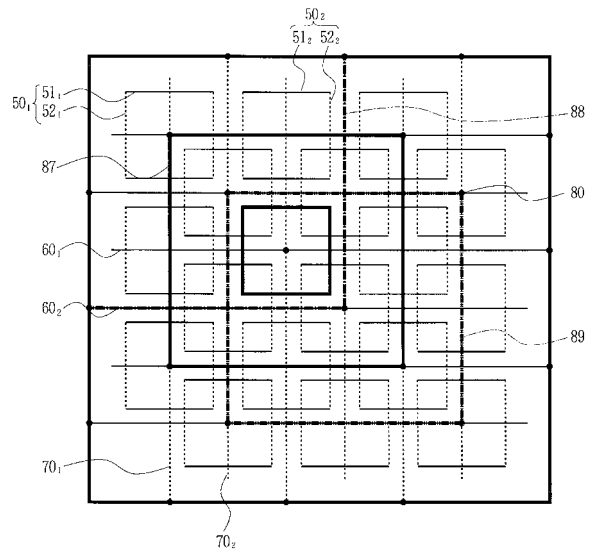
本発明の実施例6の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図



50, 50 ₂ : コイル	60, 60 ₁ : 電源線対
51, 51 ₂ : コイル要素	70, 70 ₂ : 電源線対
52, 52 ₂ : コイル要素	80: プラグ

【 図 1 8 】

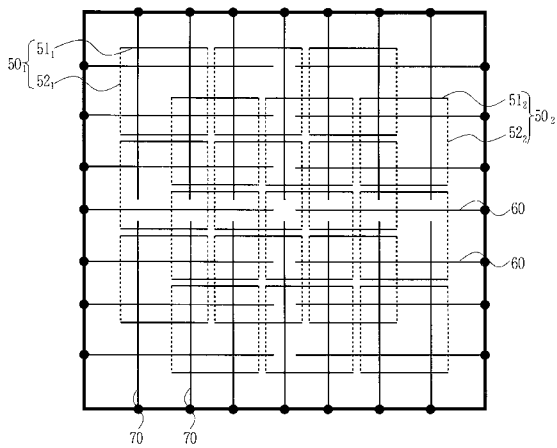
渦電流の流れる閉回路の説明図



50, 50 ₂ : コイル	70, 70 ₂ : 電源線対
51, 51 ₂ : コイル要素	80: プラグ
52, 52 ₂ : コイル要素	87, 88, 89: 閉回路
60, 60 ₁ : 電源線対	

【 図 1 9 】

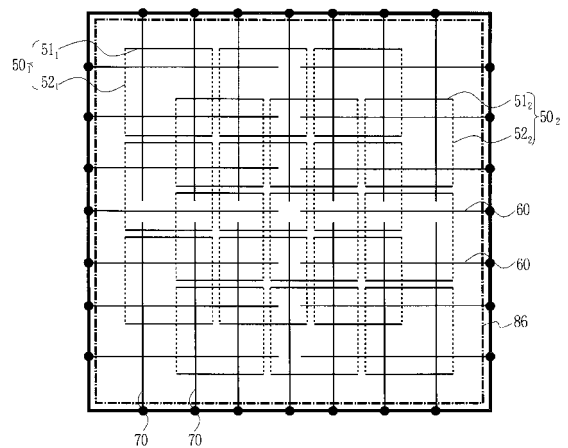
本発明の実施例7の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図



50, 50 ₂ : コイル	60: 電源線対
51, 51 ₂ : コイル要素	70: 電源線対
52, 52 ₂ : コイル要素	

【 図 2 0 】

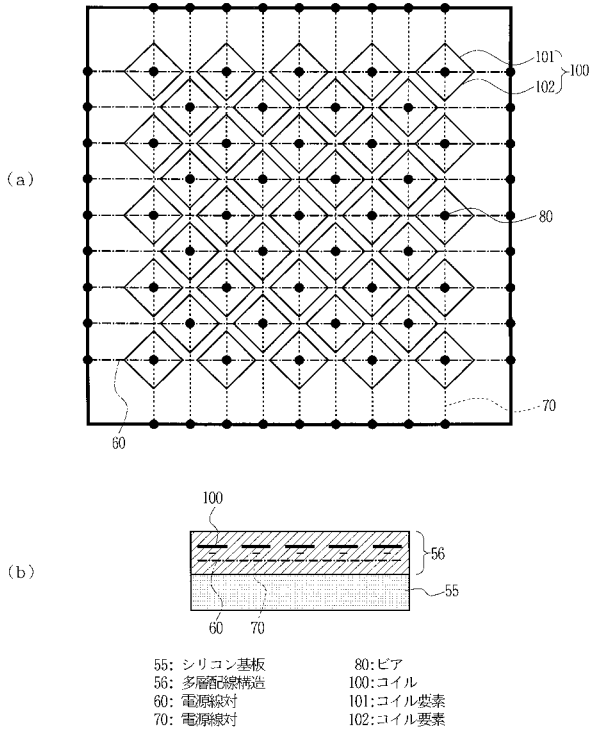
渦電流の流れる閉回路の説明図



50, 50 ₂ : コイル	60: 電源線対
51, 51 ₂ : コイル要素	70: 電源線対
52, 52 ₂ : コイル要素	86: 閉回路

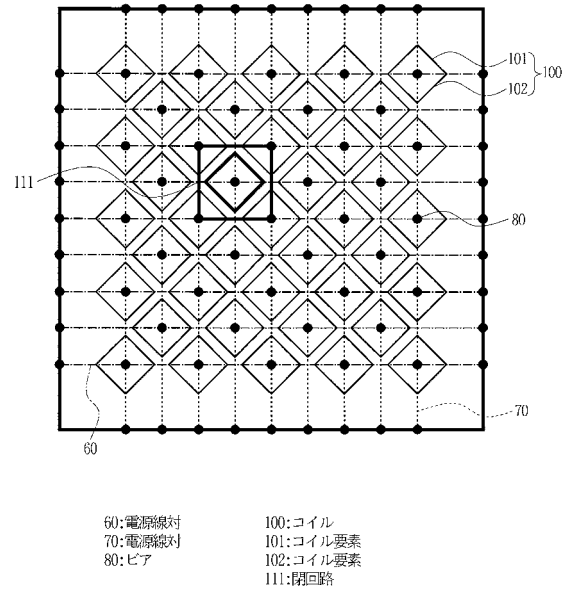
【図 2 1】

本発明の実施例 8 の半導体集積回路装置の説明図



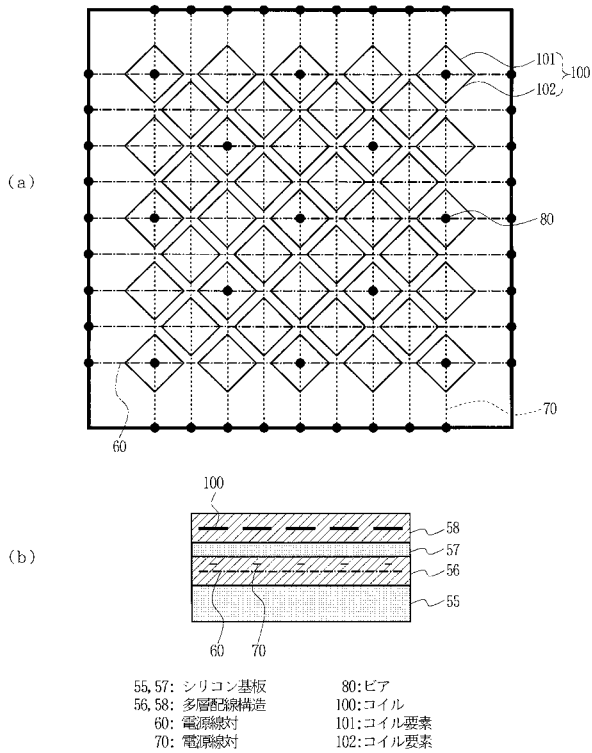
【図 2 2】

渦電流の流れる閉回路の説明図



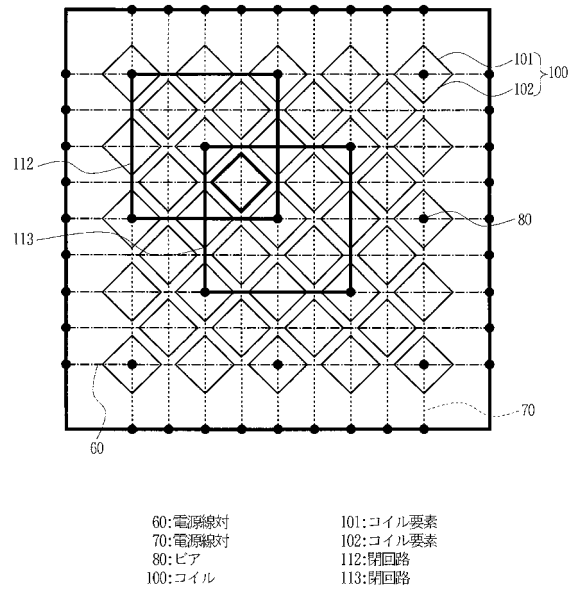
【図 2 3】

本発明の実施例 9 の半導体集積回路装置の説明図



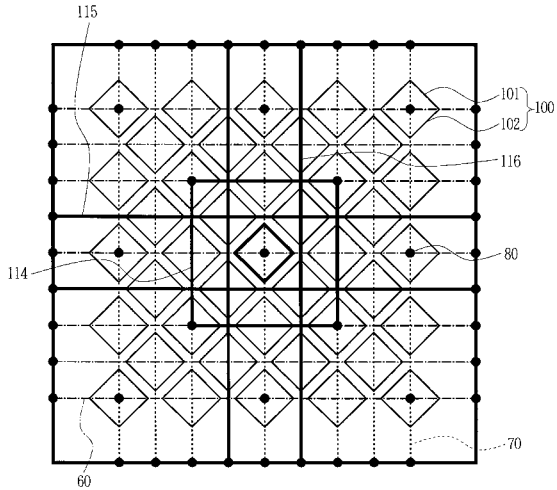
【図 2 4】

渦電流の流れる閉回路の説明図



【図 25】

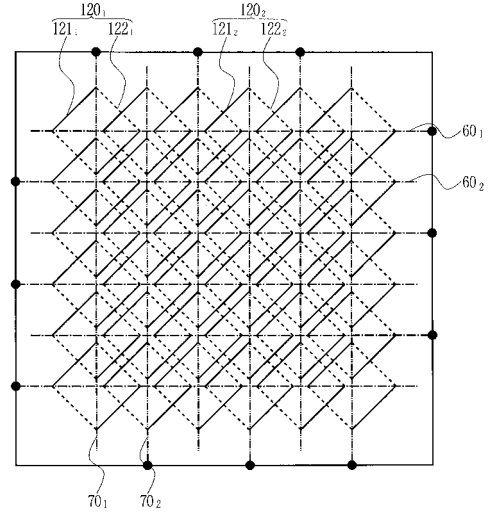
渦電流の流れる閉回路の説明図



- 60: 電源線対
- 70: 電源線対
- 80: ピア
- 100: コイル
- 101: コイル要素
- 102: コイル要素
- 114: 閉回路
- 115: 閉回路
- 116: 閉回路

【図 26】

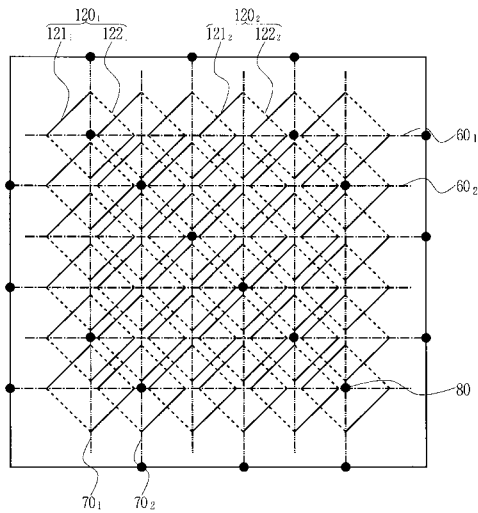
本発明の実施例 10 の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図



- 60, 60₁, 60₂: 電源線対
- 70₁, 70₂: 電源線対
- 120, 120₁, 120₂: コイル
- 121, 121₁, 121₂: コイル要素
- 122, 122₁, 122₂: コイル要素

【図 27】

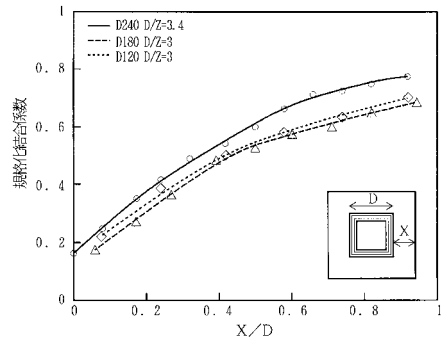
本発明の実施例 11 の半導体集積回路装置の送受信コイルアレイ配置領域のシンボル図



- 60, 60₁, 60₂: 電源線対
- 70₁, 70₂: 電源線対
- 80: ピア
- 120, 120₁, 120₂: コイル
- 121, 121₁, 121₂: コイル要素
- 122, 122₁, 122₂: コイル要素

【図 28】

誘導結合度の渦電流が流れる閉回路とコイルの辺との間隔Xとコイルの辺長Dとの比に対する依存性の説明図



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/3205 (2006.01)

Fターム(参考) 5F064 BB35 CC30 DD05 DD14 DD19 EE09 EE12 EE14 EE16 EE17
EE18 EE22 EE27 EE52