

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-141892
(P2018-141892A)

(43) 公開日 平成30年9月13日(2018.9.13)

(51) Int.Cl.
G02F 3/00 (2006.01)

F I
G02F 3/00 501

テーマコード(参考)
2K102

審査請求 未請求 請求項の数 6 O L (全 20 頁)

(21) 出願番号 特願2017-36318 (P2017-36318)
(22) 出願日 平成29年2月28日(2017.2.28)

(出願人による申告)平成28年度、国立研究開発法人科学技術振興機構、新たな光機能や光物性の発現・利活用を基軸とする次世代フォトリソグラフィの基盤技術、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 000004226
日本電信電話株式会社
東京都千代田区大手町一丁目5番1号
(71) 出願人 504132272
国立大学法人京都大学
京都府京都市左京区吉田本町36番地1
(74) 代理人 100098394
弁理士 山川 茂樹
(74) 代理人 100153006
弁理士 小池 勇三
(74) 代理人 100064621
弁理士 山川 政樹
(72) 発明者 新家 昭彦
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

最終頁に続く

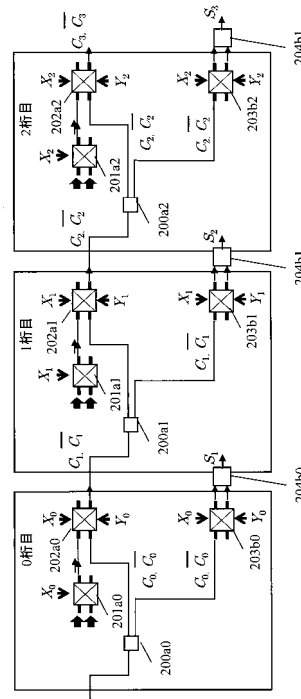
(54) 【発明の名称】 光論理回路

(57) 【要約】

【課題】回路構成の簡素化と演算の高速化を両立させる。

【解決手段】光論理回路は、それぞれNビットの入力信号 X_i, Y_i ($i = 0, 1, 2$) の論理演算を行う際に、対応するビットの入力信号に応じて、論理演算に必要な、上位ビットへの桁上げ信号 C_{i+1} 及びその否定信号 \bar{C}_{i+1} を出力するビット毎の第1の論理回路(201a i , 202a i)と、対応するビットの入力信号と下位ビットからの桁上げ信号 C_i 及びその否定信号 \bar{C}_i とに応じて、ビット毎の論理演算の結果を出力するビット毎の第2の論理回路(203b i)とを備える。第1、第2の論理回路は、少なくとも一部が光回路からなり、この光回路を通る光信号の異なる波長に0, 1の値を割り当て、桁上げ信号と論理演算の結果とを光信号で出力する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

それぞれ N ビット (N は 2 以上の整数) の複数の入力信号の論理演算を行う際に、対応するビットの前記複数の入力信号に応じて、前記論理演算に必要な、上位ビットへの伝搬信号を出力するビット毎の第 1 の論理回路と、

対応するビットの前記複数の入力信号と下位ビットからの前記伝搬信号とに応じて、ビット毎の前記論理演算の結果を出力するビット毎の第 2 の論理回路とを備え、

前記第 1、第 2 の論理回路は、少なくとも一部が光回路からなり、この光回路を通る光信号の異なる波長に 0, 1 の値を割り当て、前記伝搬信号と前記論理演算の結果とを光信号で出力することを特徴とする光論理回路。

10

【請求項 2】

請求項 1 記載の光論理回路において、

前記第 1 の論理回路は、

異なる波長の光を出力する第 1、第 2 の光源と、

対応するビットの前記複数の入力信号のうち 1 種類の入力信号に応じて、前記第 1、第 2 の光源からの光の通過 / 遮断をそれぞれ制御する第 1、第 2 の光ゲートと、

この第 1、第 2 の光ゲートから出力される波長の異なる光を合波する波長合波器と、

前記複数の入力信号に対する同一のビット同士の前記論理関数の結果を出力する論理関数回路と、

この論理関数回路の出力に応じて、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号と、前記波長合波器の出力とのうちいずれか一方を、上位ビットへの前記伝搬信号及びこの伝搬信号の否定信号として選択的に出力する第 3 の光ゲートとを含み、

20

前記第 2 の論理回路は、

下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号を分波する波長分波器と、

前記論理関数回路の出力に応じて、前記波長分波器によって分波された前記伝搬信号及びこの伝搬信号の否定信号のうちいずれか一方を、ビット毎の前記論理演算の結果として選択的に出力する第 4 の光ゲートとを含むことを特徴とする光論理回路。

【請求項 3】

請求項 2 記載の光論理回路において、

異なるビットごとに用いる前記光源の波長が異なることを特徴とする光論理回路。

30

【請求項 4】

請求項 3 記載の光論理回路において、

最下位ビットと最上位ビットを除くビットにおいて、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号の内、自身のビットに対応する波長の光信号を、自身のビットへの前記伝搬信号及びこの伝搬信号の否定信号として取り出して前記波長分波器に入力し、その他の波長の信号を前記第 3 の光ゲートに入力する WDM フィルタをさらに備え、

最上位ビットを除くビットの前記第 1、第 2 の光源は、それぞれ自身のビットよりも上位のビットの個数の異なる波長が多重された光を出力することを特徴とする光論理回路。

【請求項 5】

請求項 1 記載の光論理回路において、

40

前記第 1 の論理回路は、

異なる波長の光を出力する第 1、第 2 の光源と、

対応するビットの前記複数の入力信号のうち 1 種類の入力信号に応じて、前記第 1 の光源からの光及び前記第 2 の光源からの光のうちいずれか一方を選択的に出力する第 1 の光ゲートと、

対応するビットの前記複数の入力信号に応じて、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号と、前記第 1 の光ゲートの出力とのうちいずれか一方を、上位ビットへの前記伝搬信号及びこの伝搬信号の否定信号として選択的に出力する第 2 の光ゲートとを含み、

前記第 2 の論理回路は、

50

対応するビットの前記複数の入力信号に応じて、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号を2つの出力ポートのうちいずれか一方に選択的に出力する第3の光ゲートとを含むことを特徴とする光論理回路。

【請求項6】

請求項1記載の光論理回路において、

前記第1の論理回路は、

異なる波長の光を出力する第1、第2の光源と、

対応するビットの前記複数の入力信号のうち1種類の入力信号に応じて、前記第1の光源からの光及び前記第2の光源からの光のうちいずれか一方を選択的に出力する第1の光ゲートと、

10

対応するビットの前記複数の入力信号に応じて、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号と、前記第1の光ゲートの出力とのうちいずれか一方を、上位ビットへの前記伝搬信号及びこの伝搬信号の否定信号として選択的に出力する第2の光ゲートとを含み、

前記第2の論理回路は、

下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号を分波する波長分波器と、

対応するビットの前記複数の入力信号に応じて、前記波長分波器から第1の入力ポートに入力される前記伝搬信号を2つの出力ポートの一方に選択的に出力し、前記波長分波器から第2の入力ポートに入力される前記伝搬信号の否定信号を前記2つの出力ポートの他方に選択的に出力する第3の光ゲートとを含むことを特徴とする光論理回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、論理演算を光回路、または光回路と電気回路の混合回路で行う光論理回路に関するものである。

【背景技術】

【0002】

現在の電子演算回路は、その処理速度を向上させるため、そのチップサイズや素子サイズを極限まで小さくする工夫がなされている。その理由は、回路内の抵抗(R)とキャパシタンス(C)とが信号の伝搬を大きく遅くしているため、演算速度を上げるにはチップサイズや素子サイズを小さくするしかないためである。そのため、狭面積の論理ブロックやコアに素子を詰め込み、マルチコア(multi-core)・メニーコア(many core)化などの工夫がなされているが、それらのコアを繋ぐための配線が新たな「遅延」を生み、演算の高速化に限界が見えつつある。

30

【0003】

一方、光通信などで用いられる光配線や光パスゲートは、その配線経路内のCやRに無依存で光信号を伝播させることができる。また、ナノフォトニクス進展により、光ゲートの消費エネルギーは飛躍的に改善され、そのエネルギーコスト[J/bit]は、CMOSゲートと光で同程度のレベルになりつつある。そのため、チップ内やチップ間の通信を光化する様々な研究がなされている。

40

【0004】

しかしながら、従来の研究では、回路の演算時間を遅くする演算経路(クリティカルパス)への配慮がなく、演算で生じる遅延を解決できていないという問題点があった。したがって、演算レベルで生じる遅延の問題を根本から解決するためには、チップ内やチップ間の光配線や光ゲートだけでなく、さらに粒度を細かくトランジスタレベルまで光化を進める必要がある。

【0005】

ここで、光ゲートの電気制御ポート側から信号を入力する接続形態をカスケード接続、スイッチの光伝搬経路が連続的に接続されている形態をシリアル接続と定義する。例えばシリアル接続とカスケード接続が混在した光電融合型の回路を想定した場合、カスケード

50

接続の部分が光と電気の境界となり、その境界において回路中を伝搬する光信号は一度電気に変換（OE（Optical-Electrical）変換）される必要がある。この変換は電気回路に律速されるため、OE変換が多用される回路は光を使うことのメリットが小さい。そのため、光と電気の境界、つまりカスケード接続の配置場所と数が回路構成の重要なポイントとなる。光伝搬経路中にOE変換を配置しない回路として、BDD（binary decision diagram）をベースとする光回路が提案されている。

【0006】

例えば非特許文献1においては、加算の桁上げ信号経路にOE変換器を配置しない加算器（ $X + Y$ の演算回路）の構成が開示されている。全加算器を 2×2 光スイッチで構成したものを図19に示す。ここで X_i, Y_i は、 i 桁目の入力信号 X, Y を構成するバイナリ信号、 S_i は X_i と Y_i の加算結果を示す信号、 C_i は $i - 1$ 桁からの桁上げ信号、 \bar{C}_i は信号 C_i に対する否定の信号である。また、図19の100a（100a0～100a2）、100c（100c0～100c2）は分波器、101a（101a0～101a2）、101b（101b0～101b2）、101c（101c0～101c2）は 2×2 光スイッチである。

【0007】

図19に示した回路では、BDDに基づく大きな木構造（BDD回路）の各ノードに配置される光スイッチ101を信号 X_i, Y_i で電気的に制御する。これにより、光信号で各ノードの制御をする必要がなくなり、電気的に制御された経路に光信号を伝搬させるだけで、演算を実行することが可能となる。

【0008】

BDDに基づく回路は、上段（ 2×2 光スイッチ101a）、中段（ 2×2 光スイッチ101b）、下段（ 2×2 光スイッチ101c）の3段構成となっており、上段において桁上げ演算（carry）を実行し、下段において桁上げ演算の否定の演算（carryバー）を実行し、中段において各桁の加算（sum）を実行している。各段の演算は互に関連している。このため、BDDに基づく回路は、上段、中段、下段の回路を接続するための光経路の交差が多数存在し、構成が複雑なものとなり、実現が困難な回路構成になってしまうという課題があった。

【先行技術文献】

【非特許文献】

【0009】

【非特許文献1】浅井哲也，雨宮好仁，小柴正則，“二分決定グラフにもとづくフォトニック結晶集積デバイス”，信学会総合大会，SC-1-4，2000

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明は、上記課題を解決するためになされたもので、回路構成の簡素化と演算の高速化を両立させることができる光論理回路を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の光論理回路は、それぞれ N ビット（ N は2以上の整数）の複数の入力信号の論理演算を行う際に、対応するビットの前記複数の入力信号に応じて、前記論理演算に必要な、上位ビットへの伝搬信号を出力するビット毎の第1の論理回路と、対応するビットの前記複数の入力信号と下位ビットからの前記伝搬信号とに応じて、ビット毎の前記論理演算の結果を出力するビット毎の第2の論理回路とを備え、前記第1、第2の論理回路は、少なくとも一部が光回路からなり、この光回路を通る光信号の異なる波長に0、1の値を割り当て、前記伝搬信号と前記論理演算の結果とを光信号で出力することを特徴とするものである。

【0012】

また、本発明の光論理回路の1構成例において、前記第1の論理回路は、異なる波長の

10

20

30

40

50

光を出力する第 1、第 2 の光源と、対応するビットの前記複数の入力信号のうち 1 種類の入力信号に応じて、前記第 1、第 2 の光源からの光の通過 / 遮断をそれぞれ制御する第 1、第 2 の光ゲートと、この第 1、第 2 の光ゲートから出力される波長の異なる光を合波する波長合波器と、前記複数の入力信号に対する同一のビット同士の前記論理関数の結果を出力する論理関数回路と、この論理関数回路の出力に応じて、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号と、前記波長合波器の出力とのうちいずれか一方を、上位ビットへの前記伝搬信号及びこの伝搬信号の否定信号として選択的に出力する第 3 の光ゲートとを含み、前記第 2 の論理回路は、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号を分波する波長分波器と、前記論理関数回路の出力に応じて、前記波長分波器によって分波された前記伝搬信号及びこの伝搬信号の否定信号のうちいずれか一方を、ビット毎の前記論理演算の結果として選択的に出力する第 4 の光ゲートとを含むことを特徴とするものである。

10

また、本発明の光論理回路の 1 構成例は、異なるビットごとに用いる前記光源の波長が異なることを特徴とするものである。

また、本発明の光論理回路の 1 構成例は、最下位ビットと最上位ビットとを除くビットにおいて、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号の内、自身のビットに対応する波長の光信号を、自身のビットへの前記伝搬信号及びこの伝搬信号の否定信号として取り出して前記波長分波器に入力し、その他の波長の信号を前記第 3 の光ゲートに入力する WDM フィルタをさらに備え、最上位ビットを除くビットの前記第 1、第 2 の光源は、それぞれ自身のビットよりも上位のビットの個数の異なる波長が多重された光を出力することを特徴とするものである。

20

【 0 0 1 3 】

また、本発明の光論理回路の 1 構成例において、前記第 1 の論理回路は、異なる波長の光を出力する第 1、第 2 の光源と、対応するビットの前記複数の入力信号のうち 1 種類の入力信号に応じて、前記第 1 の光源からの光及び前記第 2 の光源からの光のうちいずれか一方を選択的に出力する第 1 の光ゲートと、対応するビットの前記複数の入力信号に応じて、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号と、前記第 1 の光ゲートの出力とのうちいずれか一方を、上位ビットへの前記伝搬信号及びこの伝搬信号の否定信号として選択的に出力する第 2 の光ゲートとを含み、前記第 2 の論理回路は、対応するビットの前記複数の入力信号に応じて、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号を 2 つの出力ポートのうちいずれか一方に選択的に出力する第 3 の光ゲートとを含むことを特徴とするものである。

30

【 0 0 1 4 】

また、本発明の光論理回路の 1 構成例において、前記第 1 の論理回路は、異なる波長の光を出力する第 1、第 2 の光源と、対応するビットの前記複数の入力信号のうち 1 種類の入力信号に応じて、前記第 1 の光源からの光及び前記第 2 の光源からの光のうちいずれか一方を選択的に出力する第 1 の光ゲートと、対応するビットの前記複数の入力信号に応じて、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号と、前記第 1 の光ゲートの出力とのうちいずれか一方を、上位ビットへの前記伝搬信号及びこの伝搬信号の否定信号として選択的に出力する第 2 の光ゲートとを含み、前記第 2 の論理回路は、下位ビットからの前記伝搬信号及びこの伝搬信号の否定信号を分波する波長分波器と、対応するビットの前記複数の入力信号に応じて、前記波長分波器から第 1 の入力ポートに入力される前記伝搬信号を 2 つの出力ポートの一方に選択的に出力し、前記波長分波器から第 2 の入力ポートに入力される前記伝搬信号の否定信号を前記 2 つの出力ポートの他方に選択的に出力する第 3 の光ゲートとを含むことを特徴とするものである。

40

【 発明の効果 】

【 0 0 1 5 】

本発明では、対応するビットの複数の入力信号に応じて、論理演算に必要な、上位ビットへの伝搬信号を出力するビット毎の第 1 の論理回路と、対応するビットの複数の入力信号と下位ビットからの伝搬信号とに応じて、ビット毎の論理演算の結果を出力するビット

50

毎の第2の論理回路とから光論理回路を構成する。本発明では、回路構成の簡素化を実現することができる。また、本発明では、入力信号により、第1、第2の論理回路に含まれる光ゲートを一度に開閉させることができるため、第1、第2の論理回路における光信号の伝搬経路が確定するまでの時間を大幅に短縮することができる。さらに、第1、第2の論理回路内のシリアル接続段数を大幅に削減することができるため、演算時間を大幅に短縮することができる。本発明が提供する光論理回路は、トランジスタレベルまで光化を進めた構成となっており、電気回路と光回路の融合を容易にし、電気回路の得意分野（膨大な素子の超高集積と並列処理による、超高スループット演算）と、光回路の得意分野（情報を光の速度で伝搬させながら光の伝搬速度で演算を完了させる、超低レイテンシ演算）の両立が可能となり、動作周波数が頭打ち状態になりつつある電気回路の問題を解決することを可能とする。さらに、本発明では、光信号の異なる波長に0, 1の値を割り当てることにより、上位ビットへの伝搬信号とその否定信号とを独立に演算することができ、その演算過程において光信号の位相を厳密に制御する必要が無い。また、本発明では、上位ビットへの伝搬信号とその否定信号の演算に共通の回路を使用することが可能となり、回路を簡素化し、スイッチ（光ゲート）数を削減することができる。

10

20

30

40

50

【0016】

また、本発明では、第1の論理回路を、異なる波長の光を出力する第1、第2の光源と、対応するビットの複数の入力信号のうち1種類の入力信号に応じて、第1の光源からの光及び第2の光源からの光のうちいずれか一方を選択的に出力する第1の光ゲートと、対応するビットの複数の入力信号に応じて、下位ビットからの伝搬信号及びこの伝搬信号の否定信号と、第1の光ゲートの出力とのうちいずれか一方を、上位ビットへの伝搬信号及びこの伝搬信号の否定信号として選択的に出力する第2の光ゲートとから構成することにより、第1の論理回路から論理関数回路を削除することができ、回路を簡素化することができる。

【図面の簡単な説明】

【0017】

【図1】 cascaded - BDD型の光論理回路の構成を示すブロック図である。

【図2】 cascaded - BDD型の光論理回路に位相変調方式を採用した構成を示すブロック図である。

【図3】本発明の光論理回路の構成を示すブロック図である。

【図4】 cascaded - BDD型の光論理回路の1ビット分の構成を示すブロック図である。

【図5】 cascaded - BDD型の光論理回路の1ビット分の構成の真理値表を示す図である。

【図6】 cascaded - BDD型の光論理回路の1ビット分の構成を示すブロック図である。

【図7】 cascaded - BDD型の光論理回路に位相変調方式を採用した光論理回路の1ビット分の構成を示すブロック図である。

【図8】本発明の第1の実施例に係る光論理回路の1ビット分の構成を示すブロック図である。

【図9】本発明の第1の実施例に係る光論理回路において光源から出力される光信号の波長を示す図である。

【図10】本発明の第1の実施例における最終桁の桁上げ信号の処理を説明する図である。

【図11】本発明の第2の実施例に係る光論理回路の1ビット分の構成を示すブロック図である。

【図12】本発明の第2の実施例における加算結果を示す信号について説明する図である。

【図13】本発明の第3の実施例に係る光論理回路の1ビット分の構成を示すブロック図である。

【図14】本発明の第3の実施例における最終桁の桁上げ信号の処理を説明する図である。

【図15】本発明の第3の実施例における加算結果を示す信号について説明する図である。

【図16】本発明の第3の実施例に係る光論理回路を4ビット分縦続接続した全加算器のシミュレーション結果の1例を示す図である。

【図17】本発明の第3の実施例に係る光論理回路を4ビット分縦続接続した全加算器のシミュレーション結果の他の例を示す図である。

【図18】本発明の第4の実施例に係る光論理回路の3ビット分の構成を示すブロック図である。

10

【図19】従来のBDD型の全加算器の構成を示すブロック図である。

【発明を実施するための形態】

【0018】

[発明の原理]

従来のBDDをベースとする回路を簡素化する方法として、Cascaded-BDD型の光論理回路を採用する方法が考えられる。Cascaded-BDD型の光論理回路は、BDD回路のノードに配置されるスイッチを制御する信号として、別のBDD回路からの出力信号を使用する回路である。Cascaded-BDD型の光論理回路の例として、全加算器の構成を図1に示す。図19と同様に、100a(100a0~100a2)、100c(100c0~100c2)は分波器、101a(101a0~101a2)、101b(101b0~101b2)、101c(101c0~101c2)は2x2光スイッチ、102a(102a0~102a2)、102b(102b0~102b2)、102c(102c0~102c2)はXOR(排他的論理和)回路である。図1の構成では、別のBDD回路としてXOR回路102a~102cを採用することにより、桁上げ演算経路($C_i \sim C_{i+1}$)に含まれるスイッチの数を半減させている。

20

【0019】

また、従来のBDDをベースとする回路をさらに簡素化する方法として、位相変調方式が考えられる。位相変調方式は、図2に示すように、桁上げ信号の否定信号 \bar{C}_i を桁上げ信号 C_i の位相反転で生成することを可能とし、図1の下段(XOR回路102cと2x2光スイッチ101c)における、桁上げ演算の否定の演算を省略している。

30

【0020】

図2の位相変調器103ai(103a0~103a2)は、光信号 X_i ($X_0 \sim X_2$)が“1”であるときに光源(不図示)からの光信号をそのまま通過させ、 X_i が“0”であるときに光源からの光信号の位相を だけずらして出力する。位相変調器103bi(103b0~103b2)は、XOR回路102bi(102b0~102b2)の出力が“1”であるときに光信号 C_i ($C_0 \sim C_2$)の位相を だけずらして出力し、XOR回路102biの出力が“0”であるときに光信号 C_i をそのまま通過させる。

【0021】

図2に示すように、Cascaded-BDDと位相変調方式とを組み合わせることにより、回路構成を簡素化し、かつ、演算速度を2倍に改善することが可能となる。ただし、位相変調方式では、スイッチに組み込まれる位相変調部以外での位相回転を補償するために、厳密な導波路長の設定や位相シフトを別途組み込む必要がある。

40

【0022】

そこで、本発明では、位相の厳密な制御を不要とする簡素化された回路構成を提案する。図3に本発明の光論理回路(全加算器)の構成を示す。図3の全加算器は、分波器200a(200a0~200aSR2)と、2x2光スイッチ201a(201a0~201a2)、202a(202a0~202a2)、203b(203b0~203b2)と、波長合波器204b(204b0~204b2)とから構成される。2x2光スイッチ201aと202aとは、第1の論理回路を構成し、2x2光スイッチ203bは、第2の論理回路を構成している。

50

【0023】

分波器200a_i ($i = 0, 1, 2$)は、前段からの桁上げ信号 C_i (伝搬信号)とその否定信号 \bar{C}_i を2分岐させる。2×2光スイッチ201a_iは、信号 X_i が“1”であるときに、信号“1”に対応する波長 λ_a の光を選択して出力し、信号 X_i が“0”であるときに、信号“0”に対応する波長 λ_b の光を選択して出力する。

【0024】

2×2光スイッチ202a_iは、信号 X_i と信号 Y_i とが共に“1”または共に“0”であるときに2×2光スイッチ201a_iの出力を選択して、次段への桁上げ信号 C_{i+1} 、 \bar{C}_{i+1} として出力し、信号 X_i と信号 Y_i のうち一方が“1”で他方が“0”であるときに分波器200a_iからの光信号 C_i 、 \bar{C}_i を選択して、次段への桁上げ信号 C_{i+1} 、 \bar{C}_{i+1} として出力する。

10

【0025】

2×2光スイッチ203b_iは、信号 X_i と信号 Y_i とが共に“1”または共に“0”であるときに、第1の入力ポート(図3の上側の入力ポート)に入力される分波器200a_iからの光信号 C_i 、 \bar{C}_i を第2の出力ポート(図3の下側の出力ポート)に出力する。このとき、光スイッチ203b_iは、第2の入力ポート(図3の下側の入力ポート)と第1の出力ポート(図3の上側の出力ポート)とを接続する。ただし、第2の入力ポートは無入力である。

【0026】

また、光スイッチ203b_iは、信号 X_i と信号 Y_i のうち一方が“1”で他方が“0”であるときに、第1の入力ポートに入力される分波器200a_iからの光信号 C_i 、 \bar{C}_i を第1の出力ポートに出力する。このとき、光スイッチ203b_iは、第2の入力ポートと第2の出力ポートとを接続する。上記のとおり、第2の入力ポートは無入力である。

20

【0027】

図3の例では、各ビットの信号 X_i と Y_i の加算結果を示す光信号 S_i を取り出すために、波長合波器204b_iをビット毎に設ける。波長合波器204b_iは、光スイッチ203b_iから出力される波長の異なる光信号を合波する。

【0028】

本発明では、桁上げ信号 C_{i+1} とその否定信号 \bar{C}_{i+1} の演算を波長多重で行い、共通の回路で2種類の演算を実行する。これにより、図3に示した回路で、図2と同等の機能を位相補償なしで実現することができる。

30

【0029】

[第1の実施例]

次に、本発明の第1の実施例について説明する。ここでは、まず、図1、図2の各光論理回路の1ビット分の構成について説明した上で、本実施例の光論理回路の1ビット分の構成について説明する。

【0030】

図4は図1に示したcascaded-BDD型の光論理回路(全加算器)の1ビット分の構成を示すブロック図、図5は図4の回路の真理値表を示す図である。なお、図5における「-」は“0”または“1”のどちらでもよいことを表している。

40

論理回路301、303、307は、それぞれ論理関数 f_1 、 f_2 、 \bar{f}_2 に則った動作を行う回路である。論理関数 f_1 、 f_2 、 \bar{f}_2 の真理値表は図5に示したとおりである。

【0031】

pass/block型の光ゲート302は、論理関数 f_2 (論理回路303)の出力が“1”であるときに光源300からの光信号を通過させ、論理関数 f_2 の出力が“0”であるときに光源300からの光信号を遮断する。pass/cross型の光ゲート304は、論理関数 f_1 (論理回路301)の出力が“1”であるときに光信号 C_i を選択して出力し、論理関数 f_1 の出力が“0”であるときに光ゲート302の出力を選択して出

50

力する。pass/cross型の光ゲート305は、論理関数 f_1 の出力が“1”であるときに光信号バー C_i を選択して出力し、論理関数 f_1 の出力が“0”であるときに光信号 C_i を選択して出力する。

【0032】

pass/block型の光ゲート308は、論理関数 f_2 の否定バー f_2 （論理回路307）の出力が“1”であるときに光源306からの光信号を通過させ、バー f_2 の出力が“0”であるときに光源306からの光信号を遮断する。pass/cross型の光ゲート309は、論理関数 f_1 の出力が“1”であるときに光信号バー C_i を選択して出力し、論理関数 f_1 の出力が“0”であるときに光ゲート308の出力を選択して出力する。

10

【0033】

図6は図1に示したcascaded-BDD型の光論理回路（全加算器）の1ビット分の構成を示すブロック図である。図6の回路は、図4に示した回路において、論理関数 f_1 （論理回路301）の演算をXOR演算とし、論理関数 f_2 、バー f_2 の出力の代わりに、 X_i 、バー X_i をそのまま用いたものである。

【0034】

図7は図2に示した光論理回路（全加算器）の1ビット分の構成を示すブロック図である。pass/shift型の位相変調器401は、信号 X_i が“1”であるときに光源400からの光信号をそのまま通過させ、信号 X_i が“0”であるときに光源400からの光信号の位相を π だけずらして出力する。pass/cross型の光ゲート403は、信号 X_i 、 Y_i を入力とするXOR回路402の出力が“1”であるときに光信号 C_i を選択して出力し、XOR回路402の出力が“0”であるときに光ゲート401の出力を選択して出力する。

20

【0035】

位相変調器404は、XOR回路402の出力が“1”であるときに光信号 C_i の位相を π だけずらして出力し、XOR回路402の出力が“0”であるときに光信号 C_i をそのまま通過させる。

つまり、図7の回路では、図6に示した回路における“0”/“1”の信号にそれぞれ π /0の位相を割り当てることで、図6における下段の回路（306, 308, 309）を省略している。ただし、前述のように、光源400の“1”の位相と、 C_i （=“0”または“1”）の位相関係を厳密に合わせる必要がある。

30

【0036】

図8は本実施例に係る光論理回路（全加算器）の1ビット分の構成を示すブロック図である。本実施例及び以下の実施例では、論理演算の例として入力信号の加算を例に挙げて説明する。本実施例の1ビット分の光論理回路1は、光源10, 11と、pass/block型の光ゲート12, 13と、波長合波器14と、分波器15と、XOR回路16（論理関数回路）と、pass/cross型の光ゲート17と、波長分波器18と、pass/cross型の光ゲート19とから構成される。光源10, 11と光ゲート12, 13と波長合波器14とXOR回路16と光ゲート17とは、第1の論理回路を構成し、波長分波器18と光ゲート19とは、第2の論理回路を構成している。

40

【0037】

光源10は、信号“1”に対応する波長 λ_a の光信号を出力する。光源11は、信号“0”に対応する波長 λ_b の光信号を出力する。図9は波長合波器14と波長分波器18の透過特性を示す図である。図9（A）は上側のポートの波長特性を示す図、図9（B）は下側のポートの波長特性を示す図である。

【0038】

pass/block型の光ゲート12は、信号 X_i （電気信号）が“1”であるときに光源10からの光信号を通過させ、信号 X_i が“0”であるときに光源10からの光信号を遮断する。pass/block型の光ゲート13は、信号 X_i の否定信号バー X_i （電気信号）が“1”であるときに光源11からの光信号を通過させ、信号バー X_i が“0”

50

”であるときに光源 11 からの光信号を遮断する。波長合波器 14 は、光ゲート 12, 13 から出力される波長の異なる光信号を合波する。

【0039】

分波器 15 は、前段からの桁上げ信号 C_i , \bar{C}_i を 2 分岐させる。XOR 回路 16 は、信号 X_i (電気信号) と信号 Y_i (電気信号) との XOR 演算を行なう電気回路である。pass/cross 型の光ゲート 17 は、XOR 回路 16 の出力 (電気信号) が “1” であるときに分波器 15 からの光信号 C_i , \bar{C}_i を選択して、次段への桁上げ信号 C_{i+1} , \bar{C}_{i+1} として出力し、XOR 回路 16 の出力が “0” であるときに波長合波器 14 の出力を選択して、次段への桁上げ信号 C_{i+1} , \bar{C}_{i+1} として出力する。

【0040】

分波器 15 の分岐比率は 1 : 1 でなくとも良い。光信号 S_i 側は、加算結果を示すものであるため光受信器で受光できる程度の光があればよい。一方で、桁上げ信号である C_i 側の経路は桁数分の光パスが連続しており、各桁において光分波器 15 で分岐されるため大きな光強度が必要となる。したがって、桁上げ信号側の分岐比を大きくすることが望ましい。また、各桁ごとに分岐比を変えても良い。例えば、後段の桁ほど桁上げ信号が弱くなるため分岐比を徐々に 1 : 1 に近づけるようにしてもよい。

【0041】

一方、波長分波器 18 は、分波器 15 からの光信号 C_i , \bar{C}_i を波長 λ_a の光信号 C_i と波長 λ_b の光信号 \bar{C}_i とに分波し、光信号 C_i を pass/cross 型の光ゲート 19 の第 1 の入力ポート (図 8 の上側の入力ポート) に入力し、光信号 \bar{C}_i を光ゲート 19 の第 2 の入力ポート (図 8 の下側の入力ポート) に入力する。光ゲート 19 は、XOR 回路 16 の出力が “1” であるときに光信号 \bar{C}_i を選択して、 X_i と Y_i の加算結果を示す光信号 S_i として出力し、XOR 回路 16 の出力が “0” であるときに光信号 C_i を選択して、光信号 S_i として出力する。

【0042】

全加算器を構成する場合には、図 3 と同様に、図 8 の光論理回路 1 の桁上げ信号 C_{i+1} , \bar{C}_{i+1} が次段の光論理回路 1 に入力されるように N ビット (N は 2 以上の整数) 分の光論理回路 1 を縦続接続すれば、 N ビットの全加算器を実現することができる。

【0043】

なお、最終桁の桁上げ信号については、図 10 に示すように波長フィルタ 20 を設け、光信号 C_{i+1} , \bar{C}_{i+1} のうち波長 λ_b の光信号 \bar{C}_{i+1} 側を波長フィルタ 20 で除去することにより、最終桁の桁上げ信号を生成する必要がある。

【0044】

本実施例では、位相変調方式と同様に、図 6 の cascaded-BDD 型の光論理回路における下段の回路 (306, 308, 309) を省略することができる。さらに、本実施例では、位相変調方式と異なり、図 7 に示した光信号の位相に “0” / “1” を割り当てていないため、図 7 に示した位相変調方式のような厳密な位相制御が不要となる。

【0045】

[第 2 の実施例]

次に、本発明の第 2 の実施例について説明する。図 11 は本実施例に係る光論理回路 (全加算器) の 1 ビット分の構成を示すブロック図である。本実施例の 1 ビット分の光論理回路 2 は、光源 21, 22 と、pass/cross 型の光ゲート 23 と、分波器 24 と、pass/cross 型の光ゲート 25, 26 とから構成される。光源 21, 22 と光ゲート 23, 25 とは、第 1 の論理回路を構成し、光ゲート 26 は、第 2 の論理回路を構成している。

【0046】

光源 21 は、信号 “1” に対応する波長 λ_a の光信号を出力する。光源 22 は、信号 “0” に対応する波長 λ_b の光信号を出力する。pass/cross 型の光ゲート 23 は、信号 X_i (電気信号) が “1” であるときに光源 21 からの光信号を選択して出力し、信号 X_i が “0” であるときに光源 22 からの光信号を選択して出力する。

10

20

30

40

50

【 0 0 4 7 】

分波器 2 4 は、前段からの桁上げ信号 C_i 、 \bar{C}_i を 2 分岐させる。pass/cross 型の光ゲート 2 5 は、信号 X_i (電気信号) と信号 Y_i (電気信号) とが共に “ 1 ” または共に “ 0 ” であるときに光ゲート 2 3 の出力を選択して、次段への桁上げ信号 C_{i+1} 、 \bar{C}_{i+1} として出力し、信号 X_i と信号 Y_i のうち一方が “ 1 ” で他方が “ 0 ” であるときに分波器 2 4 から光信号 C_i 、 \bar{C}_i を選択して、次段への桁上げ信号 C_{i+1} 、 \bar{C}_{i+1} として出力する。

【 0 0 4 8 】

pass/cross 型の光ゲート 2 6 は、信号 X_i と信号 Y_i とが共に “ 1 ” または共に “ 0 ” であるときに、第 1 の入力ポート (図 1 1 の上側の入力ポート) に入力される分波器 2 4 から光信号 C_i 、 \bar{C}_i を第 2 の出力ポート (図 1 1 の下側の出力ポート) に出力する。このとき、光ゲート 2 6 は、第 2 の入力ポート (図 1 1 の下側の入力ポート) と第 1 の出力ポート (図 1 1 の上側の出力ポート) とを接続する。ただし、本実施例では、第 2 の入力ポートは無入力である。

10

【 0 0 4 9 】

また、光ゲート 2 6 は、信号 X_i と信号 Y_i のうち一方が “ 1 ” で他方が “ 0 ” であるときに、第 1 の入力ポートに入力される分波器 2 4 から光信号 C_i 、 \bar{C}_i を第 1 の出力ポートに出力する。このとき、光ゲート 2 6 は、第 2 の入力ポートと第 2 の出力ポートとを接続する。上記のとおり、第 2 の入力ポートは無入力である。

【 0 0 5 0 】

全加算器を構成する場合には、図 3 と同様に、図 1 1 の光論理回路 2 の桁上げ信号 C_{i+1} 、 \bar{C}_{i+1} が次段の光論理回路 2 に入力されるように N ビット分の光論理回路 2 を縦続接続すれば、N ビットの全加算器を実現することができる。

20

【 0 0 5 1 】

最終桁の桁上げ信号については、図 1 0 と同様に波長フィルタを設け、光信号 C_{i+1} 、 \bar{C}_{i+1} のうち波長 λ_b の光信号 \bar{C}_{i+1} 側を波長フィルタで除去することにより、最終桁の桁上げ信号を生成する必要がある。

【 0 0 5 2 】

また、本実施例では、各ビットの信号 X_i と Y_i の加算結果を示す光信号 S_i を取り出すために、波長合波器 2 7 (波長フィルタ) をビット毎に設ける必要がある。波長合波器 2 7 は、光ゲート 2 6 から出力される波長の異なる光信号を合波する。

30

【 0 0 5 3 】

具体的には、波長合波器 2 7 は、光ゲート 2 6 の第 1 の出力ポート (図 1 1 の上側の出力ポート) から出力される光信号のうち波長 λ_a の光信号を通さずに、波長 λ_b の光信号を通す。また、波長合波器 2 7 は、光ゲート 2 6 の第 2 の出力ポート (図 1 1 の下側の出力ポート) から出力される光信号のうち波長 λ_b の光信号を通さずに、波長 λ_a の光信号を通す。こうして、光信号 S_i が生成される。本実施例の光信号 S_i は、図 1 2 に示すように光強度で “ 0 ” / “ 1 ” を表す信号となり、信号 X_i と Y_i の加算結果が “ 0 ” の場合は光強度がゼロレベルとなる。

【 0 0 5 4 】

本実施例の構成は、第 1 の実施例の回路を以下の 3 つの手法 (I) ~ (III) で簡略化したものである。

40

【 0 0 5 5 】

(I) 図 8 において信号 X_i 、 \bar{X}_i で光ゲート 1 2、1 3 を制御している箇所を、信号 X_i に応じて動作する pass/cross 型の光ゲート 2 3 にスイッチを変更する。これにより、波長合波器 1 4 を省略することができ、信号 C_i 、 \bar{C}_i の経路長を短縮し、演算速度を向上させることが可能となる。

【 0 0 5 6 】

(II) 図 8 における pass/cross 型の光ゲート 1 9 への入力を、波長分波器 1 8 で信号を上下ポートに分けて入力する方式から、pass/cross 型の光ゲート 2 6

50

の出力側で波長選択合波する方式に変更する。加算用の光ゲートを他のスイッチと同一のチップ内に集積する必要性を勘案すると、図8の構成では、波長分波器18をチップ内に集積する必要がある。これに対して、図11の構成では、チップ外部に配置される波長合波器27（波長フィルタ）を用いて演算を実行することが可能となり、チップの作製をより単純化することが可能となる。

【0057】

(III) 図6、図7、図8で用いられていた *pass/cross* 型の光ゲート304, 403, 17を1制御入力から2制御入力の光ゲート25に変更することで、*cascaded-BDD*用のXOR回路301, 402, 16を省略する。この手法の図7への適用は、信号 C_i , \bar{C}_i の経路内に位相シフタを増設する結果となり、演算速度の観点から不適であると考えられる。一方、光信号の位相に“0”/“1”を割り当てしない本実施例の構成においては、位相シフタの増設が不要であるため、*cascaded-BDD*の高速性を保持しつつ、XOR回路の省略が可能となる。

10

【0058】

[第3の実施例]

次に、本発明の第3の実施例について説明する。図13は本実施例に係る光論理回路（全加算器）の1ビット分の構成を示すブロック図である。上記のとおり、第2の実施例は、図8に示した第1の実施例の回路に(I)~(III)の手法を適用したものであり、本実施例は、第1の実施例の回路に(I)、(III)の手法を適用したものである。本実施例では、出力 S_i の“0”を表す信号として、光強度がゼロではない信号を利用できる。

20

【0059】

本実施例の1ビット分の光論理回路3は、光源30, 31と、*pass/cross*型の光ゲート32と、分波器33と、*pass/cross*型の光ゲート34と、波長分波器35と、*pass/cross*型の光ゲート36とから構成される。光源30, 31と光ゲート32, 34とは、第1の論理回路を構成し、波長分波器35と光ゲート36とは、第2の論理回路を構成している。

【0060】

光源30は、信号“1”に対応する波長 λ_a の光信号を出力する。光源31は、信号“0”に対応する波長 λ_b の光信号を出力する。*pass/cross*型の光ゲート32は、信号 X_i （電気信号）が“1”であるときに光源30からの光信号を選択して出力し、信号 X_i が“0”であるときに光源31からの光信号を選択して出力する。

30

【0061】

分波器33は、前段からの桁上げ信号 C_i , \bar{C}_i を2分岐させる。*pass/cross*型の光ゲート34は、信号 X_i （電気信号）と信号 Y_i （電気信号）とが共に“1”または共に“0”であるときに光ゲート32の出力を選択して、次段への桁上げ信号 C_{i+1} , \bar{C}_{i+1} として出力し、信号 X_i と信号 Y_i のうち一方が“1”で他方が“0”であるときに分波器33からの光信号 C_i , \bar{C}_i を選択して、次段への桁上げ信号 C_{i+1} , \bar{C}_{i+1} として出力する。

【0062】

波長分波器35は、分波器33からの光信号 C_i , \bar{C}_i を波長 λ_a の光信号 C_i と波長 λ_b の光信号 \bar{C}_i とに分波し、光信号 C_i を*pass/cross*型の光ゲート36の第1の入力ポート（図13の上側の入力ポート）に入力し、光信号 \bar{C}_i を光ゲート36の第2の入力ポート（図13の下側の入力ポート）に入力する。

40

【0063】

*pass/cross*型の光ゲート36は、信号 X_i と信号 Y_i とが共に“1”または共に“0”であるときに、第1の入力ポートに入力される光信号 C_i を第2の出力ポート（図13の下側の出力ポート）に出力し、第2の入力ポートに入力される光信号 \bar{C}_i を第1の出力ポート（図13の上側の出力ポート）に出力する。また、光ゲート36は、信号 X_i と信号 Y_i のうち一方が“1”で他方が“0”であるときに、第1の入力ポートに入力される光信号 C_i を第1の出力ポートに出力し、第2の入力ポートに入力される光信号

50

バー C_i を第 2 の出力ポートに出力する。

【 0 0 6 4 】

全加算器を構成する場合には、図 3 と同様に、図 1 3 の光論理回路 3 の桁上げ信号 C_{i+1} 、バー C_{i+1} が次段の光論理回路 3 に入力されるように N ビット分の光論理回路 3 を縦続接続すれば、 N ビットの全加算器を実現することができる。

【 0 0 6 5 】

なお、最終桁の桁上げ信号については、図 1 4 に示すように波長分波器 4 0 (波長フィルタ) と、フォトダイオード 4 1、4 2 と、加減算器 4 3 とを設ける必要がある。

波長分波器 4 0 は、桁上げ信号 C_{i+1} 、バー C_{i+1} を波長 λ_b の光信号バー C_{i+1} と波長 λ_a の光信号 C_{i+1} とに分波する。

10

【 0 0 6 6 】

フォトダイオード 4 1 は、光信号バー C_{i+1} を電気信号に変換する。フォトダイオード 4 2 は、光信号 C_{i+1} を電気信号に変換する。加減算器 4 3 は、フォトダイオード 4 1 の出力信号の極性を反転させた信号とフォトダイオード 4 2 の出力信号とを加算する。こうして、最終桁の桁上げ信号を差動受信した電気信号を生成することができる。

【 0 0 6 7 】

また、本実施例では、各ビットの信号 X_i と Y_i の加算結果を示す光信号 S_i を電気信号に変換して取り出すために、フォトダイオード 3 7、3 8 と加減算器 3 9 とからなる差動検出型の受信機をビット毎に設ける必要がある。

【 0 0 6 8 】

フォトダイオード 3 7 は、光ゲート 3 6 の第 1 の出力ポート (図 1 3 の上側の出力ポート) から出力される光信号を電気信号に変換する。フォトダイオード 3 8 は、光ゲート 3 6 の第 2 の出力ポート (図 1 3 の下側の出力ポート) から出力される光信号を電気信号に変換する。加減算器 3 9 は、フォトダイオード 3 7 の出力信号の極性を反転させた信号とフォトダイオード 3 8 の出力信号とを加算する。

20

【 0 0 6 9 】

こうして、差動検出型の受信機をビット毎に設置することにより、“0” / “1” 信号の強度レベルの差を 2 倍に設定できるため、信号検出精度を向上させることが可能となる。つまり、本実施例の光信号 S_i を電気信号に変換した信号は、図 1 5 に示すように、“1” を表す信号が正極性、“0” を表す信号が負極性となる。

30

【 0 0 7 0 】

なお、上記の (I) の *pass/block* 型、*pass/cross* 型、(III) の 1 制御入力型、2 制御入力型などの選択は、スイッチの性能やサイズなどによって使い分ければよい。

【 0 0 7 1 】

図 1 6 は、図 1 3 に示した光論理回路 3 を 4 ビット分縦続接続した 4 ビット全加算器のシミュレーション結果を示す図であり、4 ビットの信号 X_i と 4 ビットの Y_i を加算した結果を示す図である。ここで、入力信号 (X_i , Y_i) は 1 0 G H z の間隔で全スイッチに平行に入力されるものとし、スイッチの ON / OFF 切り替え時間を 5 p s に設定する。図 1 6 の *out 0* は 1 つの光論理回路 3 あたりの回路内光伝播時間がゼロである理想状態を想定したときの出力信号 S_i を示し、*out 1* はこの回路内光伝播時間を 2 . 5 p s (1 つの光論理回路 3 あたりの素子長 2 5 0 μ m 相当) としたときの出力信号 S_i を示している。

40

【 0 0 7 2 】

いずれの光伝播時間の場合も、入力 (X_i , Y_i) に応じた正しい加算の演算結果 S_i が出力されている。ただし、回路内光伝播時間がゼロではないケース (*out 1*) においては、スイッチを制御する電気信号とスイッチに入力される光信号のタイミングがずれるため、電気信号のクロック周期でスパイク状の信号が出力されている。

【 0 0 7 3 】

伝播遅延に起因するスパイク状の信号は演算誤差の原因となるため、スパイクが現れる

50

時間帯をはずして受信するなどの工夫が必要となる。あるいは、このタイミングに合わせて光のソースをカットすればよい。例えば図 1 3 の光源 3 0 , 3 1 から供給する光源光を、C W (Continuous Wave) 光ではなく、電気信号のクロックに合わせた R Z (Return to Zero) 信号光としたときの 4 ビット全加算器の出力信号 S_i を図 1 7 に示す。ここでは、上記の回路内光伝播時間をさらに大きな 5 p s (1 つの光論理回路 3 あたりの素子長 5 0 0 μ m 相当) としたが、十分にスパイク状信号の除去に成功している。

【 0 0 7 4 】

また、一桁あたりの演算遅延の最大値はこの回路内光伝播時間に対応するのであるが、C M O S 回路における一桁あたりの演算時間が 2 0 p s 程度であることを勘案すると、素子長 5 0 0 μ m のサイズでも十分に速い演算速度を達成できている。数 1 0 μ m の短尺化が可能なナノフォトニクス技術を用いれば、更なる高速化の実現が可能となる。

10

【 0 0 7 5 】

[第 4 の実施例]

第 1 の実施例において、異なるビットごとに用いる光源の波長が異なるようにしてもよい。図 1 8 は本実施例に係る光論理回路 (全加算器) の $N = 3$ ビット分の構成を示すブロック図であり、最下位桁を $i = 1$ としている。1 ビット目の光論理回路 4 - 1 内の光源 5 0 - 1 は、信号 “ 1 ” に対応する ($N - 1$) 個の異なる波長 $\lambda_2, \dots, \lambda_N$ が多重された光信号を出力する。光源 5 1 - 1 は、信号 “ 0 ” に対応する ($N - 1$) 個の異なる波長 $\lambda_2', \dots, \lambda_N'$ が多重された光信号を出力する。波長 $\lambda_2, \dots, \lambda_N$ は上記の波長 λ_a を ($N - 1$) ビット分に拡張したものに相当し、波長 $\lambda_2', \dots, \lambda_N'$ は上記の波長 λ_b を ($N - 1$) ビット分に拡張したものに相当する。これら $\lambda_2, \dots, \lambda_N, \lambda_2', \dots, \lambda_N'$ は全て異なる波長である。

20

【 0 0 7 6 】

pass / block 型の光ゲート 1 2 - 1 , 1 3 - 1、波長合波器 1 4 - 1、X O R 回路 1 6 - 1、pass / cross 型の光ゲート 1 7 - 1 の動作は、それぞれ第 1 の実施例の光ゲート 1 2 , 1 3、波長合波器 1 4、X O R 回路 1 6、光ゲート 1 7 と同様である。

【 0 0 7 7 】

一方、光源 5 2 - 1 は、桁上げ信号 Carry_1 に対応する波長 λ_1' の光信号を出力する。この波長 λ_1' は上記の波長 λ_b に相当する。ここで Carry_1 に対応する光信号は使用しない。これらの設定は最下位桁への桁上げ信号はゼロであることを意味する。

30

波長分波器 1 8 - 1、pass / cross 型の光ゲート 1 9 - 1 の動作は、それぞれ第 1 の実施例の波長分波器 1 8、光ゲート 1 9 と同様である。

【 0 0 7 8 】

次に、2 ビット目の光論理回路 4 - 2 内の光源 5 0 - 2 は、信号 “ 1 ” に対応する ($N - 2$) 個の異なる波長 $\lambda_3, \dots, \lambda_N$ が多重された光信号を出力する。光源 5 1 - 2 は、信号 “ 0 ” に対応する ($N - 2$) 個の異なる波長 $\lambda_3', \dots, \lambda_N'$ が多重された光信号を出力する。ただし、本実施例では、 $N = 3$ である。

【 0 0 7 9 】

ここで、1 ビット目の光論理回路 4 - 1 の光ゲート 1 7 - 1 から出力される伝搬信号は、複数の波長 $\lambda_2, \dots, \lambda_N, \lambda_2', \dots, \lambda_N'$ が多重された光信号である。

40

そこで、2 ビット目の光論理回路 4 - 2 内の W D M (Wavelength Division Multiplexing) フィルタ 5 3 - 2 は、下位ビットの光論理回路 4 - 1 から出力される伝搬信号の内、自身のビットに対応する波長 λ_2, λ_2' の光信号を、下位ビットからの桁上げ信号 Carry_2 、 Carry_2 として取り出して波長分波器 1 8 - 2 に入力し、その他の波長 $\lambda_3, \dots, \lambda_N, \lambda_3', \dots, \lambda_N'$ の光信号をそのまま通過させて光ゲート 1 7 - 2 に入力する。

【 0 0 8 0 】

pass / block 型の光ゲート 1 2 - 2 , 1 3 - 2、波長合波器 1 4 - 2、X O R 回路 1 6 - 2、pass / cross 型の光ゲート 1 7 - 2 の動作は、それぞれ第 1 の実施例の光ゲート 1 2 , 1 3、波長合波器 1 4、X O R 回路 1 6、光ゲート 1 7 と同様であ

50

る。波長分波器 18 - 2、pass/cross 型の光ゲート 19 - 2 の動作は、それぞれ第 1 の実施例の波長分波器 18、光ゲート 19 と同様である。

【0081】

次に、最上位ビットの 3 ビット目の光論理回路 4 - 3 内の XOR 回路 16 - 3 の動作は、第 1 の実施例の XOR 回路 16 と同様である。この最上位ビットでは、pass/cross 型の光ゲート 17 は不要である。

【0082】

2 ビット目の光論理回路 4 - 2 の光ゲート 17 - 2 から出力される伝搬信号は、複数の波長 $\lambda_3, \dots, \lambda_N, \lambda_3', \dots, \lambda_N'$ が多重された光信号である。ただし、本実施例では、 $N = 3$ なので、2 ビット目のように WDM フィルタを用いる必要はなく、3 ビット目の光論理回路 4 - 3 に対応する波長 λ_3, λ_3' の光信号が、下位ビットからの桁上げ信号 C_3, \bar{C}_3 として波長分波器 18 - 3 に入力される。

10

【0083】

波長分波器 18 - 3、pass/cross 型の光ゲート 19 - 3 の動作は、それぞれ第 1 の実施例の波長分波器 18、光ゲート 19 と同様である。

【0084】

こうして、第 1 の実施例と同様の全加算器を実現することができる。最上位ビットを除くビットの光論理回路 4 では、光源 50 は、自身のビット i よりも上位のビットの個数 M (M は 1 以上 N 以下の整数で、 $M = N - i$) の異なる波長 $\lambda_i, \dots, \lambda_N$ が多重された光信号を出力すればよく、光源 51 は、個数 M の異なる波長 $\lambda_i', \dots, \lambda_N'$ が多重された光信号を出力すればよい。

20

【0085】

最下位ビットと最上位ビットとを除くビットの光論理回路 4 では、第 1 の実施例の分波器 15 の代わりに、WDM フィルタ 53 を設け、下位ビットからの伝搬信号の内、自身のビット i に対応する波長 λ_i, λ_i' の光信号を、下位ビット ($i - 1$) から自身のビット i への桁上げ信号として取り出して波長分波器 18 に入力し、その他の波長の光信号を光ゲート 17 に入力すればよい。

【0086】

最下位ビットの光論理回路 4 では、自身のビット i への桁上げ信号 $C_i = "0"$ に対応する波長 λ_i' の光信号を出力する光源 52 を設けるようにすればよい。

30

最上位ビットの光論理回路 4 では、下位ビットからの桁上げ信号をそのまま波長分波器 18 に入力すればよい。また最上位ビットの出力 S_i を最終桁上値とする場合は、最上位ビットの光論理回路 4 への入力 X_i, Y_i はともにゼロであるため、この場合は最上位ビットの光論理回路 4 を図 10 の回路に置き換えてもよい。

本実施例によれば、桁上げ信号の電力分岐損を減らすことが可能となる。

【産業上の利用可能性】

【0087】

本発明は、光回路、または光回路と電気回路の混合回路で行う論理演算に適用することができる。

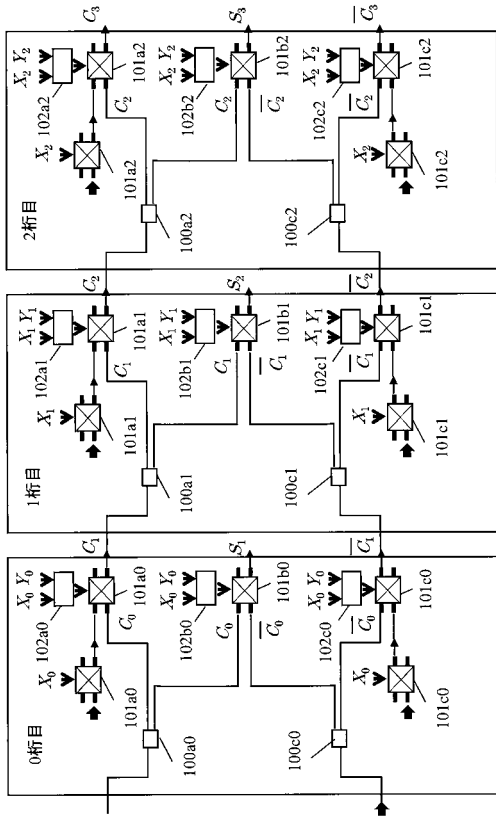
【符号の説明】

40

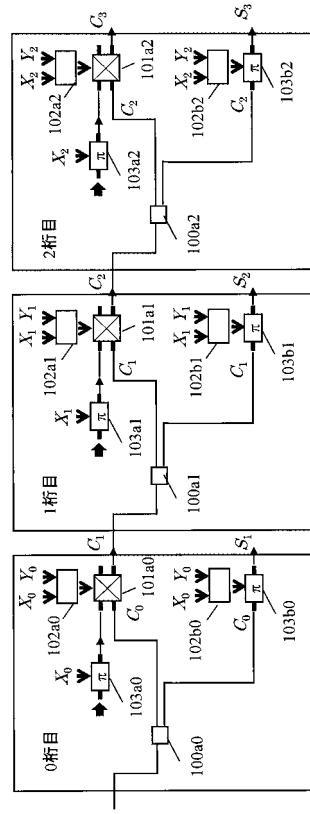
【0088】

1, 2, 3, 4 ... 光論理回路、10, 11, 21, 22, 30, 31, 50 ~ 52 ... 光源、12, 13, 17, 19, 23, 25, 26, 32, 34, 36 ... 光ゲート、14, 27 ... 波長合波器、15, 24, 33 ... 分波器、16 ... XOR 回路、18, 35, 40 ... 波長分波器、20 ... 波長フィルタ、37, 38, 41, 42 ... フォトダイオード、39, 43 ... 加減算器、53 ... WDM フィルタ。

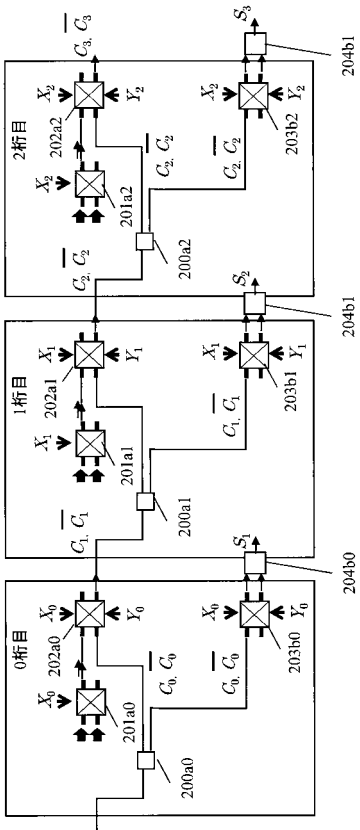
【 図 1 】



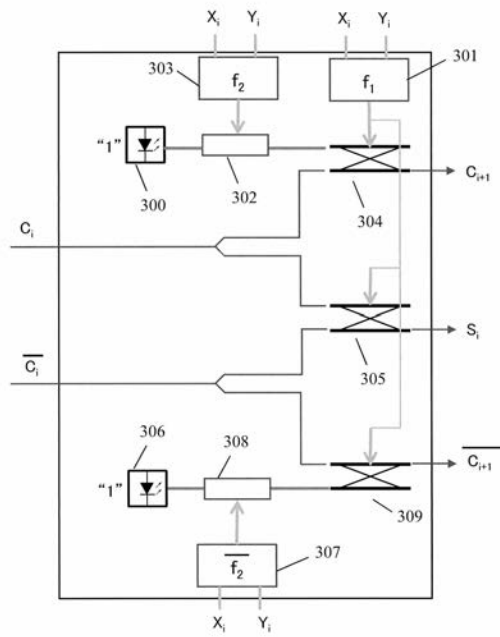
【 図 2 】



【 図 3 】



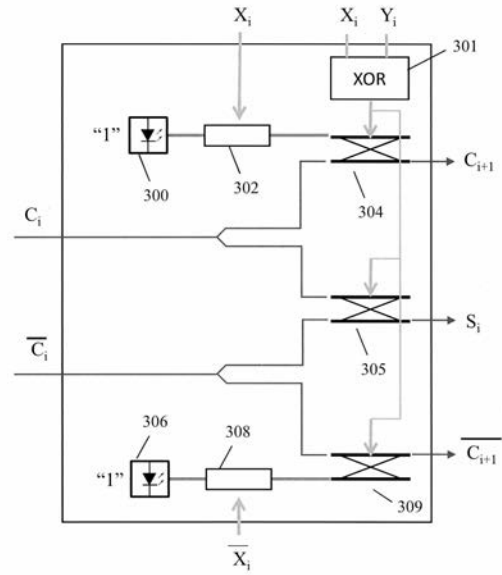
【 図 4 】



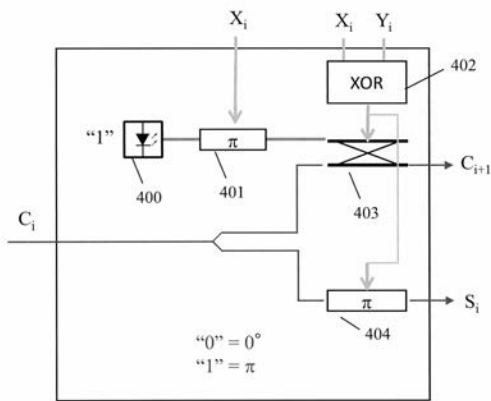
【 図 5 】

$\overline{f_2}$	f_2	1	0
f_2	f_1	0	1
f_1	C_{i+1}	0	0
$\overline{C_{i+1}}$	S_i	0	1
C_{i+1}	C_i	1	0
Y_i	C_{i+1}	1	0
X_i	C_i	1	0

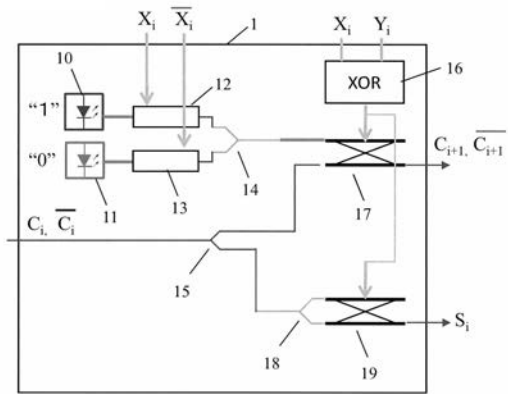
【 図 6 】



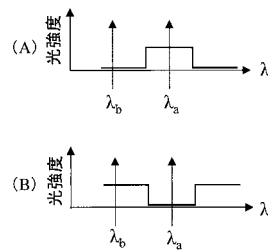
【 図 7 】



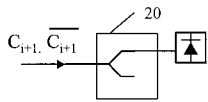
【 図 8 】



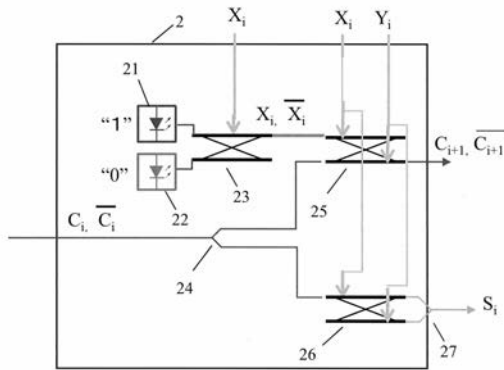
【 図 9 】



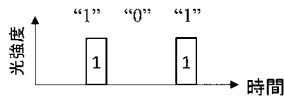
【 図 1 0 】



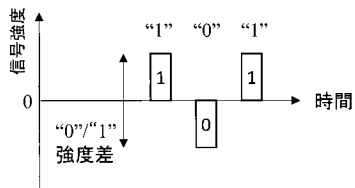
【 図 1 1 】



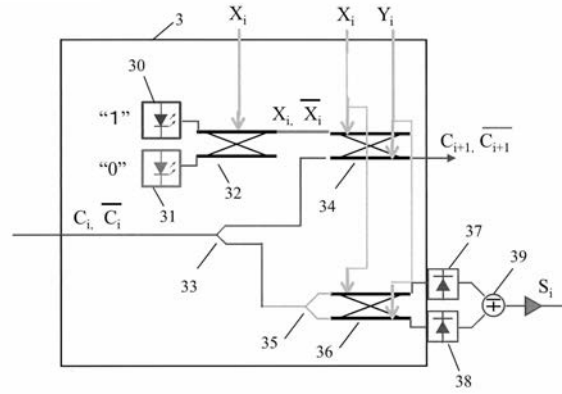
【 図 1 2 】



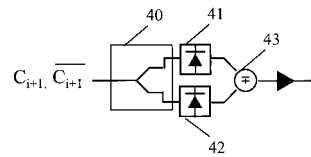
【 図 1 5 】



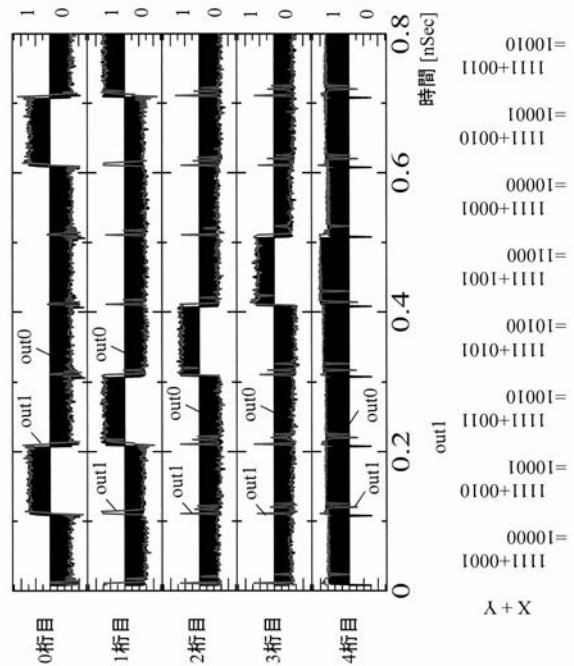
【 図 1 3 】



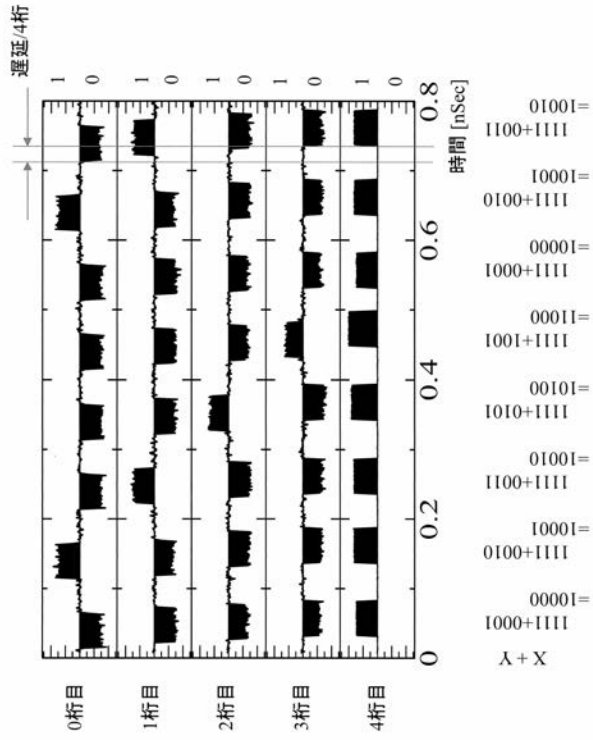
【 図 1 4 】



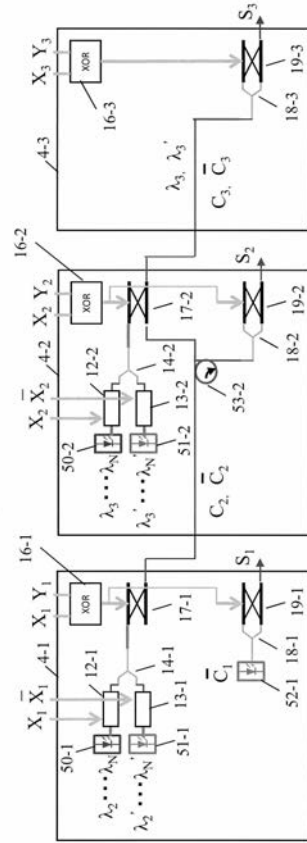
【 図 1 6 】



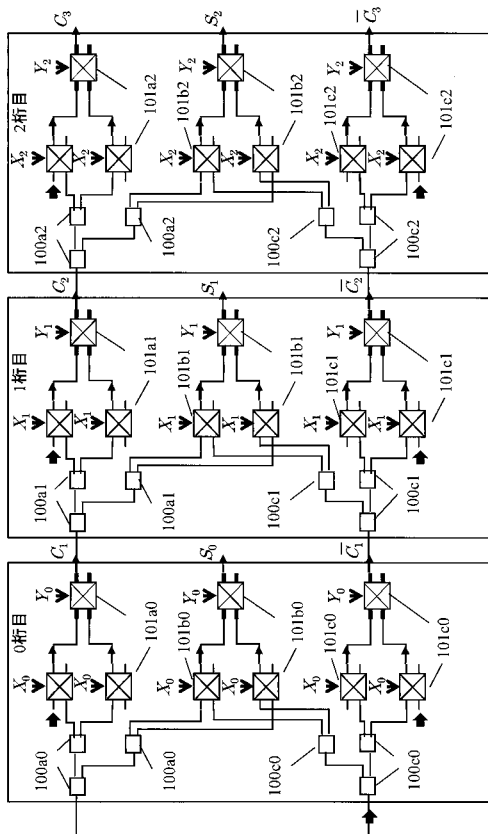
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



フロントページの続き

- (72)発明者 納富 雅也
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 野崎 謙悟
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 北 翔太
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 石原 亨
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- Fターム(参考) 2K102 BA08 BA11 BA31 BB01 BB02 BC04 BD01 EB20