

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-91873
(P2019-91873A)

(43) 公開日 令和1年6月13日(2019.6.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/337 (2006.01)	HO 1 L 29/80 C	5 F 1 0 2
HO 1 L 29/808 (2006.01)	HO 1 L 29/80 V	
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 W	
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 E	
HO 1 L 21/8232 (2006.01)	HO 1 L 27/06 F	

審査請求 未請求 請求項の数 16 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2018-36440 (P2018-36440)
 (22) 出願日 平成30年3月1日(2018.3.1)
 (31) 優先権主張番号 特願2017-221295 (P2017-221295)
 (32) 優先日 平成29年11月16日(2017.11.16)
 (33) 優先権主張国 日本国(JP)

(出願人による申告) 平成25年度採択 国立研究開発法人科学技術振興機構 研究成果展開事業「スーパークラスタープログラム」に係る委託研究(研究課題名称: SiCパワーデバイスの高性能化)、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 504132272
 国立大学法人京都大学
 京都府京都市左京区吉田本町36番地1
 (74) 代理人 110001427
 特許業務法人前田特許事務所
 (72) 発明者 木本 恒暢
 京都府京都市左京区吉田本町36番地1
 国立大学法人京都大学内
 (72) 発明者 金子 光顕
 京都府京都市左京区吉田本町36番地1
 国立大学法人京都大学内
 (72) 発明者 中島 誠志
 京都府京都市左京区吉田本町36番地1
 国立大学法人京都大学内

最終頁に続く

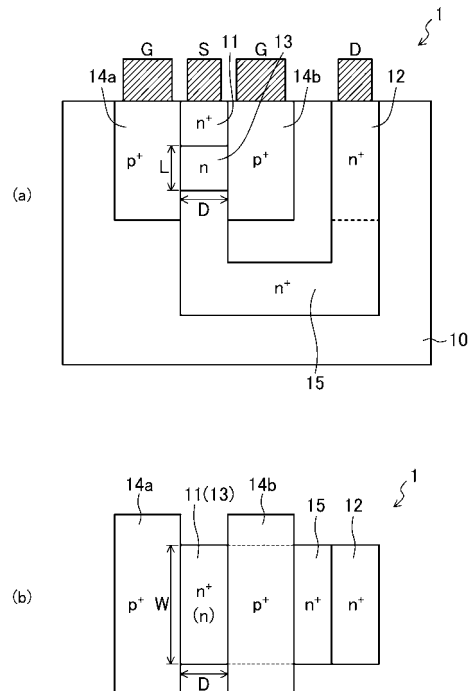
(54) 【発明の名称】 SiC接合型電界効果トランジスタ及びSiC相補型接合型電界効果トランジスタ

(57) 【要約】

【課題】 広い温度範囲において、安定した動作が可能で、かつ、相補型JFETの作製が容易な、SiC接合型電界効果トランジスタを提供する。

【解決手段】 SiC接合型電界効果トランジスタは、SiC基板10の主面に、互いに離間して形成された第1導電型のソース領域11及びドレイン領域12と、ソース領域の下方に形成された第1導電型の埋込チャンネル領域13と、SiC基板の主面であって、少なくともソース領域及び埋込チャンネル領域を含む領域の両側に形成された一对の第2導電型のゲート領域14a、14bとを備え、埋込チャンネル領域とドレイン領域とは、一对のゲート領域より下方に形成された第1導電型の埋込不純物領域15によって接続されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

S i C 基板の主面に、互いに離間して形成された第 1 導電型のソース領域及びドレイン領域と、

前記ソース領域の下方に形成された第 1 導電型の埋込チャンネル領域と、

前記 S i C 基板の主面であって、少なくとも前記ソース領域及び前記埋込チャンネル領域を含む領域の両側に形成された一对の第 2 導電型のゲート領域と、

を備え、

前記埋込チャンネル領域と、前記ドレイン領域とは、前記一对のゲート領域より下方に形成された第 1 導電型の埋込不純物領域によって接続されている、S i C 接合型電界効果トランジスタ。

10

【請求項 2】

前記埋込チャンネル領域の不純物濃度は、前記ソース領域及び前記埋込不純物領域の不純物濃度よりも低濃度に設定されている、請求項 1 に記載の S i C 接合型電界効果トランジスタ。

【請求項 3】

前記 S i C 接合型電界効果トランジスタは、ノーマリオフ型のトランジスタであって、

前記埋込チャンネル領域の不純物濃度を N (cm^{-3})、前記一对のゲート領域に挟まれた前記埋込チャンネル領域の厚さを D (cm) としたとき、 $N(D/2)^2 < 1.5 \times 10^7 \text{ cm}^{-1}$ を満たす、請求項 2 に記載の S i C 接合型電界効果トランジスタ。

20

【請求項 4】

前記ソース領域、前記ドレイン領域、前記埋込チャンネル領域、前記ゲート領域、及び前記埋込不純物領域は、それぞれ、イオン注入層で構成されている、請求項 1 に記載の S i C 接合型電界効果トランジスタ。

【請求項 5】

S i C 基板に、n チャンネル接合型電界効果トランジスタと、p チャンネル接合型電界効果トランジスタとが形成された S i C 相補型接合型電界効果トランジスタであって、

前記 n チャンネル接合型電界効果トランジスタ及び p チャンネル接合型電界効果トランジスタは、それぞれ、請求項 1 ~ 4 の何れかに記載の S i C 接合型電界効果トランジスタで構成されている、S i C 相補型接合型電界効果トランジスタ。

30

【請求項 6】

前記 n チャンネル接合型電界効果トランジスタにおける前記埋込不純物領域の不純物濃度は、前記 p チャンネル接合型電界効果トランジスタにおける前記埋込不純物領域の不純物濃度よりも小さく設定されており、

前記 n チャンネル接合型電界効果トランジスタ及び前記 p チャンネル接合型電界効果トランジスタの各トランジスタにおいて、前記埋込チャンネル領域の前記一对のゲート領域が対向する方向と垂直な方向のチャンネル幅は、略同じ長さに設定されている、請求項 5 に記載の S i C 相補型接合型電界効果トランジスタ。

【請求項 7】

S i C 基板の主面に形成された第 1 導電型のチャンネル領域と、

前記 S i C 基板の主面であって、前記チャンネル領域を挟んで、互いに対向して形成された第 1 導電型のソース領域及びドレイン領域と、

前記 S i C 基板の主面であって、前記チャンネル領域を挟んで、前記ソース領域及びドレイン領域が対向する方向と垂直な方向に形成された一对の第 2 導電型のゲート領域と、を備えた S i C 接合型電界効果トランジスタ。

40

【請求項 8】

S i C 基板に、n チャンネル接合型電界効果トランジスタと、p チャンネル接合型電界効果トランジスタとが形成された S i C 相補型接合型電界効果トランジスタであって、

前記 n チャンネル接合型電界効果トランジスタ及び p チャンネル接合型電界効果トランジスタは、それぞれ、請求項 7 に記載の S i C 接合型電界効果トランジスタで構成されている

50

、S i C相補型接合型電界効果トランジスタ。

【請求項 9】

前記nチャンネル接合型電界効果トランジスタにおける前記チャンネル領域の深さ方向におけるチャンネル幅は、前記pチャンネル接合型電界効果トランジスタにおける前記チャンネル領域の深さ方向におけるチャンネル幅よりも短く設定されている、請求項8に記載のS i C相補型接合型電界効果トランジスタ。

【請求項 10】

S i C基板の主面に、互いに離間して形成された第1導電型のソース領域及びドレイン領域と、

前記ソース領域の下方に形成された第1導電型の埋込チャンネル領域と、

前記S i C基板の主面であって、少なくとも前記ソース領域及び前記埋込チャンネル領域を含む領域の片側に形成された第2導電型のゲート領域と、

を備え、

前記埋込チャンネル領域と、前記ドレイン領域とは、前記ゲート領域より下方に形成された第1導電型の埋込不純物領域によって接続されている、S i C接合型電界効果トランジスタ。

【請求項 11】

S i C基板の主面に形成された第1導電型のチャンネル領域と、

前記S i C基板の主面であって、前記チャンネル領域を挟んで、互いに対向して形成された第1導電型のソース領域及びドレイン領域と、

前記S i C基板の主面であって、前記チャンネル領域の片側に、前記ソース領域及びドレイン領域が対向する方向と垂直な方向に形成された第2導電型のゲート領域と、

を備えたS i C接合型電界効果トランジスタ。

【請求項 12】

S i C基板の主面に形成された第1導電型のチャンネル領域と、

前記S i C基板の主面であって、前記チャンネル領域を挟んで、互いに対向して形成された第1導電型のソース領域及びドレイン領域と、

前記S i C基板の主面であって、前記ソース領域及びドレイン領域が対向する方向と垂直な方向に形成された一対の第2導電型のゲート領域と、

を備え、

前記一対のゲート領域は、それぞれ、対向する側の端部が、平面視において、前記チャンネル領域と重なって形成されている、S i C接合型電界効果トランジスタ。

【請求項 13】

前記一対のゲート領域の深さは、前記チャンネル領域の深さよりも深い、請求項12に記載のS i C接合型電界効果トランジスタ。

【請求項 14】

前記S i C基板の主面であって、前記ソース領域、ドレイン領域、及び前記チャンネル領域を取り囲むように、第2導電型のゲートアクセス領域がリング状に形成されており、

前記一対のゲート領域は、それぞれ、前記ゲートアクセス領域と接続されている、請求項12に記載のS i C接合型電界効果トランジスタ。

【請求項 15】

前記S i C基板の主面であって、前記一対のゲート領域との間に、平面視において、前記チャンネル領域と重なる複数のゲート領域が、等間隔に形成されている、請求項12に記載のS i C接合型電界効果トランジスタ。

【請求項 16】

S i C基板に、nチャンネル接合型電界効果トランジスタと、pチャンネル接合型電界効果トランジスタとが形成されたS i C相補型接合型電界効果トランジスタであって、

前記nチャンネル接合型電界効果トランジスタ及びpチャンネル接合型電界効果トランジスタは、それぞれ、請求項12～15の何れかに記載のS i C接合型電界効果トランジスタで構成されている、S i C相補型接合型電界効果トランジスタ。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭素珪素（SiC）基板を用いて形成されたSiC接合型電界効果トランジスタ（以下、「SiC JFET」という）、及び、このSiC JFETで構成されたnチャンネルJFET及びpチャンネルJFETを備えたSiC相補型接合型電界効果トランジスタ（以下、「SiC相補型JFET」という）に関する。

【背景技術】

【0002】

炭素珪素（SiC）は、絶縁破壊電界強度がシリコン（Si）に比べて約10倍高いため、Siの限界を超える高耐圧パワーデバイスが開発されている。

10

【0003】

一方、現在の半導体集積回路は、主にシリコン（Si）で作製されているが、産業分野においては、自動車や航空機のエンジン制御、自動車タイヤのモニター、宇宙用エレクトロニクスなど、Siでは実現不可能な200以上の高温において動作する集積回路が渴望されている。

【0004】

SiCは、バンドギャップがSiに比べて約3倍高いため、500以上の高温環境で動作する集積回路が作製可能である。

【0005】

SiC基板を用いて作製した集積回路として、例えば、非特許文献1には、相補型MOSFETで構成された集積回路が開示されている。また、特許文献1には、nチャンネルJFETとpチャンネルJFETとを半絶縁性のSiC層で絶縁分離した相補型JFETが開示されている。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2011-166025号公報

【非特許文献】

【0007】

【非特許文献1】S.H. Ryu et al., IEEE Trans. Electron Devices, vol.45 (1998), p. 45.

30

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、非特許文献1に開示された相補型MOSFETは、SiC基板とゲート酸化膜との界面に高密度の欠陥や電荷が存在するため、しきい値電圧が温度により大きく変動し、安定した動作ができないという問題がある。また、ゲート酸化膜が高温で劣化するという問題もある。

【0009】

また、特許文献1に開示された相補型JFETは、nチャンネルJFETとpチャンネルJFETとを、ホットウォールCVD法で形成されたイントリンシックSiC層で絶縁分離する構造になっており、微細なトレンチ形成、埋め込み成長、表面平坦化研磨を繰り返す必要があるため、作製プロセスが非常に複雑になるという問題がある。

40

【0010】

今まで、SiC基板を用いた集積回路に関する研究はいくつか報告されているが、高温動作が確認されたに留まり、いずれも、高温で安定に動作しない、相補型論理回路の作製が困難、等の課題を残し、未だ実用化できるレベルには至っていない。

【0011】

本発明は、上記課題に鑑みなされたもので、その主な目的は、広い温度範囲において、

50

安定した動作が可能で、かつ、相補型 J F E T の作製が容易な、S i C 接合型電界効果トランジスタを提供することにある。

【課題を解決するための手段】

【0012】

本発明に係る S i C 接合型電界効果トランジスタは、S i C 基板の主面に、互いに離間して形成された第 1 導電型のソース領域及びドレイン領域と、ソース領域の下方に形成された第 1 導電型の埋込チャンネル領域と、S i C 基板の主面であって、少なくともソース領域及び埋込チャンネル領域を含む領域の両側に形成された一対の第 2 導電型のゲート領域を備え、埋込チャンネル領域と、ドレイン領域とは、一対のゲート領域より下方に形成された第 1 導電型の埋込不純物領域によって接続されていることを特徴とする。

10

【0013】

本発明に係る他の S i C 接合型電界効果トランジスタは、S i C 基板の主面に形成された第 1 導電型のチャンネル領域と、S i C 基板の主面であって、チャンネル領域を挟んで、互いに対向して形成された第 1 導電型のソース領域及びドレイン領域と、S i C 基板の主面であって、チャンネル領域を挟んで、ソース領域及びドレイン領域が対向する方向と垂直な方向に形成された一対の第 2 導電型のゲート領域とを備えていることを特徴とする。

【発明の効果】

【0014】

本発明によれば、高温で安定に動作が可能で、かつ相補型論理回路の作製が容易な、S i C 接合型電界効果トランジスタを提供することができる。

20

【図面の簡単な説明】

【0015】

【図 1】本発明の第 1 の実施形態における S i C J F E T の構成を模式的に示した図で、(a) は断面図、(b) は平面図である。

【図 2】(a)、(b) は、第 1 の実施形態における S i C J F E T の動作を説明した断面図である。

【図 3】n チャンネル型、及び p チャンネル型の S i C J F E T のしきい値電圧 V_T の計算値を、それぞれ、 $N_D (D_n / 2)^2$ 、 $N_A (D_p / 2)^2$ に対してプロットしたグラフである。

【図 4】(a)、(b) は、ゲート電圧を印加したときに、ソース領域、ドレイン領域間に流れるドレイン電流の $I_D - V_G$ 特性を、シミュレーションを用いて求めたグラフである。

30

【図 5】(a)、(b) は、図 4 (a)、(b) に示した $I_D - V_G$ 特性を有する S i C J F E T の $I_D - V_D$ 特性をシミュレーションを用いて求めたグラフである。

【図 6】第 1 の実施形態における S i C J F E T を用いて構成した S i C 相補型 J F E T の構成を模式的に示した断面図である。

【図 7】(a) ~ (c) は、第 1 の実施形態における S i C 相補型 J F E T の製造方法を示した断面図である。

【図 8】(a) ~ (c) は、第 1 の実施形態における S i C 相補型 J F E T の製造方法を示した断面図である。

40

【図 9】(a)、(b) は、第 1 の実施形態の変形例における S i C 相補型 J F E T の構成を模式的に示した断面図である。

【図 10】第 1 の実施形態の他の変形例における S i C J F E T の構成を模式的に示した図で、(a) は断面図、(b) は平面図である。

【図 11】第 1 の実施形態の他の変形例における S i C J F E T の構成を模式的に示した断面図である。

【図 12】第 1 の実施形態の他の変形例における S i C J F E T の構成を模式的に示した図で、(a) は断面図、(b) は平面図である。

【図 13】本発明の第 2 の本実施形態における S i C J F E T の構成を模式的に示した図で、(a) は平面図、(b)、(c) は断面図である。

50

【図14】本発明の第3の実施形態におけるSiC JFETの構成を模式的に示した図で、(a)はnチャンネルJFETの平面図、(b)は(a)の線B-Bに沿った断面図、(c)は(a)の線C-Cに沿った断面図である。

【図15】nチャンネルJFET及びpチャンネルJFETの $I_D - V_D$ 特性を示したグラフである。

【図16】nチャンネルJFET及びpチャンネルJFETの $I_D - V_G$ 特性、及び $I_G - V_G$ 特性を示したグラフである。

【図17】(a)、(b)は、それぞれ、nチャンネルJFET及びpチャンネルJFETのオン/オフ比を示したグラフである。

【図18】第3の実施形態におけるSiC JFETを用いて構成したSiC相補型JFETの構成を模式的に示した断面図である。

10

【図19】第3の実施形態の変形例におけるSiC相補型JFETの構成を模式的に示した断面図である

【図20】第3の実施形態の他の変形例におけるSiC相補型JFETの他の構成を模式的に示した断面図である

【図21】(a)~(d)は、第3の実施形態におけるSiC相補型JFETの製造方法を説明した断面図である。

【図22】nチャンネルJFET及びpチャンネルJFETのドレイン電流を揃えるための方法を説明した図である。

【図23】多チャンネル構造のpチャンネルJFETを示した平面図である。

20

【図24】第3の実施形態の変形例におけるSiC JFETの構成を模式的に示した平面図である。

【図25】(a)は、SiC相補型JFETの構成を模式的に示した平面図で、(b)は、インバータ回路の構成を示した回路図である。

【図26】本願出願人が先の出願の明細書に開示したSiC JFETの構造の代表的な例を示した断面図である。

【発明を実施するための形態】

【0016】

本願出願人は、ゲート電圧の広い範囲でノーマリオフ動作するSiC JFETの構成を、先の出願(特願2016-106386号)の明細書に開示している。図26は、その明細書に開示したSiC JFETの構造の代表的な例を示した断面図である。

30

【0017】

図26に示すように、上記明細書に開示したSiC JFETは、SiC基板110の主面側に、n型の埋込チャンネル領域111が形成され、この埋込チャンネル領域111上に、p⁺型のゲート領域114、及びゲート領域114を挟んでn⁺型のソース領域112とドレイン領域113とが形成された構成となっている。

【0018】

このような構成により、ゲート領域114の下にある埋込チャンネル領域111の不純物濃度と厚さを調整するだけで、ノーマリオフ動作するSiC JFETを実現することができる。これにより、広い温度範囲において、安定した動作が可能な相補型SiC JFETを実現することができる。

40

【0019】

しかしながら、n型の埋込チャンネル領域111と、p⁺型のゲート領域114とを、それぞれイオン注入で形成する場合、両者のイオン注入領域は、SiC基板110の深さ方向に裾野を広げて形成される。そのため、低濃度の埋込チャンネル領域111に、高濃度のゲート領域114の裾野部分の不純物が入り込むため、埋込チャンネル領域111の不純物濃度や厚さが、イオン注入条件のバラツキによって大きく変動する。その結果、SiC JFETのしきい値電圧が大きく変動し、安定した動作をすることができないという問題が生じる。また、埋込チャンネル領域111とゲート領域114とのpn接合の界面では、両者のイオン注入領域が重なるため、結晶欠陥が生じやすく、そのため、ゲートリーク電流

50

が増加するという問題が生じる。

【0020】

本願発明者等は、SiC JFETにおいて、チャンネル領域とゲート領域とを、イオン注入が深さ方向に重ならない領域に形成することによって、上記のような問題を解決できると考え、本発明を想到するに至った。

【0021】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の実施形態に限定されるものではない。また、本発明の効果を奏する範囲を逸脱しない範囲で、適宜変更は可能である。

【0022】

(第1の実施形態)

図1は、本発明の第1の実施形態におけるSiC JFETの構成を模式的に示した図で、(a)は断面図、(b)は平面図である。

【0023】

図1(a)、(b)に示すように、本実施形態におけるSiC JFET 1は、半絶縁性のSiC基板10の主面に、n⁺型のソース領域11とドレイン領域12とが、互いに離間して形成されている。また、ソース領域11の下方には、n型の埋込チャンネル領域13が形成されている。なお、埋込チャンネル領域の不純物濃度は、ソース領域11の不純物濃度よりも低濃度に設定されている。また、SiC基板10の主面には、少なくともソース領域11と埋込チャンネル領域13を含む領域の両側に、一对のp⁺型のゲート領域14a、14bが形成されている。さらに、埋込チャンネル領域13と、ドレイン領域12とは、一对のゲート領域14a、14bより下方に形成されたn⁺型の埋込不純物領域15によって接続されている。また、ソース領域11、ドレイン領域12、及び一对のゲート領域14a、14bの表面には、それぞれ、ソース電極S、ドレイン電極D、及びゲート電極Gが形成されている。

【0024】

ここで、図1(a)、(b)に示すように、埋込チャンネル領域13において、深さ方向の距離(チャンネル長)をL、一对のゲート領域14a、14bに挟まれた方向の距離(チャンネル厚さ)をD、一对のゲート領域14a、14bに挟まれた方向と垂直な方向の距離(チャンネル幅)をWとする。

【0025】

なお、pチャンネル型のSiC JFETは、埋込チャンネル領域13をp型に、ソース領域11及びドレイン領域12をp⁺型に、一对のゲート領域14a、14bをn⁺型に、埋込不純物領域15をp⁺型に、それぞれ変えることによって形成することができる。

【0026】

本実施形態におけるSiC JFET 1では、図2(a)に示すように、一对のゲート領域14a、14bの表面に形成されたゲート電極Gにゲート電圧を印加することによって、ゲート領域14a、14bに挟まれた埋込チャンネル領域13は、その両側から空乏層が広がる。そして、図2(b)に示すように、埋込チャンネル領域13において、チャンネル厚さDの方向で両側からの空乏層が繋がると、ソース領域11とドレイン領域12との間に流れるドレイン電流が遮断される。なお、通常のSiC JFETでは、ゲート電圧が0V時に、ドレイン電流が流れるノーマリオン特性となる。

【0027】

しかしながら、図2(b)に示すように、ゲート電圧が0V時に、埋込チャンネル領域13の両側から形成される空乏層の厚みを、埋込チャンネル領域13の厚さDより厚くできれば、ノーマリオン特性を有するJFETを実現することができる。

【0028】

nチャンネル型のSiC JFETのしきい値電圧 V_{Tn} は、半導体pn接合の空乏層解析モデルを使って、以下の式(1)で表すことができる。

【0029】

10

20

30

40

50

【数 1】

$$V_{Tn} = V_{jn} - \frac{q}{2\epsilon_s} N_D (D_n/2)^2 \quad \dots (式1)$$

【0030】

ここで、 q は電子の電荷、 ϵ_s は SiC の誘電率、 N_D は埋込チャネル領域 13 の不純物（ドナー）濃度、 D_n は、埋込チャネル領域 13 の厚さである。また、 V_{jn} は、ゲート領域 14 a、14 b と埋込チャネル領域 13 間の pn 接合の拡散電位で、以下の式（2）で表される。

【0031】

10

【数 2】

$$V_{jn} = \frac{kT}{q} \ln \left(\frac{np}{n_i^2} \right) \quad \dots (式2)$$

【0032】

ここで、 k はボルツマン定数、 n は埋込チャネル領域 13 の電子密度、 p はゲート領域 14 a、14 b の正孔密度、 n_i は真性キャリア濃度である。

【0033】

同様に、pチャネル型の SiC JFET のしきい値電圧 V_{Tp} は、以下の式（3）で表すことができる。

20

【0034】

【数 3】

$$V_{Tp} = V_{jp} - \frac{q}{2\epsilon_s} N_A (D_p/2)^2 \quad \dots (式3)$$

【0035】

ここで、 N_A は埋込チャネル領域 13 の不純物（アクセプタ）濃度、 D_p は、埋込チャネル領域 13 の厚さである。また、 V_{jp} は、ゲート領域 14 a、14 b と埋込チャネル領域 13 間の pn 接合の拡散電位で、以下の式（4）で表される。

30

【0036】

【数 4】

$$V_{jp} = \frac{kT}{q} \ln \left(\frac{np}{n_i^2} \right) \quad \dots (式4)$$

【0037】

ここで、 n はゲート領域 14 a、14 b の電子密度、 p は埋込チャネル領域 13 の正孔密度である。

【0038】

40

図 3 は、上記式（1）～（4）に基づいて、nチャネル型、及びpチャネル型の SiC JFET のしきい値電圧 V_T の計算値を、それぞれ、 $N_D (D_n/2)^2$ 、 $N_A (D_p/2)^2$ に対してプロットしたグラフである。ここで、矢印 A で示したグラフは、nチャネル型のしきい値電圧 V_T 、矢印 B で示したグラフは、pチャネル型のしきい値電圧 V_T を示す。なお、pチャネル JFET では、 V_T が負のときノーマリオフとなるので、同図では nチャネル JFET と比較しやすいように、 $-V_T$ をプロットしている。

【0039】

図 3 に示すように、nチャネル型の場合、 $N_D (D_n/2)^2$ が $3.4 \times 10^7 \text{ cm}^{-1}$ （矢印 P）より小さいとき、 V_T が正になり、また、pチャネル型の場合、 $N_A (D_p/2)^2$ が $3.1 \times 10^7 \text{ cm}^{-1}$ （矢印 Q）より小さいとき、 V_T が正になる。すなわち、

50

埋込チャンネル領域 13 の不純物濃度を N (cm^{-3})、一対のゲート領域 14 a、14 b に挟まれた埋込チャンネル領域 13 の厚さを D (cm) としたとき、 $N(D/2)^2 < 3 \times 10^7 \text{cm}^{-1}$ を満たせば、ノーマリオフ特性を有する JFET を実現することができる。

【0040】

例えば、埋込チャンネル領域 13 の不純物濃度 N を $1.0 \times 10^{17} \text{cm}^{-3}$ に設定したとき、埋込チャンネル領域 13 の厚さ D を $0.35 \mu\text{m}$ 以下に設定すれば、ノーマリオフ特性を有する JFET を実現することができる。

【0041】

なお、ノーマリオフ型の JFET では、ゲート電極 G に、0 V より大きいゲート電圧を印加することによって、空乏層の厚みが薄くなり、ソース領域 11 とドレイン領域 12 との間にドレイン電流が流れる。

【0042】

図 4 は、ゲート電極 G にゲート電圧 V_G を印加したときに、ソース領域 11、ドレイン領域 12 間に流れるドレイン電流 I_D の $I_D - V_G$ 特性を、シミュレーションを用いて求めたグラフである。ここで、(a) は、n チャンネル型の SiC JFET の $I_D - V_G$ 特性を示し、(b) は、p チャンネル型の SiC JFET の $I_D - V_G$ 特性を示す。なお、シミュレーションは、図 1 (a)、(b) に示した SiC JFET 1 の構造において、埋込チャンネル領域 13 のチャンネル厚さ D を 300nm 、チャンネル長 L を 300nm 、チャンネル幅 W を $100 \mu\text{m}$ 、埋込チャンネル領域 13 の不純物密度 (ドナー濃度、アクセプタ濃度) を $1 \times 10^{17} \text{cm}^{-3}$ とし、ソース、ドレイン電極間に印加する電圧を 2V とした。また、シミュレーションは、JFET の理論特性を元に計算を行った。

【0043】

図 4 (a)、(b) に示すように、n チャンネル型 SiC JFET、及び p チャンネル型の SiC JFET は、それぞれ、しきい値電圧 V_T (絶対値) が約 1V のノーマリオフ特性を示している。

【0044】

また、図 5 (a)、(b) は、図 4 (a)、(b) に示した $I_D - V_G$ 特性を有する n チャンネル型の SiC JFET、及び p チャンネル型の SiC JFET の $I_D - V_D$ 特性をシミュレーションを用いて求めたグラフである。

【0045】

本実施形態における SiC JFET は、図 1 に示したように、SiC 基板 10 の主面に、互いに離間して形成された第 1 導電型のソース領域 11 及びドレイン領域 12 と、ソース領域 11 の下方に形成された第 1 導電型の埋込チャンネル領域 13 と、SiC 基板 10 の主面であって、少なくともソース領域 11 及び埋込チャンネル領域 13 を含む領域の両側に形成された一対の第 2 導電型のゲート領域 14 a、14 b とを備えている。そして、埋込チャンネル領域 13 と、ドレイン領域 12 とは、一対のゲート領域 14 a、14 b より下方に形成された第 1 導電型の埋込不純物領域 15 によって接続されている。ここで、n チャンネル型の SiC JFET においては、第 1 導電型を n 型、第 2 導電型を p 型とし、p チャンネル型の SiC JFET においては、第 1 導電型を p 型、第 2 導電型を n 型とする。

【0046】

このように構成された SiC JFET は、埋込チャンネル領域 13 の不純物濃度と、チャンネル厚さ D を調整するだけで、ノーマリオフ動作する SiC JFET を実現することができる。これにより、広い温度範囲において、安定した動作が可能な相補型 SiC JFET を実現することができる。

【0047】

また、埋込チャンネル領域 13 と、ゲート領域 14 a、14 b とを、それぞれイオン注入で形成した場合、それぞれの領域が、SiC 基板 10 の深さ方向に重ならない位置にあるため、低濃度の埋込チャンネル領域 13 に、高濃度のゲート領域 14 a、14 b の不純物が入り込むことはない。そのため、埋込チャンネル領域 13 の不純物濃度や、チャンネル厚さ D

10

20

30

40

50

、チャンネル長 L が、イオン注入条件のバラツキによって大きく変動することはない。その結果、 $S i C J F E T$ のしきい値電圧の変動を抑制することができるため、安定した動作が可能な $S i C J F E T$ を実現することができる。

【0048】

また、埋込チャンネル領域 13 とゲート領域 14 a、14 b との $p n$ 接合の界面では、両者のイオン注入領域が重ならないため、結晶欠陥に起因するゲートリーク電流を低減することができる。

【0049】

さらに、ソース領域 11 の直下に、埋込チャンネル領域 13 が形成されているため、ソース抵抗を大幅に低減することができる。これにより、実効相互コンダクタンスの高い $S i C J F E T$ を実現することができる。

10

【0050】

加えて、埋込チャンネル領域 13 内の空乏層の制御を、埋込チャンネル領域 13 の両側に形成された一対のゲート領域 14 a、14 b によって制御（ダブルゲート）するため、シングルゲートに較べて、同じしきい値電圧のときのドレイン電流を、約 2 倍に増加させることができる。これにより、電流駆動能力の高い $S i C J F E T$ を実現することができる。

【0051】

また、ソース領域 11、ドレイン領域 12、埋込チャンネル領域 13、一対のゲート領域 14 a、14 b、及び埋込不純物領域 15 は、全て、イオン注入で形成された層（イオン注入層）で構成されている。イオン注入層は、通常のアリソグラフィ法を用いて、 $S i C$ 基板 10 の所定領域に、不純物（ドナー、アクセプタ）を選択的にイオン注入して形成することができる。また、イオン注入の加速エネルギーとドーズ量を調整することによって、イオン注入層の厚さ及び不純物濃度を設定することができる。なお、 n 型の不純物（ドナー）としては、リン（ P ）、窒素（ N ）等を用いることができる。また、 p 型の不純物（アクセプター）としては、アルミニウム（ Al ）等を用いることができる。

20

【0052】

図 6 は、本実施形態における $S i C J F E T$ を用いて構成した $S i C$ 相補型 $J F E T$ 2 の構成を模式的に示した断面図である。ここでは、半絶縁性の $S i C$ 基板 10 に、図 1 に示した構造からなるノーマリオフ型の n チャンネル $J F E T$ と、ノーマリオフ型の p チャンネル $J F E T$ とで、インバータ回路を構成した例を示す。 n チャンネル $J F E T$ 及び p チャンネル $J F E T$ のゲート電極 G は、インバータ回路の入力端子 $V_{i n}$ に接続され、 n チャンネル $J F E T$ 及び p チャンネル $J F E T$ のドレイン電極 D は、インバータ回路の出力端子 $V_{o u t}$ に接続されている。また、 n チャンネル $J F E T$ のソース電極 S はグランドに接続され、 p チャンネル $J F E T$ のソース電極 S は電源（ $V_{D D}$ ）に接続されている。

30

【0053】

次に、図 7 (a) ~ (c)、及び図 8 (a) ~ (c) を参照しながら、本実施形態における $S i C$ 相補型 $J F E T$ 2 の製造方法を説明する。

【0054】

図 7 (a) に示すように、半絶縁性の $S i C$ 基板 10 の表面に、マスク 30 A を用いて、 p 型不純物（ Al^+ ）をイオン注入して、 n チャンネル $J F E T$ における一対のゲート領域 14 a、14 b、及び p チャンネル $J F E T$ におけるドレイン領域 22 を同時に形成する。ここで、イオン注入のドーズ量は、例えば、 $1 \sim 10 \times 10^{15} \text{ cm}^{-2}$ の範囲に、また、加速エネルギーは、 $10 \sim 450 \text{ keV}$ の範囲に設定することができる。

40

【0055】

次に、図 7 (b) に示すように、 $S i C$ 基板 10 の表面に、マスク 30 B を用いて、 n 型不純物（ P^+ ）をイオン注入して、 n チャンネル $J F E T$ におけるドレイン領域 12、及び p チャンネル $J F E T$ における一対のゲート領域 24 a、24 b を同時に形成する。ここで、イオン注入のドーズ量は、例えば、 $1 \sim 10 \times 10^{15} \text{ cm}^{-2}$ の範囲に、また、加速エネルギーは、 $10 \sim 600 \text{ keV}$ の範囲に設定することができる。

【0056】

50

次に、図7(c)に示すように、SiC基板10の表面に、マスク30Cを用いて、n型不純物(P⁺)をイオン注入して、nチャンネルJFETにおけるソース領域11、埋込チャンネル領域13、及び埋込不純物領域15Aを形成する。ここで、イオン注入は、同一のマスク30Cを用いて、各領域11、13、15Aの不純物濃度や深さに応じて、注入条件を変えて多段階で行うことができる。イオン注入のドーズ量は、例えば、 $0.1 \sim 10 \times 10^{15} \text{ cm}^{-2}$ の範囲に、また、加速エネルギーは、 $10 \sim 1500 \text{ keV}$ の範囲に設定することができる。

【0057】

なお、上記のイオン注入を、ドレイン領域12にも行うことによって、ドレイン領域12の直下に、埋込不純物領域15Aを同時に形成することができる。

10

【0058】

次に、図8(a)に示すように、SiC基板10の表面に、マスク30Dを用いて、p型不純物(Al⁺)をイオン注入して、pチャンネルJFETにおけるソース領域21、埋込チャンネル領域23、及び埋込不純物領域25Aを形成する。ここで、イオン注入は、同一のマスク30Dを用いて、各領域21、23、25Aの不純物濃度や深さに応じて、注入条件を変えて多段階で行うことができる。イオン注入のドーズ量は、例えば、 $0.1 \sim 10 \times 10^{15} \text{ cm}^{-2}$ の範囲に、また、加速エネルギーは、 $10 \sim 1500 \text{ keV}$ の範囲に設定することができる。

【0059】

なお、上記のイオン注入を、ドレイン領域22にも行うことによって、ドレイン領域22の直下に、埋込不純物領域25Aを形成することができる。

20

【0060】

次に、図8(b)に示すように、SiC基板10に、マスク30Eを用いて、n型不純物(P⁺)をイオン注入して、埋込チャンネル領域13の直下に形成された埋込不純物領域15Aと、ドレイン領域12の直下に形成された埋込不純物領域15Aとを接続する埋込不純物領域15Bを形成する。これにより、埋込チャンネル領域13とドレイン領域12とは、一対のゲート領域14a、14bより下方に形成された埋込不純物領域15(15A、15B)によって接続される。ここで、イオン注入のドーズ量は、例えば、 $1 \sim 10 \times 10^{15} \text{ cm}^{-2}$ の範囲に、また、加速エネルギーは、 $1000 \sim 2000 \text{ keV}$ の範囲に設定することができる。

30

【0061】

最後に、図8(c)に示すように、SiC基板10に、マスク30Fを用いて、p型不純物(Al⁺)をイオン注入して、埋込チャンネル領域23の直下に形成された埋込不純物領域25Aと、ドレイン領域22の直下に形成された埋込不純物領域25Aとを接続する埋込不純物領域25Bを形成する。これにより、埋込チャンネル領域23とドレイン領域22とは、一対のゲート領域24a、24bより下方に形成された埋込不純物領域25(25A、25B)によって接続される。ここで、イオン注入のドーズ量は、例えば、 $1 \sim 10 \times 10^{15} \text{ cm}^{-2}$ の範囲に、また、加速エネルギーは、 $1000 \sim 2000 \text{ keV}$ の範囲に設定することができる。

【0062】

なお、上記の各イオン注入工程において、イオン注入後に、所定の温度、例えば、 $1400 \sim 1900$ の温度でアニールを行って、各不純物の電気的活性化を行うことが好ましい。高温でアニールしても、SiC基板10中にイオン注入された不純物の濃度プロファイルは、注入時の濃度プロファイルと、ほとんど変化することはない。これにより、JFETのソース領域11(21)、ドレイン領域12(22)、埋込チャンネル領域13(23)、一対のゲート領域(14a、14b)、(24a、24b)、及び埋込不純物領域15(25)を、全てイオン注入で形成しても、安定した特性のJFETを実現することができる。また、高ドーズ量のイオン注入を行うときに、予め基板温度を上昇させてイオン注入を行うことが好ましい。

40

【0063】

50

本実施形態において、JFETのソース領域11(21)、ドレイン領域12(22)、埋込チャンネル領域13(23)、一对のゲート領域(14a、14b)、(24a、24b)、及び埋込不純物領域15(25)を、全てイオン注入で形成しているため、相補型JFETを容易に作製することができる。また、イオン注入の加速エネルギーとドーズ量を調整することによって、埋込チャンネル領域13の不純物濃度と、チャンネル厚さDを設定することができるため、JFETのノーマリオフ化を容易に行うことができる。

【0064】

本実施形態において、半絶縁性のSiC基板10は、nチャンネルJFETとpチャンネルJFETとを絶縁分離できる程度に高抵抗なものであればよい。例えば、抵抗率が 10^9 cm以上の半絶縁性SiC基板10を用いることができる。

10

【0065】

ところで、SiC JFETの場合、アクセプタの活性化率が小さく、また、p型SiCの移動度が小さいため、nチャンネルJFET及びpチャンネルJFETの埋込チャンネル領域13、23の不純物濃度、及びチャンネル幅Wを同じ値に設定すると、pチャンネルJFETのドレイン電流が、nチャンネルJFETのドレイン電流よりも $1/10$ 以下に小さくなる。

【0066】

そこで、nチャンネルJFET及びpチャンネルJFETの埋込チャンネル領域13、23の不純物濃度を同じに設定して、nチャンネルJFET及びpチャンネルJFETのドレイン電流を揃えようとする、pチャンネルJFETのチャンネル幅Wを、nチャンネルJFETのチャンネル幅Wよりも10倍以上大きくする必要がある。

20

【0067】

しかしながら、pチャンネルJFETのチャンネル幅Wを大きくすると、デバイス寸法が大きくなるため好ましくない。そこで、pチャンネルJFETの埋込不純物領域25の不純物濃度を、nチャンネルJFETの埋込不純物領域15の不純物濃度よりも小さく設定することによって、nチャンネルJFET及びpチャンネルJFETのチャンネル幅Wを同じに設定しても、nチャンネルJFET及びpチャンネルJFETのドレイン電流を揃えることができる。

【0068】

あるいは、pチャンネルJFETの埋込不純物領域25の深さ方向の厚さを、nチャンネルJFETの埋込不純物領域15の深さ方向の厚さよりも大きく設定することによって、nチャンネルJFET及びpチャンネルJFETのチャンネル幅Wを同じに設定しても、nチャンネルJFET及びpチャンネルJFETのドレイン電流を揃えることができる。

30

【0069】

図9(a)は、第1の実施形態の変形例におけるSiC相補型JFET2の構成を模式的に示した断面図である。本変形例におけるSiC相補型JFETは、図1に示したSiC JFETに対して、nチャンネルJFET及びpチャンネルJFETを、SiC基板10の上に形成されたn⁻型の低濃度エピタキシャル層10Aに形成した点異なる。

【0070】

すなわち、本変形例におけるSiC相補型JFETは、図9(a)に示すように、nチャンネルJFETは、n⁻型の低濃度エピタキシャル層10Aに形成されたp型のウェル領域16内に形成され、pチャンネルJFETは、n⁻型の低濃度エピタキシャル層10A内に形成されている。これにより、nチャンネルJFETとpチャンネルJFETとは、n⁻型の低濃度エピタキシャル層10Aと、p型のウェル領域16とのpn接合に逆バイアスを印加することによって、絶縁分離することができる。

40

【0071】

多くのSiCパワーデバイスは、表面に低濃度エピタキシャル層が形成された高濃度SiC基板を用いて形成される。そのため、本実施形態におけるSiC相補型JFETは、SiCパワーデバイスと、同一基板上に形成することができる。これにより、SiCパワーデバイスと集積回路とを同一チップ上に作製することが可能となる。

50

【 0 0 7 2 】

なお、本変形例において、 n -型の低濃度エピタキシャル層 1 0 A の代わりに、 p -型の低濃度エピタキシャル層を形成し、この p -型の低濃度エピタキシャル層に n 型のウェル領域を形成して、 p チャンネル J F E T を n 型のウェル領域内に形成してもよい。

【 0 0 7 3 】

図 9 (b) は、第 1 の実施形態の他の変形例における S i C 相補型 J F E T 2 の構成を模式的に示した断面図である。本変形例における S i C 相補型 J F E T は、図 1 に示した S i C J F E T に対して、ソース領域 1 1 (2 1)、埋込チャンネル領域 1 3 (2 3)、及び一对のゲート領域 1 4 a、1 4 b (2 4 a、2 4 b) を、S i C 基板 1 0 の表面に形成された島領域に形成した点が異なる。

10

【 0 0 7 4 】

すなわち、本変形例における S i C 相補型 J F E T は、図 9 (b) に示すように、S i C 基板 1 0 に、2 つの島領域 A 1、A 2 が形成され、それぞれの島領域 A 1、A 2 に、 n チャンネル J F E T 及び p チャンネル J F E T におけるソース領域 1 1、2 1、埋込チャンネル領域 1 3、2 3、及び一对のゲート領域 (1 4 a、1 4 b)、(2 4 a、2 4 b) が形成されている。ここで、島領域 A 1、A 2 は、例えば、S i C 基板 1 0 の表面を選択的にエッチングしたり、あるいは、選択的にエピタキシャル成長させることによって形成することができる。

【 0 0 7 5 】

一方、島領域 A 1、A 2 との間の S i C 基板 1 0 表面の領域 B には、 n チャンネル J F E T 及び p チャンネル J F E T におけるドレイン領域 1 2、2 2 が形成されている。また、 n チャンネル J F E T 及び p チャンネル J F E T における埋込チャンネル領域 1 3、2 3 と、ドレイン領域 1 2、2 2 とは、埋込不純物領域 1 5、2 5 によって接続されている。

20

【 0 0 7 6 】

本変形例における n チャンネル J F E T 及び p チャンネル J F E T は、図 1 に示した S i C J F E T に比べて、埋込不純物領域 1 5、2 5 の長さが短くなっている。これにより、ドレイン抵抗を小さくできるため、ON / OFF 比が大きい S i C J F E T を実現することができる。また、島領域 A 1、A 2 を形成することによって、 n チャンネル J F E T と p チャンネル J F E T との絶縁性を向上させることができる。

【 0 0 7 7 】

図 1 0 は、第 1 の実施形態の他の変形例における S i C J F E T 1 (必須ではありませんが、他の箇所において、J F E T 3 と表記してもよいと思いましたが、無くても支障はありません。) の構成を模式的に示した図で、(a) は断面図、(b) は平面図である。本変形例における S i C J F E T 1 は、図 1 に示した S i C J F E T に対して、ソース領域 1 1 及び埋込チャンネル領域 1 3 と、一对のゲート領域 1 4 a、1 4 b との間に隙間を設けた点が異なる。

30

【 0 0 7 8 】

上述したように、本変形例における S i C J F E T 1 では、埋込チャンネル領域 1 3 とゲート領域 1 4 a、1 4 b との $p n$ 接合の界面では、両者のイオン注入領域が重ならないため、結晶欠陥に起因するゲートリーク電流を低減することができる。しかしながら、図 7 (c) に示したように、埋込チャンネル領域 1 3 をイオン注入で形成する際、マスク 3 0 C の合わせズレが生じると、埋込チャンネル領域 1 3 とゲート領域 1 4 a、1 4 b との $p n$ 接合の界面において、両者のイオン注入領域が重なる場合がある。このような場合には、結晶欠陥に起因するゲートリーク電流の増加を招く恐れがある。

40

【 0 0 7 9 】

そこで、本変形例では、ソース領域 1 1 及び埋込チャンネル領域 1 3 と、一对のゲート領域 1 4 a、1 4 b との間に、一定の隙間を設けることによって、マスク合わせズレに起因するゲートリーク電流を低減することができる。なお、一定の隙間の大きさは、マスク合わせ精度に応じて適宜決めればよい。

【 0 0 8 0 】

50

一方、図 1 1 に示すように、ソース領域 1 1 及び埋込チャンネル領域 1 3 と、一对のゲート領域 1 4 a、1 4 b とが、領域 C において重なるように形成することによって、一对のゲート領域 1 4 a、1 4 b のイオン注入時に、SiC JFET のしきい値電圧の制御を行うことができる。

【0081】

図 1 2 は、第 1 の実施形態の他の変形例における SiC JFET 1 (同上の理由) の構成を模式的に示した図で、(a) は断面図、(b) は平面図である。本変形例における SiC JFET 1 は、図 1 に示した SiC JFET に対して、ソース領域 1 1 及び埋込チャンネル領域 1 3 の片側のみにゲート領域 1 4 を設けた点が異なる。この場合、ソース領域 1 1 及び埋込チャンネル領域 1 3 と、ゲート領域 1 4 とが重なるように形成することによって、リソグラフィ工程において、ソース領域 1 1 及び埋込チャンネル領域 1 3 の最小線幅に制限されることなく、チャンネル厚を制御することができる。

10

【0082】

(第 2 の実施形態)

図 1 3 は、本発明の第 2 の実施形態における SiC JFET 1 の構成を模式的に示した図で、(a) は、n チャンネル JFET の平面図、(b) は、(a) の線 A - A に沿った断面図、(c) は、p チャンネル JFET の断面図である。

【0083】

図 1 3 (a)、(b) に示すように、本実施形態における n チャンネル JFET は、SiC 基板 1 0 の表面に、n 型のチャンネル領域 3 3 と、このチャンネル領域 3 3 を挟んで互に対向した n⁺ 型のソース領域 3 1 及びドレイン領域 3 2 とが形成されている。また、SiC 基板 1 0 の表面に、チャンネル領域 3 3 を挟んで、ソース領域 3 1 及びドレイン領域 3 2 が対向する方向と垂直な方向に、一对の p⁺ 型のゲート領域 3 4 a、3 4 b (ダブルゲート) が形成されている。

20

【0084】

本実施形態における n チャンネル JFET は、チャンネル領域 3 3 内の空乏層の広がり、チャンネル領域 3 3 の両側に形成された一对のゲート領域 3 4 a、3 4 b に印加するゲート電圧によって制御することができる。これにより、シングルゲートに較べて、同じしきい値電圧のときのドレイン電流を、約 2 倍に増加させることができる。これにより、電流駆動能力の高い SiC JFET を実現することができる。

30

【0085】

また、チャンネル領域 3 3 の不純物濃度及び厚さを調整することによって、容易にノーマリオフ動作する SiC JFET を実現することができる。

【0086】

また、上述したように、SiC JFET の場合、アクセプタの活性化率が小さく、また、p 型 SiC の移動度が小さいため、n チャンネル JFET 及び p チャンネル JFET のチャンネル領域 3 3、4 3 の不純物濃度、及びチャンネル幅を同じ値に設定すると、p チャンネル JFET のドレイン電流が、n チャンネル JFET のドレイン電流よりも 1 / 10 以下に小さくなる。

【0087】

そこで、図 1 3 (c) に示すように、p チャンネル JFET のチャンネル領域 4 3 の深さ方向の長さ (チャンネル幅) を、n チャンネル JFET のチャンネル領域 3 3 の深さ方向の長さ (チャンネル幅) よりも大きくすることによって、n チャンネル JFET 及び p チャンネル JFET のドレイン電流を揃えることができる。

40

【0088】

また、n チャンネル JFET 及び p チャンネル JFET のチャンネル領域 3 3、4 3 の不純物濃度を調整することによっても、n チャンネル JFET 及び p チャンネル JFET のドレイン電流を揃えることができる。

【0089】

また、図 1 3 (a) ~ (c) では、SiC 基板 1 0 の表面に、チャンネル領域 3 3 を挟ん

50

で、一对の p^+ 型のゲート領域 34 a、34 b (ダブルゲート) を形成したが、チャンネル領域 33 の片側に、ソース領域 31 及びドレイン領域 32 が対向する方向と垂直な方向に、ゲート領域 (シングルゲート) を形成してもよい。

【0090】

(第3の実施形態)

図14は、本発明の第3の実施形態における SiC JFET 1 の構成を模式的に示した図で、(a) は、 n チャンネル JFET の平面図、(b) は、(a) の線 B - B に沿った断面図、(c) は、(a) の線 C - C に沿った断面図である。

【0091】

図14(a) ~ (c) に示すように、本実施形態における n チャンネル JFET は、SiC 基板 10 の主面に形成された n 型 (第1導電型) のチャンネル領域 53 と、SiC 基板 10 の主面であって、チャンネル領域 53 を挟んで、互いに対向して形成された n^+ 型のソース領域 51 及びドレイン領域 52 と、SiC 基板 10 の主面であって、ソース領域 51 及びドレイン領域 52 が対向する方向と垂直な方向に形成された一对の p^+ 型 (第2導電型) のゲート領域 (ダブルゲート) 54 a、54 b とを備えている。

【0092】

図13に示した SiC JFET では、チャンネル領域 33 を挟んで、一对のゲート領域 34 a、34 b を形成したが、本実施形態では、図14(a) に示すように、一对のゲート領域 54 a、54 b を、それぞれ、対向する側の端部が、平面視において、チャンネル領域 53 と重なって形成されている点異なる。

【0093】

図14(a) ~ (c) に示すように、本実施形態における n チャンネル JFET では、チャンネル領域 53 において、一对のゲート領域 54 a、54 b の幅 L がチャンネル長、一对のゲート領域 54 a、54 b に挟まれた距離 D がチャンネルの厚さ、チャンネル領域 53 の深さ方向の距離 W がチャンネル幅となる。

【0094】

本実施形態における n チャンネル JFET は、チャンネル領域 53 内の空乏層の広がり、チャンネル領域 53 の両側に形成された一对のゲート領域 54 a、54 b に印加するゲート電圧によって制御することができる。これにより、シングルゲートに比べて、同じしきい値電圧のときのドレイン電流を、約2倍に増加させることができる。これにより、電流駆動能力の高い SiC JFET を実現することができる。

【0095】

また、式(1)に示したように、チャンネル領域 53 の不純物濃度、及びチャンネルの厚さ D を調整することによって、容易にノーマリオフ動作する SiC JFET を実現することができる。

【0096】

本実施形態において、チャンネル領域 53 の厚さ D は、一对のゲート領域 54 a、54 b の平面的な間隔によって決まるため、ゲート領域形成用のマスク寸法によって、容易に制御することができる。また、一对のゲート領域 54 a、54 b において、対向する側の端部が、それぞれ、チャンネル領域 53 と重なっているため、チャンネル領域 53 と、一对のゲート領域 54 a、54 b との位置合わせが多少ズレても、チャンネル領域の厚み D に影響は出ない。そのため、 n チャンネル JFET のしきい値電圧のパラツキを抑制することができる。

【0097】

チャンネル領域 53 と、一对のゲート領域 54 a、54 b とが重なった領域では、 pn 接合が生じるが、チャンネル領域の n 型不純物濃度が低いため、 pn 接合によるリーク電流は非常に小さい。そのため、 n チャンネル JFET のしきい値電圧を、広範囲に制御することができる。

【0098】

さらに、一对のゲート領域 54 a、54 b を、イオン注入で形成する際、横方向のチャ

10

20

30

40

50

ネリングを利用して、チャンネル領域 5 3 の厚さ D を制御することができる。これにより、マスク寸法よりも、より寸法の小さいチャンネル領域 5 3 の厚さ D を形成することができる。これにより、より容易にノーマリオフ動作する n チャンネル J F E T を実現することができる。

【 0 0 9 9 】

なお、結晶構造が六方晶からなる S i C は、[1 1 - 2 0] 面が、大きなチャネリングを有する。そのため、S i C 基板 1 0 として、表面に垂直な面が [1 1 - 2 0] の面方位を持つ方向に沿ってチャンネルを形成することにより、横方向のチャネリングを利用して、よりチャンネル領域 5 3 の厚さ D の小さい n チャンネル J F E T を実現することができる。一方、チャネリングを抑制して急峻な接合を形成したい場合は、[1 - 1 0 0] の面方位を持つ方向に沿ってチャンネルを形成することができる。

10

【 0 1 0 0 】

なお、 p チャンネル型の S i C J F E T は、チャンネル領域 5 3 を p 型に、ソース領域 5 1 及びドレイン領域 5 2 を p^+ 型に、一对のゲート領域 5 4 a、5 4 b を n^+ 型に、それぞれ変えることによって形成することができる。

【 0 1 0 1 】

図 1 5 ~ 図 1 7 は、図 1 4 (a) ~ (c) に示した構造の n チャンネル J F E T 及び p チャンネル J F E T を、それぞれ実際に作製して、電気特性を測定した結果を示したグラフである。なお、作製した n チャンネル J F E T は、チャンネル領域 5 3 の不純物濃度を、 $5 \times 10^{16} \text{ cm}^{-3}$ 、チャンネル厚さ D を $0.38 \mu\text{m}$ (マスク寸法は $1.0 \mu\text{m}$)、チャンネル長 L を $4.0 \mu\text{m}$ 、チャンネル幅 W を $0.4 \mu\text{m}$ とした。また、作製した p チャンネル J F E T は、チャンネル領域 5 3 の不純物濃度を、 $5 \times 10^{16} \text{ cm}^{-3}$ 、チャンネル厚さ D を $0.46 \mu\text{m}$ (マスク寸法は $0.8 \mu\text{m}$)、チャンネル長 L を $4.0 \mu\text{m}$ 、チャンネル幅 W を $0.4 \mu\text{m}$ とした。

20

【 0 1 0 2 】

図 1 5 は、ドレイン電圧に対するドレイン電流 (絶対値) の電気特性 ($I_D - V_D$ 特性) を示したグラフである。ここで、(A) のグラフが、 n チャンネル J F E T、(B) のグラフが p チャンネル J F E T の $I_D - V_D$ 特性を、それぞれ示す。なお、 p チャンネル J F E T のドレイン電流は、測定値を 10 倍した値を示している。

30

【 0 1 0 3 】

図 1 5 に示すように、 n チャンネル J F E T、及び p チャンネル J F E T とともに、幅広いゲート電圧 V_G に対して、ノーマリオフ動作を示す良好な $I_D - V_D$ 特性を確認できた。

【 0 1 0 4 】

図 1 6 は、ドレイン電圧を 2 V (p チャンネル J F E T では、 -2 V) にしたときの、ゲート電圧に対するドレイン電流の電気特性 ($I_D - V_G$ 特性)、及び、ゲートリーク電流の電気特性 ($I_G - V_G$ 特性) を、それぞれ示したグラフである。ここで、(A) のグラフが、 n チャンネル J F E T、(B) のグラフが、 p チャンネル J F E T の $I_D - V_G$ 特性、及び $I_G - V_G$ 特性を、それぞれ示す。なお、 p チャンネル J F E T のドレイン電流は、測定値を 10 倍した値を示している。

40

【 0 1 0 5 】

図 1 6 に示すように、 n チャンネル J F E T においては、しきい値電圧が 1 V 以上、 p チャンネル J F E T においても、しきい値電圧 (絶対値) が 0.6 V 以上のノーマリオフ動作が確認できた。また、しきい値電圧以上において、ゲートリーク電流 I_G も、非常に小さな値であった。

【 0 1 0 6 】

図 1 7 は、ドレイン電圧を 0.2 V (p チャンネル J F E T では、 -0.2 V) にしたときの、ゲート電圧に対するドレイン電流の電気特性 ($I_D - V_G$ 特性) を示したグラフで、図 1 7 (a) が、 n チャンネル J F E T の $I_D - V_G$ 特性を、図 1 7 (b) が、 p チャンネル J F E T の $I_D - V_G$ 特性を、それぞれ示したグラフである。

50

【 0 1 0 7 】

図17(a)、(b)に示すように、nチャネルJFETにおいては、 10^8 倍以上のオン/オフ特性、pチャネルJFETにおいては、 10^6 倍以上の非常に高いオン/オフ比が、それぞれ確認できた。

【0108】

なお、本実施形態では、図14(a)~(c)に示したように、チャネル領域53を挟んで、一对のゲート領域54a、54b(ダブルゲート)を形成したが、チャネル領域53の片側に、平面視において、チャネル領域53と重なったゲート領域(シングルゲート)を形成してもよい。

【0109】

図18は、本実施形態におけるSiC JFETを用いて構成したSiC相補型JFETの構成を模式的に示した断面図である。

10

【0110】

図18に示すように、本実施形態におけるSiC相補型JFETでは、半絶縁性のSiC基板10に、図14に示した構造からなるノーマリオフ型のnチャネルJFETと、ノーマリオフ型のpチャネルJFETとが形成されている。ここで、pチャネルJFETにおいて、符号61、62はソース領域、ドレイン領域、符号63はチャネル領域、符号64a、64b是一对のゲート領域を、それぞれ示す。

【0111】

本実施形態において、半絶縁性のSiC基板10は、nチャネルJFETとpチャネルJFETとを絶縁分離できる程度に高抵抗なものであればよい。例えば、抵抗率が 10^9 cm以上の半絶縁性SiC基板10を用いることができる。

20

【0112】

図19は、本実施形態におけるSiC JFETを用いて構成したSiC相補型JFETの構成の変形例を模式的に示した断面図である。本変形例におけるSiC相補型JFETは、図14に示した構造のnチャネルJFET及びpチャネルJFETが、SiC基板10の上に形成されたp⁻型の低濃度エピタキシャル層10Aに形成されている。ここで、pチャネルJFETにおいて、符号61、62はソース領域、ドレイン領域、符号63はチャネル領域、符号64a、64b是一对のゲート領域を、それぞれ示す。

【0113】

図19に示すように、本変形例におけるSiC相補型JFETでは、nチャネルJFETが、p⁻型の低濃度エピタキシャル層10A内に形成され、pチャネルJFETが、p⁻型の低濃度エピタキシャル層10Aに形成されたn型のウェル領域67内に形成されている。これにより、nチャネルJFETとpチャネルJFETとは、p⁻型の低濃度エピタキシャル層10Aと、n型のウェル領域67とのpn接合に、逆バイアスを印加することによって、絶縁分離することができる。

30

【0114】

図20は、本実施形態におけるSiC JFETを用いて構成したSiC相補型JFETの他の変形例を模式的に示した断面図である。本変形例におけるSiC相補型JFETでは、図14に示した構造のnチャネルJFET及びpチャネルJFETが、SiC基板10の上に形成されたn⁻型の低濃度エピタキシャル層10Bに形成されている。

40

【0115】

図20に示すように、本変形例におけるSiC相補型JFETでは、pチャネルJFETが、n⁻型の低濃度エピタキシャル層10B内に形成され、nチャネルJFETが、n⁻型の低濃度エピタキシャル層10Bに形成されたp型のウェル領域57内に形成されている。これにより、nチャネルJFETとpチャネルJFETとは、n⁻型の低濃度エピタキシャル層10Bと、p型のウェル領域57とのpn接合に、逆バイアスを印加することによって、絶縁分離することができる。

【0116】

図19及び図20に示したSiC相補型JFETは、SiC基板10上に形成された第1導電型の低濃度エピタキシャル層10A、10Bと、低濃度エピタキシャル層10A、

50

10B内に形成された第2導電型のウェル領域57、67を備えているため、SiC基板10の表面に、横型パワーMOSFETも、同時に作製することができる。これにより、モノリシックパワーICを実現することが可能となる。

【0117】

また、縦型SiCパワーデバイスは、通常、表面に低濃度のn⁻エピタキシャル層が形成された高濃度のn⁺SiC基板を用いて形成される。そのため、図20に示したSiC相補型JFETにおいて、高濃度のn⁺SiC基板10を用いることによって、SiC相補型JFETと、縦型SiCパワーデバイスとを、同一基板上に形成することができる。これにより、SiCパワーデバイスと集積回路とを同一チップ上に作製することが可能となる。

10

【0118】

同様に、図19に示したSiC相補型JFETにおいて、p⁻エピタキシャル層10Aを用いた縦型パワーデバイスも、同一基板上に形成することができる。なお、p⁻SiC基板上のn⁻エピタキシャル層、n⁺基板上のp⁻エピタキシャル層についても作製可能である。

【0119】

次に、図21(a)~(d)を参照しながら、本実施形態におけるSiC相補型JFETの製造方法を説明する。なお、ここでは、説明を簡単にするために、半絶縁性のSiC基板に、SiC相補型JFETを製造する方法を説明する。また、各イオン注入時に、他の領域に、MOSFET用のマスクを設けることで、同一基板上にMOSFETの形成が可能である。

20

【0120】

図21(a)に示すように、半絶縁性のSiC基板10の表面に、マスク30Aを用いて、n型不純物(P⁺)をイオン注入して、nチャネルJFETにおけるソース領域51及びドレイン領域52、並びに、pチャネルJFETにおける一対のゲート領域64a、64bを同時に形成する。ここで、イオン注入のドーズ量は、例えば、 $1 \sim 10 \times 10^{15} \text{ cm}^{-2}$ の範囲に、また、加速エネルギーは、 $10 \sim 700 \text{ keV}$ の範囲に設定することができる。

【0121】

次に、図21(b)に示すように、SiC基板10の表面に、マスク30B(n型チャネル53の幅に合うように図中のマスクの幅を訂正してください)を用いて、n型不純物(P⁺)をイオン注入して、nチャネルJFETにおけるチャネル領域53を形成する。ここで、イオン注入のドーズ量は、例えば、 $1 \sim 10 \times 10^{12} \text{ cm}^{-2}$ の範囲に、また、加速エネルギーは、 $10 \sim 700 \text{ keV}$ の範囲に設定することができる。

30

【0122】

次に、図21(c)に示すように、SiC基板10の表面に、マスク30Cを用いて、p型不純物(Al⁺)をイオン注入して、nチャネルJFETにおける一対のゲート領域54a、54b、並びに、pチャネルJFETにおけるソース領域61及びドレイン領域62を同時に形成する。ここで、イオン注入のドーズ量は、例えば、 $1 \sim 10 \times 10^{15} \text{ cm}^{-2}$ の範囲に、また、加速エネルギーは、 $10 \sim 700 \text{ keV}$ の範囲に設定することができる。

40

【0123】

最後に、図21(d)に示すように、SiC基板10の表面に、マスク30Dを用いて、p型不純物(Al⁺)をイオン注入して、pチャネルJFETにおけるチャネル領域63を形成する。ここで、イオン注入のドーズ量は、例えば、 $1 \sim 10 \times 10^{12} \text{ cm}^{-2}$ の範囲に、また、加速エネルギーは、 $10 \sim 500 \text{ keV}$ の範囲に設定することができる。

【0124】

上記の各イオン注入工程において、イオン注入後に、所定の温度、例えば、 $1400 \sim 1900$ の温度でアニールを行って、各不純物の電気的活性化を行うことが好ましい。

50

高温でアニールしても、SiC基板10中にイオン注入された不純物の濃度プロファイルは、注入時の濃度プロファイルと、ほとんど変化することはない。これにより、JFETのソース領域51、61、ドレイン領域52、62、チャンネル領域53、63、一对のゲート領域(54a、54b)、(64a、64b)を、全てイオン注入で形成しても、安定した特性のJFETを実現することができる。

【0125】

ところで、上述したように、SiC JFETの場合、アクセプタの活性化率が小さく、また、p型SiCの移動度が小さいため、nチャンネルJFET及びpチャンネルJFETのチャンネル領域53、63の不純物濃度、及びチャンネル幅 W を同じ値に設定すると、pチャンネルJFETのドレイン電流が、nチャンネルJFETのドレイン電流よりも1/10以下に小さくなる。

10

【0126】

そこで、nチャンネルJFET及びpチャンネルJFETのドレイン電流を、極力揃えるために、図22に示すように、pチャンネルJFETのチャンネル幅 W_2 を、nチャンネルJFETのチャンネル幅 W_1 よりも大きくすることが好ましい。

【0127】

しかしながら、pチャンネルJFETのチャンネル幅 W_2 を大きくするためには、チャンネル領域63を形成する際のイオン注入エネルギーを大きくする必要があるが、注入エネルギーに上限があるため、チャンネル幅だけの調整では、ドレイン電流を揃えるのは難しい。

【0128】

そこで、さらに、nチャンネルJFET及びpチャンネルJFETのドレイン電流を、極力揃えるために、pチャンネルJFETのチャンネル領域63の不純物濃度を、nチャンネルJFETのチャンネル領域53の不純物濃度よりも大きく設定することが好ましい。

20

【0129】

しかしながら、チャンネル領域53、63の不純物濃度を変化させると、しきい値電圧も同時に変化するため、チャンネル領域53、63の不純物濃度の調整にも限界がある。

【0130】

そこで、さらに、nチャンネルJFET及びpチャンネルJFETのドレイン電流を、極力揃えるために、図22に示すように、nチャンネルJFETのソース領域51とゲート領域54a(54b)との間の距離 R_1 を大きくして、pチャンネルJFETのソース領域51とゲート領域54a(54b)との間の距離 R_2 を小さくすることが好ましい。これにより、nチャンネルJFETの寄生抵抗が大きくなり、pチャンネルJFETの寄生抵抗が小さくなるため、nチャンネルJFET及びpチャンネルJFETのドレイン電流をより揃えることができる。

30

【0131】

同様に、図22に示すように、nチャンネルJFETのチャンネル長 L_1 を大きくして、pチャンネルJFETのチャンネル長 L_2 を小さくすることによって、nチャンネルJFETのチャンネル抵抗が大きくなり、pチャンネルJFETのチャンネル抵抗が小さくなるため、nチャンネルJFET及びpチャンネルJFETのドレイン電流をより揃えることができる。

【0132】

さらに、図23に示すように、pチャンネルJFETにおいて、一对のゲート領域64a、64bの間に、チャンネル領域63と重なる複数のゲート領域64c~64e(図23では、3個)を、等間隔 D に形成してもよい。これにより、多チャンネル構造のpチャンネルJFETが得られるため、pチャンネルJFETのドレイン電流を大きくすることができ、nチャンネルJFET及びpチャンネルJFETのドレイン電流をより揃えることができる。

40

【0133】

このように、種々のパラメータ(チャンネル幅、チャンネル領域の不純物濃度、ソース、ドレイン領域間の距離、チャンネル長)を調整したり、多チャンネル構造(pチャンネルJFET)を採用することによって、nチャンネルJFET及びpチャンネルJFETのドレイン電流を極力揃えることができる。なお、これらのパラメータは、単独でも、あるいは、複数の

50

パラメータを組み合わせ調整してもよい。

【0134】

図24は、第3の実施形態の変形例におけるSiC JFETの構成を模式的に示した平面図である。

【0135】

図24に示すように、本変形例におけるSiC JFETは、ソース領域51、ドレイン領域52、及びチャンネル領域53を取り囲むように、 p^+ 型(第2導電型)のゲートアクセス領域56がリング状に形成されている。そして、一对のゲート領域54a、54bは、それぞれ、ゲートアクセス領域56と接続されている。また、ゲートアクセス領域56には、ゲートコンタクト用のパッド55が接続されている。

10

【0136】

このような構成により、ゲートコンタクト用パッド55に形成された1個のゲート電極を用いて、一对のゲート領域54a、54bに、ゲート電圧を印加することができる。また、 n^+ 型のソース領域51及びドレイン領域52を、 p^+ 型のゲートアクセス領域56で取り囲んでいるため、ソース領域51、ドレイン領域52間のリーク電流を抑制することができる。なお、エッチングを行うことにより絶縁性を高めることも当然可能である。

【0137】

なお、図24に示した構成では、一对のゲート領域54a、54bのうち、ゲート領域54bへのゲート電位のアクセスを、ゲートアクセス領域56を用いて行ったが、金属配線を用いて行ってもよい。

20

【0138】

図25(a)は、図24に示したSiC JFETを用いて構成したSiC相補型JFETの構成を模式的に示した平面図である。ここでは、ノーマリオフ型のnチャンネルJFETと、ノーマリオフ型のpチャンネルJFETとで、図25(b)に示したインバータ回路を構成した例を示す。

【0139】

図25(a)に示すように、nチャンネルJFET及びpチャンネルJFETの一对のゲート領域(54a、54b)、(64a、64b)は、それぞれ、ゲートコンタクト用パッド55、65を介して、入力端子 V_{in} に接続された配線70に接続されている。また、nチャンネルJFET及びpチャンネルJFETのドレイン領域51、61は、出力端子 V_{out} に接続された配線71に接続されている。また、nチャンネルJFETのソース領域52は、グランド(GND)に接続された配線73に接続され、pチャンネルJFETのソース領域62は、電源(V_{DD})に接続された配線74に接続されている。

30

【0140】

以上、本発明を好適な実施形態により説明してきたが、こうした記述は限定事項ではなく、もちろん、種々の改変が可能である。

【0141】

例えば、上記実施形態では、SiC相補型JFETをインバータ回路に適用した例を説明したが、他の集積回路に適用しても勿論構わない。

【0142】

また、図9(a)、(b)、図19、図20に示したSiC相補型JFETの構造は、単体のSiC JFETにも適用することができる。

40

【0143】

また、図14(a)~(c)に示したSiC JFETでは、チャンネル領域53を、基板10の表面から下方の領域に形成したが、基板10の表面まで形成されていてもよい。

【0144】

また、上記実施形態では、ノーマリオフ型のSiC JFETを例示したが、勿論、本発明のSiC JFETは、ノーマリオン型にも適用することができる。

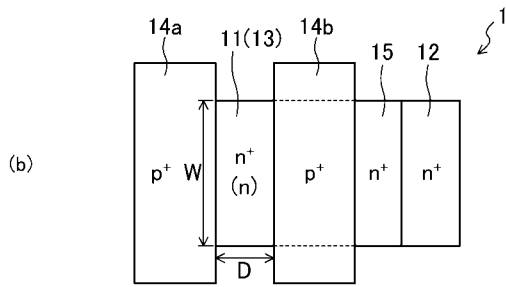
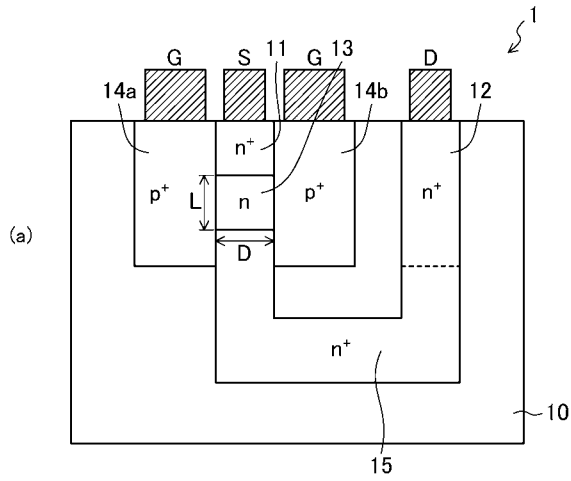
【符号の説明】

【0145】

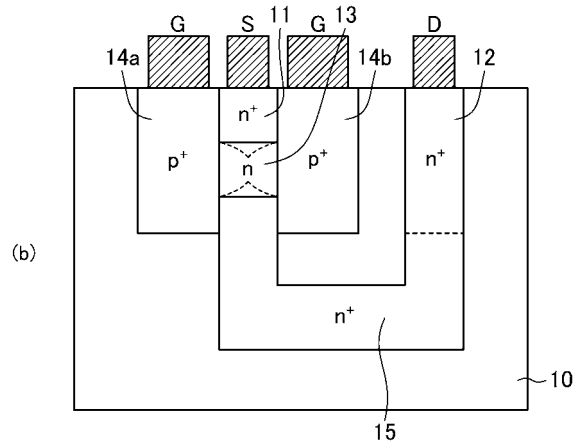
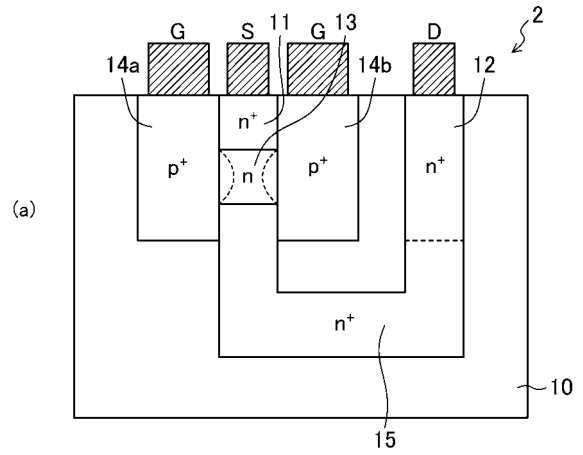
50

1	S i C J F E T	
2	S i C 相補型 J F E T	
1 0	S i C 基板	
1 0 A、1 0 B	低濃度エピタキシャル層	
1 1、2 1、3 1	ソース領域	
1 2、2 2、3 2	ドレイン領域	
1 3、2 3	埋込チャンネル領域	
1 4 a、1 4 b	一对のゲート領域	
1 5、2 5	埋込不純物領域	
1 6	ウェル領域	10
2 1	ソース領域	
3 3、4 3	チャンネル領域	
3 4 a、3 4 b	一对のゲート領域	
4 4 a、4 4 b	一对のゲート領域	
5 1、6 1	ソース領域	
5 2、6 2	ドレイン領域	
5 3、6 3	チャンネル領域	
5 4 a、5 4 b	一对のゲート領域	
6 4 a、6 4 b	一对のゲート領域	
5 5、6 5	ゲートコンタクト用パッド	20
5 6、6 6	ゲートアクセス領域	
5 7、6 7	ウェル領域	
6 4 c ~ 6 4 e	ゲート領域	
7 0、7 1、7 3、7 4	配線	

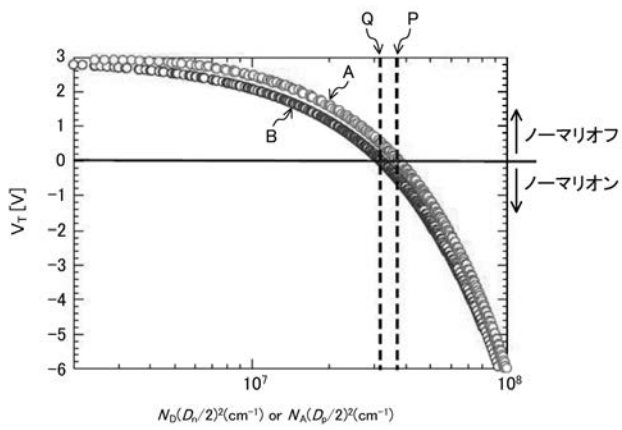
【 図 1 】



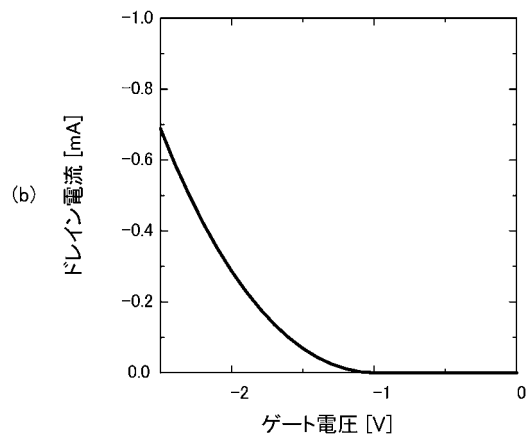
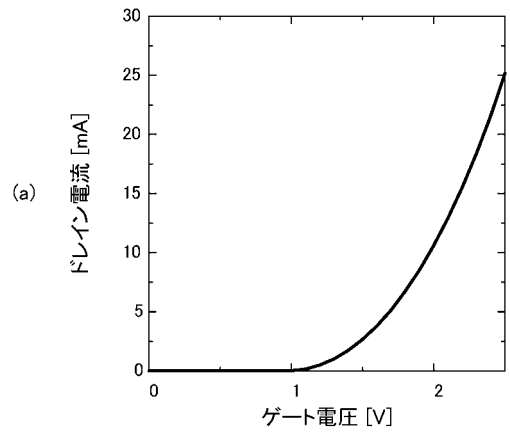
【 図 2 】



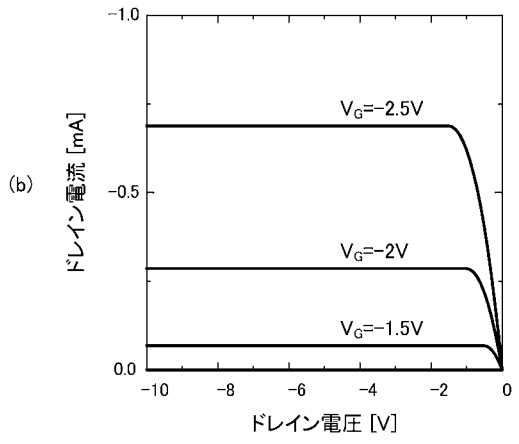
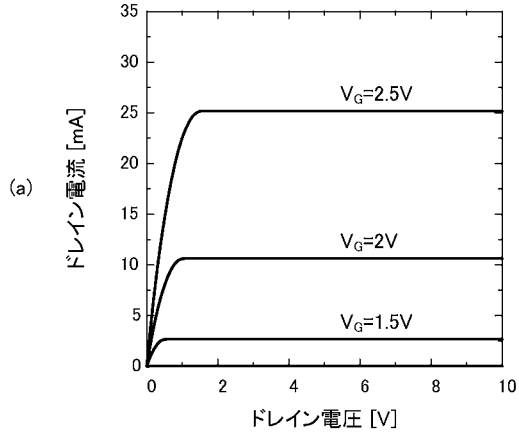
【 図 3 】



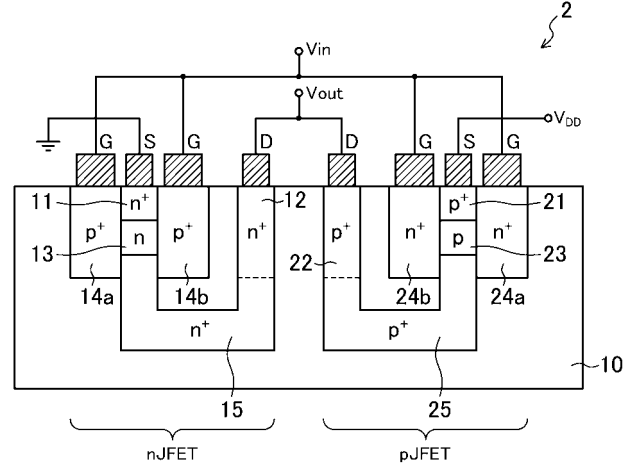
【 図 4 】



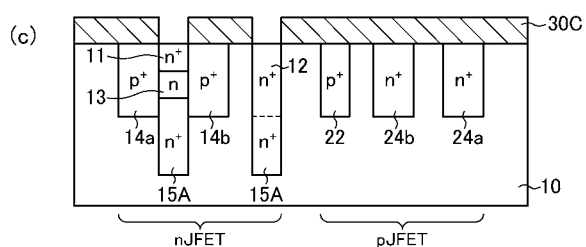
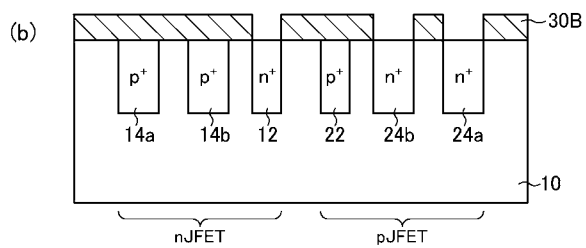
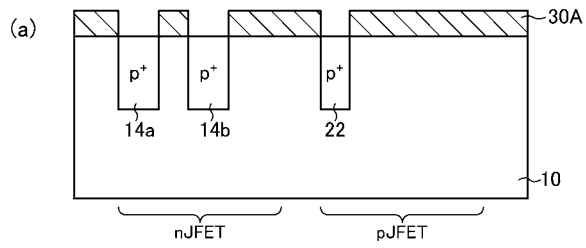
【 図 5 】



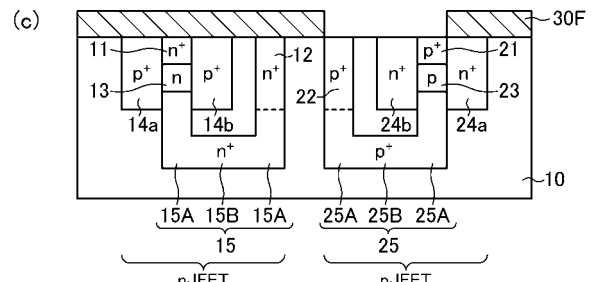
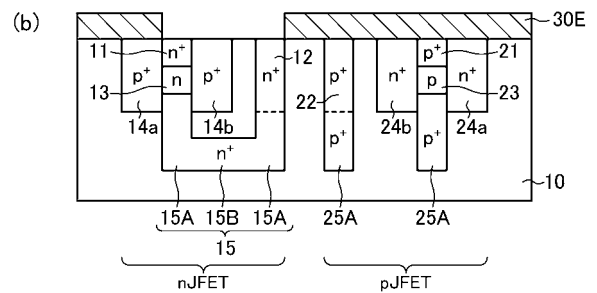
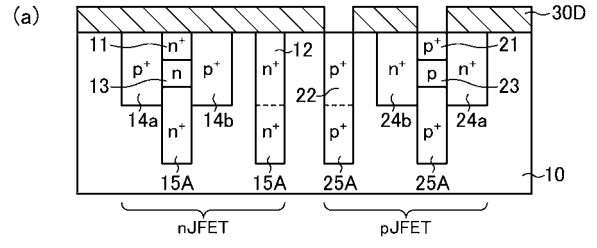
【 図 6 】



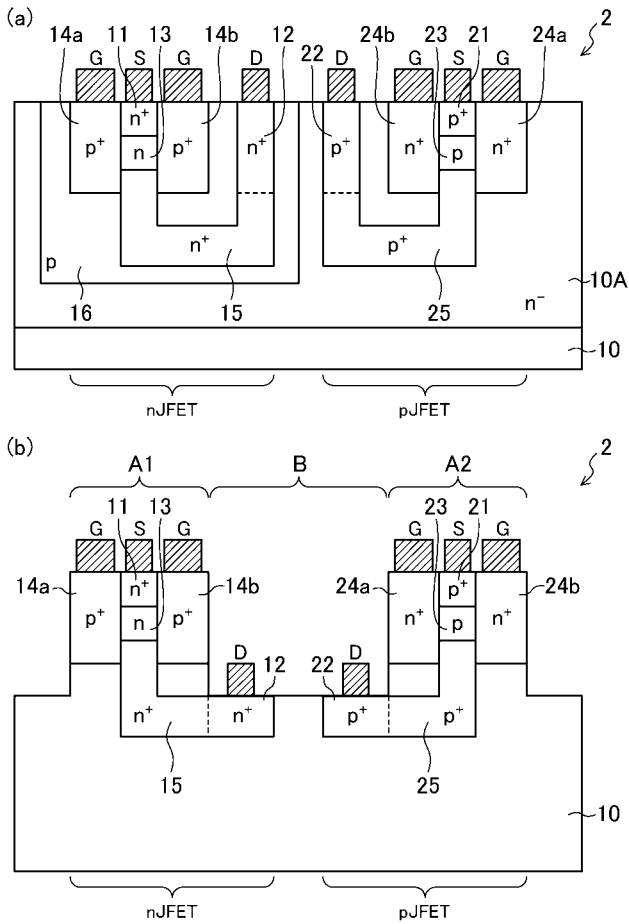
【 図 7 】



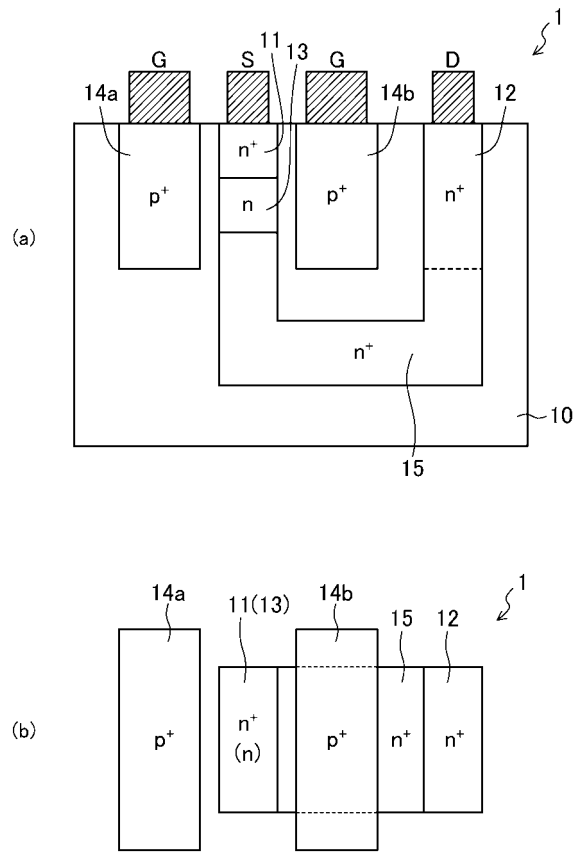
【 図 8 】



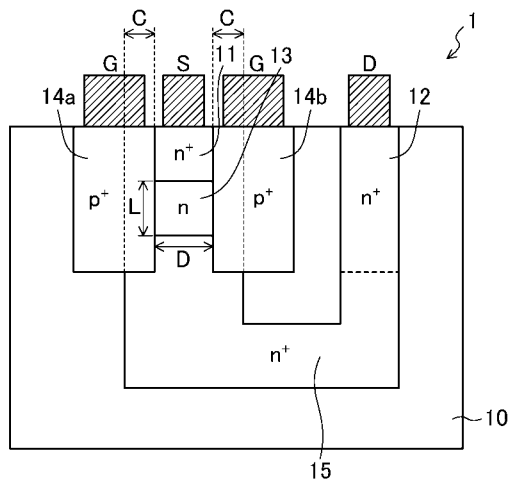
【 図 9 】



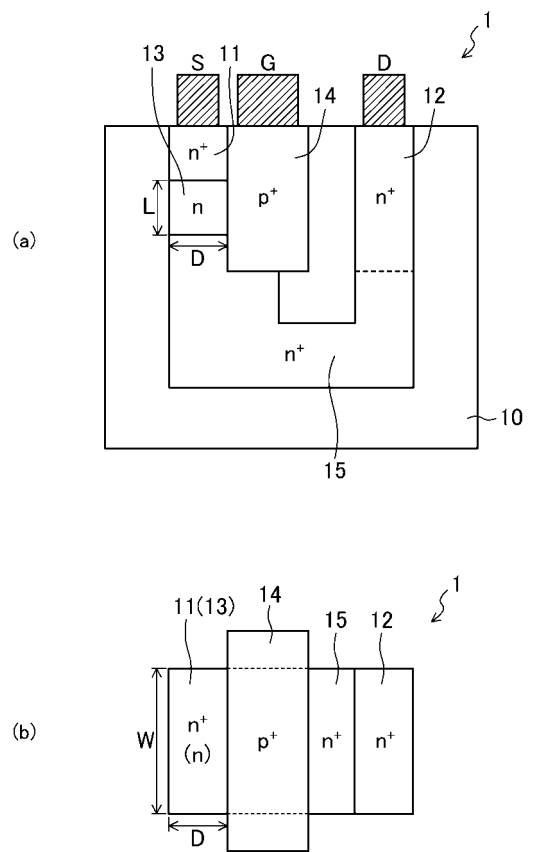
【 図 10 】



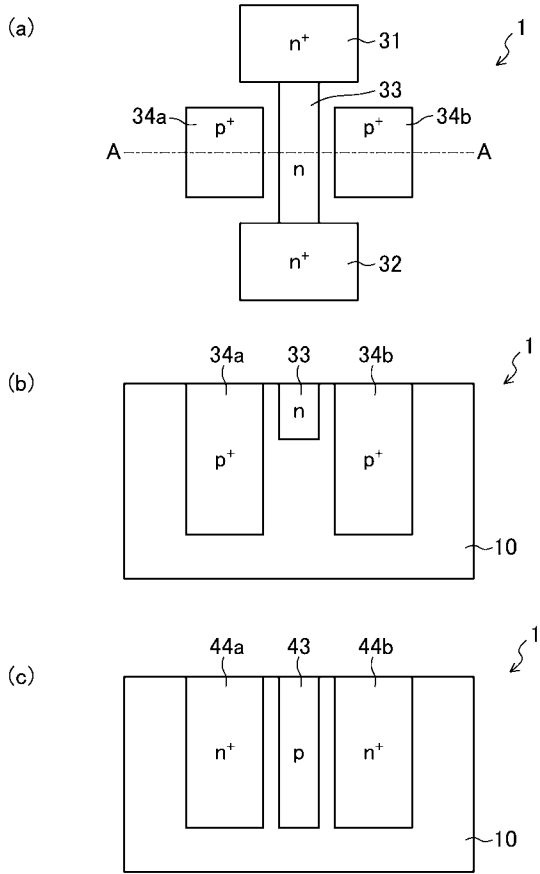
【 図 11 】



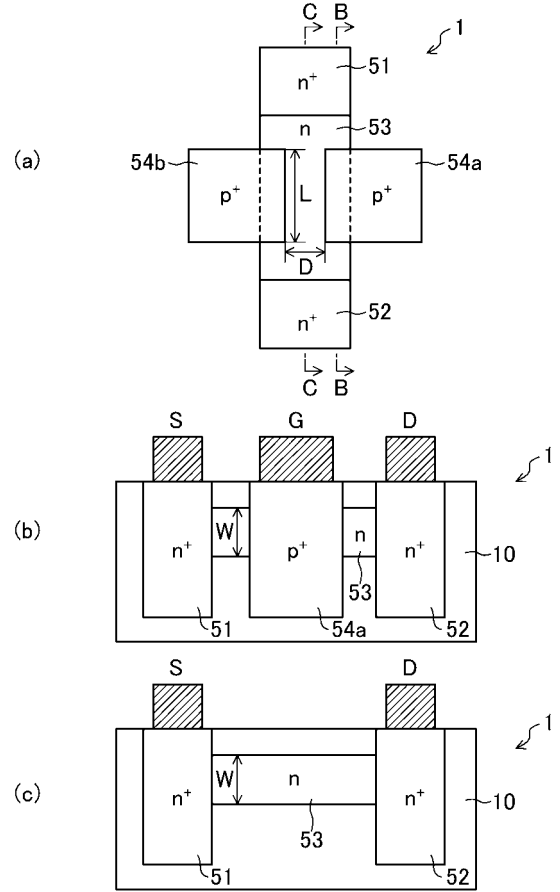
【 図 12 】



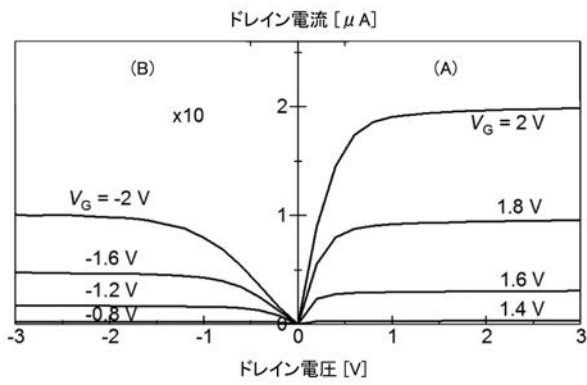
【図 1 3】



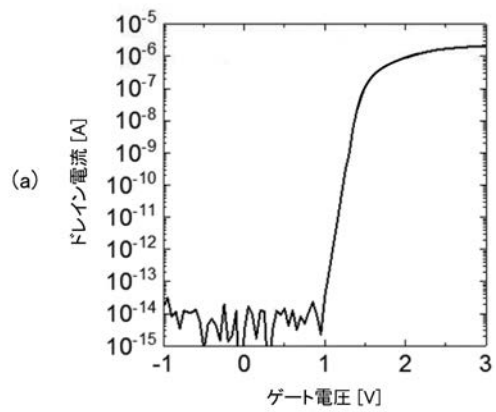
【図 1 4】



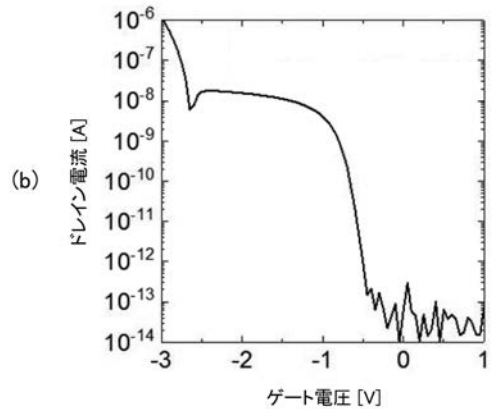
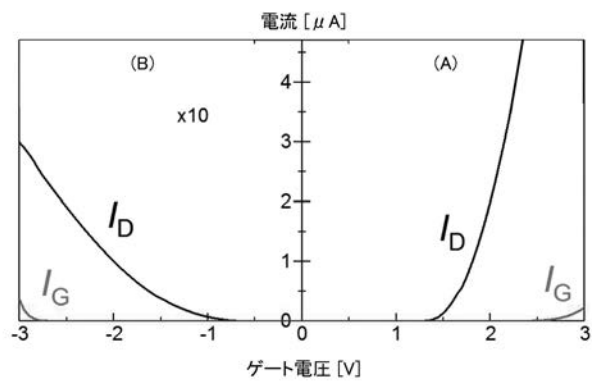
【図 1 5】



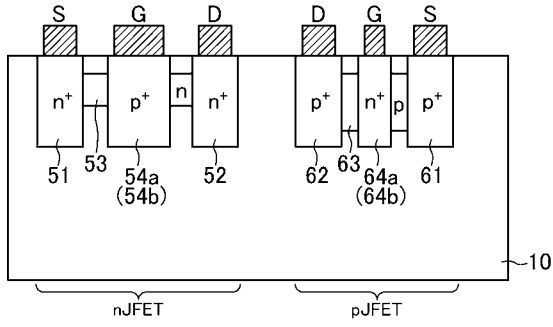
【図 1 7】



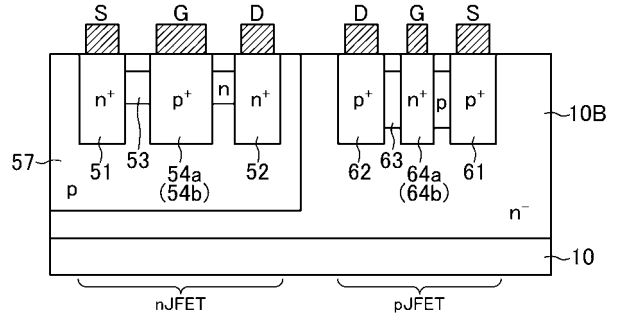
【図 1 6】



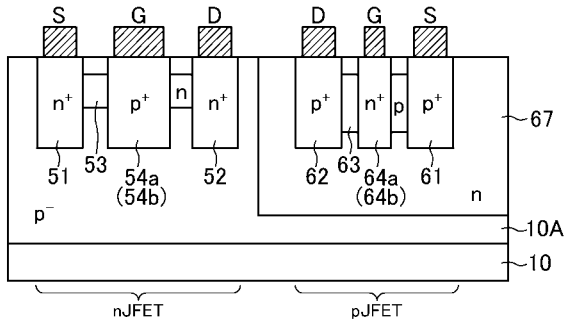
【 図 1 8 】



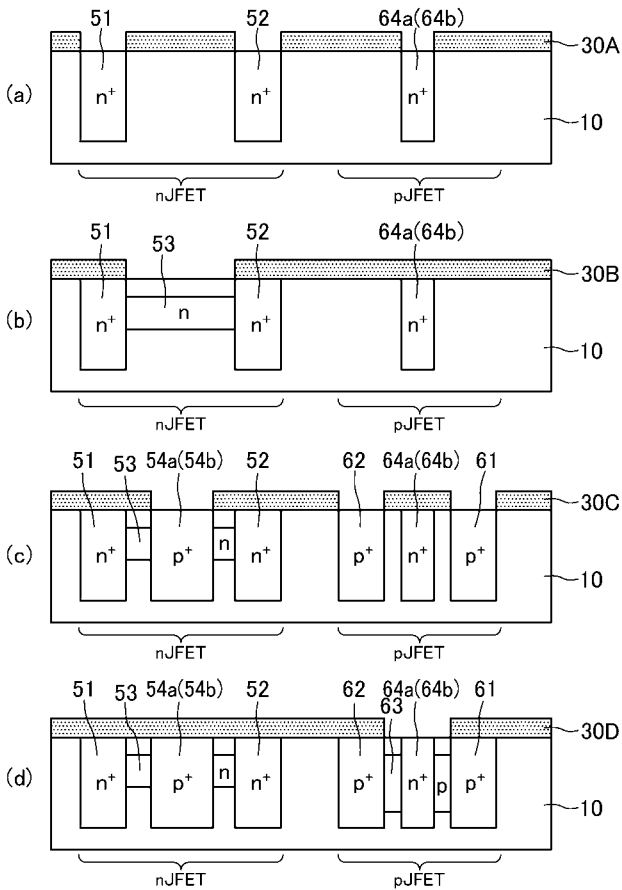
【 図 2 0 】



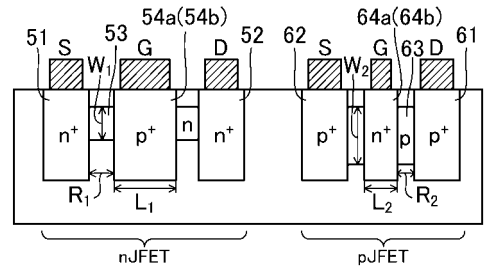
【 図 1 9 】



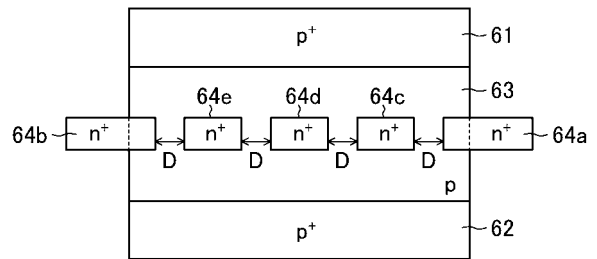
【 図 2 1 】



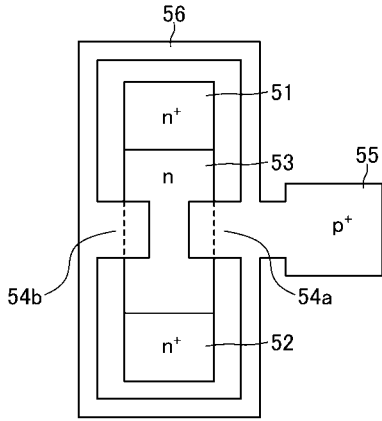
【 図 2 2 】



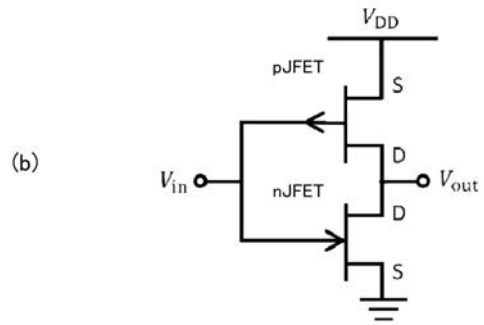
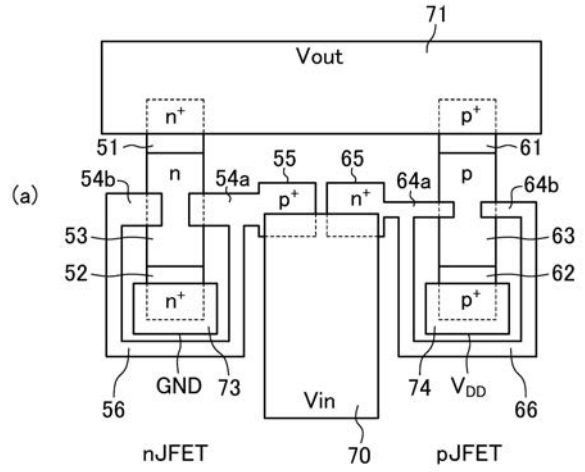
【 図 2 3 】



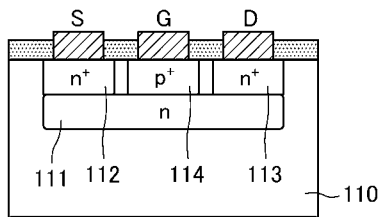
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

(51)Int.Cl.			F I		テーマコード(参考)
<i>H 0 1 L 27/06</i>	<i>(2006.01)</i>		H 0 1 L 27/098		
<i>H 0 1 L 27/098</i>	<i>(2006.01)</i>				

Fターム(参考) 5F102 FA04 GA03 GB01 GB04 GC03 GC05 GC09 GD04 GJ02 GL02
GR04 GR07 GR08 HC07