

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-117807

(P2009-117807A)

(43) 公開日 平成21年5月28日(2009.5.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO1F 17/00 (2006.01)	HO1F 17/00 F	5E070
HO1F 27/00 (2006.01)	HO1F 15/00 D	5E338
HO5K 1/02 (2006.01)	HO5K 1/02 B	

審査請求 未請求 請求項の数 10 O L (全 19 頁)

(21) 出願番号	特願2008-251372 (P2008-251372)	(71) 出願人	505072650 浙江大学 中華人民共和国浙江省杭州市浙大路38号
(22) 出願日	平成20年9月29日 (2008.9.29)	(71) 出願人	591083244 富士電機システムズ株式会社 東京都品川区大崎一丁目11番2号
(31) 優先権主張番号	200710156548.5	(74) 代理人	100074099 弁理士 大菅 義之
(32) 優先日	平成19年11月8日 (2007.11.8)	(72) 発明者	徐▲徳▼鴻 中華人民共和国浙江省杭州市浙大路38号 浙江大学内
(33) 優先権主張国	中国 (CN)	(72) 発明者	伍曉峰 中華人民共和国浙江省杭州市浙大路38号 浙江大学内

最終頁に続く

(54) 【発明の名称】 EMIフィルタ内のインダクタ/キャパシタ集積部

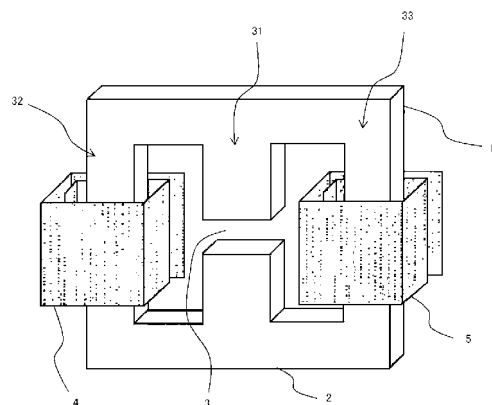
(57) 【要約】

【課題】 EMIフィルタの体積を小さくし、それによりパワーエレクトロニクス・インバータの出力密度をさらに向上させる。

【解決手段】 本例のEMIフィルタ内のインダクタ/キャパシタ集積構造は、第1のコア1と第2のコア2とから形成される閉磁路を含み、該閉磁路のセンターコア脚31には空隙3が設けられ、2つのサイドコア脚32、33のそれぞれには第1の絶縁層と第1の銅箔と絶縁媒体層と第2の銅箔と第2の絶縁層とが順次積層されてなるシート材を巻くように曲げて形成された筒状の両面フレキシブル基板4、5が巻装されている。フレキシブル基板によりEMIフィルタ内のコモンモード・インダクタ、コモンモード・キャパシタおよびノーマルモード(差動モード)インダクタの集積を実現した。

【選択図】 図1

本例のEMIフィルタ内のインダクタ/キャパシタ集積部の具体的な構造を示す模式図



【特許請求の範囲】

【請求項 1】

第 1 のコアと第 2 のコアとからなる閉磁路を備え、該閉磁路のコア脚には、 $2N$ 層 (N ; 正の整数) の銅箔層と $2N - 1$ 層の絶縁媒体層とを交互に積層して形成されたシートを巻回してなる筒状の多層並列フレキシブル基板が巻装され、全ての奇数層の銅箔の先端同士および末端同士ならびに全ての偶数層の銅箔の先端同士および末端同士がそれぞれ短絡されていることを特徴とする EMI フィルタ内のインダクタ/キャパシタ集積部。

【請求項 2】

前記第 1 のコアおよび前記第 2 のコアがいずれも E 字形状をなして 3 コア脚閉磁路を構成することを特徴とする、請求項 1 に記載の EMI フィルタ内のインダクタ/キャパシタ集積部。

10

【請求項 3】

前記第 1 のコアと前記第 2 のコアとのうちの一方が E 字形状をなし、もう一方が I 字形状をなして、3 コア脚閉磁路を構成することを特徴とする、請求項 1 に記載の EMI フィルタ内のインダクタ/キャパシタ集積部。

【請求項 4】

前記 3 コア脚閉磁路の 2 つのサイドコア脚それぞれに前記筒状の多層並列フレキシブル基板が巻装されることを特徴とする、請求項 2 または 3 に記載の EMI フィルタ内のインダクタ/キャパシタ集積部。

【請求項 5】

前記 3 コア脚閉磁路のセンターコア脚に前記筒状の多層並列フレキシブル基板が巻装されることを特徴とする、請求項 2 または 3 に記載の EMI フィルタ内のインダクタ/キャパシタ集積部。

20

【請求項 6】

前記第 1 のコアおよび前記第 2 のコアがいずれも U 字形状をなして 2 コア脚閉磁路を構成することを特徴とする、請求項 1 に記載の EMI フィルタ内のインダクタ/キャパシタ集積部。

【請求項 7】

前記第 1 のコアと前記第 2 のコアとのうちの一方が U 字形状をなし、もう一方が I 字形状をなして、2 コア脚閉磁路を構成することを特徴とする、請求項 1 に記載の EMI フィルタ内のインダクタ/キャパシタ集積部。

30

【請求項 8】

前記 2 コア脚閉磁路の 2 つのコア脚それぞれに前記筒状の多層並列フレキシブル基板が巻装されることを特徴とする、請求項 6 または 7 に記載の EMI フィルタ内のインダクタ/キャパシタ集積部。

【請求項 9】

前記 $N = 1$ であり、この場合は前記短絡は行われなことを特徴とする、請求項 1 に記載の EMI フィルタ内のインダクタ/キャパシタ集積部。

【請求項 10】

前記絶縁媒体層が、フレキシブルなキャパシタ媒体材料であることを特徴とする、請求項 1 ~ 9 の何れかに記載の EMI フィルタ内のインダクタ/キャパシタ集積部。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、受動素子集積構造に係り、特にフレキシブル基板により実現される EMI フィルタ内のインダクタ/キャパシタ素子集積構造に関する。

【背景技術】

【0002】

今日、パワーエレクトロニクス機器はモジュール化および小型化に向かって発展しつつあり、このため、パワーエレクトロニクス機器内の各素子・部品の体積をできる限り小さ

50

くすることが求められている。パワーエレクトロニクス機器内の必要な（不可欠な）構成部分の一つとして、電磁干渉（EMI）フィルタがあるが、従来の電磁波干渉（EMI）フィルタは、個々の素子の数が多く、空間利用効率が低いために、体積が大きくなるという問題をかかえており、この点がパワーエレクトロニクス機器の小型化をさらに進める上でボトルネックの一つとなっている。

【0003】

例えば、非特許文献1, 2, 3に記載の従来技術が知られている。

【非特許文献1】Chen R., Wang S., Van Wyk J.D., Odendaal W. G., “Integration of EMI Filter for Distributed Power System (DPS) Front-end Converter”, Proc. Of IEEE PESC '2003, vol.3, pp. 1582-1588

10

【非特許文献2】Chen R., Van Wyk J.D., Wang S., Odendaal W. G., “Planar Electro magnetic integration technologies for integrated EMI Filters”. Proc. of IEEE IA S '03. vol.3, pp.1582-1588

【非特許文献3】J. Biela, A. Wirthmueller, R. Waespe, M. L. Heldwein, J. W. Kolar, “Passive and Active Hybrid Integrated EMI Filters”, Proc. of IEEE APEC '2006.

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記非特許文献1～3に開示されている従来技術では、何れも、プレーナーコア（平たい平面状のコア）と形状が固定されたプリント基板を用いて、EMIフィルタのコンデンサやコイルを集積化している。つまり、これら従来技術のEMIフィルタ内のインダクタ/キャパシタ集積部の構造は、2次元的に平面形状の構造であると言える。

20

【0005】

上記の通り、EMIフィルタを小さくすることが望まれており、上記非特許文献1～3に開示されている従来技術では、未だ不十分であり、改善の余地がある。

本発明の課題は、フレキシブル基板によってEMIフィルタ内のインダクタ/キャパシタ素子集積部を実現し、それにより、EMIフィルタの設置面積を削減し、またEMIフィルタの体積を小さくすることである。

【課題を解決するための手段】

30

【0006】

本発明のEMIフィルタ内のインダクタ/キャパシタ集積部は、第1のコアと第2のコアとからなる閉磁路を備え、該閉磁路のコア脚には、2N層（N；正の整数）の銅箔層と2N-1層の絶縁媒体層とを交互に積層して形成されたシートを巻回してなる筒状の多層並列フレキシブル基板が巻装され、全ての奇数層の銅箔の先端同士および末端同士ならびに全ての偶数層の銅箔の先端同士および末端同士がそれぞれ短絡されている。

【0007】

上記閉磁路は、3コア脚閉磁路であってもよく、また2コア脚閉磁路であってもよい。3コア脚閉磁路は、何れもE字形状をなす2つのコアから成るか、またはE字形状を成す1つのコアとI字形状を成すもう1つのコアとから成る。また、2コア脚閉磁路は、何れもU字形状をなす2つのコアから成るか、またはU字形状を成す1つのコアとI字形状を成すもう1つのコアとから成る。

40

【0008】

また、例えば、上記絶縁媒体層は、フレキシブルなキャパシタ媒体材料であり、例えば有機薄膜キャパシタ媒体材料を使用する。

上記構成の本発明のEMIフィルタ内のインダクタ/キャパシタ集積部においては、例えば、上記筒状の多層並列フレキシブル基板の全ての奇数層の銅箔と全ての偶数層の銅箔とが、その間に配置された絶縁媒体層の形成する電界により結合してEMIフィルタにおけるノーマルモード・キャパシタを構成する。また、全ての奇数層の銅箔と全ての偶数層の銅箔とが、閉磁路により互いに磁気結合してEMIフィルタにおけるコモンモード・イ

50

ンダクタを構成する。筒状の多層並列フレキシブル基板を用いることによって、ノーマルモードキャパシタンスの集積を増大させることができ、コイルの長さを長くすることなく、より大きなノーマルモードキャパシタを実現することが可能となる。

【0009】

あるいは、上記構成の本発明のEMIフィルタ内のインダクタ/キャパシタ集積部においては、例えば、EMIフィルタにおけるコモンモード・インダクタとノーマルモード・インダクタとコモンモード・キャパシタを構成することもできる。

【0010】

本発明のEMIフィルタ内のインダクタ/キャパシタ集積部は、フレキシブル基板を用いることにより、EMIフィルタ内のインダクタ、キャパシタの集積の実現を可能にし、それによってEMIフィルタの体積等を小さくできる。例えばコモンモード・インダクタとノーマルモード・インダクタとコモンモード・キャパシタの集積の実現を可能にしている。あるいは、例えば、コモンモード・インダクタとノーマルモード・キャパシタの集積の実現を可能にしている。フレキシブル基板は、柔軟性に優れ、折り曲げたり巻いたりできるため、容易にコア脚に巻きつけることができ、インダクタおよびキャパシタの集積を実現でき、また、筒状の多層並列フレキシブル基板によって、ノーマルモードキャパシタンスの集積を増大させることができる。

10

【発明の効果】

【0011】

本発明のEMIフィルタ内のインダクタ/キャパシタ集積部によれば、フレキシブル基板を用いることで、EMIフィルタの設置面積を削減することができ、またEMIフィルタの体積を小さくすることができ、それにより電力変換装置の出力密度をさらに向上させることができる。

20

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して本発明の実施の形態について説明する。

図1に、本例のEMIフィルタ内のインダクタ/キャパシタ集積部の構造例を示す。

図1の示すように、本例のEMIフィルタ内のインダクタ/キャパシタ集積部は、フレキシブル基板により実現されるものであり、第1のコア1と第2のコア2とからなる3コア脚閉磁路を含むが、本図の示す実例においては、第1のコア1と第2のコア2はいずれもE字形状をなすが、あるいは両者のうちの一方がE字形状をなし、もう一方がI字形状をなし、共同で3コア脚閉磁路を形成してもよい。

30

【0013】

図1に示す例では、第1のコア1と第2のコア2とによって、図示のセンターコア脚31及び2つのサイドコア脚32, 33が形成される。そして、閉磁路のセンターコア脚31は空隙3を有し、2つのサイドコア脚32, 33にはそれぞれ筒状の両面フレキシブル基板4, 5が巻装されている。ただし、空隙はセンターコアでなくても、閉磁路中ならどの箇所でも、例えばサイドコアなどに存在しても構わない。また、この空隙の長さによってインダクタンスが変化するので、必要なインダクタンス値を得るために空隙を無くしても構わない。このように、空隙の位置や有無に限定されないものである。

40

【0014】

筒状両面フレキシブル基板4, 5は、図2の示すような第1の絶縁層6と第1の銅箔7と絶縁媒体層8と第2の銅箔9と第2の絶縁層10とを順に積層してなるシート材を、図1や図3Aに示すように巻くように曲げて形成される。筒状両面フレキシブル基板の平面図は図3の示すとおりである。ここで、絶縁媒体層8は、フレキシブルなキャパシタ媒体材料であり、例えば有機薄膜キャパシタ媒体材料を使用する。第1の銅箔7の先端11および末端12ならびに第2の銅箔9の末端13には、外部回路と接続するためのはんだパッドがそれぞれはんだ付けされている。

【0015】

実際の応用においては、筒状両面フレキシブル基板4, 5は、必要に応じて1回り巻く

50

かまたは同心円状に1回以上巻いてもよい。

尚、上記“筒状両面フレキシブル基板”とは、上記図2に示す構成のシート材（両面フレキシブル基板）を、上記図1、図3Aに示すようにサイドコア脚32, 33に略筒状に巻いたものを意味している。

【0016】

また、尚、上記有機薄膜キャパシタ媒体材料とは、一般的な有機材料のことである。通常市販されているフィルムコンデンサのように、絶縁媒体層8に有機材料を使うことで、第1の銅箔7と絶縁媒体層8と第2の銅箔9とで形成されるコンデンサ（有機薄膜キャパシタ）は、良好な特性のコンデンサとなる。

【0017】

ここで、筒状両面フレキシブル基板4, 5やそのシート材の構成は、上記図2や図3Aに示す構成例に限らないものであり、他の例を図3B~図3Dに示す。尚、図3B~図3Dに示す筒状両面フレキシブル基板に対応するシート材の構成は特に示さない。また、図3B~図3Dにおいて、図3Aに示す構成における構成要素と略同様の構成要素には、同一符号を付してある。

【0018】

まず、図2に示すシート材を図3Aのように巻回した場合、図3Aに示すように、銅箔層同士（例えば第1の銅箔7と第2の銅箔9）が隣接する箇所において2つの絶縁層6, 10が存在するが、これは銅箔層同士（例えば7と9）が接触（導通）しないようにすればよいので、2つの絶縁層6, 10のうち何れか一方のみがあればよい。これより、図3Bの例では絶縁層6を残し（図3Aの構成から絶縁層10を取り去り）、図3Cの例では絶縁層10を残した（図3Aの構成から絶縁層6を取り去った）構成を示している。

【0019】

周囲の部品等に接触する可能性が無い状況であれば、図3Cに示すように、外側の絶縁媒体層（絶縁層6）は無くても構わない。但し、図3Cの構成において、周囲の部品等に第1の銅箔7が接触する可能性がある場合には、図3Cに示すように両面フレキシブル基板を巻回した後、最も外側に不図示の任意の絶縁媒体を巻き付ければよい。

【0020】

あるいは、図3Dに示す構成としてもよい。図示の通り、図3Dの構成では、2つの絶縁層6, 10の両方を、図3Aの構成から取り去ったものとなっている。すなわち、両側（内側と外側）の2つの絶縁層が無い構成となっており、第1の銅箔7と第2の銅箔9とこれらの間の絶縁媒体層8とから成る構成となっている。2つの絶縁層6, 10の両方共無くても銅箔層同士（例えば第1の銅箔7と第2の銅箔9）が接触（導通）しないように両面フレキシブル基板を巻回すことが出来る場合には、図3Dに示す構成としてもよい。例えば、巻数が1回の場合、図3Dの構成でも銅箔層同士が接触する心配はない。

【0021】

尚、図3B~図3Dの構成は、後述する図7の多層並列フレキシブル基板についても適用可能である。すなわち、この場合、図7に示す構成から、絶縁層61又は絶縁層73の何れか一方または両方とも、取り去った構成としてもよい。換言すれば、最も内側と最も外側の絶縁媒体層の何れか一方または両方とも、取り去った構成としてもよい。

【0022】

図4はEMIフィルタの原理図である。図の点線で囲まれた部分は図1に示すインダクタ/キャパシタ集積部の等価回路図であり、本集積構造を用いることにより実現されたコモンモード・インダクタ14、15、ノーマルモード・インダクタ16、17およびコモンモード・キャパシタ18、19は、外部に付設されたディスクリット（外付け部品）のノーマルモード・キャパシタ21、22と合わせて完全なEMIフィルタを構成する。

【0023】

ここでは、筒状両面フレキシブル基板4の第1の銅箔と絶縁媒体層と第2の銅箔とが、EMIフィルタ内のコモンモード・キャパシタ18を構成し、筒状両面フレキシブル基板5の第1の銅箔と絶縁媒体層と第2の銅箔とが、EMIフィルタ内のコモンモード・キャ

10

20

30

40

50

パシタ 19 を構成する。

【 0024 】

また、筒状両面フレキシブル基板 4、5 が第 1 のコア 1 および第 2 のコア 2 のサイドコア脚 32、33 の構成する閉磁路により互いに結合して EMI フィルタ内のコモンモード・インダクタ 14、15 を構成する。

【 0025 】

また、筒状両面フレキシブル基板 4 がその巻着するサイドコア脚 32 と空隙 3 を設けたセンターコア脚 31 とにより構成される閉磁路の形成するインダクタンスにより、ノーマルモード・インダクタ 16 を構成する。同様に、筒状両面フレキシブル基板 5 がその巻着するサイドコア脚 33 と空隙 3 を設けたセンターコア脚 31 とから形成されたインダクタンスによりノーマルモード・インダクタ 17 を構成する。

10

【 0026 】

尚、センターコア脚 31 の空隙 3 の大きさを調節することによりノーマルモード・インダクタの大きさを調節することができる。すなわち、空隙 3 は、通常のトランスやコイルのエアギャップに相当し、空隙 3 が長くなるとインダクタンスが小さくなり、逆に空隙 3 が短くなると（コア同士が接触して長さが零になることも含む）インダクタンスが大きくなる。

【 0027 】

図 4 において、符号 12 は接続部位であり、符号 11、13、24、25 は、外部回路と接続するためのはんだパッドである。また、符号 20 は、上記接続部位 12 を不図示の装置の筐体（GND）に接続させる為の接続線である。

20

【 0028 】

ここで、図 3A ~ 図 3D における第 1 の銅箔 7 の先端 11 および第 2 の銅箔 9 の末端 12 ならびに第 1 の銅箔 7 の末端 13 の接続先は、図 4 において同一符号（11、12、13）により示してある。これより、図 4 に示す通り、第 1 の銅箔 7 の先端 11 は外付けのノーマルモード・キャパシタ 21（コンデンサ）に接続され、第 1 の銅箔 7 の末端 13 は外付けノーマルモード・キャパシタ 22（コンデンサ）に接続される。また、第 2 の銅箔 9 の末端 12 は上記接続線 20 により GND に接続されることになる。この様に接続することで、EMI フィルタの機能が発揮される。尚、図 4 における符号 25、24 は、図上（11）、（13）として示すように、先端 11、末端 13 の接続先を意味する。つまり、例えば、筒状両面フレキシブル基板 4 に関しては図示の符号 11、13、12 が接続先であり、筒状両面フレキシブル基板 5 に関しては図示の符号 25、24、12 が接続先となる。

30

【 0029 】

以上説明したように、本例の EMI フィルタ内のインダクタ/キャパシタ集積部においては、筒状両面フレキシブル基板の第 1 の銅箔、絶縁媒体層および第 2 の銅箔が EMI フィルタのコモンモード・キャパシタを構成し、2 つの筒状両面フレキシブル基板がサイドコア脚の形成する結合インダクタンスにより EMI フィルタのコモンモード・インダクタを構成し、2 つの筒状両面フレキシブル基板がそれぞれの巻着するサイドコア脚と空隙を設けたセンターコア脚とから形成される磁路より生じるインダクタンスにより EMI フィルタのノーマルモード・インダクタを形成するが、センターコア脚の空隙の長さを調節することにより EMI フィルタのノーマルモード・インダクタの大きさを調節することができる。

40

【 0030 】

本例の EMI フィルタ内のインダクタ/キャパシタ集積部は、フレキシブル基板を用いることにより、EMI フィルタ内のコモンモード・キャパシタ、コモンモード・インダクタおよびノーマルモード・インダクタの集積を実現することができる。フレキシブル基板はプリント基板の一種であり、柔軟性に優れ、折り曲げたり巻いたりできるという特徴を有するため、コア脚への巻きつけが容易に行える。本発明のインダクタ/キャパシタ集積構造は、EMI フィルタの設置面積を削減することができ、また EMI フィルタの体積を

50

さらに小さくし、それにより電力変換装置の出力密度を向上させるのに役立つ。

【0031】

以下、本例のEMIフィルタ内のインダクタ/キャパシタ集積部の他の例について説明する。

図5に、他の例(その1)のEMIフィルタ内のインダクタ/キャパシタ集積部の構造例を示す。

【0032】

図6に、他の例(その2)のEMIフィルタ内のインダクタ/キャパシタ集積部の構造例を示す。

図1~図4で説明した一例では、図4に示すEMIフィルタ回路に対して、図上点線で示す部分を図1に示すインダクタ/キャパシタ集積部によって実現するものであったが、この例に限るものではない。例えば、図4に示すEMIフィルタ回路の構成のうち、コモンモード・インダクタ14, 15及びノーマルモード・キャパシタ21の部分を、インダクタ/キャパシタ集積部によって実現するものであってもよく、その一例を図5に示している。

【0033】

尚、図5において、図1に示す構造における構成要素と略同一であってもよい構成要素については、同一符号を付してある。

図5に示す本発明の他の例(その1)におけるインダクタ/キャパシタ集積部の構造、すなわちフレキシブル基板により実現されるEMIフィルタ内のコモンモードインダクタ/ノーマルモードキャパシタ集積構造は、(図1と同様)第1のコア1と第2のコア2とから成る3コア脚閉磁路を備える。尚、本図の示す実例においては、第1のコア1と第2のコア2はいずれもE形状をなすが、この例に限らず、例えば両者のうちの一方がE形状をなし、他方がI形状をなして、両者により3コア脚閉磁路を構成するようにしてもよい。

【0034】

そして、図1と同様に、第1のコア1と第2のコア2とによって、図示のセンターコア脚31及び2つのサイドコア脚32, 33が形成される。但し、本例では基本的に、センターコア脚31は空隙3を有していない。

【0035】

そして、本例では、図5に示すように、センターコア脚31に筒状の多層並列フレキシブル基板40が巻装されている。

この筒状の多層並列フレキシブル基板40は、基本的には上記“筒状両面フレキシブル基板4, 5”と略同様の構成であってよいが、後に図7で説明するように第1の銅箔と絶縁媒体層と第2の銅箔を多層に構成してもよいものである。図5に示すインダクタ/キャパシタ集積部を用いたEMIフィルタの回路構成については、後に図10を参照して説明する。

【0036】

図6に示す本発明の他の例(その2)におけるインダクタ/キャパシタ集積部の構造、すなわちフレキシブル基板により実現されるEMIフィルタ内のコモンモードインダクタ/ノーマルモードキャパシタ集積構造は、図示のU形状の第1のコア51と第2のコア52とから成る2コア脚閉磁路を備える。これら2つのU形状の第1のコア51と第2のコア52によって、図示の2つのコア脚53, 54が形成される。

【0037】

尚、本図の示す実例においては、第1のコア51と第2のコア52はいずれもU形状をなすが、この例に限らず、例えば両者のうちの一方がU形状をなし、他方がI形状をなして、両者により2コア脚閉磁路を構成するようにしてもよい。

【0038】

そして、本例では、図6に示すように、2つのコア脚53, 54それぞれに筒状の多層並列フレキシブル基板40が巻装されている。筒状の多層並列フレキシブル基板40に関

10

20

30

40

50

しては、既に図 5 で述べた通りであり、詳しくは後述する。また、図 6 に示すインダクタ / キャパシタ集積部を用いた EMI フィルタの回路構成については、後に図 11 を参照して説明する。

【0039】

上記筒状の多層並列フレキシブル基板 40 について、以下、図 7 ~ 図 9 を参照して説明する。

図 7 は、上記 (筒状の) 多層並列フレキシブル基板 40 を構成するシートの断面を示す模式図である。

【0040】

多層並列フレキシブル基板 40 は、2つの絶縁層 61、73 の間に、2N 層の銅箔層と 2N - 1 層の絶縁媒体層とを交互に積層した構成となっている。ここで、N の値は必要に応じて $N = 1, 2, 3, \dots$ 等、正の整数のうちの任意の数としてよいが、図 7 に示す実例においては $N = 3$ である。これより、図示の例の多層並列フレキシブル基板 40 は、2つの絶縁層 61、73 の間に位置する 6つの銅箔層 62, 64, 66, 68, 70, 72 と 5つの絶縁媒体層 63, 65, 67, 69, 71 とを交互に積層した構成となっており、これをコア脚に巻回してなるものを上記の通り“筒状の”と呼ぶものである。ここで、絶縁媒体層 63, 65, 67, 69, 71 は、フレキシブルなキャパシタ媒体材料であり、例えば有機薄膜キャパシタ媒体材料を使用する。

10

【0041】

そして、全ての奇数層の銅箔の先端同士および末端同士ならびに全ての偶数層の銅箔の先端同士および末端同士がそれぞれ短絡されている。このように短絡されたうえで、外部回路と接続するためのはんだパッドがそれぞれはんだ付けされている。

20

【0042】

すなわち、各銅箔層の両端に関して、仮に、図 7 における図上左側を先端、図上右側を末端と言うものとするならば、まず、奇数層の銅箔層 62, 66, 70 の先端同士は図示の短絡線 81 により短絡され且つはんだパッド a に接続されている。偶数層の銅箔層 64, 68, 72 の先端同士は図示の短絡線 82 により短絡され且つはんだパッド b に接続されている。末端に関しても同様にして、奇数層の銅箔層 62, 66, 70 の末端同士は図示の短絡線 83 により短絡され且つはんだパッド c に接続されており、偶数層の銅箔層 64, 68, 72 の末端同士は図示の短絡線 84 により短絡され且つはんだパッド d に接続されている。

30

【0043】

上記構成の多層並列フレキシブル基板 40 を用いたインダクタ / キャパシタ集積部により EMI フィルタを構成する場合の上記はんだパッド a, b, c, d の接続先は、図 10、図 11 において示してあり、後に説明する。

【0044】

図 8 は、 $N = 1$ である多層並列フレキシブル基板 40 のシートの断面図である。

図示のシートは、絶縁層 61 と銅箔層 62 (奇数層) と絶縁媒体層 63 と銅箔層 64 (偶数層) と絶縁層 73 とを順に積層してなる構成となっている。このシートを巻き回してなる筒状の多層並列フレキシブル基板 40 は、図 9 に示す通りである。図 9 において、銅箔層 62 の先端 86 および末端 88 ならびに銅箔層 64 の先端 85 および末端 87 には、外部回路と接続するためのはんだパッドがそれぞれはんだ付けされている。これは、上記はんだパッド a, b, c, d がはんだ付けされていると考えてよい。つまり、 $N = 1$ の場合には、短絡する必要なくはんだパッドがはんだ付けされることになる。

40

【0045】

実際の応用においては、筒状の多層並列フレキシブル基板 40 は、必要に応じて 1 回り巻くかまたは同心状に 1 回り以上巻いてもよい。

図 8 に示す通り、 $N = 1$ の場合には、図 2 に示す構成と同じとなる。奇数層の銅箔層 62 は上記第 1 の銅箔 7 に相当し、偶数層の銅箔層 64 は上記第 2 の銅箔 9 に相当するものとなる。これより、両面フレキシブル基板 4、5 は、多層並列フレキシブル基板 40 の一

50

例 ($N = 1$ の場合) と見做すこともできる。逆にいえば、多層並列フレキシブル基板 40 は、両面フレキシブル基板 4, 5 を多層化した構成ということもできる。上記図 5 や図 6 に示す構成は、両面フレキシブル基板を用いて実現することもできることになる。

【 0046 】

本例では、図 5 ~ 図 7 に示す構成とすることで、まず、筒状の多層並列フレキシブル基板 40 の全ての奇数層の銅箔と全ての偶数層の銅箔とが、その間に配置された絶縁媒体層の形成する電界により結合して EMI フィルタにおけるノーマルモード・キャパシタを構成する。また、全ての奇数層の銅箔と全ての偶数層の銅箔とが、閉磁路により互いに磁気結合して EMI フィルタにおけるコモンモード・インダクタを構成する。筒状の多層並列フレキシブル基板 40 を用いることによって、ノーマルモードキャパシタンスの集積を増大させることができ、コイルの長さを長くすることなく、より大きなノーマルモードキャパシタを実現することが可能となる。

10

【 0047 】

図 10 は、EMI フィルタの原理図であり、図上点線で囲まれた部分は、図 5 に示したコモンモードインダクタ/ノーマルモードキャパシタ集積構造の等価回路図である。尚、図示の EMI フィルタの回路構成自体は、図 4 に示すものと略同様であり、同一符号を付してある。但し、フレキシブル基板を用いた集積構造によって実現される部分は、点線で示す通り、図 4 とは異なる。

【 0048 】

当該他の例 (その 1) では、図 5 に示す集積構造により、図 10 で点線で示す通り、2 つのコモンモード・インダクタ 14, 15 と 1 つのノーマルモード・キャパシタ 21 とを形成する。本集積構造を用いることにより実現されるコモンモード・インダクタ 14, 15 及びノーマルモード・キャパシタ 21 は、外部に付設された個別のコモンモード・キャパシタ 18, 19、ノーマルモード・インダクタ 16, 17、およびもう 1 つのノーマルモード・キャパシタ 22 とともに 1 つの完全な EMI フィルタを構成する。

20

【 0049 】

図中の符号 20 は上記の通り GND への接続点であり、符号 91, 92, 93, 94 は、外部回路と接続するためのはんだパッドである。また、図中の符号 a, b, c, d は、上記の通り、図 7 に示した各はんだパッド a, b, c, d の接続先を示すものである。すなわち、はんだパッド a, b は上記はんだパッド 91, 92 となり、はんだパッド c, d は、それぞれ図示の通り、ノーマルモード・インダクタ 16, 17 に接続される。

30

【 0050 】

図 11 は、EMI フィルタの原理図であり、図上点線で囲まれた部分は、図 6 に示したコモンモードインダクタ/ノーマルモードキャパシタ集積構造の等価回路図である。尚、図 11 において図 10 等に示す回路構成の各構成要素と略同一の構成要素に対しては同一符号を付してある。また、図示の EMI フィルタの回路構成は、図 10 に示す構成に対して、図上点線で囲んだ部分が、2 つ設けられた構成となっている。これより、この部分に関しても図 10 等と略同一の符号を付すが、2 つを区別する為に図示の通り、一方はコモンモード・インダクタ 14a, 15a 及びノーマルモード・キャパシタ 21a と記し、他方はコモンモード・インダクタ 14b, 15b 及びノーマルモード・キャパシタ 21b と記すものとする。

40

【 0051 】

図 6 に示した構造では、各コア脚 53, 54 それぞれに巻装された各筒状多層並列フレキシブル基板 40 によって、図 11 に示す 2 つの点線部分のうち一方の構成が形成される。すなわち、一方の筒状多層並列フレキシブル基板 40 によって 2 つのコモンモード・インダクタ 14a, 15a 及び 1 つのノーマルモード・キャパシタ 21a が形成され、他方の筒状多層並列フレキシブル基板 40 によって 2 つのコモンモード・インダクタ 14b, 15b 及び 1 つのノーマルモード・キャパシタ 21b が形成される。

【 0052 】

本集積構造を用いることにより実現されるコモンモード・インダクタ 14a, 15a、

50

14b, 15b、およびノーマルモード・キャパシタ21a、21bは、外部に付設された個別のコモンモード・キャパシタ18, 19、およびノーマルモード・インダクタ16, 17とともに1つの完全なEMIフィルタを構成する。

【0053】

図中の符号20は上記の通りGNDへの接続点であり、符号95, 96, 97, 98は、外部回路と接続するためのはんだパッドである。また、図中の符号a, b, c, dは、上記の通り、図7に示した各はんだパッドa, b, c, dの接続先を示すものである。すなわち、一方の筒状多層並列フレキシブル基板40に関しては、はんだパッドa, bは上記はんだパッド95, 96となり、はんだパッドc, dは、それぞれ図示の通り、ノーマルモード・インダクタ16, 17に接続される。また、他方の筒状多層並列フレキシブル

10

【0054】

既に述べたように、上記非特許文献1~3に開示されている従来技術では、何れも、プレーナーコア（平たい平面状のコア）と形状が固定されたプリント基板を用いて、EMIフィルタのコンデンサやコイルを集積化している。つまり、これら従来技術のEMIフィルタ内のインダクタ/キャパシタ集積部の構造は、2次元的に平面形状の構造であると言える。

【0055】

これに対して、上記本例によるEMIフィルタ内のインダクタ/キャパシタ集積部の構造では、フレキシブルな基板を用いて巻線を構成し3次元的な立体状のコアに巻くことによってコンデンサやコイルを集積している。よって、EMIフィルタを、平面状ではなく立体的な形状にすることができるので、設置面積を削減することができ、更に損失や体積の軽減および大電力化も可能にする。

20

【0056】

上記の通り、本例によるEMIフィルタ内のインダクタ/キャパシタ集積部の構造では、第1のコアと第2のコアとから形成される閉磁路を備え、閉磁路のコア脚には、筒状の多層並列フレキシブル基板（両面フレキシブル基板を含む）が巻装されている。この閉磁路は、上記の通り、3コア脚閉磁路であってもよく、2コア脚閉磁路であってもよい。また、3コア脚閉磁路の場合において、多層並列フレキシブル基板は、センターコア脚に巻装する構成であっても、2つのサイドコア脚それぞれに巻装する構成であってもよい。また、3コア脚閉磁路は、何れもE形状をなす2つのコアから成るか、またはE形状を成す1つのコアとI形状を成すもう1つのコアとから成る。また、2コア脚閉磁路は、何れもU形状をなす2つのコアから成るか、またはU形状を成す1つのコアとI形状を成すもう1つのコアとから成る。また、本例のフレキシブル基板は、基本的には2つの銅箔層とこれら之间存在する絶縁媒体層から成るが、これらをまとめて1つの層として多層の構成（多層並列フレキシブル基板）としてもよい。筒状の多層並列フレキシブル基板によって、ノーマルモードキャパシタンスの集積を増大させることができ、コイルの長さを長くすることなく、より大きなノーマルモードキャパシタを実現することが可能となる。

30

40

【0057】

本例によるEMIフィルタ内のインダクタ/キャパシタ集積部では、フレキシブル基板を用いることにより、EMIフィルタ内のインダクタ、キャパシタの集積の実現を可能にしている。例えば図1、図4等に示す例では、コモンモード・インダクタとノーマルモード・インダクタとコモンモード・キャパシタの集積の実現を可能にしている。また、図5と図10あるいは図6と図11に示す例では、コモンモード・インダクタとノーマルモード・キャパシタの集積の実現を可能にしている。

【0058】

フレキシブル基板は、柔軟性に優れ、折り曲げたり巻いたりできるため、容易にコア脚

50

に巻きつけることができ、インダクタおよびキャパシタの集積を実現でき、また、筒状の多層並列フレキシブル基板によって、ノーマルモードキャパシタンスの集積を増大させることができる。

【0059】

本例によるEMIフィルタ内のインダクタ/キャパシタ集積部によれば、EMIフィルタの体積、面積を更に小さくし、それにより電力変換装置の出力密度を向上させるのに役立つ。

【図面の簡単な説明】

【0060】

【図1】本例のEMIフィルタ内のインダクタ/キャパシタ集積部の具体的な構造を示す模式図である。 10

【図2】両面フレキシブル基板を構成するシート材の断面図である。

【図3A】筒状両面フレキシブル基板の平面図(その1)である。

【図3B】筒状両面フレキシブル基板の平面図(その2)である。

【図3C】筒状両面フレキシブル基板の平面図(その3)である。

【図3D】筒状両面フレキシブル基板の平面図(その4)である。

【図4】図1の集積構造により実現されるEMIフィルタの原理図(等価回路図)である。

【図5】他の例(その1)のEMIフィルタ内のインダクタ/キャパシタ集積部の構造例である。 20

【図6】他の例(その2)のEMIフィルタ内のインダクタ/キャパシタ集積部の構造例である。

【図7】筒状の多層並列フレキシブル基板を構成するシートの断面を示す模式図である。

【図8】 $N = 1$ である多層並列フレキシブル基板のシートの断面図である。

【図9】図8のシートを巻き回してなる筒状の多層並列フレキシブル基板を示す図である。

【図10】図5の集積構造により実現されるEMIフィルタの原理図(等価回路図)である。

【図11】図6の集積構造により実現されるEMIフィルタの原理図(等価回路図)である。 30

【符号の説明】

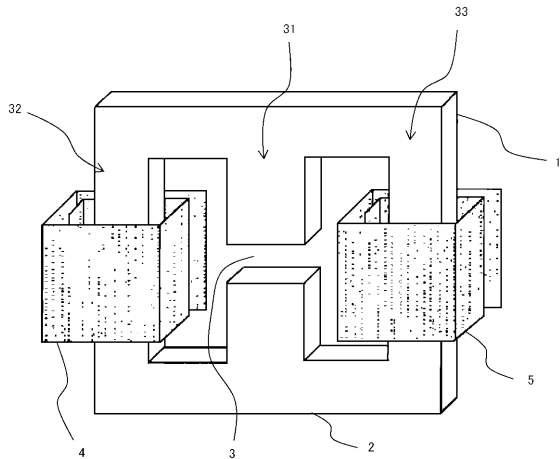
【0061】

- 1 第1のコア
- 2 第2のコア
- 3 空隙
- 4, 5 筒状両面フレキシブル基板
- 6 第1の絶縁層
- 7 第1の銅箔
- 8 絶縁媒体層
- 9 第2の銅箔 40
- 10 第2の絶縁層
- 11 先端
- 12 末端
- 13 末端
- 14、15 コモンモード・インダクタ
- 16、17 ノーマルモード・インダクタ
- 18、19 コモンモード・キャパシタ
- 21、22 ノーマルモード・キャパシタ
- 24、25 はんだパッド
- 31 センターコア脚 50

- 3 2 , 3 3 サイドコア脚
- 4 0 (筒状の)多層並列フレキシブル基板
- 5 1 第1のコア
- 5 2 第2のコア
- 5 3 , 5 4 コア脚
- 6 3 , 6 5 , 6 7 , 6 9 , 7 1 絶縁媒体層
- 6 2 , 6 6 , 7 0 (奇数層の)銅箔層
- 6 4 , 6 8 , 7 2 (偶数層の)銅箔層
- 6 1、7 3 絶縁層
- 8 1 , 8 2 , 8 3 , 8 4 短絡線
- 8 5 , 8 6 先端
- 8 7 , 8 8 末端
- 9 1~9 8 はんだパッド

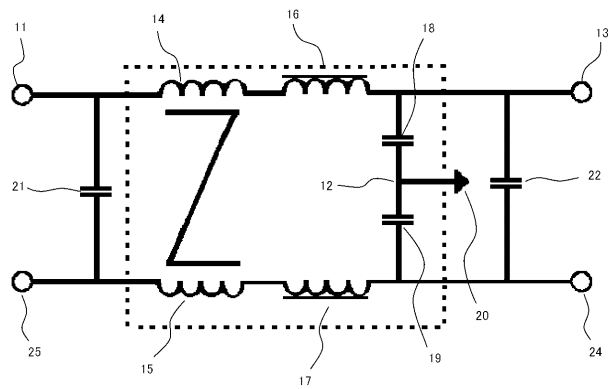
【 図 1 】

本例のEMIフィルタ内のインダクタ/キャパシタ集積部の具体的な構造を示す模式図



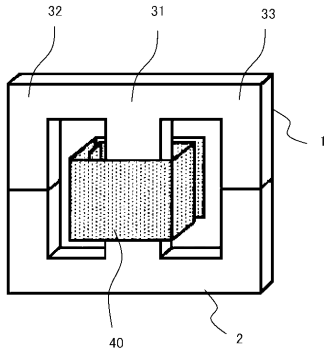
【 図 4 】

図1の集積構造により実現されるEMIフィルタの原理図(等価回路図)



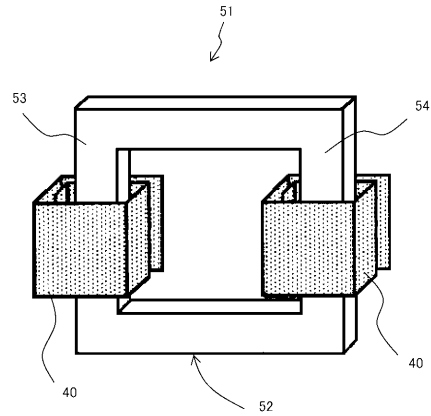
【 図 5 】

他の例(その1)のEMIフィルタ内のインダクタノキャパシタ集積部の構造例



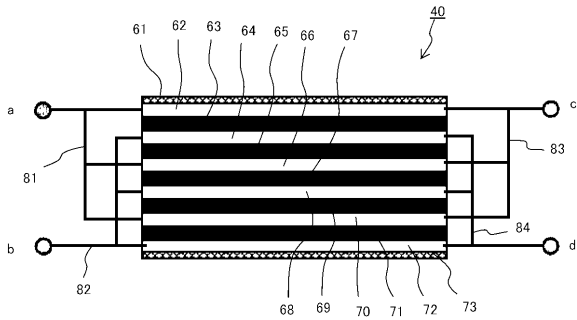
【 図 6 】

他の例(その2)のEMIフィルタ内のインダクタノキャパシタ集積部の構造例



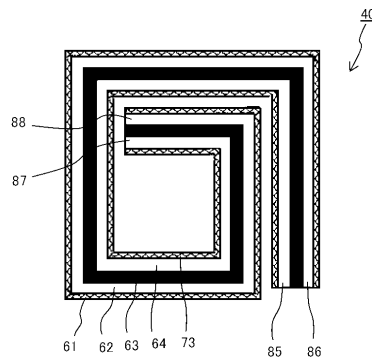
【 図 7 】

筒状の多層並列フレキシブル基板を構成するシートの断面を示す模式図



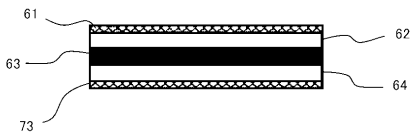
【 図 9 】

図8のシートを巻き回してなる筒状の多層並列フレキシブル基板を示す図



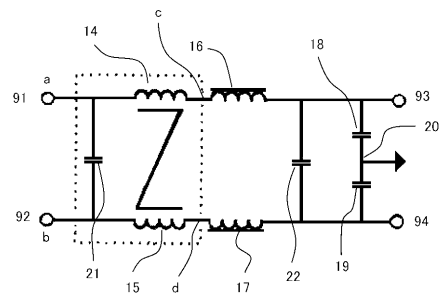
【 図 8 】

N=1である多層並列フレキシブル基板のシートの断面図



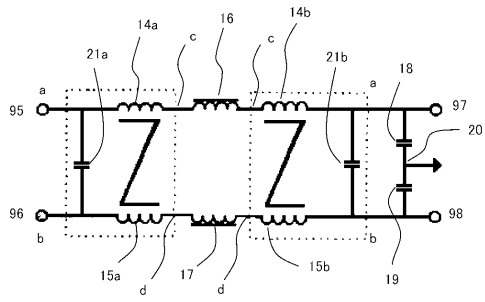
【 図 10 】

図5の集積構造により実現されるEMIフィルタの原理図(等価回路図)



【 図 1 1 】

図6の集積構造により実現されるEMIフィルタの原理図(等価回路図)



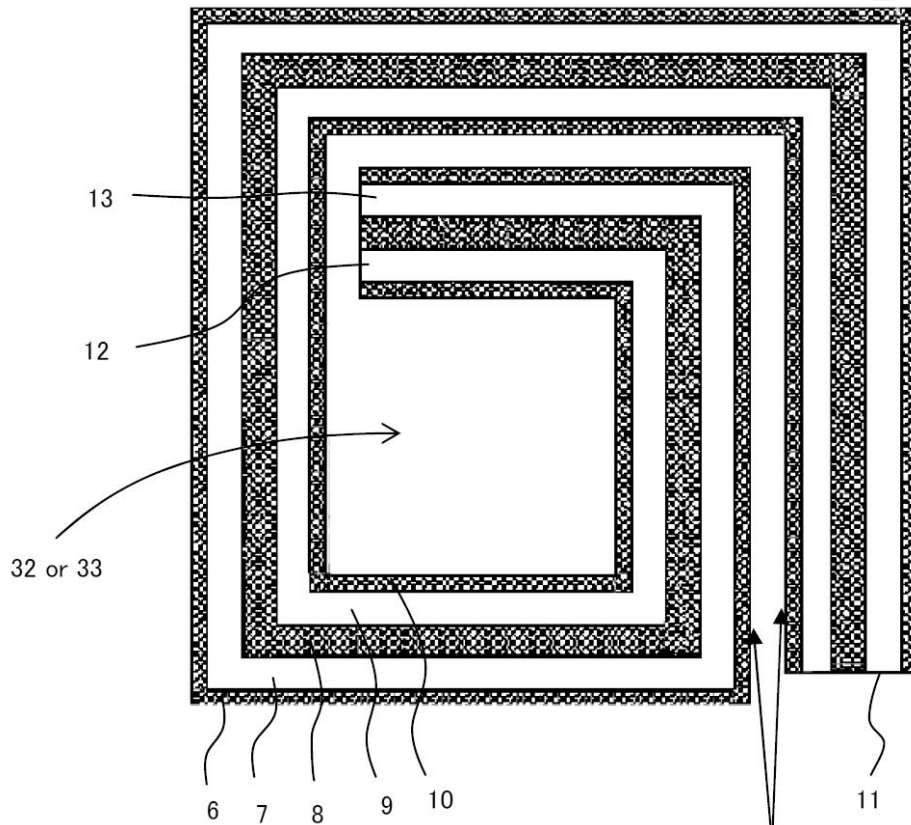
【 図 2 】

両面フレキシブル基板を構成するシート材の断面図



【図3A】

筒状両面フレキシブル基板の平面図(その1)

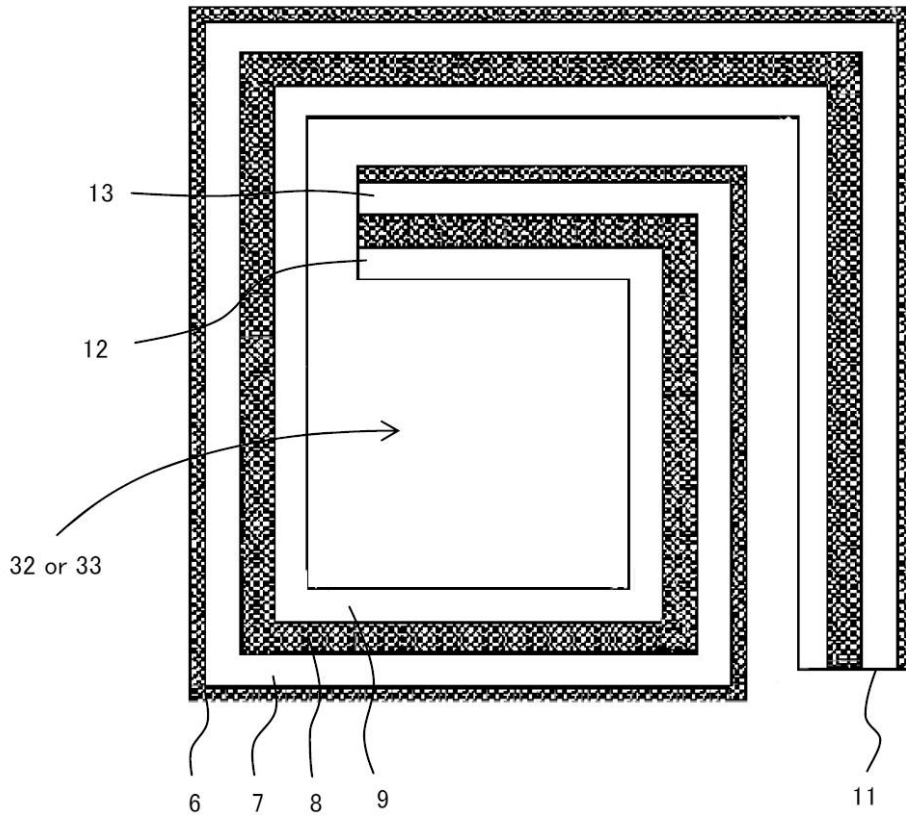


この面は両方に絶縁媒体層がある。一方だけあれば十分なので図3Bや図3Cのようにいずれか一方の面だけにしてもよい。

【図 3 B】

筒状両面フレキシブル基板の平面図(その2)

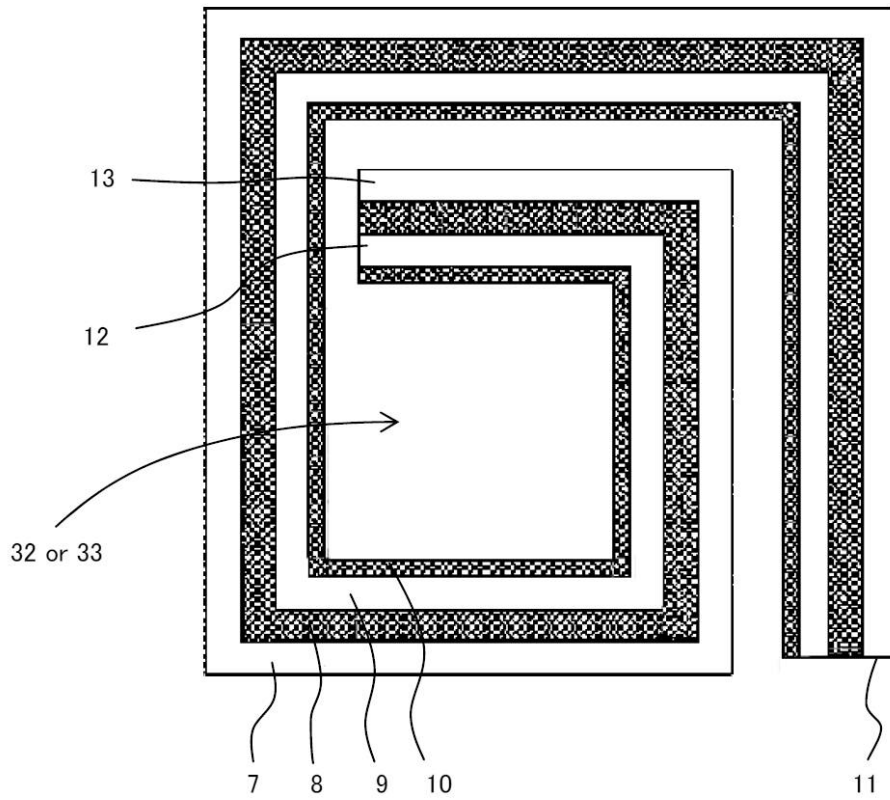
10の絶縁媒体層を取り去ったもの。



【図 3 C】

筒状両面フレキシブル基板の平面図(その3)

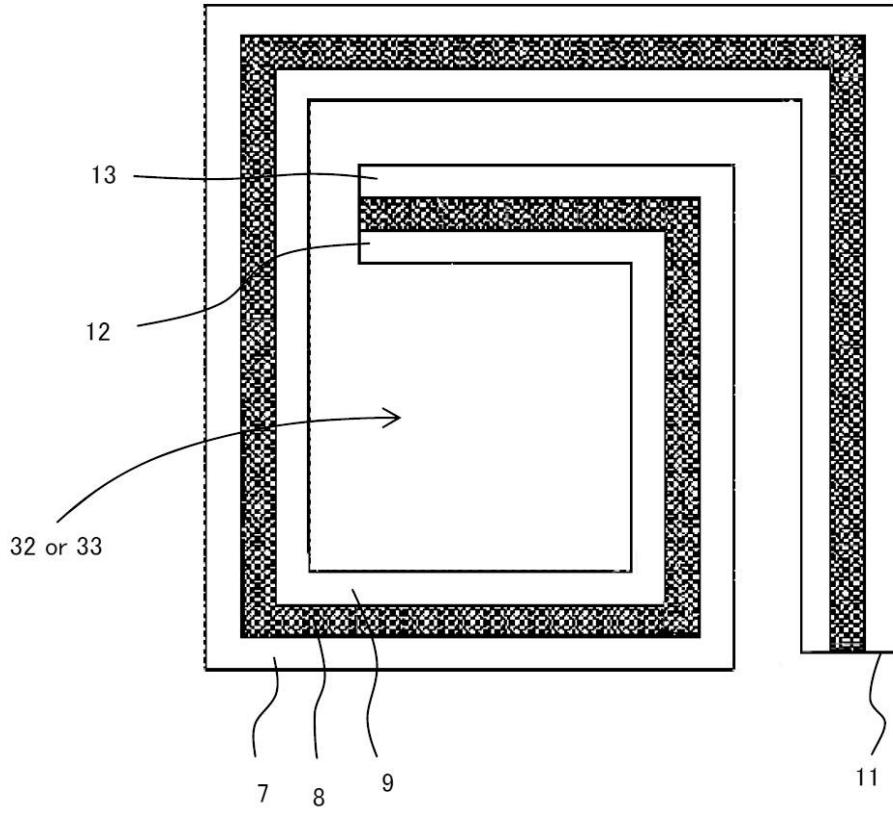
周囲の部品等に接触する可能性がなければ外側の絶縁媒体層はなくてもよい。絶縁が必要であれば、フレキシブル基板を巻回した後、最も外側に絶縁媒体を巻き付ければよい。



【図3D】

筒状両面フレキシブル基板の平面図(その4)

最も内側と最も外側の絶縁媒体層をなくしてもよい。
(図3Bと図3Cの組み合わせ)



フロントページの続き

(72)発明者 張艶軍

中華人民共和国浙江省杭州市浙大路38号 浙江大学内

(72)発明者 陳怡

中華人民共和国浙江省杭州市浙大路38号 浙江大学内

(72)発明者 大熊 康浩

東京都品川区大崎一丁目11番2号 富士電機システムズ株式会社内

(72)発明者 三野 和明

東京都日野市富士町1番地 富士電機アドバンステクノロジー株式会社内

Fターム(参考) 5E070 AA05 CB15

5E338 AA02 AA03 AA05 AA12 AA16 CC01 CD23 EE13