

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5425683号
(P5425683)

(45) 発行日 平成26年2月26日 (2014. 2. 26)

(24) 登録日 平成25年12月6日 (2013.12.6)

| | |
|-------------------------------|----------------|
| (51) Int. Cl. | F I |
| HO 1 F 17/04 (2006.01) | HO 1 F 17/04 A |
| HO 1 F 27/28 (2006.01) | HO 1 F 27/28 M |
| HO 3 H 7/09 (2006.01) | HO 3 H 7/09 A |

請求項の数 4 (全 14 頁)

| | | | |
|--------------|-------------------------------|-----------|---|
| (21) 出願番号 | 特願2010-73647 (P2010-73647) | (73) 特許権者 | 505072650 浙江大学 中華人民共和国浙江省杭州市浙大路38号 |
| (22) 出願日 | 平成22年3月26日 (2010. 3. 26) | (73) 特許権者 | 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号 |
| (65) 公開番号 | 特開2010-239135 (P2010-239135A) | (74) 代理人 | 100074099 弁理士 大菅 義之 |
| (43) 公開日 | 平成22年10月21日 (2010.10.21) | (72) 発明者 | 徐▲徳▼鴻 中華人民共和国浙江省杭州市浙大路38号 浙江大学内 |
| 審査請求日 | 平成24年9月3日 (2012. 9. 3) | (72) 発明者 | 温志偉 中華人民共和国浙江省杭州市浙大路38号 浙江大学内 |
| (31) 優先権主張番号 | 200910097051.X | | |
| (32) 優先日 | 平成21年3月30日 (2009. 3. 30) | | |
| (33) 優先権主張国 | 中国 (CN) | | |

最終頁に続く

(54) 【発明の名称】フレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタ

(57) 【特許請求の範囲】

【請求項 1】

フレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタにおいて、
EE コアまたは EI コアによって二つの側部柱状体とエアギャップが形成された一つの中央柱状体を含む閉磁気回路を構成し、

第 1 の巻線と第 2 の巻線は同じ巻き付け方向でそれぞれ二つの側部柱状体に巻きつけられており、

中央柱状体には第 3 の巻線と第 4 の巻線の二つの巻線が巻きつけられておると共に、該第 3 の巻線と第 4 の巻線の巻き付け方向は互いに逆であることを特徴とするフレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタ。

【請求項 2】

請求項 1 に記載のフレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタにおいて、

前記第 1 の巻線の末端における二つの端子がそれぞれ第 2 の巻線の始端における二つの端子に接続され、第 2 の巻線の末端における二つの端子がそれぞれ第 3 の巻線と第 4 の巻線の始端における各々一つの端子に接続されていることを特徴とするフレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタ。

【請求項 3】

請求項 1 に記載のフレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタにおいて、

前記第 1 の巻線および第 2 の巻線は共に $2N$ (N は正の整数である) 枚以上の銅箔を含む千鳥状並列配置型のフレキシブル多層帯材を巻きつけてなり、かつ奇数層の銅箔における始端を短絡接続させるとともに末端を短絡接続させ、偶数層の銅箔における始端を短絡接続させるとともに末端を短絡接続させることによって四つの接続端子を形成することを特徴とするフレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタ。

【請求項 4】

請求項 1 に記載のフレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタにおいて、

前記第 3 の巻線および第 4 の巻線は共に $2M$ (M は正の整数である) 枚以上の銅箔を含む千鳥状並列配置型のフレキシブル多層帯材を巻きつけてなり、かつ偶数層の銅箔における始端を短絡接続させるとともに末端を短絡接続させることによって二つの外部接続端子を形成し、奇数層の銅箔については、その一端を短絡接続・接地させることを特徴とするフレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子機器に関わり、とりわけフレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタに関わる。

【背景技術】

【0002】

現在、電気電子機器はモジュール化、小型化、高出力密度化が更に進む傾向にあり、電気電子機器における各々の素子のサイズを極力小型化することが求められているとともに、深刻な電磁干渉 (EMI, electromagnetic interference) に対処するため、EMI フィルタに対してより一層の高性能化が求められている。

20

【0003】

従来のディスクリット部品を用いた EMI フィルタでは、ディスクリット部品の点数が膨大で、空間の有効利用がなされておらず、サイズが大きいなどの問題点が存在しているほか、フィルタの性能が分布定数の影響を受けやすい。

【0004】

また、例えば非特許文献 1 に開示の従来技術が知られている。

30

【先行技術文献】

【非特許文献】

【0005】

【非特許文献 1】「An integrating structure of EMI filter based on interleaved flexible multi-layer (FML) foils」、Xiaofeng Wu等 ; Proceedings of the 23rd IEEE Applied Power Electronics Conference, Washington, DC, USA, Feb.15-19, pp.491-497(2009)

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の目的は、上記従来技術の課題を解決できるフレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタを提供することにある。

40

【課題を解決するための手段】

【0007】

上記目的を達成するため、本発明において下記の技術的手段を用いた。

フレキシブル多層帯材に基づく完全集積化電磁干渉 (EMI) フィルタにおいて、EE コアまたは EI コアによって二つの側部柱状体とエアギャップが形成された一つの中央柱状体を含む閉磁気回路を構成しており、第 1 の巻線と第 2 の巻線がそれぞれ二つの側部柱状体に巻きつけられており、両者の巻き付け方向が同じである。中央柱状体には第 3 の巻線と第 4 の巻線の二つの巻線が巻きつけられており、該第 3 の巻線と第 4 の巻線の

50

巻き付け方向は互いに逆である。

【0008】

上記第1の巻線の末端における二つの端子がそれぞれ第2の巻線の始端における二つの端子に接続され、第2の巻線の末端における二つの端子がそれぞれ第3の巻線と第4の巻線の始端における各々一つの端子に接続されている。

【0010】

さらに、前記第1の巻線と第2の巻線は共に $2N$ (N は正の整数である)枚以上の銅箔を含む千鳥状並列配置型のフレキシブル多層帯材を巻きつけてなり、かつ奇数層の銅箔における始端を短絡接続させるとともに末端を短絡接続させ、また偶数層の銅箔における始端を短絡接続させるとともに末端を短絡接続させることによって、四つの接続端子を形成する。

10

【0011】

前記第3の巻線と第4の巻線は共に $2M$ (M は正の整数である)枚の銅箔を含む千鳥状並列配置型のフレキシブル多層帯材を巻きつけてなり、かつ偶数層の銅箔における始端を短絡接続させるとともに末端を短絡接続させることによって二つの外部接続端子を形成し、全ての奇数層の銅箔については、その一端を短絡接続・接地させるが、他端は処理しない。

【発明の効果】

【0013】

本発明の有益な効果は、EMIフィルタにおける全ての受動素子を一つのコアに集積化することによってフィルタのディファレンシャルモードでの挿入損失を大幅に向上するとともに、EMIフィルタの小形化と分布定数によるフィルタの性能への影響を低減したことである。

20

【図面の簡単な説明】

【0014】

【図1】本発明に係わる実施例1の構成を示す概略図である。

【図2】図1に示す四つの巻線におけるフレキシブル多層帯材の構成と接続を示す概略図であって、(a)は第1の巻線を示し、(b)は第2の巻線を示し、(c)は第3の巻線と第4の巻線を示す。

【図3】実施例1における分布モデル構造と集積モデル構造を示す概略図であって、(a)は分布モデルを示し、(b)は集積モデルを示す。

30

【図4】本発明に係わる実施例2の構成を示す概略図である。

【図5】図4に示す第5の巻線におけるフレキシブル多層帯材の構成と接続を示す概略図である。

【図6】実施例2における分布モデル構造と集積モデル構造を示す概略図であって、(a)は分布モデルを示し、(b)は集積モデルを示す。

【発明を実施するための形態】

【0015】

以下、本発明の目的および効果をより明確にするために、図面と実施例を参照しつつ本発明をより詳細に説明する。

40

本発明のフレキシブル多層帯材に基づく完全集積化電磁干渉(EMI)フィルタにおいて、EEコアまたはEIコアによって二つの側部柱状体と一つの中央柱状体を含む閉磁気回路を構成し、中央柱状体にエアギャップが形成されている。フレキシブル多層帯材を巻きつけてなる巻線は、それぞれコアの二つの側部柱状体および中央柱状体に配置されている。

【0016】

二つの側部柱状体上における各巻線は、構造が同じであるとともに、巻き付け方向も同じであり、かつ共に $2N$ 枚以上の銅箔を含む千鳥状並列配置型のフレキシブル多層帯材を巻きつけてなる。フレキシブル多層帯材は、銅箔/フィルム材/銅箔/フィルム材/フィルム材/銅箔/絶縁テープを順次積層し接着することによって作製される。

50

【0017】

側部柱状体における各巻線では、そのフレキシブル多層帯材は $2N$ (N は正の整数である)枚以上の銅箔を含み、かつ奇数層の銅箔における始端を短絡接続させるとともに末端を短絡接続させ、偶数層の銅箔における始端を短絡接続させるとともに末端を短絡接続させることによって、巻線毎に四つの接続端子を形成する。

【0018】

中央柱状体に二つの巻線が形成されまたは一つの巻線のみが形成されている。中央柱状体に二つの巻線が巻きつけられた場合に、二つの巻線は構造が同じあるが巻き付け方向が逆であり、かつ共に $2M$ 枚以上の銅箔を含む千鳥状並列配置型のフレキシブル多層帯材を巻きつけてなる。フレキシブル多層帯材は、銅箔/フィルム材/銅箔/フィルム材 フィルム材/銅箔/絶縁テープを順次積層し接着することによって作製される。

10

【0019】

中央柱状体における二つの巻線では、そのフレキシブル多層帯材は $2M$ (M は正の整数である)枚以上の銅箔を含み、かつ各々の巻線において偶数層の銅箔における始端を短絡接続させるとともに末端を短絡接続させることによって二つの外部接続端子を形成し、奇数層の銅箔については、その一端を短絡接続・接地させるが、他端は処理しない。

【0020】

側部柱状体上の巻線のうち一方の巻線の始端における二つの端子を外部回路と接続させるとともに、末端における二つの端子を側部柱状体上の他方の巻線の始端における二つの端子と接続させる。さらに、当該他方の巻線の末端における二つの端子をそれぞれ中央柱状体上の二つの巻線の始端における各々一つの端子と接続させ、中央柱状体上の二つの巻線の末端における各々一つの端子を外部回路と接続させる。

20

【0021】

なお、上述した奇数層の銅箔または偶数層の銅箔は、それぞれすべての奇数層の銅箔またはすべての偶数層の銅箔に限定されるものではない。

中央柱状体に一つの巻線のみが巻きつけられた場合に、当該巻線は $3K$ 枚以上の銅箔を含む千鳥状並列配置型のフレキシブル多層帯材によって構成される。フレキシブル多層帯材は、銅箔/フィルム材/銅箔/フィルム材 フィルム材/銅箔/絶縁テープを順次積層し接着することによって作製される。

【0022】

30

中央柱状体に形成される一つの巻線では、そのフレキシブル多層帯材は $3K$ (K は正の整数、 n は0または正の整数であり、 $n < K$)枚以上の銅箔を含み、かつ第 $3n$ 層の銅箔における始端を短絡接続させるとともに末端を短絡接続させ、第 $(3n+1)$ 層の銅箔における始端を短絡接続させるとともに末端を短絡接続させることによって四つの外部接続端子を形成し、第 $(3n+2)$ 層の銅箔については、その一端を短絡接続・接地させるが、他端は処理しない。

【0023】

側部柱状体上の巻線のうち一方の巻線の始端における二つの端子を外部回路と接続させるとともに、末端における二つの端子を側部柱状体上の他方の巻線の始端における二つの端子と接続させる。さらに、当該他方の巻線の末端における二つの端子をそれぞれ中央柱状体の巻線の始端にある二つの端子と接続させ、中央柱状体の巻線における他の二つの端子を外部回路と接続させる。

40

【0024】

なお、上述した第 $3n$ 層の銅箔、第 $(3n+2)$ 層の銅箔または第 $(3n+1)$ 層の銅箔は、それぞれすべての第 $3n$ 層の銅箔、すべての第 $(3n+2)$ 層の銅箔またはすべての第 $(3n+1)$ 層の銅箔に限定されるものではない。

【0025】

本発明に係わるディファレンシャルモードのキャパシタとコモンモードのインダクタは、側部柱状体における巻線に集積されている。この巻線では、全ての隣接する銅箔が、これらの間に設けられた絶縁媒体層(本例ではフィルム材)を介して電界結合を形成して、

50

EMIフィルタにおけるディファレンシャルモードのキャパシタ（図3や図6等に示すキャパシタCx）を構成する。

【0026】

コモンモードの回路では、中央柱状体上の巻線で発生する磁束は省略してもよく、中央柱状体に流れる磁束が発生しない。一方、側部柱状体における巻線で発生する磁束は互いに増強するとともに互いに結合する。磁気回路における磁気抵抗が少ないため、極めて大きなコモンモードのインダクタンスが形成される。

【0027】

本発明におけるコモンモードのキャパシタおよびディファレンシャルモードのインダクタは、中央柱状体における巻線に集積されている。この巻線では、同じターンにおける全ての隣接する銅箔が、これらの上に設けられた絶縁媒体層（本例ではフィルム材）を介して電界結合を形成して、EMIフィルタにおけるコモンモードのキャパシタ（図3や図6等に示すキャパシタCy）を構成する。

10

【0028】

ディファレンシャルモードの回路では、側部柱状体上の巻線で発生する磁束は省略してもよいが、中央柱状体における巻線で発生する磁束は互いに増強する。その回路の抵抗が少ないため、極めて大きなディファレンシャルモードのインダクタンスが形成される。中央柱状体におけるエアギャップの長さや巻線のターン数を調整することによって極めて広い範囲でディファレンシャルモードのインダクタンスの値を調整することが可能である。

【0029】

20

本発明によれば、EMIフィルタにおける全ての受動素子を一つのコアに集積化することによってコンパクトな構成を実現するとともにスペースの利用率を向上させ、EMIフィルタのサイズを効果的に低減することができる。

【実施例1】

【0030】

以下、実施例1について図1～図3を参照して説明する。

図1に、実施例1によるEMIフィルタの構成例を示す。

図1に示すように、実施例1のフレキシブル多層帯材に基づく完全集積化電磁干渉（EMI）フィルタでは、EEコアまたはEIコア（6,7）によって閉磁気回路を構成しており、中央柱状体にはエアギャップが形成されている。

30

【0031】

側部柱状体上の二つの巻線（第1の巻線1、第2の巻線2）は、それぞれ、2N層（Nは正の整数；本例では図2（a）、（b）に示すように4層（N=2）の銅箔層）のフレキシブル多層帯材を巻きつけてなり、両者は巻き付け方向およびターン数が同じである。

【0032】

一方、中央柱状体上の二つの巻線（第3の巻線3、第4の巻線4）は、それぞれ、2M層（Mは正の整数；本例では図2（c）に示すように4層（M=2）の銅箔層）のフレキシブル多層帯材を巻きつけてなり、両者は巻き付け方向が逆であるがターン数は同じである。

【0033】

40

尚、既に述べたように、フレキシブル多層帯材は、銅箔/フィルム材/銅箔/フィルム材/フィルム材/銅箔/絶縁テープを順次積層し接着することによって作製されるものである。

【0034】

例えば図2（a）に示す第1の巻線1に係るフレキシブル多層帯材の例の場合、銅箔31/フィルム材/銅箔32/フィルム材/銅箔33/フィルム材/銅箔34/絶縁テープ49が順次積層されて成る。

【0035】

同様に、図2（b）に示す第2の巻線2に係るフレキシブル多層帯材の例の場合、銅箔35/フィルム材/銅箔36/フィルム材/銅箔37/フィルム材/銅箔38/絶縁テ

50

プ50が順次積層されて成る。

【0036】

図2(c)に示す第3の巻線3に係るフレキシブル多層帯材の例の場合、銅箔43/フィルム材/銅箔44/フィルム材/銅箔45/フィルム材/銅箔46/絶縁テープ48が順次積層されて成る。

【0037】

図2(c)に示す第4の巻線4に係るフレキシブル多層帯材の例の場合、銅箔42/フィルム材/銅箔41/フィルム材/銅箔40/フィルム材/銅箔39/絶縁テープ47が順次積層されて成る。

【0038】

尚、ここでは、上記各銅箔は、その符号の偶数/奇数を以って、上述した奇数層の銅箔、偶数層の銅箔に分類するものとする。よって、例えば銅箔33, 35, 39, 43等は上述した奇数層の銅箔に相当し、銅箔34, 36, 40, 44等は上述した偶数層の銅箔に相当することになる。

【0039】

また尚、図2等において、各フィルム材には特に符号を付していないが、各銅箔間に挟まれた部分(白で示す部分)がフィルム材である。

また、尚、本説明では、図2(a)~(c)に示す各銅箔の図上左端を上記始端、図上右端を上記末端とするものとする。

【0040】

図1と図2に示すように、第1の巻線1において、銅箔31, 33は始端が短絡接続されて端子11を形成し、末端が短絡接続されて端子13を形成する。銅箔32, 34は始端が短絡接続されて端子12を形成し、末端が短絡接続されて端子14を形成する。

【0041】

第2の巻線2において、銅箔35, 37は始端が短絡接続されて端子15を形成し、末端が短絡接続されて端子17を形成する。銅箔36, 38は始端が短絡接続されて端子16を形成し、末端が短絡接続されて端子18を形成する。

【0042】

第3の巻線3において、銅箔44, 46は始端が短絡接続されて端子20を形成し、末端が短絡接続されて端子22を形成する。銅箔43, 45は末端が短絡接続されて端子24を形成する。

【0043】

第4の巻線4において、銅箔40, 42は始端が短絡接続されて端子19を形成し、末端が短絡接続されて端子21を形成する。銅箔39, 41は末端が短絡接続されて端子23を形成する。

【0044】

端子13が端子15に接続され、端子14が端子16に接続される。端子17が端子19に接続され、端子18が端子20に接続される。中央柱状体に巻く第3、第4の巻線3, 4における他の二つの端子23と端子24が接地される。例えば、端子11と端子12が電源線LとNとに接続され、端子21と端子22が電気電子機器に接続される。

【0045】

接続後の完全集積化構造1の分布モデルと集積モデルはそれぞれ図3(a)と図3(b)に示す。尚、これら図3には、上記各端子の番号も示してあり、上述した端子間接続関係が明確に図示されている。

【0046】

図3(a)、(b)から明らかなように、側部柱状体に巻く第1の巻線1、第2の巻線2によって、それぞれ、ディファレンシャルモードのキャパシタ C_x とコモンモードのインダクタ L_{CM} が形成される。中央柱状体に巻く第3の巻線3及び第4の巻線4によって、コモンモードのキャパシタ C_y およびディファレンシャルモードのインダクタ L_{DM} が形成される。

10

20

30

40

50

【0047】

このように、実施例1のEMIフィルタでは、EMIフィルタにおける全ての受動素子を一つのコアに集積化することによってコンパクトな構成を実現するとともにスペースの利用率を向上させ、EMIフィルタのサイズを効果的に低減することができる。

【実施例2】

【0048】

以下、実施例2について図4～図6を参照して説明する。

図4に、実施例2によるEMIフィルタの構成例を示す。

尚、図4に示す第1の巻線1、第2の巻線2は、図1に示すものと略同様であってよく、同一符号を付してあり、その説明は簡略化する。

10

【0049】

図4に示すように、実施例2のフレキシブル多層帯材に基づく完全集積化電磁干渉（EMI）フィルタにおいて、EEコアまたはEIコア（6,7）によって閉磁気回路を構成しており、中央柱状体にはエアギャップが形成されている。側部柱状体上の二つの巻線（第1の巻線1、第2の巻線2）は、本例では4層のフレキシブル多層帯材を巻きつけてなり、両者は巻き付け方向およびターン数が同じである。

【0050】

一方、中央柱状体上の1つの巻線（第5の巻線5）は、3K層（K；正の整数）の銅箔層より成るフレキシブル多層帯材を中央柱状体に巻きつけたものであり、本例では図5に示すような6層（K=2）のフレキシブル多層帯材を巻きつけてなる。第5の巻線5の巻き付け方向は、第1の巻線1や第2の巻線2と同じである。

20

【0051】

図2、図4および図5に示すように、第1の巻線1において、銅箔31,33は、始端が短絡接続されて端子11を形成し、末端が短絡接続されて端子13を形成する。銅箔32,34は、始端が短絡接続されて端子12を形成し、末端が短絡接続されて端子14を形成する。第2の巻線2において、銅箔35,37は、始端が短絡接続されて端子15を形成し、末端が短絡接続されて端子17を形成する。銅箔36,38は、始端が短絡接続されて端子16を形成し、末端が短絡接続されて端子18を形成する。

【0052】

第5の巻線5に係るフレキシブル多層帯材の例の場合（上記の通り、本例では6層）、図5に示すように、銅箔51/フィルム材/銅箔52/フィルム材/銅箔53/フィルム材/銅箔54/フィルム材/銅箔55/フィルム材/銅箔56/絶縁テープ57が順次積層されて成る。

30

【0053】

そして、図5に示すように、第5の巻線5において、銅箔53,56は、始端が短絡接続されて端子26を形成し、末端が短絡接続されて端子28を形成する。銅箔51,54は、始端が短絡接続されて端子25を形成し、末端が短絡接続されて端子27を形成する。銅箔52,55は、末端が短絡接続されて端子29を形成する。

【0054】

そして、端子13が端子15に接続され、端子14が端子16に接続される。端子17が端子25に接続され、端子18が端子26に接続される。端子29が接地される。端子11と端子12が電源線LとNとに接続され、端子27と端子28が電気電子機器に接続される。接続後の完全集積化構造2の分布モデルと集積モデルはそれぞれ図6(a)と図6(b)に示す。

40

【0055】

図6(b)に示すように、集積モデルとしては上記実施例1の図3(b)に示すものと略同様であり、よって、ここでは特に説明しない。

このように、実施例2のEMIフィルタでは、EMIフィルタにおける全ての受動素子を一つのコアに集積化することによってコンパクトな構成を実現するとともにスペースの利用率を向上させ、EMIフィルタのサイズを効果的に低減することができる。

50

【 0 0 5 6 】

さらに、従来の構成（非特許文献 1）では漏れインダクタンスでディファレンシャルモードのインダクタを構成していたが、本発明では巻線 3 や巻線 4 または巻線 5 に電流が流れることによって生じる磁束でディファレンシャルモードのインダクタを構成することができるので、より大きなインダクタンスを得ることができる。よって、ディファレンシャルモードでの挿入損失を大幅に向上させることができる。

【 0 0 5 7 】

また、巻線 1 や巻線 2 では隣接する銅箔だけでなく、全ての銅箔間にキャパシタが生成され、分布定数回路を構成する。しかし、本発明では巻線 3 や巻線 4、または巻線 5 によって大きなディファレンシャルモードのインダクタンスを得ることができるので、巻線 1 や巻線 2 の各銅箔間に生じた分布定数（キャパシタンス）を通過するノイズをより効果的に抑制でき、低ノイズ化が図れる。

10

【 0 0 5 8 】

上記各実施例は、本発明を説明するためのものであり、本発明はこれらの実施例によって限定されない。本発明の主旨および特許請求の範囲における保護範囲内において、本発明に対する如何なる修正および変更も本発明の保護範囲に含まれる。

【 符号の説明 】

【 0 0 5 9 】

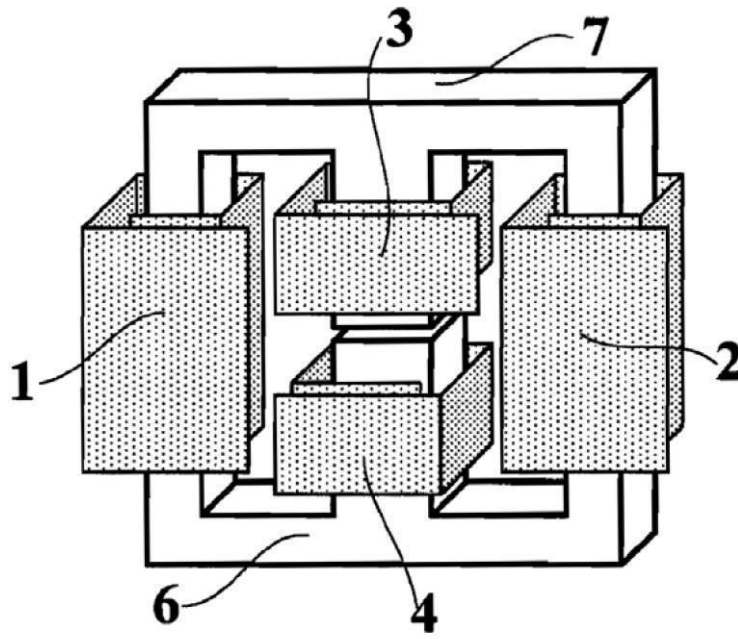
- 1 第 1 の巻線
- 2 第 2 の巻線
- 3 第 3 の巻線
- 4 第 4 の巻線
- 5 第 5 の巻線
- 6 , 7 E E コアまたは E I コア
- 1 1 , 1 2 , 1 3 , 1 4 (第 1 の巻線 1 の) 端子
- 1 5 , 1 6 , 1 7 , 1 8 (第 2 の巻線 2 の) 端子
- 1 9 , 2 1 , 2 3 (第 4 の巻線 4 の) 端子
- 2 0 , 2 2 , 2 4 (第 3 の巻線 3 の) 端子
- 2 5 , 2 6 , 2 7 , 2 8 , 2 9 (第 5 の巻線 5 の) 端子
- 3 1 , 3 2 , 3 3 , 3 4 (第 1 の巻線 1 の) 銅箔
- 3 5 , 3 6 , 3 7 , 3 8 (第 2 の巻線 2 の) 銅箔
- 3 9 , 4 0 , 4 1 , 4 2 (第 4 の巻線 4 の) 銅箔
- 4 3 , 4 4 , 4 5 , 4 6 (第 3 の巻線 3 の) 銅箔
- 4 7 , 4 8 , 4 9 , 5 0 , 5 7 絶縁テープ
- 5 1 , 5 2 , 5 3 , 5 4 , 5 5 , 5 6 (第 5 の巻線 5 の) 銅箔

20

30

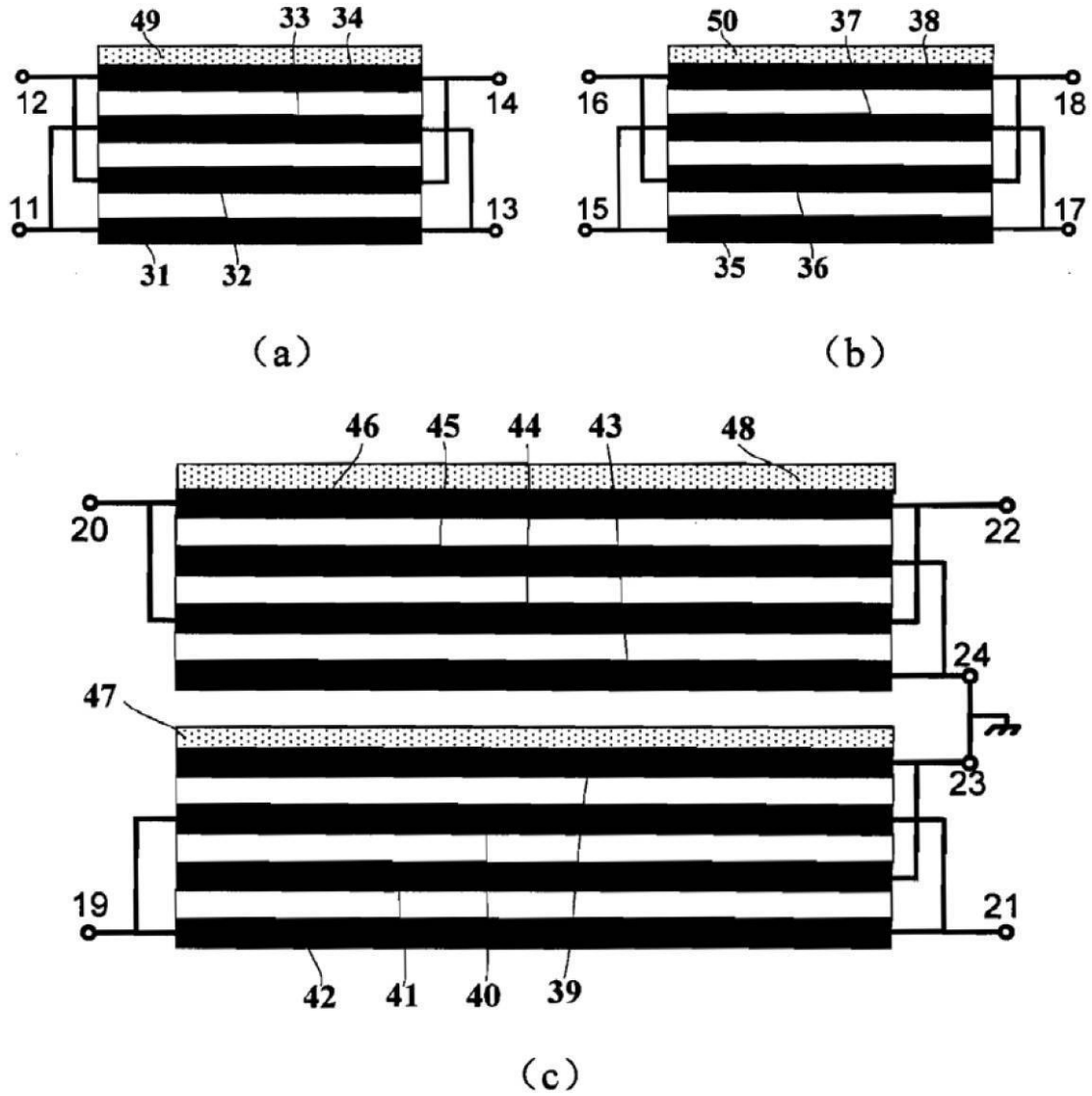
【図1】

本発明に係わる実施例1の構成を示す概略図



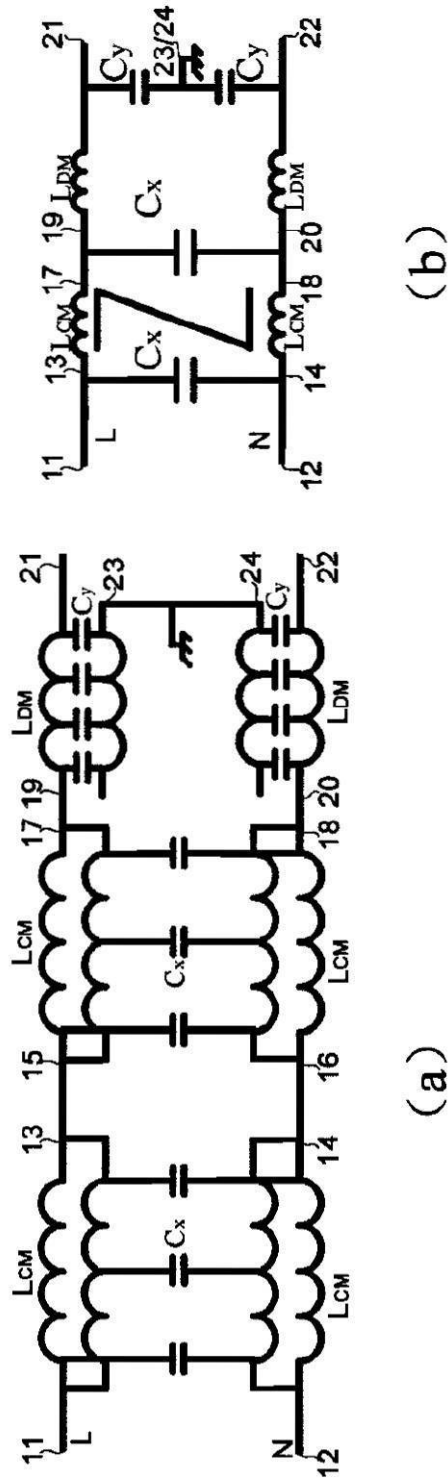
【図2】

図1に示す四つの巻線におけるフレキシブル多層帯材の構成と接続を示す概略図であって、(a)は第1の巻線を示し、(b)は第2の巻線を示し、(c)は第3の巻線と第4の巻線を示す



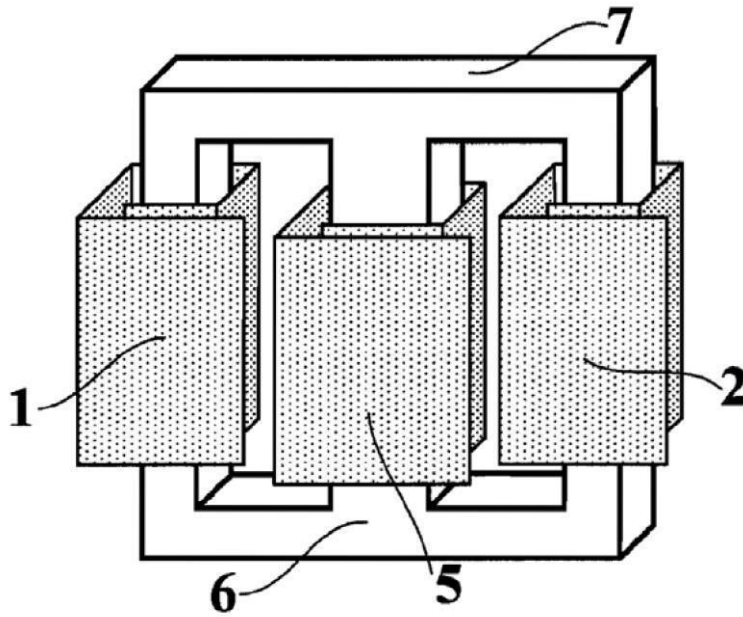
【図3】

実施例1における分布モデル構造と集積モデル構造を示す概略図であって、
 (a)は分布モデルを示し、(b)は集積モデルを示す



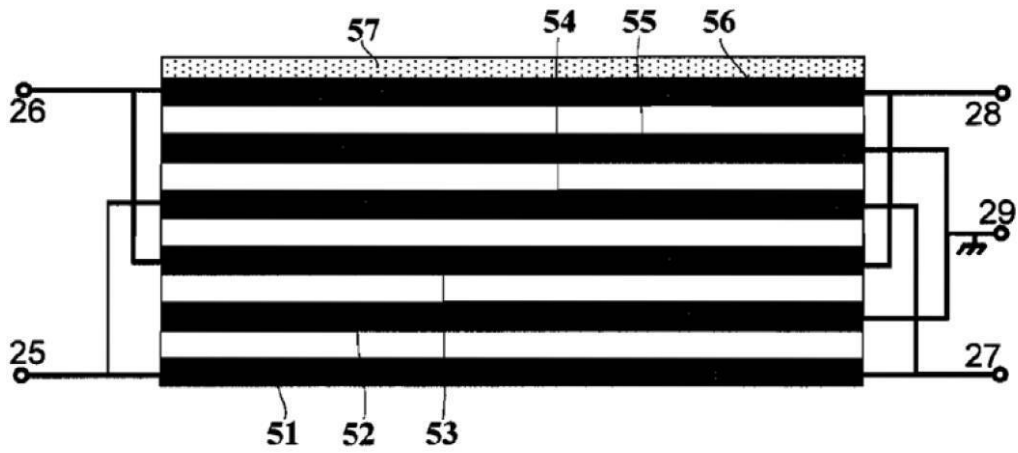
【図4】

本発明に係わる実施例2の構成を示す概略図



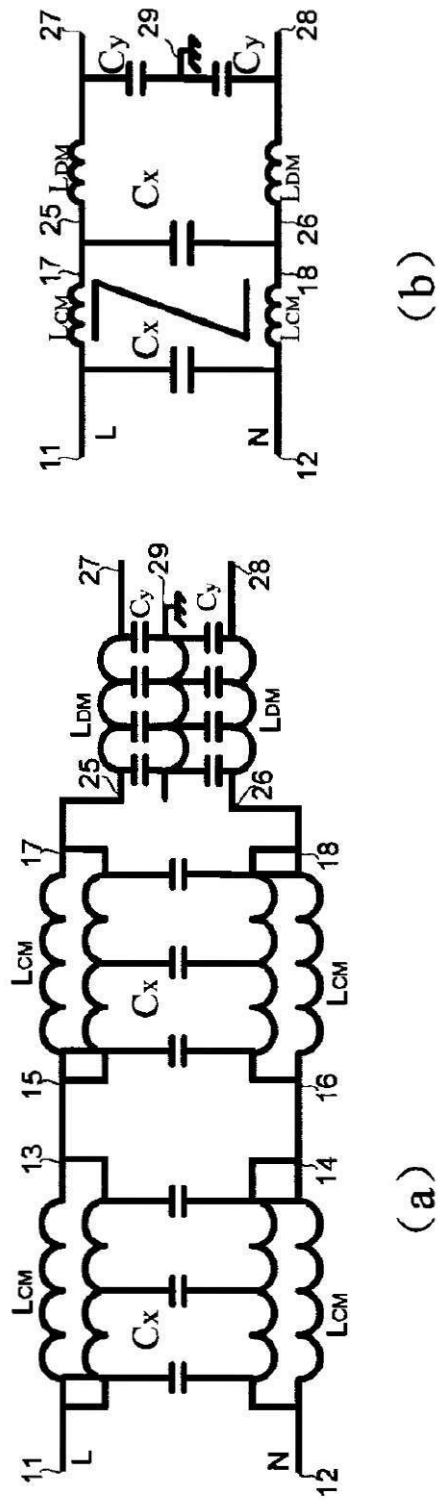
【図5】

図4に示す第5の巻線におけるフレキシブル多層帯材の構成と接続を示す概略図



【図6】

実施例2における分布モデル構造と集積モデル構造を示す概略図であって、
(a)は分布モデルを示し、(b)は集積モデルを示す



フロントページの続き

- (72)発明者 伍曉峰
中華人民共和国浙江省杭州市浙大路38号 浙江大学内
- (72)発明者 大熊 康浩
神奈川県川崎市川崎区田辺新田1番1号 富士電機ホールディングス株式会社内
- (72)発明者 三野 和明
神奈川県川崎市川崎区田辺新田1番1号 富士電機ホールディングス株式会社内

審査官 高橋 克

- (56)参考文献 特開平02-132806(JP,A)
特開平02-091905(JP,A)
実開平05-041121(JP,U)
中国特許出願公開第101226820(CN,A)
中国特許出願公開第101206947(CN,A)
特開2009-059995(JP,A)
特開2007-311755(JP,A)
特開2002-057046(JP,A)
特開2009-117807(JP,A)
Xiaofeng Wu, Zhiwei Wen, Dehong Xu, Yasuhiro Okuma, Kazuaki Mino, "An integrating structure of EMI filter based on interleaved flexible multi-layer (FML) foils", Proceedings of Applied Power Electronics Conference and Exposition, 2009, 2009年 2月19日, pp.491-497

(58)調査した分野(Int.Cl., DB名)

H01F 17/04
H01F 27/28
H03H 7/09