

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5275462号
(P5275462)

(45) 発行日 平成25年8月28日 (2013.8.28)

(24) 登録日 平成25年5月24日 (2013.5.24)

(51) Int. Cl.	F I
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 J
HO 1 L 27/088 (2006.01)	HO 1 L 27/04 G
HO 1 L 21/822 (2006.01)	HO 3 F 1/30 Z
HO 1 L 27/04 (2006.01)	HO 3 F 3/347
HO 3 F 1/30 (2006.01)	

請求項の数 2 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2011-517743 (P2011-517743)	(73) 特許権者	505072650
(86) (22) 出願日	平成21年9月4日 (2009.9.4)		浙江大学
(65) 公表番号	特表2011-528170 (P2011-528170A)		中華人民共和国浙江省杭州市浙大路38号
(43) 公表日	平成23年11月10日 (2011.11.10)	(74) 代理人	100069981
(86) 国際出願番号	PCT/CN2009/073744		弁理士 吉田 精孝
(87) 国際公開番号	W02010/111857	(74) 代理人	100087860
(87) 国際公開日	平成22年10月7日 (2010.10.7)		弁理士 長内 行雄
審査請求日	平成23年1月14日 (2011.1.14)	(72) 発明者	▲羅▼ 豪
(31) 優先権主張番号	200910301327.1		中国浙江省浙江大学玉泉校区1269信箱
(32) 優先日	平成21年4月3日 (2009.4.3)	(72) 発明者	▲韓▼ 雁
(33) 優先権主張国	中国 (CN)		中国浙江省浙江大学玉泉校区1269信箱
		審査官	宇多川 勉

最終頁に続く

(54) 【発明の名称】 サブスレッショルド集積回路におけるプロセスばらつき防止方法を実現するボディ電位変調回路及びプロセスばらつきを防止するC型インバータ

(57) 【特許請求の範囲】

【請求項1】

サブスレッショルド集積回路におけるプロセスばらつき防止方法を実現するボディ電位変調回路であって、

前記プロセスばらつき防止方法の作用対象としての、ボディ端が個別に引き出された目標MOSデバイスと、

前記目標MOSデバイスの異なるプロセス・コーナーでのパラメータの変化動向を誘導するための、前記目標MOSデバイスとタイプが同じでレイアウトが合っており且つ動作状態が同じであり、さらにそのボディ端がそのソース端に結合された誘導MOSデバイスと、

前記誘導MOSデバイスから出力された誘導電流を誘導電圧に変換するとともに、この誘導電圧を前記目標MOSデバイスのボディ端にフィードバックして、前記目標MOSデバイスのボディ電位変調を実現するための電流 - 電圧変換回路とを備え、

該当ボディ電位変調回路がPMOSボディ電位変調回路とNMOSボディ電位変調回路との二種類に分けられているボディ電位変調回路において、

前記PMOSボディ電位変調回路は、サブスレッショルド状態でのPMOSデバイスのプロセスばらつきを防止することを実現するためのものであって、前記PMOSボディ電位変調回路の目標MOSデバイスである第1のPMOSデバイス(M1)と、PMOSボディ電位変調回路の誘導MOSデバイスである第2のPMOSデバイス(M2)と、PMOSボディ電位変調回路における電流 - 電圧変換回路の機能を実現する第1の抵抗(R1)とを備え、

前記第2のPMOSデバイス(M2)のゲート端は第1のバイアス電圧 V_{GP} に結合され、ゲート・ソース電圧($V_{GP} - V_{DDH}$)は前記第2のPMOSデバイス(M2)を前記第1のPMOSデバイス(M1)と同じ動作状態で作動させるように設定され、

前記第2のPMOSデバイス(M2)のソース端はそのボディ端に接続され、そのドレイン端は前記第1の抵抗(R1)の一端と前記第1のPMOSデバイス(M1)のボディ端とにそれぞれ接続され、第1の抵抗(R1)の他端は同相電圧と接続され、

前記NMOSボディ電位変調回路は、サブスレッショルド状態でのNMOSデバイスのプロセスばらつきを防止することを実現するためのものであって、前記NMOSボディ電位変調回路の目標MOSデバイスである第1のNMOSデバイス(M3)と、NMOSボディ電位変調回路の誘導MOSデバイスである第2のNMOSデバイス(M4)と、NMOSボディ電位変調回路における電流・電圧変換回路の機能を実現する第2の抵抗(R2)とを備え、

前記第2のNMOSデバイス(M4)のゲート端は第2のバイアス電圧 V_{GN} に結合され、ゲート・ソース電圧($V_{GN} - V_{GNDL}$)は前記第2のNMOSデバイス(M4)を前記第1のNMOSデバイス(M3)と同じ動作状態で作動させるように設定され、

前記第2のNMOSデバイス(M4)のソース端はそのボディ端に接続され、そのドレイン端は前記第2の抵抗(R2)の一端と前記第1のNMOSデバイス(M3)のボディ端とにそれぞれ接続され、第2の抵抗(R2)の他端は同相電圧と接続される

ことを特徴とするサブスレッショルド集積回路におけるプロセスばらつき防止方法を実現するボディ電位変調回路。

【請求項2】

演算増幅機能を実現するためのC型インバータ(51)を備え、当該C型インバータはプロセスばらつきを防止するものであり、PMOS入力デバイス及びNMOS入力デバイスを備え、前記PMOS入力デバイス及びNMOS入力デバイスのボディ端は個別に引き出されていて、ボディ電位は調節可能であり、前記PMOS入力デバイスのゲート端は前記NMOS入力デバイスのゲート端に結合され、前記PMOS入力デバイスのドレイン端は前記NMOS入力デバイスのドレイン端に結合され、

請求項1に記載のPMOSボディ電位変調回路(52)とNMOSボディ電位変調回路(53)をさらに備え、

前記C型インバータ(51)における前記PMOS入力デバイス及びNMOS入力デバイスは、それぞれ、前記PMOSボディ電位変調回路(52)とNMOSボディ電位変調回路(53)とにおける、目標MOSデバイスとしての第1のPMOSデバイス(M1)と第1のNMOSデバイス(M3)である

ことを特徴とするプロセスばらつきを防止するC型インバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はサブスレッショルド集積回路におけるプロセスばらつき防止方法及びその方法を実現する回路に関するものであり、集積回路技術分野に属する。

【背景技術】

【0002】

携帯機器の低消費電力の差し迫った要求と、大型のシステムの省エネルギー化の需要とを満足するために、低電圧、低消費電力は将来のCMOS集積回路(IC)の主な発展方向になる。ところが、MOSデバイスの漏れ電流の影響を考慮すると、その閾値電圧は電源電圧に比例して下がる可能性がない。従って、低電圧、低消費電力のアナログ集積回路の設計は大きな挑戦であり、その中で、オペアンプの設計は低圧アナログ回路にとって一番困難である。サブスレッショルド技術は動作電圧の低減化の課題を解決するための有効な手段である。サブスレッショルド回路において、一部分のMOSデバイスは、サブスレッショルド状態で動作しているので、低電圧の動作環境によく適用されている。この理由

から、サブスレッショルド技術はアナログ集積回路の分野で広く用いられてきた。

【 0 0 0 3 】

近年では、従来のオペアンプの代わりに、インバータを利用して、低電圧、高性能のスイッチトキャパシタ回路を実現する研究が衆人の注目を集め、その中に、インバータがC型インバータと似ている動作方式を利用し、その入力デバイスが通常にサブスレッショルド状態で動作しているため、システムの消費電力が最大限に低減されている。このようなインバータは、C型インバータ(Class-C Inverter)と呼ばれている。今、C型インバータに基づきスイッチトキャパシタ積分器と変調器などが開示されたことがある(例えば、非特許文献1参照)。

【 0 0 0 4 】

しかし、MOSデバイスがサブスレッショルド状態で動作する場合には、通常のオン状態で動作する場合と比べて、そのトランスコンダクタンスと出力電流などの指標は、異なるプロセス・コーナーによって、より大きい影響を受けている。従って、プロセスばらつきは、サブスレッショルド集積回路の性能を低下させ、ひいてはその機能を失わせる可能性があって、C型インバータを含むサブスレッショルド集積回路の性能の安定性と、一致性と、良品率とを大幅に低下させ、最終的にはその実用性に影響を及ぼす恐れがある。

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

本発明が解決しようとする技術課題は、従来技術におけるサブスレッショルド状態でのMOSデバイスがプロセスばらつきによって大きい影響を受けることにより、サブスレッショルド集積回路の性能が低下し、ひいてはその機能がなくなるという欠点を克服するように、サブスレッショルド集積回路におけるプロセスばらつき防止方法を提供することである。

【 0 0 0 6 】

本発明が解決しようとする他の技術課題は、上記プロセスばらつき防止方法を実現するためのボディ電位変調回路を提供することである。

【 0 0 0 7 】

本発明が解決しようとする別の技術課題は、従来技術によるC型インバータの、プロセスばらつきを防止する能力が弱い、安定性と実用性が悪いという欠点を克服するように、上記ボディ電位変調回路をC型インバータに用いる方法、及びその運用効果のデータを提供し、プロセスばらつきを防止するC型インバータを実現することである。

【課題を解決するための手段】

【 0 0 0 8 】

本発明のプロセスばらつき防止方法は、
 目標MOSデバイスの異なるプロセス・コーナーでのパラメータの変化動向を誘導MOSデバイスにより誘導し、ドレイン・ソース誘導電流の形式で出力するステップと、
 電流-電圧変換回路により誘導MOSデバイスから出力された誘導電流信号を電圧信号に変換し、誘導電流の変化特徴を該当電圧信号にリアルタイムで反映するステップと、
 電流-電圧変換回路から出力された電圧信号を目標MOSデバイスのボディ端にフィードバックし、誘導フィードバックループを形成することにより、ボディ電位変調をして、プロセスばらつきによる目標デバイスの性能パラメータへの影響を低減するステップとを備えて構成されている。

【 0 0 0 9 】

本発明のボディ電位変調回路は、
 前記プロセスばらつき防止方法を実現するための回路であって、
 前記プロセスばらつき防止方法の作用対象としての目標MOSデバイスと、
 目標MOSデバイスの異なるプロセス・コーナーでのパラメータの変化動向を誘導するための誘導MOSデバイスと、
 誘導MOSデバイスから出力された誘導電流を誘導電圧に変換するとともに、その誘導

10

20

30

40

50

電圧を目標MOSデバイスのボディ端にフィードバックして、目標MOSデバイスのボディ電位変調を実現するための電流 - 電圧変換回路とを備え、

PMOSボディ電位変調回路とNMOSボディ電位変調回路との二種類に分けられている。

【0010】

PMOSボディ電位変調回路は、サブスレッショルド状態でのPMOSデバイスのプロセスばらつきを防止することを実現するためのものであって、PMOSボディ電位変調回路の目標MOSデバイスである第1のPMOSデバイスM1と、PMOSボディ電位変調回路の誘導MOSデバイスである第2のPMOSデバイスM2と、PMOSボディ電位変調回路における電流 - 電圧変換回路の機能を実現する第1の抵抗R1とを備え、

10

第2のPMOSデバイスM2のソース端はそのボディ端に接続され、そのドレイン端は第1の抵抗R1の一端と第1のPMOSデバイスM1のボディ端とにそれぞれ接続され、第1の抵抗R1の他端は同相電圧と接続される。

【0011】

NMOSボディ電位変調回路は、サブスレッショルド状態でのNMOSデバイスのプロセスばらつきを防止することを実現するためのものであって、NMOSボディ電位変調回路の目標MOSデバイスである第1のNMOSデバイスM3と、NMOSボディ電位変調回路の誘導MOSデバイスである第2のNMOSデバイスM4と、NMOSボディ電位変調回路における電流 - 電圧変換回路である第2の抵抗R2とを備え、

20

第2のNMOSデバイスM4のソース端はそのボディ端に接続され、そのドレイン端は第2の抵抗R2の一端と第1のNMOSデバイスM3のボディ端とにそれぞれ接続され、第2の抵抗R2の他端は同相電圧と接続される。

【0012】

本発明のボディ電位変調回路をC型インバータに用いることにより、プロセスばらつきを防止するC型インバータを実現でき、該当C型インバータにおいては、演算増幅機能を実現するための従来技術のC型インバータの上に、本願のプロセスばらつきを防止するためのPMOSボディ電位変調回路とNMOSボディ電位変調回路が追加され、従来技術のC型インバータ(51)におけるPMOS、NMOS入力デバイスは、それぞれ、前記PMOSボディ電位変調回路(52)とNMOSボディ電位変調回路(53)とにおける、目標MOSデバイスとしての第1のPMOSデバイス(M1)と第1のNMOSデバイス(M3)である。

30

【発明の効果】

【0013】

本発明は下記の利点と積極的な効果がある。本発明に記載のプロセスばらつき防止方法は、誘導フィードバックループのボディ電位変調により、目標MOSデバイスの電気パラメータをリアルタイムで変調することができ、サブスレッショルド状態で目標MOSデバイスのプロセスばらつきに対する感度を低減することができる。本発明に記載のボディ電位変調回路は、少ない回路素子によって誘導フィードバックループの全体を実現し、このボディ電位変調回路を導入することにより、回路の複雑性と消費電力が明らかに増すことなく、C型インバータを含むサブスレッショルド集積回路の性能の安定性、一致性及び良品率を効果的に向上させることができるため、高い実用性がある。

40

【0014】

本発明の特徴と性能については、以下の実施例及び図面により詳しく説明する。

【図面の簡単な説明】

【0015】

【図1】本発明のプロセスばらつき防止方法を実施するフローチャートである。

【図2】本発明のPMOSボディ電位変調回路の回路構成図である。

【図3】本発明のNMOSボディ電位変調回路の回路構成図である。

【図4】従来技術のC型インバータの回路構成図である。

【図5】本発明のプロセスばらつきを防止するC型インバータの回路構成図である。

50

【発明を実施するための形態】

【0016】

本発明に提案されたサブスレッショルド集積回路におけるプロセスばらつき防止方法を実施する場合には、目標MOSデバイスと、誘導MOSデバイスと、電流 - 電圧変換回路などが使われている。その中に、

目標MOSデバイスは、プロセスばらつき防止方法の作用対象である。目標MOSデバイスのボディ端を個別に引き出す必要がある。現在、よく使用されているトリプルウェルプロセスにおいては、PMOSデバイスとNMOSデバイスが全てボディ端の個別引き出しを実現することができる。

【0017】

誘導MOSデバイスは、目標MOSデバイスの異なるプロセス・コーナーでのパラメータの変化動向を誘導するものである。誘導MOSデバイスと目標MOSデバイスは、類型が同じで、レイアウトが合って、且つ動作状態が同じである。従って、誘導MOSデバイスと目標MOSデバイスは、プロセスばらつきの程度がいつでもほとんど同じ、即ち、両方のトランスコンダクタンスと出力電流の変化動向が同じである。言い換えると、誘導MOSデバイスは目標MOSデバイスの異なるプロセス・コーナーでのトランスコンダクタンスと出力電流などのパラメータ変化を誘導することができる。

【0018】

電流 - 電圧変換回路は、誘導電流（誘導MOSデバイスの出力電流）を誘導電圧に変換するとともに、その誘導電圧を目標MOSデバイスのボディ端にフィードバックして、目標MOSデバイスのボディ電位変調を実現するためのものである。

【0019】

本発明のプロセスばらつき防止方法のキーポイントはボディ電位変調であって、MOSデバイスの閾値電圧とボディ電位との間には、下記のような関係がある。

【0020】

【数1】

$$V_T = V_{T0} + \gamma(\sqrt{2|\phi_F| + v_{SB}} - \sqrt{2|\phi_F|})$$

ただし、 v_{SB} はMOSデバイスのソース - ボディ電圧、 V_{T0} は $v_{SB} = 0$ の時の閾値電圧、 γ はパイアス係数、 ϕ_F はFermiポテンシャルである。上記数式から、ボディ電位変調（ v_{SB} を調整すること）によって、MOSデバイスの閾値電圧を変えることができ、MOSデバイスのトランスコンダクタンスと出力電流を間接的に変えることができる。

【0021】

本発明のプロセスばらつき防止方法を実施するフローチャートは、図1に示すように、目標MOSデバイス11と、誘導MOSデバイス12と、電流 - 電圧変換回路13などを備えている。目標MOSデバイス11のプロセスばらつきなどによるパラメータの変動が、誘導MOSデバイス12上にリアルタイムで誘導され、誘導MOSデバイス12の誘導出力電流が電流 - 電圧変換回路13を介して目標MOSデバイス11のボディ端にフィードバックされることにより、誘導フィードバックループを実現し、ボディ電位変調により、目標MOSデバイス11のプロセスばらつきに対しての感度を効果的に低減している。

【0022】

PMOSデバイスを例として、本発明のプロセスばらつき防止方法において、誘導フィードバックループがどうやってプロセスばらつきによる目標MOSデバイスへの悪影響を低減するかについて説明する。

【0023】

仮に初期時点では、プロセスばらつきにより、目標PMOSデバイス11のトランスコンダクタンスと出力電流 I_{OUT1} が低減されれば、それにつれて、誘導MOSデバイス12は、目標PMOSデバイス11の異なるプロセス・コーナーでのパラメータ変化を誘導で

10

20

30

40

50

きるの、その誘導出力電流 I_{OUT2} が低減される。誘導出力電流 I_{OUT2} を電圧信号 V_B に変換するとともに、 V_B の変化動向が I_{OUT2} と一致するように電流 - 電圧変換回路 13 を設計することにより、 V_B が I_{OUT2} の低減に連れて低減されている。電圧信号 V_B は、最終的に目標 PMOS デバイス 11 のボディ端に届くとともに、ボディ電位変調によって目標 PMOS デバイス 11 の閾値電圧の絶対値を低減させ、トランスコンダクタンスと出力電流を増大させて、誘導フィードバックループ全体は負帰還を形成しており、プロセスばらつきによる PMOS デバイス 11 への影響が効果的に低減されている。

【0024】

負帰還を形成する過程は NMOS デバイスについても同様である。

【0025】

本発明のプロセスばらつき防止方法については、下記の点について説明する必要がある。

【0026】

(1) 目標 MOS デバイスと誘導 MOS デバイスのボディ端の接続方法について説明する。目標 MOS デバイスのボディ端を個別に引き出し、ボディ電位を調節可能とする必要がある。また、誘導 MOS デバイスはプロセスばらつきによる影響を実際どおりに反映する必要があるの、そのボディ端は、誘導 NMOS デバイスのボディ端がローレベルに接続され、誘導 PMOS デバイスのボディ端がハイレベルに接続されるように、通常の接続方法で接続されている。

【0027】

(2) 誘導 MOS デバイスは目標 MOS デバイスの各パラメータの変化動向のみを誘導する必要があるの、誘導 MOS デバイスのサイズは目標 MOS デバイスと完全に一致する必要がない。実際にチップの面積と、消費電力とマッチング精度とのバランスを考慮すると、両方のチャンネルの長さを一致させ、チャンネルの幅を適宜な比率（例えば、 $1/8$ から $1/20$ までの間）とすることが好ましい。

【0028】

(3) MOS デバイスは、サブスレッショルド状態における場合、プロセスばらつきに対して極めて敏感であるの、本発明のプロセスばらつき防止方法は、通常、サブスレッショルド集積回路において用いられている。

【0029】

図 2 と図 3 はそれぞれ、本発明の PMOS ボディ電位変調回路と NMOS ボディ電位変調回路を示している。

【0030】

PMOS ボディ電位変調回路は、サブスレッショルド状態での PMOS デバイスのプロセスばらつきを防止することを実現するためのものである。それは目標 PMOS デバイス M1 と、誘導 PMOS デバイス M2 と、抵抗 R1 からなる。仮に目標 PMOS デバイス M1 がサブスレッショルド状態となり、そのゲート端、ドレイン端、ソース端の電位がそれぞれ自己の位置する回路によって供給されれば、誘導 PMOS デバイス M2 を同様にサブスレッショルド状態で動作させるようにそのゲート - ソース電圧 ($V_{GP} - V_{DDH}$) を設定することにより、M2 は M1 の異なるプロセス・コーナーでのトランスコンダクタンスと出力電流などのパラメータの変化動向を誘導することができる。抵抗 R1 が誘導電流信号 (M2 の出力電流) を電圧信号 V_{BP} に変換して M1 のボディ端にフィードバックすることにより、誘導フィードバックループを形成し、ボディ電位変調を行っている。M2 のソース端の電位 V_{DDH} は、M1 のボディ電位変調範囲 (V_{BP} の値の範囲) の上限を決定しており、実際の運用に応じて設定されることができ、同相電圧 V_{CM} は、M1 のボディ電位変調範囲の下限を決定している。本発明に記載のプロセスばらつき防止方法によれば、M1 のトランスコンダクタンスと出力電流が、電圧信号 V_{BP} の M1 のボディ端での変調作用 (即ち、M1 のソース - ボディ電圧を調節すること) によって、異なるプロセス・コーナーで一致されている。

【0031】

10

20

30

40

50

NMOS ボディ電位変調回路は、サブスレッショルド状態でのNMOSデバイスのプロセスばらつきを防止することを実現するためのものである。それは、目標NMOSデバイスM3と、誘導NMOSデバイスM4と、抵抗R2とからなる。抵抗R2が誘導電流信号を電圧信号 V_{BN} に変換してM3のボディ端にフィードバックすることにより、ボディ電位変調を行っている。類似的には、誘導NMOSデバイスM4の動作状態が目標NMOSデバイスM3と同じである（両方ともサブスレッショルド状態で動作している）。M4のソース端の電位GNDLは、M3のボディ電位変調範囲（ V_{BN} の値の範囲）の下限を決定するが、同相電圧 V_{CM} は、M3のボディ電位変調範囲の上限を決定する。M3のトランスコンダクタンスと出力電流が、電圧信号 V_{BN} のM3のボディ端での変調作用によって、異なるプロセス・コーナーで一致されている。

10

【0032】

本発明のPMOSボディ電位変調回路の動作原理については、下記のように具体的に説明する。

【0033】

プロセス・コーナーがtt (typical-typical) である場合は、M2の誘導出力電流を I_{OUT2_tt} として、M1のボディ端電位 V_{BP} （即ち $V_{CM} + I_{OUT2_tt} R_1$ ） V_{DD} （仮にボディ電位変調回路が導入されない場合に、M1のボディ端電位は電源電圧 V_{DD} である）とするように、 I_{OUT2_tt} （M2のサイズ、ソース端電位 V_{DDH} 等に関連する）及びR1などのパラメータを調節して、回路が代表的な（tt）動作状態になる。

【0034】

プロセス・コーナーがss (slow-slow) である場合は、M1の閾値電圧の絶対値が大きくなるため、M1がサブスレッショルド状態で動作する時のトランスコンダクタンスが小さくなって、帯域幅が狭くなって、この時、出力電流が最小値になる。誘導PMOSデバイスM2はM1の電流の変化動向を誘導することができるので、M2の誘導出力電流も最小値 I_{OUT2_ss} になる。よって、M1のボディ端電位 V_{BP} （即ち $V_{CM} + I_{OUT2_ss} R_1$ ） $< V_{DD}$ であって、この電圧信号をM1のボディ端にフィードバックすることにより、M1の閾値電圧の絶対値はボディ電位変調によって僅かに低減され、M1がサブスレッショルド状態で動作する時に、トランスコンダクタンスと出力電流が増大して、M1のパラメータに対しての負帰還が実現されている。

20

【0035】

プロセス・コーナーがff (fast-fast) である場合は、M1の閾値電圧の絶対値が小さくなるため、M1のトランスコンダクタンスが大きくなって、この時、M2の出力電流が最大値 I_{OUT2_ff} になる。この時、 V_{BP} （即ち $V_{CM} + I_{OUT2_ff} R_1$ ） $> V_{DD}$ であって、それをM1のボディ端にフィードバックすることにより、M1の閾値電圧の絶対値が増大され、そのトランスコンダクタンスと出力電流が低減されている。注意する必要があるのは、M2のソース端電位 V_{DDH} により V_{BP} が決定されているので、 $V_{DDH} > V_{DD}$ の時だけ、M1のffプロセス・コーナーでのボディ電位変調が有効である。

30

【0036】

上記のように、M2の誘導出力電流 I_{OUT2} 及びR1などのパラメータを調節することにより、PMOSボディ電位変調回路に異なるプロセス・コーナーでも適宜な V_{BP} を生成させ、目標PMOSデバイスM1がサブスレッショルド状態で動作する時に、トランスコンダクタンスと出力電流を比較的に一致させることができる。

40

【0037】

本発明のボディ電位変調回路は少ない回路素子を用いて誘導フィードバックループ全体を実現するとともに、回路中の誘導MOSデバイスM2とM4はサブスレッショルド状態で動作され、消費電力が非常に低い。従って、ボディ電位変調回路を導入するのは、回路の複雑性と消費電力を明らかに増加することなく、プロセスばらつきのMOSデバイスへの悪影響を低減することができる。

【0038】

本発明のボディ電位変調回路については、実際の運用において、下記の点を注意する必

50

要がある。

【0039】

(1) 抵抗 R1、R2 については、許容差が小さい抵抗を選択して用いすべきである。

【0040】

(2) PMOS ボディ電位変調回路においては、 V_{BP} の電位は、漏れ電流が M1 デバイスのソース - ボディ接合の過度な順バイアスによって明らかに増大することを回避するために、低すぎないほうが良いが、同様に、PMOS ボディ電位変調回路においては、 V_{BN} の電位は、M3 デバイスのボディ - ソース接合の過度な順バイアスを回避するために、高すぎないほうが良い。

【0041】

(3) PMOS ボディ電位変調回路においては、M2 のソース端電位 V_{DDH} は、一般的に、目標 PMOS デバイス M1 の電源電圧 V_{DD} 以上であるが、同様に、NMOS ボディ電位変調回路においては、M4 のソース端電位 GNDL は、目標 NMOS デバイス M3 のグランド電位 GND 以下である。 V_{DDH} を V_{DD} よりも大きくして、且つ / または GNDL を GND よりも小さくすると、規定外のバイアスレベルを追加する必要があるが、この時、調節の範囲が増大し、調節の効果が明らかになっている。規定外のバイアスレベルを増加させなければ ($V_{DDH} = V_{DD}$ として、且つ / または $GNDL = GND$ とする)、調節の効果が相応の影響を及ぼす。具体的には、実施例 2 における表 1 と表 2 のデータが参照できる。

【0042】

(4) 過剰なバイアスレベルを提供することを回避するために、PMOS ボディ電位変調回路においては、M2 のゲート端電位 V_{GP} として電源電圧 V_{DD} ($V_{DDH} > V_{DD}$ 時) 或いは同相電圧 V_{CM} ($V_{DDH} = V_{DD}$ 時) を選択して用いることができるが、NMOS ボディ電位変調回路においては、M4 のゲート端電位 V_{GN} として電源電圧 GND ($GNDL > GND$ 時) 或いは V_{CM} ($GNDL = GND$ 時) を選択して用いることができる。

【0043】

以下、さらに本発明の運用実例における C 型インバータについて述べる。

【0044】

C 型インバータ技術は新たな低電圧アナログ回路を設計する技術であって、従来のオペアンプの代わりに、C 型インバータを用いることにより、多くの低電圧、低消費電力のスイッチトキャパシタ回路を実現することができる。従来技術の C 型インバータの回路構成図は図 4 に示すようになっている。C 型インバータの給電電圧 V_{DD} はインバータの二つの入力デバイスの閾値電圧の和より僅かに低いため、仮に C 型インバータの二つの入力デバイスの閾値電圧がほとんど同じであれば、同相電圧 $V_{CM} = V_{DD} / 2$ を入力することにより、二つの入力デバイス M1 と M3 が両方ともサブスレッショルド状態におけるようにすることができ、その時、C 型インバータが、極めて低い消費電力と高いゲインを備えているが、プロセスばらつきに対して極めて敏感である。

【0045】

本発明のプロセスばらつきを防止する C 型インバータの回路構成図は図 5 を示すようになっている、それは、従来技術の C 型インバータ 51 のもとに、本発明の PMOS ボディ電位変調回路 52 と NMOS ボディ電位変調回路 53 が追加され、従来技術の C 型インバータ 51 における PMOS 入力デバイスと NMOS 入力デバイスは、それぞれ、ボディ電位変調回路の目標 PMOS デバイス M1 と目標 NMOS デバイス M3 である。

【0046】

従来技術の C 型インバータ 51 は、演算増幅機能を実現するためのものである。それは、PMOS 入力デバイス M1 と、NMOS 入力デバイス M3 とからなる。インバータ入力デバイス M1、M3 のボディ端は個別に引き出されていて、ボディ電位は調節可能である。

【0047】

本発明の PMOS ボディ電位変調回路 52 と NMOS ボディ電位変調回路 53 は、M1 と M3 の異なるプロセス・コーナーでのトランスコンダクタンスと出力電流が比較的に一

10

20

30

40

50

致するように、それぞれ、M1とM3のプロセスばらつきを防止するためのものである。C型インバータにおいては、入力デバイスM1、M3のトランスコンダクタンスと出力電流は、インバータ全体のゲイン、帯域幅、及び静的電力損失等の定常性評価指標に直接に関係するので、ボディ電位変調回路52、53を導入することにより、C型インバータの各定常性評価指標の、プロセスばらつきに対しての敏感度を効果的に低減することができる。

【0048】

サブスレッショルド状態における異なるプロセス・コーナーでの、従来技術のC型インバータと本発明におけるプロセスばらつきを防止するC型インバータのゲイン、帯域幅、及び静的電力損失等の性能偏差の状況については、表1を参照する。その中には、電源電圧 V_{DD} が1.2Vであり、GNDが0Vであり、M1の幅と長さの比率が $180\mu\text{m}/0.35\mu\text{m}$ であり、M3の幅と長さの比率が $60\mu\text{m}/0.35\mu\text{m}$ であり、M2とM4の幅がそれぞれM1とM3の幅の1/12であり、インバータの負荷容量が全て5pFである。

【0049】

【表1】

表1：違うプロセス・コーナでのC型インバータの性能最大偏差の状況比較

C型インバータ	プロセスばらつき	ゲイン (dB)		偏差範囲	ユニティゲイン帯域幅 (MHz)		偏差範囲	静的電力損失 (μW)		偏差範囲
従来技術 (本発明を 使わず)	ff	29.89	-2.16%	28.8 %	169	349.83%	435.8 %	234.3	489.58%	577.4 %
	snfp	36.15	18.33%		37.65	0.21%		31.75	-20.1%	
	tt	30.55			37.57			39.74		
	fnsp	27.34	-10.5%		82.48	119.54%		49.85	25.44%	
	ss	31.57	3.34%		5.283	-85.94%		4.86	-87.77%	
本発明 ($V_{DDH}=1.8\text{V}$ GNDL=-0.6 V)	ff	27.76	-9.64%	27.8 %	64.61	48.70%	52.3 %	43.92	-6.43%	8 %
	snfp	33.79	9.99%		45.65	5.06%		45.34	-3.41%	
	tt	30.72			43.45			46.94		
	fnsp	28.85	-6.09%		49.72	14.43%		46.6	-0.72%	
	ss	36.3	18.16%		41.90	-3.57%		43.2	-7.97%	
本発明 ($V_{DDH}=1.8\text{V}$ GNDL=0V)	ff	27.37	-10.88%	29.1 %	110.8	153.08%	169.3 %	54.84	20.26%	81.9 %
	snfp	34.03	10.81%		44.35	1.3%		48	5.26%	
	tt	30.71			43.78			45.6		
	fnsp	29.46	-4.07%		115.5	163.82%		78.8	72.81%	
	ss	36.31	18.24%		41.4	-5.44%		41.46	-9.08%	
本発明 ($V_{DDH}=1.2\text{V}$ GNDL=0V)	ff	29.91	-2.41%	25.5 %	170.3	271.59%	287.0 %	240.6	407.59%	425.7 %
	snfp	34.41	12.27%		47.19	2.97%		51.1	7.8%	
	tt	30.65			45.83			47.4		
	fnsp	28.25	-7.83%		96.16	109.82%		60.42	26.84%	
	ss	36.06	17.65%		38.75	-15.45%		38.84	-18.06%	

注意：上記の四種類の状況でのC型インバータの位相余裕は、全て 90° を超え、且つその各プロセス・コーナでの偏差範囲が4%より小さいので、記載が省略されている。

表1から分かるのは、規定外のプラスレベルとマイナスレベルを導入し、即ち、 $V_{DDH}=1.8\text{V}$ 、 $GNDL=-0.6\text{V}$ とする場合は、本発明におけるプロセスばらつきを防止するC型インバータは、サブスレッショルド状態における異なるプロセス・コーナでのゲイン、

10

20

30

40

50

帯域幅、及び静的電力損失の最大偏差がそれぞれ27.8%、52.3%、及び8%であり、本発明が受けたプロセスばらつきからの影響が、従来技術のC型インバータの28%、435.8%、及び577.4%と比べて、大幅に低減されるので、十分なゲインと帯域幅も確保できるし、無駄な静的電力損失も回避できて、明らかな効果があるが、ボディ電位変調回路においては規定外のプラスレベルだけ導入し、マイナスレベルを導入しない(現在の集積回路の設計においては、このような現象がよく生じている)、即ち、 $V_{DDH} = 1.8V$ 、 $GNDL = 0V$ とする場合は、プロセスばらつきを防止するC型インバータの最大偏差がそれぞれ29.1%、169.3%、及び81.9%であるが、ボディ電位変調回路においては規定外のプラスレベルも導入しないし、マイナスレベルも導入しない、即ち、 $V_{DDH} = 1.2V$ 、 $GNDL = 0V$ とする場合は、プロセスばらつきを防止するC型インバータの最大偏差がそれぞれ25.5%、287.0%、及び425.7%であって、従来技術のC型インバータよりも良い。特にユニティーゲイン帯域幅の指標については、本発明の技術を用いない従来技術のC型インバータは、ユニティーゲイン帯域幅がssプロセス・コーナーで5MHz程度しかなく、高周波では正常に動作することができないが、本発明の技術を用いるC型インバータは、どんな場合でもこういう嚴重な問題が発生しない。

10

【0050】

C型インバータの異なるプロセス・コーナーでの性能最大偏差の簡易なまとめ表は、表2に示すようになっている。

【0051】

【表2】

20

表2：違うプロセス・コーナーでのC型インバータの性能最大偏差の簡易なまとめ表

C型インバータ	静的電力損失		ゲイン		ユニティーゲイン帯域幅	
	偏差範囲	範囲縮小	偏差範囲	範囲縮小	偏差範囲	範囲縮小
従来技術	577.4%		28.8%		435.8%	
本発明 ($V_{DDH}=1.8V$ $GNDL=-0.6V$)	8%	98.6%	27.8%	3.5%	52.3%	88.0%
本発明 ($V_{DDH}=1.8V$ $GNDL=0V$)	81.9%	85.8%	29.1%	-1.0%	169.3%	61.2%
本発明 ($V_{DDH}=1.2V$ $GNDL=0V$)	425.7%	26%	25.5%	11.5%	287.0%	34%

30

本発明の記述は特定の実施例と結びつけて行われているが、この分野の当業者は、本発明はここに記載した実施例に限らず、本発明の精神や範囲から逸脱することなく、色々な修正や変化を行うことができることを理解すべきである。

40

【産業上の利用可能性】

【0052】

本発明に記載のプロセスばらつき防止方法は、誘導フィードバックループのボディ電位変調により、目標MOSデバイスのトランスコンダクタンスと出力電流などのパラメータに対してリアルタイムで変調することを実現し、MOSデバイスのサブスレッショルド状態でのプロセスばらつきに対する感度を低減している。本発明に記載のボディ電位変調回路は、少ない回路素子によって誘導フィードバックループの全体を実現し、このボディ電位変調回路を導入することにより、回路の複雑性と消費電力が明らかに増すことなく、C型インバータを含むサブスレッショルド集積回路の性能の安定性、一致性及び良品率を効果的に向上させることができるため、高い実用性がある。

50

フロントページの続き

(51)Int.Cl. F I

H 0 3 F 3/347 (2006.01)

(56)参考文献 特開平 1 1 - 0 3 9 8 6 7 (J P , A)
特開 2 0 0 1 - 2 0 3 5 6 8 (J P , A)
特開 2 0 0 6 - 3 1 9 5 5 7 (J P , A)
特開昭 6 0 - 2 5 3 2 5 4 (J P , A)
特開 2 0 0 5 - 1 3 6 3 2 2 (J P , A)
特開 2 0 0 9 - 0 6 4 8 6 0 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 8 8
H 0 3 F 1 / 3 0
H 0 3 F 3 / 3 4 7