

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年6月29日 (29.06.2006)

PCT

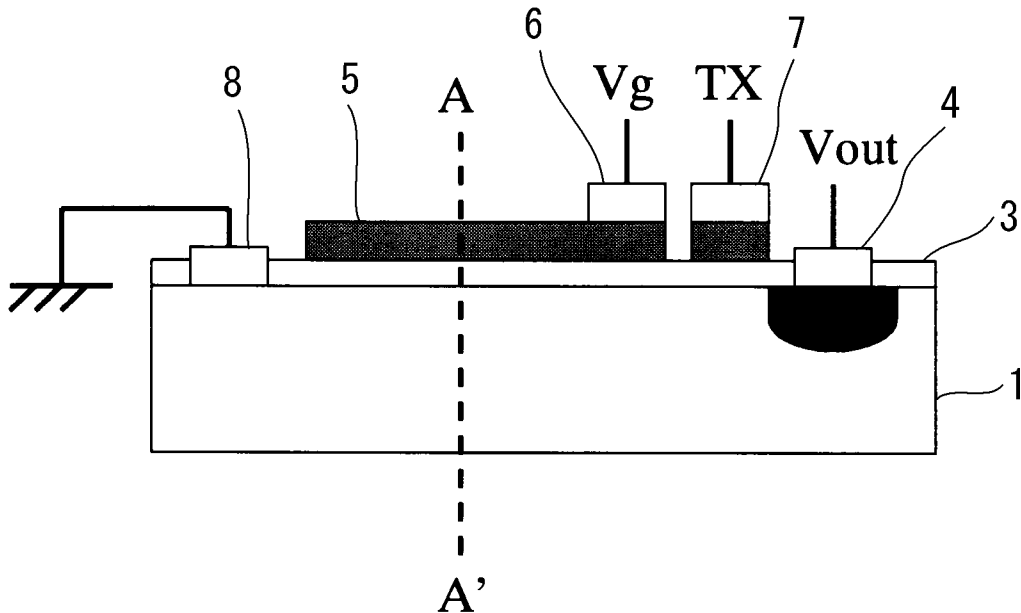
(10) 国際公開番号
WO 2006/068107 A1

- (51) 国際特許分類:
H01L 31/10 (2006.01) H04N 5/335 (2006.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2005/023310
- (22) 国際出願日: 2005年12月20日 (20.12.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2004-369896
2004年12月21日 (21.12.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人豊橋技術科学大学 (National University Corporation TOYOHASHI UNIVERSITY OF TECHNOLOGY) [JP/JP]; 〒4418580 愛知県豊橋市天伯町雲雀ヶ丘 1 の 1 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 澤田和明 (SAWADA, Kazuaki) [JP/JP]; 〒4418066 愛知県豊橋市王ヶ崎町上原 1-3 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: CHARGE MULTIPLIER AND IMAGE SENSOR EMPLOYING SAME

(54) 発明の名称: 電荷蓄積増倍装置及びそれを用いたイメージセンサ



(57) Abstract: A device for multiplying charges of every pixel without providing any amplifying section. The charge multiplier comprises a semiconductor substrate, a first electrode film formed on the semiconductor substrate through an insulating film and transmitting incident light while being applied with a gate voltage, a second electrode film arranged adjacent to the first electrode film, and a diffusion layer arranged adjacent to the second electrode film. When a gate voltage applied to the first electrode film is a first gate voltage, charges generated by incident light are stored in a charge storage well in the semiconductor substrate directly under the first electrode film, and the stored charges are multiplied when the gate voltage is a second gate voltage.

[続葉有]

WO 2006/068107 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LI, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 何ら増幅部を設けることなく画素毎に電荷を増倍可能とする装置を提供する。半導体基板と、半導体基板に絶縁膜を介して形成される、入射光を透過するとともに、ゲート電圧が印加される第1の電極膜と、第1の電極膜に隣接した第2電極膜と、第2の電極膜に隣接した拡散層を備え、第1の電極膜に印加されるゲート電圧が第1のゲート電圧であるとき入射光により生じた電荷が第1の電極膜直下の半導体基板中の電荷蓄積井戸に蓄積され、ゲート電圧が第2のゲート電圧であるとき蓄積された電荷が増倍される。

明 細 書

電荷蓄積増倍装置及びそれを用いたイメージセンサ

技術分野

[0001] 本発明は電荷蓄積増倍装置及びそれを用いたイメージセンサに関する。

背景技術

[0002] キャリア増倍方式を採用している固体方式の装置は市場に数多くあり、それらは“電子なだれ(アバランシェ)フォトダイオード(APD)”と呼ばれ、エリアイメージセンサとしての応用もなされている。

また、CCD方式を用いてCCD転送路(増倍部)中で電荷キャリアの衝突電離を起こし、電荷増倍を行う装置もある(特許文献1及び特許文献2参照)。

なお、本発明に関連する文献として特許文献3を参照されたい。

特許文献1:特開平7-176721号公報

特許文献2:特開平10-30426号公報

特許文献3:特開平10-332423号公報

発明の開示

発明が解決しようとする課題

[0003] APD方式の装置は、画素アレイ中に組み込むためには大きすぎ、また増倍利得も制限される。さらに、CCD方式を用いた装置では、イメージセンサアレイとは別に増倍部を設ける必要があり、装置として大型化する。

また、画素毎に電荷を増倍はできない。よって、1つの画素で生成される電荷が前記画素に対応する蓄積井戸に蓄積され、該蓄積井戸の電荷が直接読み出されて信号処理されるタイプのイメージセンサ(例えばCMOSイメージセンサ)には既述の増倍部を付設することができない。

そこで、本発明は何ら増幅部を設けることなく、画素毎に電荷を増倍可能とすることを目的とする。

課題を解決するための手段

[0004] 本発明の第1の局面は上記課題を解決するものであり、次の構成を採用する。

半導体基板と、
前記半導体基板に絶縁膜を介して形成される、入射光を透過するとともに、ゲート電圧が印加される第1の電極膜と、
前記第1の電極膜に隣接した第2の電極膜と、
前記第2の電極膜に隣接した拡散層を備え、
前記第1の電極膜に印加されるゲート電圧が第1のゲート電圧であるとき前記入射光により生じた電荷が前記第1の電極膜直下の前記半導体基板中の電荷蓄積井戸に蓄積され、前記ゲート電圧が第2のゲート電圧であるとき前記蓄積された電荷が増倍される、ことを特徴とする電荷蓄積増倍装置。

[0005] このように構成された第1の局面の発明によれば、第1の電極膜へ第1のゲート電圧が印加されているとき、画素の受光部を構成する第1の電極膜を通して生成される電荷が第1の電極膜直下の半導体基板の蓄積井戸に蓄積される。

第1の電極膜へ印加される電圧を第2のゲート電圧とすることにより、蓄積井戸層にかかる電界を変化させ、もって蓄積井戸を深くする。これにより、電荷が蓄積井戸の底へと移動するときに衝突電離現象を引き起こし、電荷が増倍されることとなる。このようにして電荷を増倍すれば、増倍部を別個に設ける必要がない。よって装置が小型化される。

また、CMOSタイプのイメージセンサにおいても画素毎の電荷増倍が可能となる。

電荷を物理的に移動させることにより該電荷と結晶格子との衝突が生じる。これにより衝突電離現象が引き起こされてより確実に電荷が増倍される。

[0006] 第2の局面の発明では前記第1のゲート電圧と第2のゲート電圧との比を調整することによって電荷の増倍率を調整する。

電荷蓄積状態の蓄積井戸の深さ(底のエネルギー準位)と電荷増倍状態の蓄積井戸の深さとのエネルギーギャップの大きさが電荷増倍率が変化する。両者のエネルギーギャップが大きければ大きいほど大きな衝撃力で電荷が衝突するので、増倍率が大きくなる。ここに、電荷蓄積状態の蓄積井戸層の深さは第1のゲート電圧で規定され、他方電荷増倍状態の蓄積井戸の深さは第2のゲート電圧で規定される。従って、両者の電圧比を調整することにより、増倍率を調整することができる。

[0007] 第3の局面の発明では前記第1のゲート電圧と第2のゲート電圧との繰り返し印加回数を調整することで、電荷の増倍率を調整する。

第1の電極膜へ第1のゲート電圧と第2のゲート電圧を繰り返し印加すると、当該繰り返しの都度、電荷の衝突も繰り返される。よって、繰り返しの回数を多くすれば増倍率が向上することとなる。

[0008] 第4の局面の発明では半導体基板をp型シリコン半導体基板、前記拡散層をn+拡散層とした。

かかる構成を採用することにより、電子を増倍することが可能となる。

[0009] 第5の局面の発明では第1の電極膜を不純物が添加された多結晶シリコン膜で形成した。

かかる構成を採用することにより、汎用的な半導体製造工程を利用して装置の製造が可能となる。

[0010] 第6の局面の発明は次のように規定される。即ち、

前記第2の電極膜へ印加される電圧を低下させることによって、前記電荷蓄積井戸中の電荷を前記拡散層内へと転送し、該拡散層から読み出し可能とする。

このように構成された電荷蓄積増倍装置によれば、イメージセンサへ組み込みが可能となる。

[0011] 既述のように第1～第6の局面の発明として規定される電荷蓄積増倍装置は、1つの画素で生成される電荷が当該画素に対応する蓄積井戸に蓄積され、該蓄積井戸の電荷が直接読み出されて信号処理されるイメージセンサに好適に使用される。

ここに、蓄積井戸は第1の電極膜の直下に存在する必要は無く、画素を構成する単位デバイスの何れかに存在すればよい。蓄積井戸において増倍された電荷を直接読み出すとは、この電荷をイメージセンサ内において更に増倍することがないことを指す。従って、蓄積井戸において増倍された電荷を一旦他の井戸に蓄積し、この井戸から当該電荷を読み出してもよい。

[0012] 基板中において蓄積井戸を構成する部分に不純物をドーピングすることもできる。

本発明者らの検討によれば、蓄積井戸の表面に当該蓄積井戸の導電型と異なる導電型の不純物をドーピングすることにより、蓄積井戸において電荷の存在する位置が

その表面より深い位置に変化する。当該蓄積井戸へ印加する電界を変化させると、当該電界の変化にともない電荷が蓄積井戸の表面側へ移動して(電荷の位置が物理的に変化して)蓄積井戸を構成する格子へ衝突する。これにより衝突電離が確実に引き起こされて、電荷増倍が促進される。

[0013] 以上、受光デバイスにおける電荷増倍について説明してきたが、この発明は、電荷を蓄積する蓄積井戸層を有する全ての半導体デバイスに適用することができる。例えば、物理的又は化学的な量の大きさに対応して深さを変化するように構成された井戸層を有する半導体デバイスでは当該井戸層に電荷が蓄積されるので、当該井戸層へ印加する電界を変化させて当該井戸層内で電荷の衝突電離現象を引き起こし、もって電荷を増倍させることができる。ここに、物理量としては赤外線等の光量、音波量、電磁波量、温度等を挙げることができる。化学量としてはpH等のイオン濃度、分子濃度等を挙げることができる。

[0014] この発明において、電荷とは、電子若しくは正孔をいう。電子を増倍する場合は第4の局面の発明のようにp型シリコン半導体基板を用いればよい。シリコン基板において電荷の衝突が発生したとき、電界により電子は蓄積井戸の底に集められる。他方、正孔はシリコン基板の基板側に流れ出してしまうので当該正孔はそれ以上の衝突に関与しない。電子増倍用の基板としてシリコンの他にアモルファスシリコン、多結晶シリコン等を挙げることができる。

[0015] 電荷として正孔を増倍する場合にはn型Si基板を用いることができる。セレン基板において電荷の衝突が発生したとき、電界(シリコン基板のときとは逆方向)により正孔は蓄積井戸の底に集められる。他方、電子はセレン基板の界面側に流れるので当該電子はそれ以上の衝突に関与しない。正孔増倍用の基板としてセレン材料を挙げることができる。

図面の簡単な説明

[0016] [図1]図1は本発明の実施例の電荷蓄積増倍装置の構成を示す断面図である。

[図2]図2は V_g が第1のゲート電圧が第1の電極膜へ印加されているときの蓄積井戸の電位分布を示す。

[図3]図3は V_g が第2のゲート電圧が第1の電極膜へ印加されているときの蓄積井戸

の電位分布を示す。

[図4]図4はV_gが第2のゲート電圧が第1の電極膜へ印加されているときの蓄積井戸の電界分布を示す。

[図5]図5は電荷蓄積増倍動作を示すタイミング図である。

[図6]図6は電荷蓄積増倍装置の蓄積井戸における電荷蓄積時、電荷増倍時の2次元電位分布を示す模式図である。

[図7]図7は電荷蓄積増倍部面積 $25 \times 10^{-8} \text{ cm}^2$ とし、波長550nm、光強度 $1 \times 10^{-8} \text{ W/cm}^2$ の光が一定で照射されたときの1回の増倍を行った場合と、行わない場合のシミュレーション結果を示すグラフ図である。

[図8]図8は電荷蓄積増倍部面積 $25 \times 10^{-8} \text{ cm}^2$ とし、波長550nm、光強度 $1 \times 10^{-8} \text{ W/cm}^2$ の光が一定で照射されたときの5回の増倍を行った場合のシミュレーション結果を示すグラフ図である。

[図9]図9は電荷増倍因子Mと第2のゲート電圧の関係を示すグラフ図である。

[図10]図10は実施例の電荷蓄積増倍装置を画素毎に組み込んだCMOSイメージセンサの構成図である。

[図11]図11(A)は他の実施例である電荷蓄積増倍装置の断面図である。(B)は電荷蓄積増倍装置における第1の電極膜5の直下の蓄積井戸における横方向(X方向)、深さ方向(Z方向)の電位分布である。

[図12]図12は第2の実施例の電荷蓄積井戸層のプロファイルを示し、図12Aは不純物濃度、図12Bはゲート電圧が5Vのときの電荷蓄積井戸層の電位分布、図12Cはゲート電圧が12Vのときの電荷蓄積井戸層の電位分布をそれぞれ示す。

[図13]蓄積井戸層の電位分布の変化に伴い生じる電荷の衝突を模式的に表したものである。

[図14]第2の実施例における電荷増倍率と印加したゲート電圧の関係を示す。

実施例 1

[0017] 図1は本発明装置の断面図である。図1において参照番号1はp型シリコン基板、参照番号2はp型シリコン基板中に形成されるn+拡散層、参照番号3はp型シリコン基板1上に形成されるシリコン酸化膜(SiO₂)、参照番号4はn+拡散層2に接続されるAl電

極、参照番号5はシリコン酸化膜3上に形成され、不純物が添加された多結晶シリコン膜(Poly-Si)、参照番号6はその多結晶シリコン膜5に接続されるゲート電極であり、多結晶シリコン膜5はシリコン膜3を介して光を透過できる第1の電極膜として機能する。参照番号7は不純物が添加された多結晶シリコン膜5下で増倍された電子をn+拡散層2へと転送するための転送用電極(第2の電極膜)、参照番号8はp型シリコン基板1と接続するとともに、接地される電極である。

図1に示す構成は周知の半導体素子の製造方法により形成される。

[0018] 図3, 4は図1の電荷蓄積増倍装置の特性図であり、図3はゲート電圧 V_g が第1のゲート電圧(2V)の場合(電荷捕獲・蓄積)、図4はゲート電圧 V_g が第2のゲート電圧(10V)の場合(電荷増倍)の電位分布である。

図4は図1の電荷蓄積増倍装置の特性図であり、ゲート電圧 V_g が第2のゲート電圧(10V)の場合(電荷増倍)の電界分布である。シリコン基板1中で電子の衝突電離が著しく起こる電界は $3 \times 10^5 \text{V/cm}$ 以上であり、図4より第2のゲート電圧において表面の電界は $35 \text{V}/\mu\text{m}$ ($3.5 \times 10^5 \text{V/cm}$)であり、衝突電離が十分に発生することがわかる。

図5は本発明の電荷蓄積増倍動作を示すタイミング図である。図5では5回の増倍を行った場合を示す。

[0019] 図6は本発明の電荷蓄積増倍装置における第1の電極膜5の直下の蓄積井戸における横方向(X方向)、深さ方向(Z方向)の電位分布である。

あらかじめ第1のゲート電圧(2V)で直流バイアスされた蓄積井戸が第1の電極膜5の下のp型シリコン半導体基板内に形成され、第1の電極膜5を透過した入射光により電子が発生し、蓄積される(図5参照、 $t=t_1$)。 $t=t_2$ において第1の電極膜5に高バイアス(第2のゲート電圧(10V))を印加すると、第1の電極膜5の下は高電界領域となり、蓄積井戸中の電子が衝突電離をおこし、電子・正孔対が生成される。電子のみが蓄積井戸中に集められ、電荷の増倍が行われる。正孔はp型シリコン基板の界面側へ流れ、増倍機能には何ら寄与しなくなる。その後、 $t=t_3$ において第1の電極膜5に印加される電圧を第1のゲート電圧(2V)に戻す。

図5の例では、第1のゲート電圧の印加と第2のゲート電圧の印加とを5回繰り返して行っている。第2のゲート電圧を印加する毎に電子が衝突電離を起こし、そのたびに

電子の増倍が行われる。即ち、第1のゲート電圧の印加と第2のゲート電圧の印加との繰り返し回数を調整することにより増倍率を制御することができる。

また、図4から明らかなどおり、第1のゲート電圧と第2のゲート電圧の比を調整することにより増倍率を制御することも可能である。

[0020] 図7は電荷蓄積増倍部面積 $25 \times 10^{-8} \text{ cm}^2$ とし、波長550nm、光強度 $1 \times 10^{-8} \text{ W/cm}^2$ の光が一定で照射されたときの一回の増倍を行った場合と、行わない場合のシミュレーション結果である。増倍を行うことで0.1 μ s後には14倍に増倍されている。

図8は電荷蓄積増倍部面積 $25 \times 10^{-8} \text{ cm}^2$ とし、波長550nm、光強度 $1 \times 10^{-8} \text{ W/cm}^2$ の光が一定で照射されたときの5回の増倍を行った場合のシミュレーション結果である。これにより増倍の回数によって増倍率を変化できることが確認できる。

図9は本実施例の装置の電荷増倍率と第2のゲート電圧(横軸)の関係である。ここに、電荷増倍率は電子又は正孔が増える割合を指し、第1のゲート電圧は2Vである。図9の結果より第2のゲート電圧(横軸)によっても増倍率を制御できることが確認できる。

[0021] 図10は、図1の電荷蓄積増倍装置を画素ごとに備えたCMOSイメージセンサの構成図である。この図において、参照番号9はセンサアレイ、参照番号10は垂直選択器(V.Scanner)、参照番号11は雑音除去回路(Column CDS)、参照番号12は水平選択器(H.Scanner)である。図1の電極4に垂直選択器11若しくは水平選択器12が接続される。Vsigは光信号出力である。Vbn、Vbpは低電流駆動用バイアスである。

実施例 2

[0022] 図11(A)は本発明の他の実施例である電荷蓄積増倍装置の断面図である。図6と同一の要素には同一の符号を付して、その説明を省略する。

p型シリコン基板1にはその表面付近にn型不純物をドーピングしてドーピング領域21を形成する。本実施例においては、基板即ち蓄積井戸層のp型不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ に対して、n型不純物としてリンを $1 \times 10^{17} \text{ cm}^{-3}$ の濃度でドーピングした。ドーピングの方式にイオン注入法を採用した。イオン注入の飛程は250nmであり、接合深さは500nmである。

[0023] かかる不純物をドーピング下蓄積井戸層の不純物濃度を図12Aに示す。図12Bは当

該蓄積井戸層の電位分布(ゲート電圧:5V)を示す。他方、図12(C)はゲート電圧を12Vまで昇圧したときの電位分布を示す。

図12Bと図12Cとの比較から、電圧の変化させたとき、ポテンシャルの井戸の底が深さ方向(グラフでは横方向)へ移動することがわかる。電荷はポテンシャル井戸に溜まっているので、電圧の変化即ち井戸にかかる電界が変化すると、深さ方向へ移動することがわかる。この例では、電界が大きくなると電荷は井戸の表面方向へ移動する。

図13には、当該電荷の移動を模式的に表してある。

ここに、インパクトイオン化とは、高電界中で加速された電子(または正孔)が格子に衝突し、新しく電子(または正孔)を発生させる現象をいう。

[0024] 図11(B)は電荷蓄積増倍装置における第1の電極膜5の直下の蓄積井戸における横方向(X方向)、深さ方向(Z方向)の電位分布である。

基板1には第1のゲート電圧(5V)で直流バイアスされた蓄積井戸が形成され、第1の電極膜5を通過した入射光により電荷(電子)が発生し、蓄積井戸に電荷が蓄積される($t=t_1$)。p型シリコン基板1にはn型不純物21がドーピングされているため、電荷の存在する位置(基板深さ方向の距離)は基板表面よりも深い位置に存在することとなる。

次に、第2のゲート電圧(12V)を印加することにより($t=t_2$)、第1の電極膜5の直下は高電界となり、蓄積井戸中の電荷が衝突電離を起こし、電子・正孔対が生成され、その電子は蓄積井戸に集められることとなる。

また、この電界により、基板表面付近に位置していた電荷が表面側へと物理的に移動して、蓄積井戸を構成する格子へ衝突し、電荷の増倍が促進される。

その後、第1の電極膜5に印加される電圧を第1のゲート電圧に戻し($t=t_3$)、更に第2のゲート電圧を印加することにより繰り返し増倍させることができる。

[0025] このように、基板と異なる不純物をドーピングして印加電圧を変化させることにより、電子衝突電離が生じて電荷が増倍されるとともに、電荷の物理的な位置が表面方向へと移動することに伴い電荷が格子と衝突するため、電荷を増倍させることができる。

図14は、電荷増倍率と印加電圧との関係を示している。実施例1における同様な

関係を示す図9と比較すると、この実施例では小さな電圧変化においても電荷増倍効果が認められる。これにより、電荷増倍効率が向上することがわかる。

[0026] この発明は上記発明の実施の態様及び実施例の説明に何ら限定されるものではない。特許請求の範囲を逸脱せず、当業者が容易に想到できる範囲で種々の変形態様もこの発明に含まれる。

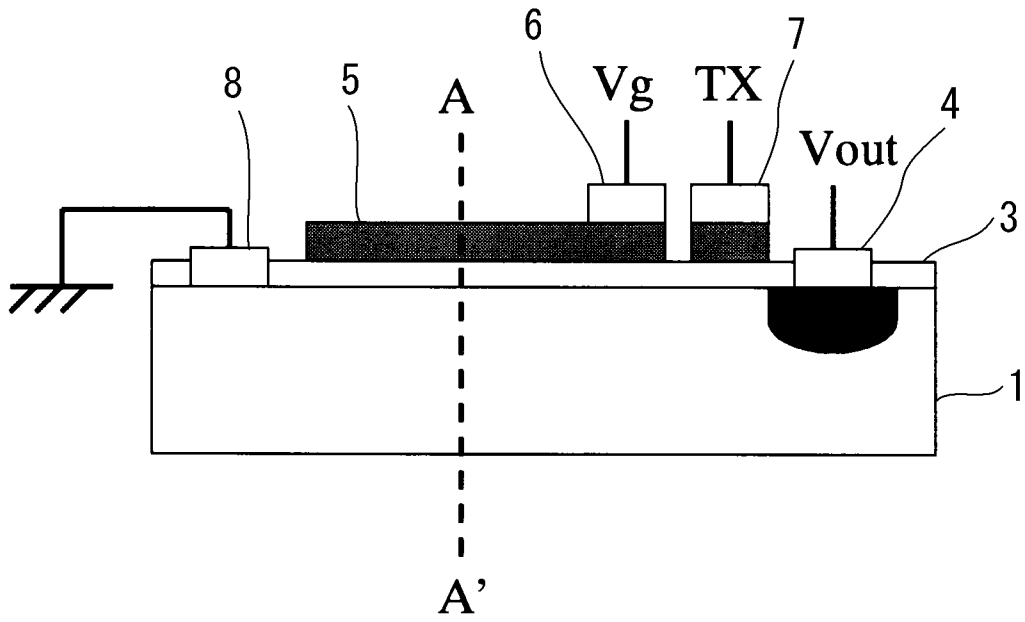
請求の範囲

- [1] 半導体基板と、
前記半導体基板に絶縁膜を介して形成される、入射光を透過するとともに、ゲート電圧が印加される第1の電極膜と、
前記第1の電極膜に隣接した第2の電極膜と、
前記第2の電極膜に隣接した拡散層とを備え、
前記第1の電極膜に印加されるゲート電圧が第1のゲート電圧であるとき前記入射光により生じた電荷が前記第1の電極膜直下の前記半導体基板中の電荷蓄積井戸に蓄積され、前記ゲート電圧が第2のゲート電圧であるとき前記蓄積された電荷が増倍される、ことを特徴とする電荷蓄積増倍装置。
- [2] 前記電荷蓄積井戸において前記電荷が物理的に移動する、ことを特徴とする請求項1に記載の装置。
- [3] 前記電荷は基板の表面方向へ移動する、ことを特徴とする請求項2に記載の装置。
- [4] 前記電荷蓄積井戸の表面に前記半導体基板と異なる導電型の不純物がドーピングされている、ことを特徴とする請求項1～3のいずれかに記載の装置。
- [5] 前記第1のゲート電圧と前記第2のゲート電圧との比を調整することで電荷の増倍率を調整する、ことを特徴とする請求項1～4のいずれかに記載の装置。
- [6] 前記第1のゲート電圧と第2のゲート電圧との繰り返し印加回数を調整することで電荷の増倍率を調整する、ことを特徴とする請求項1～4のいずれかに記載の装置。
- [7] 前記半導体基板がp型シリコン半導体基板であり、前記拡散層がn+拡散層である、ことを特徴とする請求項1～4のいずれかに記載の装置。
- [8] 前記ゲート電圧が印加される第1の電極が、不純物を添加された多結晶シリコンからなる、ことを特徴とする請求項1～4のいずれかに記載の装置。
- [9] 前記第2の電極膜へ印加される電圧を低下させることによって、前記電荷蓄積井戸中の電荷を前記拡散層内へと転送し、該拡散層から読み出し可能とする、ことを特徴とする請求項1～4のいずれかに記載の装置。
- [10] 請求項1～請求項9のいずれかに記載の電荷蓄積増倍装置が画素として用いられ

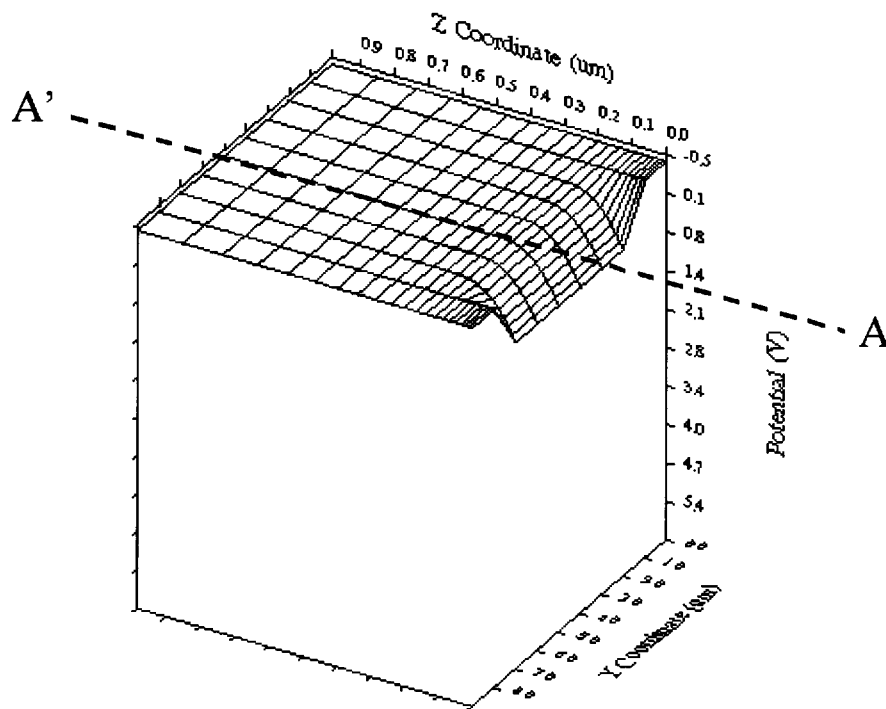
る、ことを特徴とする画素毎に電荷増倍可能なイメージセンサ。

- [11] 1つの画素で生成される電荷が前記画素に対応する蓄積井戸層に蓄積され、該蓄積井戸層の電荷が直接読み出されて信号処理されるイメージセンサにおいて、前記蓄積井戸層に印加する電界を変化させることで前記蓄積井戸層中の電荷を衝突電離させる、ことを特徴とするイメージセンサ。
- [12] 前記蓄積井戸層の表面より深い位置に存在する電荷が前記電界の変化に基づき前記蓄積井戸層の表面方向に移動し、前記電荷の衝突電離を生じさせる、ことを特徴とする請求項11に記載のイメージセンサ。
- [13] 該蓄積井戸層を構成する基板の導電型と異なる導電型の不純物がドーピングされたドーピング領域を前記蓄積井戸層に形成することにより、前記蓄積井戸層の表面より深い位置に前記電荷を存在させる、ことを特徴とする請求項12に記載のイメージセンサ。
- [14] 電荷の蓄積井戸層を有する半導体デバイスであって、該蓄積井戸層に印加される電界を変化させることにより該蓄積層井戸中の電荷を増倍する、半導体デバイス。
- [15] 前記電荷蓄積井戸層の表面より深い位置に存在する電荷を前記電荷の変化に基づき前記蓄積井戸層の表面方向へ移動させることにより、前記電荷を衝突電離させてこれを増倍する、ことを特徴とする請求項14に記載の半導体デバイス。
- [16] 該蓄積井戸層を構成する基板の導電型と異なる導電型の不純物がドーピングされたドーピング領域を前記蓄積井戸層に形成することにより、前記蓄積井戸層の表面より深い位置に前記電荷を存在させる、ことを特徴とする請求項15に記載の半導体デバイス。

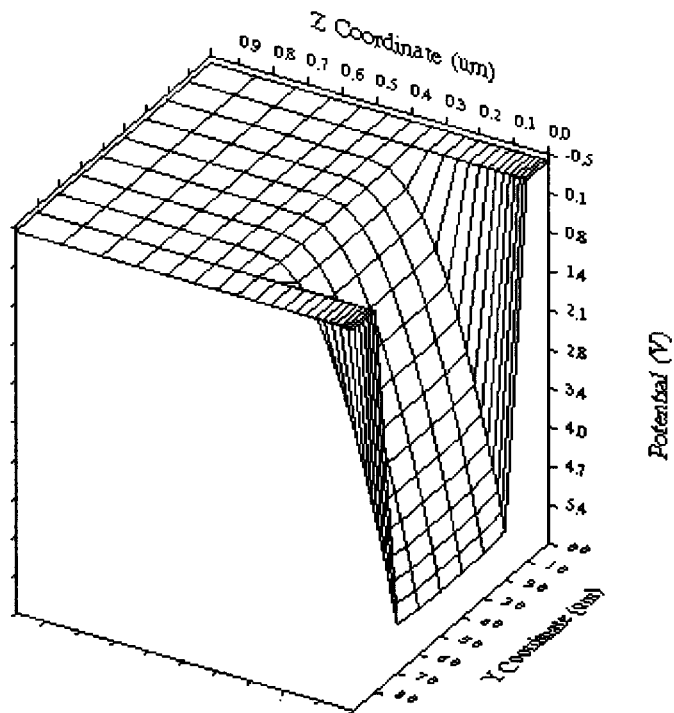
[図1]



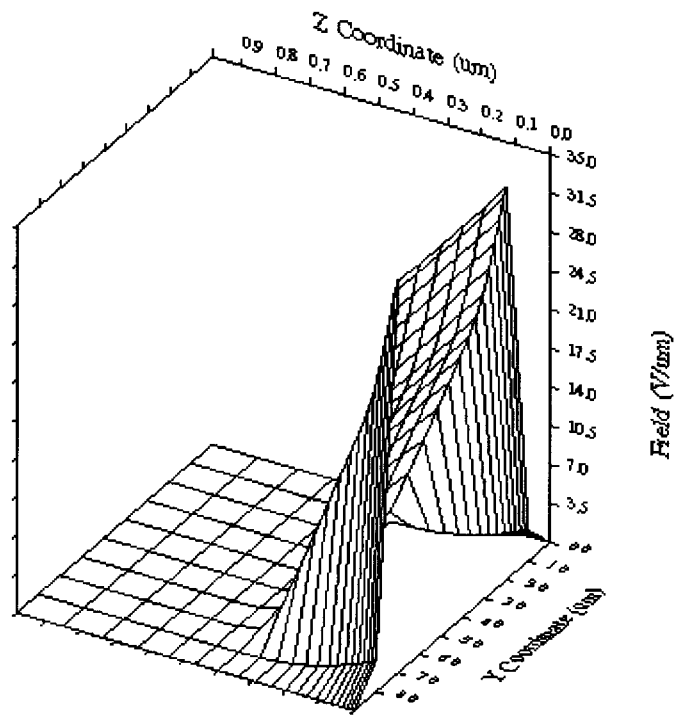
[図2]



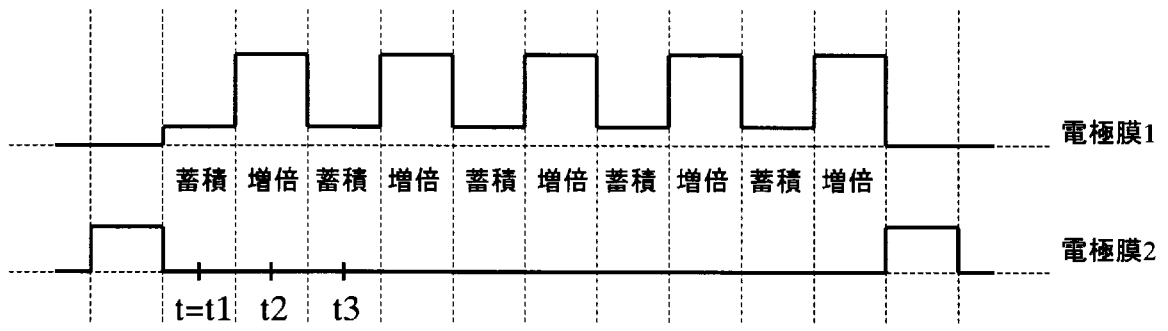
[図3]



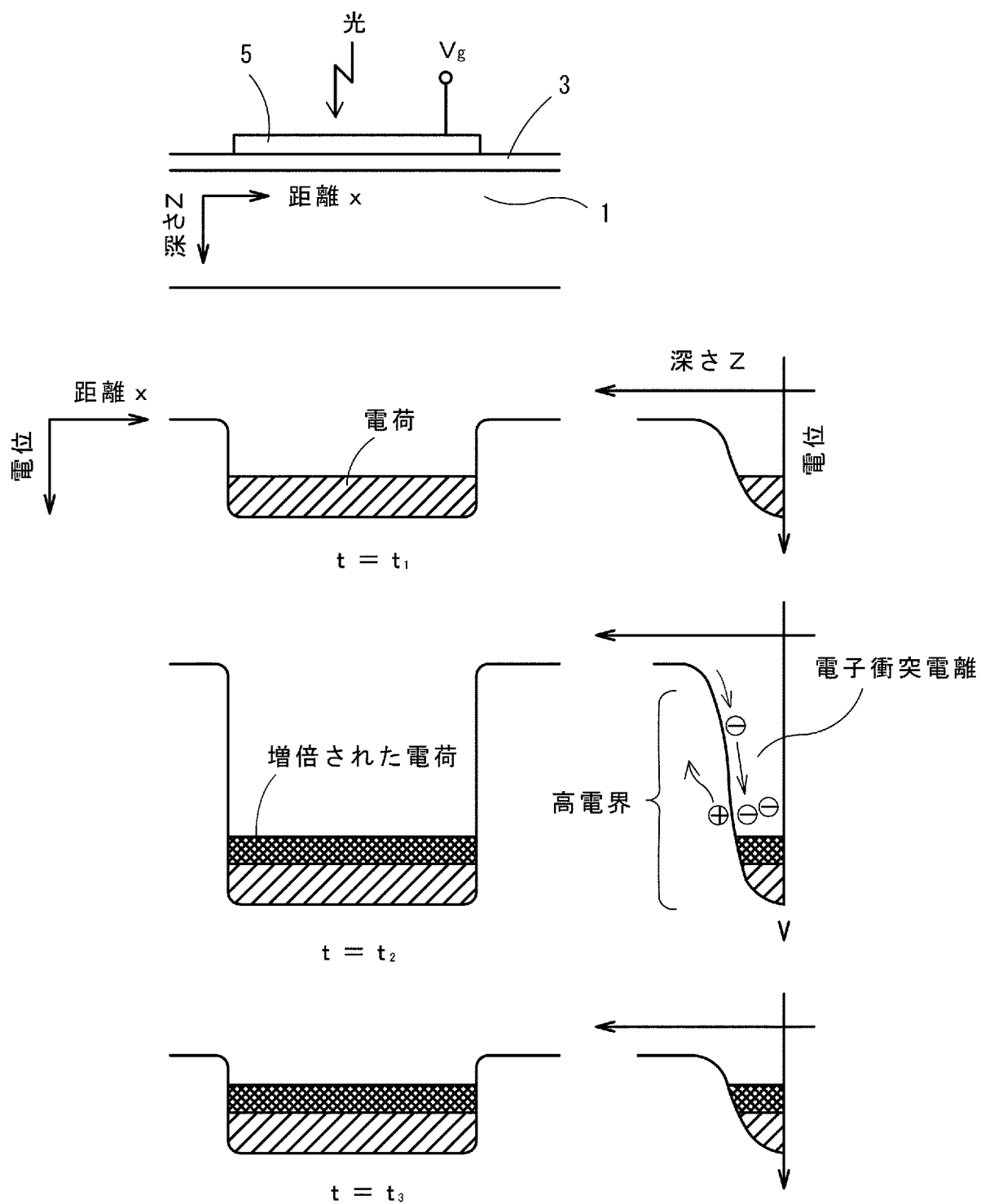
[図4]



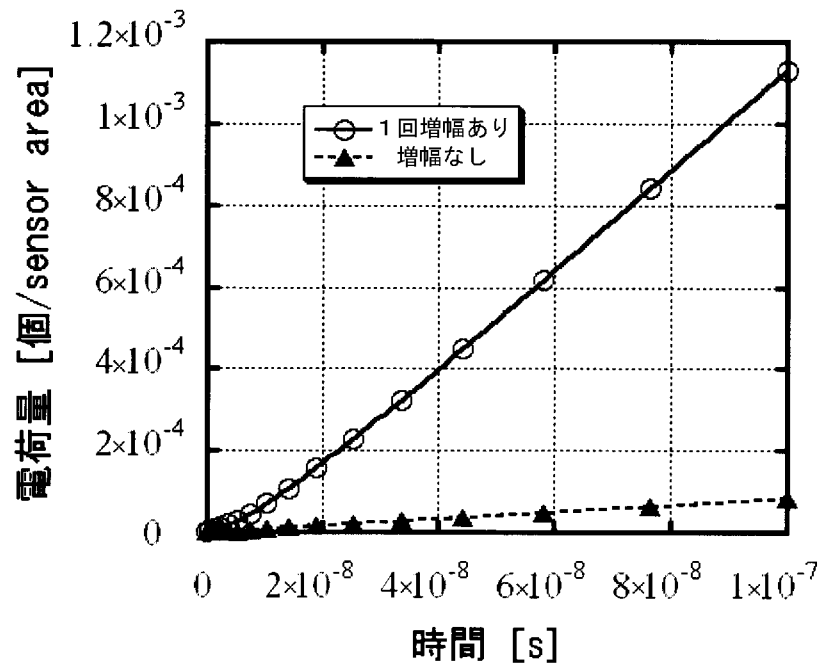
[図5]



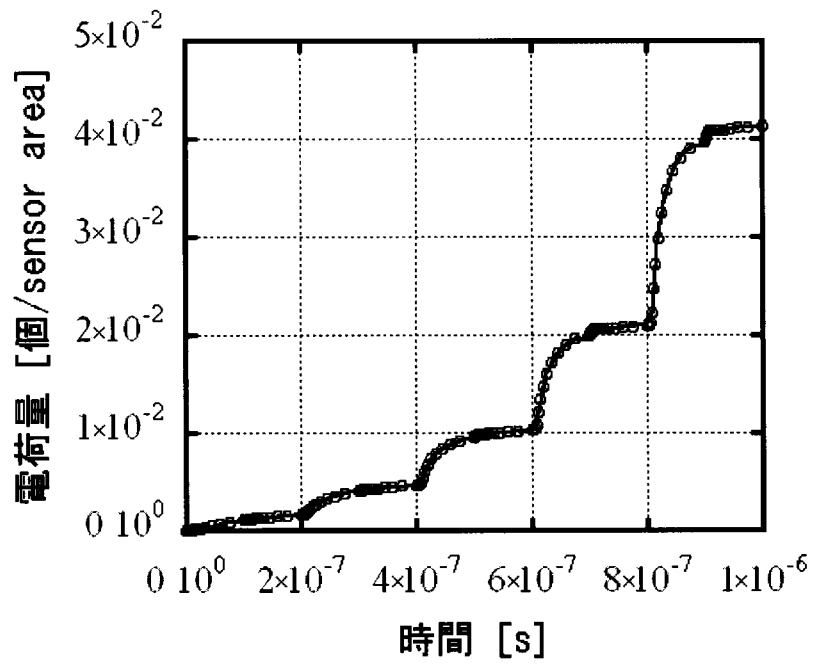
[図6]



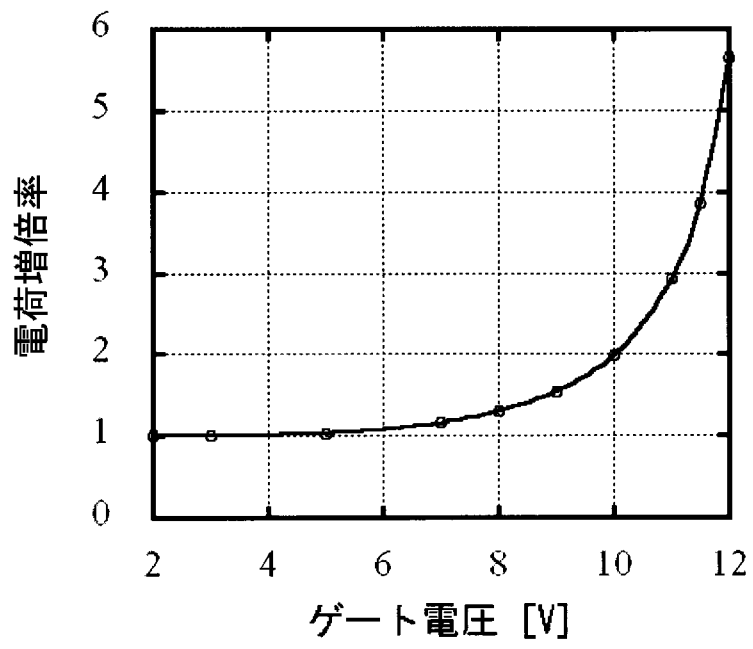
[図7]



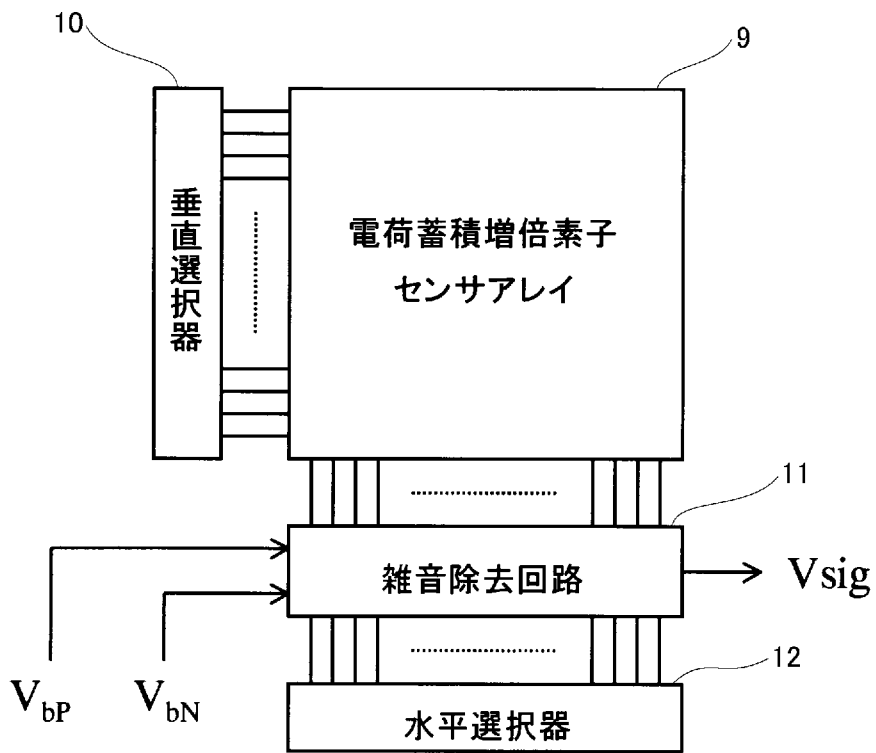
[図8]



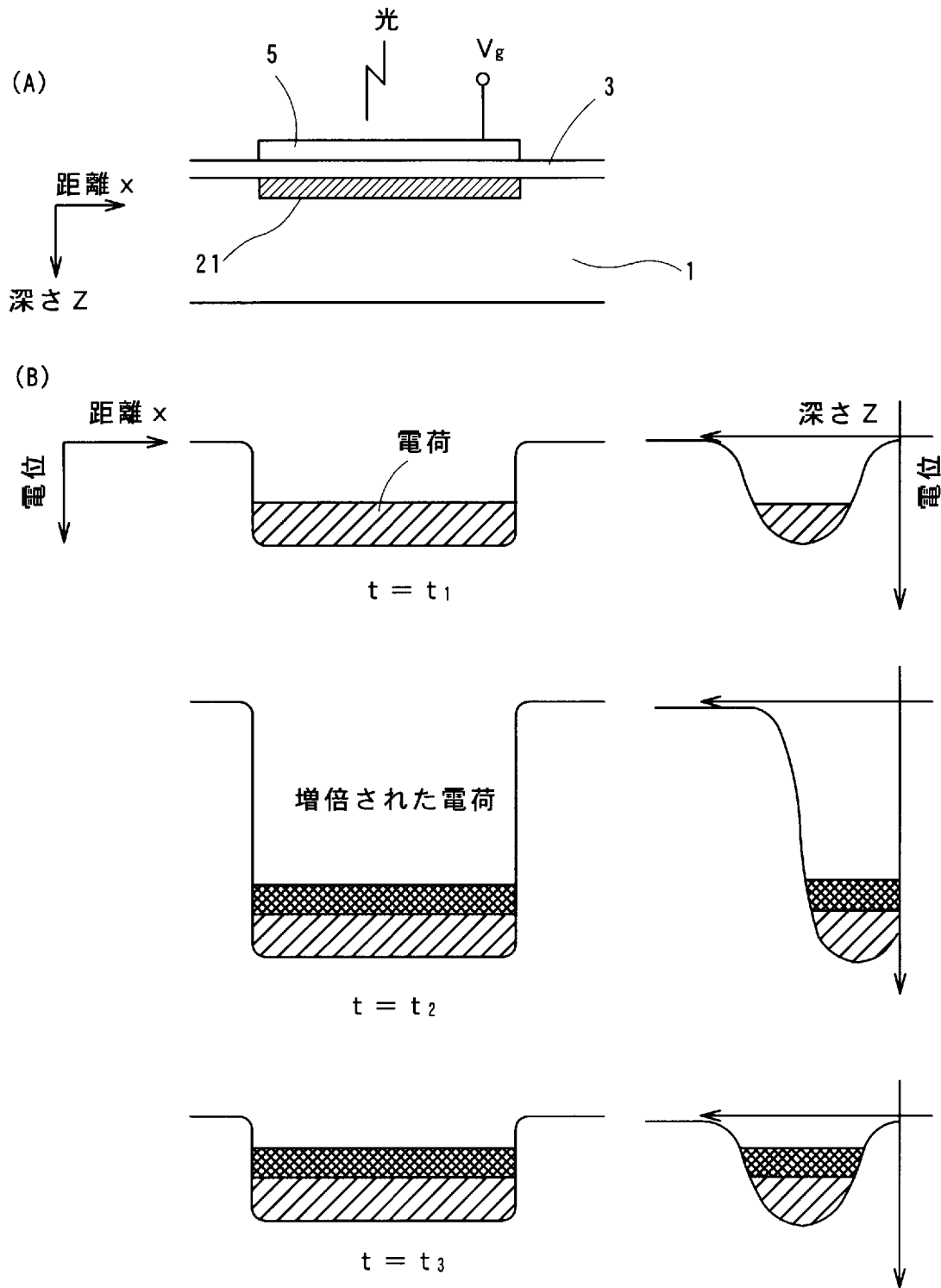
[図9]



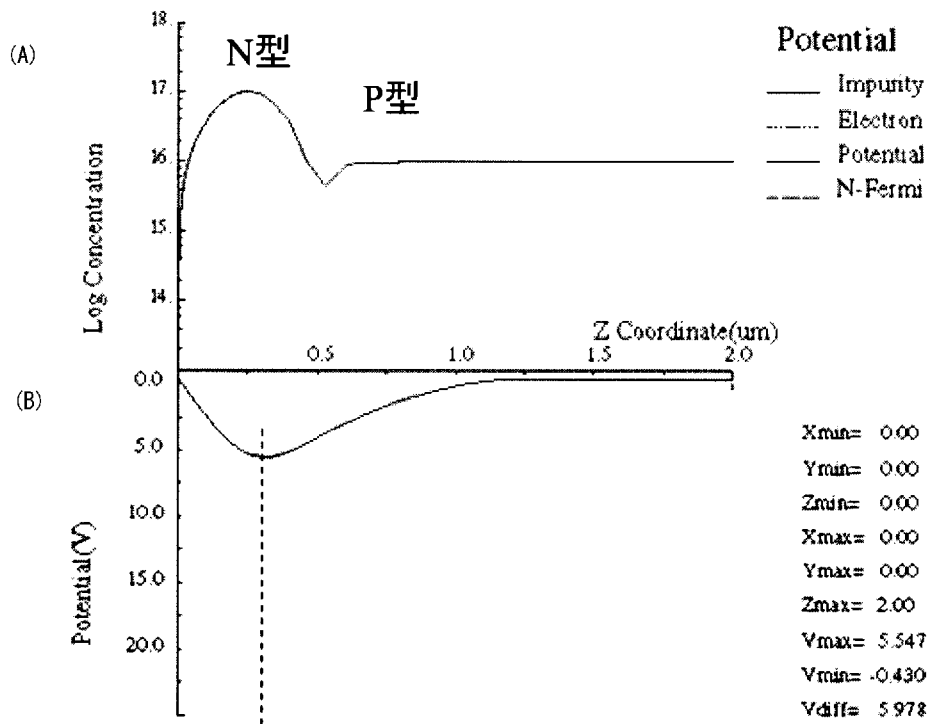
[図10]



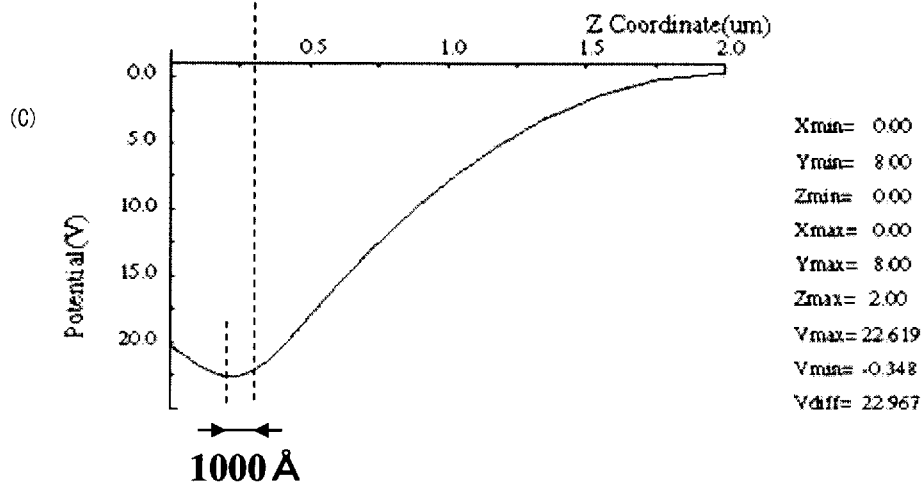
[図11]



[図12]

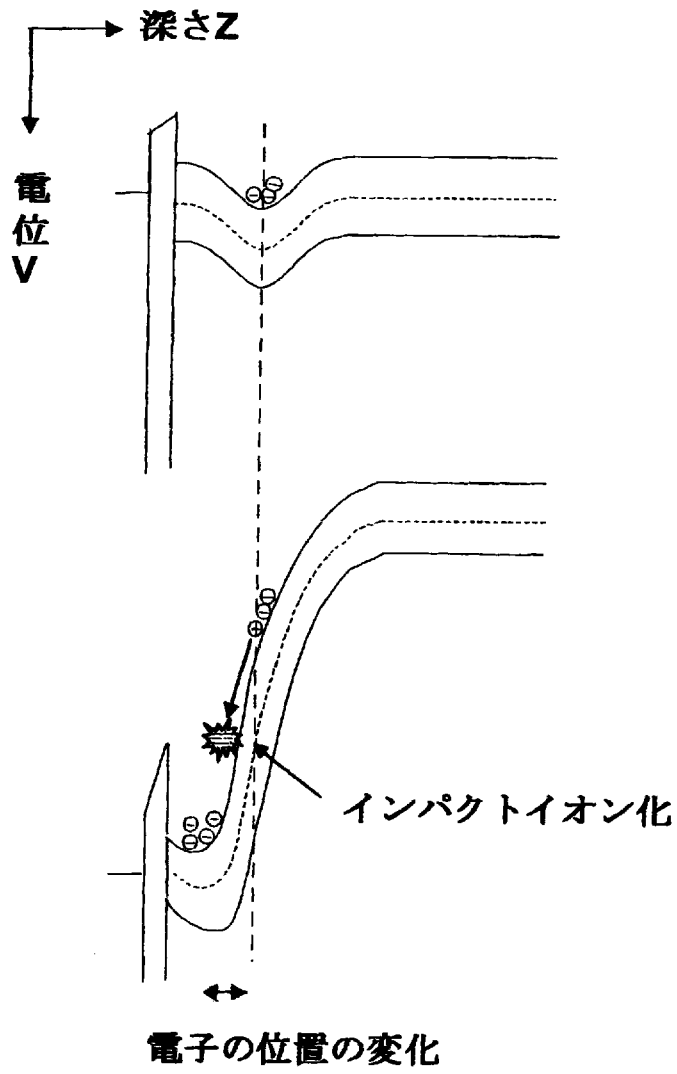


(a) ゲート電圧 -5V

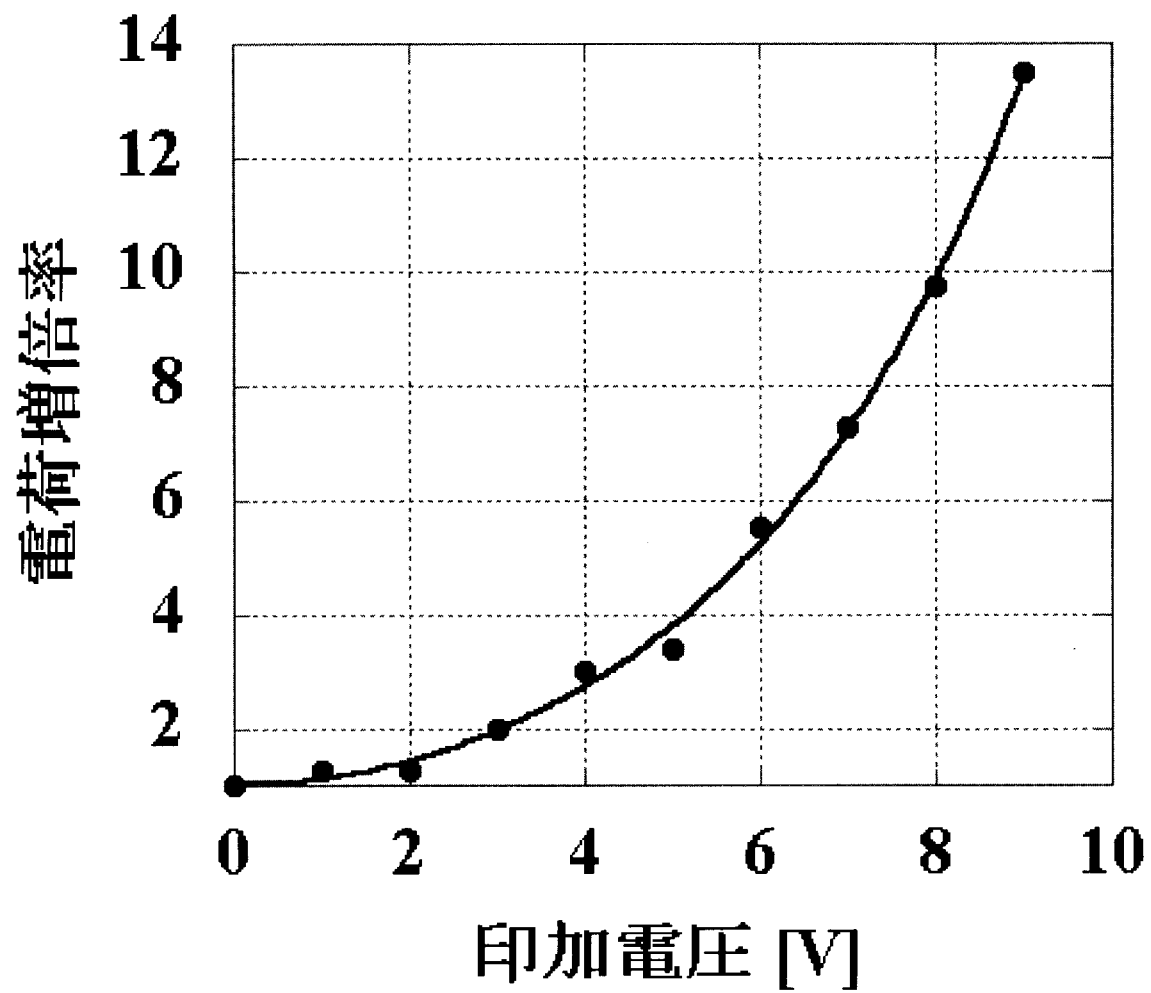


(b) ゲート電圧 +15V

[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/023310

A. CLASSIFICATION OF SUBJECT MATTER H01L31/10 (2006.01), H01L27/146 (2006.01), H04N5/335 (2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L31/10 (2006.01), H01L27/146 (2006.01), H04N5/335 (2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho 1994-2006
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 5-335549 A (Matsushita Electric Industrial Co., Ltd.), 17 December, 1993 (17.12.93), Full text; all drawings & US 5656835 A	11-16 1-5,7-10 6
Y	JP 8-97395 A (NEC Corp.), 12 April, 1996 (12.04.96), Full text; all drawings (Family: none)	1-5,7-10
A	JP 2004-319576 A (Victor Company Of Japan, Ltd.), 11 November, 2004 (11.11.04), Full text; all drawings (Family: none)	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 31 January, 2006 (31.01.06)		Date of mailing of the international search report 07 February, 2006 (07.02.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L31/10(2006.01), H01L27/146(2006.01), H04N5/335(2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L31/10(2006.01), H01L27/146(2006.01), H04N5/335(2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 5-335549 A (松下電器産業株式会社) 1993.12.17, 全文, 全図	11-16
Y	&US 5656835 A	1-5, 7-10
A		6
Y	J P 8-97395 A (日本電気株式会社) 1996.04.12, 全文, 全図 (ファミリーなし)	1-5, 7-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日
 31.01.2006

国際調査報告の発送日
 07.02.2006

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 4 L 3035
 柴山 将隆
 電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-319576 A (日本ビクター株式会社) 2004. 11. 11, 全文, 全図 (ファミリーなし)	1-16