

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2008年10月9日 (09.10.2008)

PCT

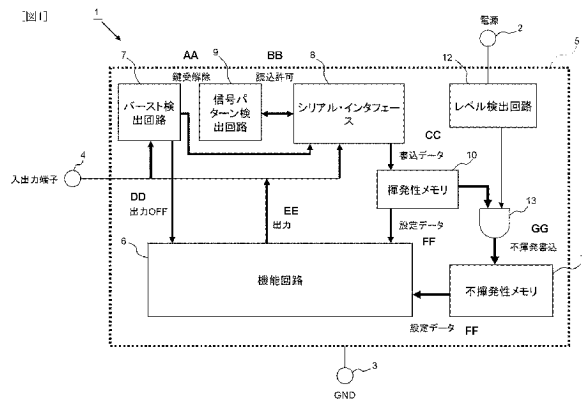
(10) 国際公開番号  
WO 2008/120488 A1

- (51) 国際特許分類: *G05F 1/56* (2006.01)     *H02M 3/00* (2006.01)
- (21) 国際出願番号: PCT/JP2008/051318
- (22) 国際出願日: 2008年1月29日 (29.01.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2007-089951 2007年3月29日 (29.03.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人九州工業大学 (KYUSHU INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町1-1 Fukuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森本 浩之 (MORI-MOTO, Hiroyuki) [JP/JP]; 〒8190375 福岡県福岡市西
- (74) 代理人: 石田 和人 (ISHIDA, Kazuto); 〒8080135 福岡県北九州市若松区ひびきの2番1号 北九州学術研究都市産学連携センターT-302 Fukuoka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: ELECTRONIC CIRCUIT DEVICE

(54) 発明の名称: 電子回路デバイス



- 2 ELECTRIC POWER SOURCE
- 4 INPUT AND OUTPUT TERMINAL
- 7 BURST DETECTING CIRCUIT
- AA KEY ACCEPTANCE RELEASE
- 9 SIGNAL PATTERN DETECTING CIRCUIT
- 8 SERIAL INTERFACE
- 12 LEVEL DETECTING CIRCUIT
- BB READING PERMISSION
- CC WRITING DATA
- 10 VOLATILE MEMORY
- DD OUTPUT OFF
- EE OUTPUT
- FF SET DATA
- GG NON-VOLATILE WRITING
- 6 FUNCTION CIRCUIT
- 11 NON-VOLATILE MEMORY

(57) Abstract: It is an object to provide an electronic circuit device that makes it possible to change a characteristic even after the sealing of a package, and is configured to promote the reduction of noise at the setting of the characteristic, the reduction of costs, the reduction of a failure rate and the reduction of a mounting area. The electronic circuit device is provided with a burst detecting circuit (7) for detecting a prescribed writing-in activation burst that is longer than a predetermined time from an input and output terminal (4), a signal pattern detecting circuit (9) for making the state of a serial interface (8) available to accept a set data input, and a volatile memory (10) and a non-volatile memory (11) for storing the set data signal input from the input and output terminal (4). A function circuit (6) is set to its operation states in accordance with the set data stored at the volatile memory (10) or the non-volatile memory (11).

[続葉有]

WO 2008/120488 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

— 発明者である旨の申立て (規則 4.17(iv))

添付公開書類:

— 国際調査報告書

---

(57) 要約: パッケージ封止後も特性変更を可能とし、特性設定時の雑益を低減し、低コスト化、故障率低減、実装面積縮小を図った電子回路デバイスを提供する。入出力端子4から、規定の時間以上の長さの規定の書込活性バーストを検出するバースト検出回路7と、書込活性バーストが検出された場合、シリアル・インタフェース8を設定データの入力が可能な入力可能状態とする信号パターン検出回路9と、入力可能状態において、入出力端子4から入力される設定データ信号を記憶する揮発性メモリ10及び不揮発性メモリ11とを備える。機能回路6は、揮発性メモリ10又は不揮発性メモリ11に書き込まれた設定データに従って動作状態が設定される。

## 明 細 書

## 電子回路デバイス

## 技術分野

- [0001] 本発明は、電子回路デバイス、特に三端子レギュレータ、水晶発振器等のデバイスに関し、特に、その機能が外部から入力されるデータによって自由に設定することを可能とした電子回路デバイスに関する。

## 背景技術

- [0002] 三端子レギュレータや水晶発振器等の三端子の電子回路デバイスは、各種電子回路において多用されている。このような三端子の電子回路デバイスは、ICチップ等を実装された機能回路が樹脂モールド、セラミック等のパッケージで封止され、3本のリードにより外部回路との接続がされる。モールド材で封止された機能回路は3本のリード以外からはアクセスすることはできず、その特性を調整することは困難である。そのため、必要な特性を得るための外付け回路で対応するか、パッケージで封止する前に、調整用の別端子(パッケージで封止後は使用不可となる端子)を使用して調整データを書き込むのが通常である。

- [0003] 例えば、非特許文献1に記載の3端子、500mA調整可能正電圧レギュレータ101においては、図3に示すような外部回路を使用することにより、出力電圧 $V_O$ を調整している。図3の回路では、出力電圧 $V_O$ は、可変抵抗 $R_2$ を用いて調整することができ、 $V_O$ の値は $V_O = V_{ref} (1 + R_2 / R_1) + (I_{Adj} \cdot R_2)$ のように表される。

非特許文献1: Texas Instrument Incorporated, "LM317M 3-TERMINAL ADJUSTABLE REGULATOR", [online], 2000年, Texas Instrument Incorporated, [平成19年3月27日検索], インターネット<URL: <http://focus.tij.co.jp/jp/lit/ds/symlink/lm317m.pdf>>, p. 7.

## 発明の開示

## 発明が解決しようとする課題

- [0004] しかしながら、外部回路を使用して出力を調整する場合、外部回路を実装するためのエリアが必要となるため実装面積が大きくなる。また、部品点数も大きくなりそれだ

け回路の故障率も増加するとともに、製造コストも上昇する。一方、パッケージで封止する前に調整用の別端子で出力特性を調整する構成とした場合、機能回路をパッケージで封止した後に出力特性の調整が必要となった場合には対応することができない。また、パッケージで封止前に出力特性を調整する場合、ICチップ等の機能回路をベアな状態で特性を測定しながら調整する必要があるため、設定に専用の治具が必要となるなど雑役が必要となる。

[0005] また、調整用の専用端子をリード等によりパッケージの外に引き出して、この専用端子から調整信号を入力して機能回路の調整を行うことも考えられる。しかしながら、この場合、調整用端子を余分に引き出す必要があるため、パッケージの実装面積が大きくなると共に製造コストも高くなる。

[0006] そこで、本発明の目的は、機能回路をパッケージで封止した後も特性の変更を可能とし、特性設定時の雑益を低減させ、低コスト化、故障率低減、及び実装面積の縮小を図ることのできる電子回路デバイスを提供することにある。

#### 課題を解決するための手段

[0007] 本発明の電子回路デバイスの第1の構成は、パッケージにより封止された回路本体と、当該回路本体と外部回路とを接続する複数の端子と、を有する電子回路デバイスであって、

前記回路本体は、

機能回路と、

前記何れかの端子のうちの所定の端子から、規定の時間以上の長さの規定のバースト信号(以下「書込活性バースト」という。)を検出するバースト検出回路と、

前記書込活性バーストが検出された場合、前記回路本体を設定データの入力可能な入力可能状態とするデータ受付解禁手段と、

前記入力可能状態において、前記所定の端子から入力される設定データを記憶するデータ記憶手段と、を備え、

前記機能回路は、前記データ記憶手段に書き込まれた設定データの情報に従って動作状態が設定されることを特徴とする。

[0008] この構成によれば、機能回路の調整を行う場合、まず、「所定の端子」から書込活

性バーストを入力する。これにより、回路本体が設定データの入力が可能な入力可能状態となる。この状態で、設定データを「所定の端子」から入力し、データ記憶手段に記憶させる。機能回路は、データ記憶手段にデータ記憶手段に書き込まれた設定データの情報に従って動作状態が設定される。これにより、機能回路の出力を調整することができる。

[0009] このように設定データを書き込む際に、書込活性バーストを用いてデータの受付を解禁させるようにする機能を備えたことで、設定データの入力には専用の端子を必要とせず、既存の端子(機能回路が本来備えている端子)の何れかを設定データの入力用端子として兼用させることが可能となる。

[0010] ここで、「機能回路」とは、電子回路デバイスに本来要求される機能を実現する回路をいい、例えば、スイッチング・レギュレータならば出力電圧発生回路、水晶発振器ならば発振回路が機能回路となる。「規定のバースト信号」としては、例えば、規定の周波数のパルス又は正弦波信号や、規定のパターンのパルス信号等を用いることができる。「設定データ」とは、機能回路の動作状態を設定するためのデータをいう。

[0011] 本発明の電子回路デバイスの第2の構成は、前記第1の構成において、前記データ受付解禁手段は、

前記所定の端子から入力されるシリアル・データ信号を受信するシリアル・インタフェースと、

前記バースト検出回路が前記書込活性バーストを検出した場合、前記所定の端子から入力される鍵パターン信号を検出する信号パターン検出回路と、

を備え、

前記シリアル・インタフェースは、前記鍵パターン信号が検出された場合、前記所定の端子から続いて入力される設定データを受信し前記データ記憶手段に書き込むことを特徴とする。

[0012] この構成によれば、「所定の端子」から、ノイズによって書込活性バーストと同様の信号が入力された場合であっても、信号パターン検出回路が鍵パターン信号を検出しない限りはデータ記憶手段にデータが書き込まれることがない。従って、不正なデータがデータ記憶手段に書き込まれて機能回路が誤動作を生じることを有効に防止

することが可能となる。

- [0013] 本発明の電子回路デバイスの第3の構成は、前記第1又は2の構成において、前記データ記憶手段は、揮発性メモリ及び不揮発性メモリを備え、  
前記インタフェースは、前記所定の端子から入力される設定データを受信して前記揮発性メモリに書き込むものであり、  
前記回路本体の電源端子に入力される電源電圧のレベルが、前記不揮発性メモリの書込閾値以上となると、書込可能信号を出力する電源レベル判定回路と、  
前記書込可能信号が出力された場合、前記揮発性メモリに記憶されたデータを前記不揮発性メモリに書き込む不揮発性メモリ書込回路と、を備え、  
前記機能回路は、前記揮発性メモリ又は不揮発性メモリに書き込まれた設定データの情報に従って動作状態が切り替わることを特徴とする。
- [0014] この構成によれば、設定データを揮発性メモリに書き込まれた設定データを不揮発性メモリに書き込むことで、電源を切った後も機能回路の設定は保存される。
- [0015] また、揮発性メモリに書き込んだ状態で機能回路の設定状態のテストを実施し、出力特性が所望の特性であれば、電源電圧のレベルを閾値以上に設定して設定データを不揮発性メモリに書き込むことができる。このように、揮発性メモリと不揮発性メモリの2つのメモリを備えたことで、機能回路の出力特性の調整時に設定の変更を高速で行うことができると共に設定状態の保存も可能となり、機能回路の出力特性の調整が容易となる。
- [0016] ここで、「不揮発性メモリの書込閾値」は、通常の電源電圧よりも高く、不揮発性メモリの書き込みに必要な電圧レベルよりも低い値とされる。
- [0017] この場合、機能回路は、揮発性メモリに書き込まれた設定データを優先して動作状態を設定するように構成することが望ましい。揮発性メモリの書き換えは高速に行うことが可能であるため、機能回路の出力調整時には、揮発性メモリに設定データがテストとして書き込まれるからである。
- [0018] 本発明の電子回路デバイスの第4の構成は、前記第1乃至3の何れか一の構成において、前記インタフェースは、前記設定データを所定の時間又は所定のビット数だけ受け付けると、再び前記回路本体を設定データの入力が不可能な入力不能状態

とすることを特徴とする。

[0019] この構成により、書き込み可能な状態が長時間に亘って継続しノイズ等により不正なデータが誤って書き込まれるような事態を有効に回避することができる。

[0020] 本発明の電子回路デバイスの第5の構成は、前記第1乃至4の何れか一の構成において、前記端子として、電源端子、接地端子、及び出力端子の3つの端子を備えた三端子デバイスであることを特徴とする。

[0021] これにより、三端子デバイスのように端子数が最小の電子回路デバイスであっても、出力特性の調整が可能となる。

### 発明の効果

[0022] 以上のように、本発明によれば、書込活性バーストを用いてデータの受付を解禁させるようにする機能を備え、既存の端子(機能回路が本来備えている端子)から設定データを入力して機能回路の設定を行うことで、既存の機能回路の端子数以上に設定専用の端子をパッケージの外に引き出す必要なく、機能回路の調整をパッケージ封止後に行うことが可能となる。

[0023] そして、三端子デバイスのように端子数が最小の電子回路デバイスであっても、出力特性の調整が可能となる。

### 図面の簡単な説明

[0024] [図1]本発明の実施例1に係る電子回路デバイス1の構成を表すブロック図である。

[図2]電子回路デバイス1の設定データの書き込み動作時における電源電圧端子の電圧レベル及び入出力端子の入力信号を表す図である。

[図3]非特許文献1記載の電子回路デバイスの出力設定変更回路である。

### 符号の説明

- [0025]
- 1 電子回路デバイス
  - 2 電源端子
  - 3 接地端子
  - 4 入出力端子
  - 5 回路本体
  - 6 機能回路

- 7 バースト検出回路
- 8 シリアル・インタフェース
- 9 信号パターン検出回路
- 10 揮発性メモリ
- 11 不揮発性メモリ
- 12 レベル検出回路
- 13 不揮発性メモリ書込回路

### 発明を実施するための最良の形態

[0026] 以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

#### 実施例 1

[0027] 図1は、本発明の実施例1に係る電子回路デバイス1の構成を表すブロック図である。

[0028] 電子回路デバイス1は、ICチップに実装された回路本体5と、電源端子2、接地端子3、及び入出力端子4の3つの端子とを備えた三端子デバイスである。回路本体5は、樹脂モールドやセラミックなどのパッケージで封止されており、電源端子2、接地端子3、及び入出力端子4は、リードによりパッケージの外に引き出されている。

[0029] 回路本体5には、機能回路6、バースト検出回路7、シリアル・インタフェース8、信号パターン検出回路9、揮発性メモリ10、不揮発性メモリ11、レベル検出回路12、及び不揮発性メモリ書込回路13が実装されている。

[0030] 機能回路6は、電源回路や発振回路等のように、本来、この電子回路デバイス1に要求される機能を実現する回路である。

[0031] バースト検出回路7は、入出力端子4から入力される書込活性バーストを検出する回路である。ここで「書込活性バースト」とは、規定の時間以上の長さの規定の周波数のパルス信号をいう。シリアル・インタフェース8は、入出力端子4から入力されるシリアル信号を受信するインタフェースである。信号パターン検出回路9は、バースト検出回路7が書込活性バーストを検出した場合に、入出力端子4から続いて入力される鍵パターン信号を検出する。揮発性メモリ10及び不揮発性メモリ11は、シリアル・イ



インタフェース8が受信する設定データを記憶するためのメモリである。レベル検出回路12は、電源端子2に印加される電源電圧のレベルが、不揮発性メモリ11の書込閾値以上となると、書込可能信号を出力する回路である。ここで、「書込可能信号」は、1ビットのデジタル信号とし、「0」のとき書込不可の状態、「1」のとき書込可の状態とする。不揮発性メモリ書込回路13は、書込可能信号が書込可の状態にあるときに、揮発性メモリ10に記憶された設定データを不揮発性メモリ11に書き込む回路である。

[0032] 以上のように構成された本実施例の電子回路デバイス1について、以下その動作を説明する。

[0033] 図2は、電子回路デバイス1の設定データの書き込み動作時における電源電圧端子の電圧レベル及び入出力端子の入力信号を表す図である。

[0034] 初期状態においては、電源端子4に印加されている電源電圧は、通常の電源電圧 $V_{dd}$ である。この状態では、入出力端子4からは機能回路6から電圧等の出力が行われている。

[0035] 初期状態において、不揮発性メモリ11に設定データが書き込まれている場合には、機能回路6はその設定データに従って機能し、何も設定データが書き込まれていない場合には、機能回路6はデフォルトの状態に機能する。

[0036] (例1)

例えば、機能回路6がスイッチング・レギュレータ回路の場合、設定データとして出力電圧 $V_s$ が不揮発性メモリ11に書き込まれている場合、機能回路6は入出力端子4から電圧 $V_s$ を出力する。不揮発性メモリ11に設定データが書き込まれていない場合には、機能回路6はデフォルトの出力電圧 $V_0$ を出力する。

(例終わり)

[0037] (例2)

例えば、機能回路6が発振回路の場合、設定データとして発振周波数 $f_s$ が不揮発性メモリ11に書き込まれている場合、機能回路6は入出力端子4から周波数 $f_s$ のパルス $f_s$ を出力する。不揮発性メモリ11に設定データが書き込まれていない場合には、機能回路6はデフォルトの発信周波数 $f_0$ のパルス $f_0$ を出力する。

(例終わり)

- [0038] まず、時刻 $t_1$ において、入出力端子4から、規定された周波数範囲のパルス信号が、規定された時間以上にわたり入力される。これにより、バースト検出回路7は、入力されたパルス信号を書込活性バーストと認識し、シリアル・インタフェース8を受信可能な状態(以下「データ受付モード」という。)とする。それとともに、機能回路6の出力をOFFとする。
- [0039] データ受付モードでは、シリアル・インタフェース8は、入出力端子4から入力されるパルスのパルス幅によって0状態か1状態かを判別する。判定基準のパルス幅は内部時定数回路(図示せず)によって規定される。
- [0040] 次に、時刻 $t_3 \sim t_4$ において、入出力端子4から鍵パターン信号が入力される。シリアル・インタフェース8は鍵パターン信号を受信して信号パターン検出回路9へ出力する。信号パターン検出回路9は、シリアル・インタフェース8から入力された信号データが、鍵パターン信号であることを確認した場合、シリアル・インタフェース8の状態を、揮発性メモリ10への書き込み状態(以下「書込モード」という。)に設定する。
- [0041] このように、シリアル・インタフェース8で受信される信号の0, 1からなるパターンがある条件を満たした場合にのみ書込モードへ移行することで、雑音等に起因する誤書き込みを防止することができる。
- [0042] 次に、時刻 $t_5 \sim t_6$ において、入出力端子4から、設定データが入力される。シリアル・インタフェース8は、設定データを受信すると、これを揮発性メモリ10に書き込む。所定の長さの設定データを受信すると、シリアル・インタフェース8は、再び受信不可能な状態にリセットされる。また、シリアル・インタフェース8が受信不可能な状態にリセットされると、機能回路6の出力は再びONとなる。
- [0043] 一方、揮発性メモリ10に設定データが書き込まれた場合、機能回路6は、その設定データに従って機能状態を切り替える。
- [0044] (例3)
- 例えば、機能回路6がスイッチング・レギュレータ回路の場合、設定データとして出力電圧 $V_{s1}$ が揮発性メモリ10に書き込まれた場合、機能回路6は不揮発性メモリ11に設定データが書き込まれているか否かに関わらず、入出力端子4から電圧 $V_{s1}$ を出力するように機能状態を切り替える。

(例終わり)

[0045] (例4)

例えば、機能回路6が発振回路の場合、設定データとして発振周波数 $f_{s1}$ が揮発性メモリ10に書き込まれた場合、機能回路6は不可発性メモリ11に設定データが書き込まれているか否かに関わらず、入出力端子4から周波数 $f_{s1}$ のパルスを出力する。

(例終わり)

[0046] このように、揮発性メモリ10に設定データを書き込むことによって、機能回路6の機能状態を変更することができる。

[0047] 次に、時刻 $t_7 \sim t_8$ において、電源端子2に印加する電源電圧のレベルが、不揮発性メモリ11の書き込みに必要な電圧レベル $V_{dd2}$ に設定される。レベル検出回路12は、電源電圧のレベルが書込閾値 $V_{th}$ より大きくなったと判定し、書込可能信号として「1」を出力する。ここで、「書込閾値 $V_{th}$ 」は、通常の電源電圧 $V_{dd}$ よりも大きく、不揮発性メモリ11の書き込みに必要な電圧レベル $V_{dd2}$ よりも小さい値とされる。

[0048] 不揮発性メモリ書込回路13は、書込可能信号が「1」となると、揮発性メモリ10に書き込まれた設定データを不揮発性メモリ11に出力して書き込みを行う。これにより、設定データが不揮発化され、電源が切られた後も設定データが保存される。

[0049] 以上のように、本実施例の電子回路デバイス1によれば、書込活性バーストを用いてシリアル・インタフェース8のデータの受付を解禁させるようにする機能を備え、機能回路6の出力端子(入出力端子4)から設定データを入力して機能回路6の設定を行うため、機能回路6が本来必要とする端子数以上に設定専用の端子をパッケージの外に引き出す必要なく機能回路6の調整をパッケージ封止後に行うことが可能となる。

[0050] また、書込活性バーストを受信するとシリアル・インタフェース8をデータ受付モードとし、その後鍵パターン信号を受信するとシリアル・インタフェース8を書込モードとするというように、データの書き込みを解禁するために2重の段階の設定処理を踏むことで、雑音等に起因する誤書き込みを有効に防止することが可能となる。

## 請求の範囲

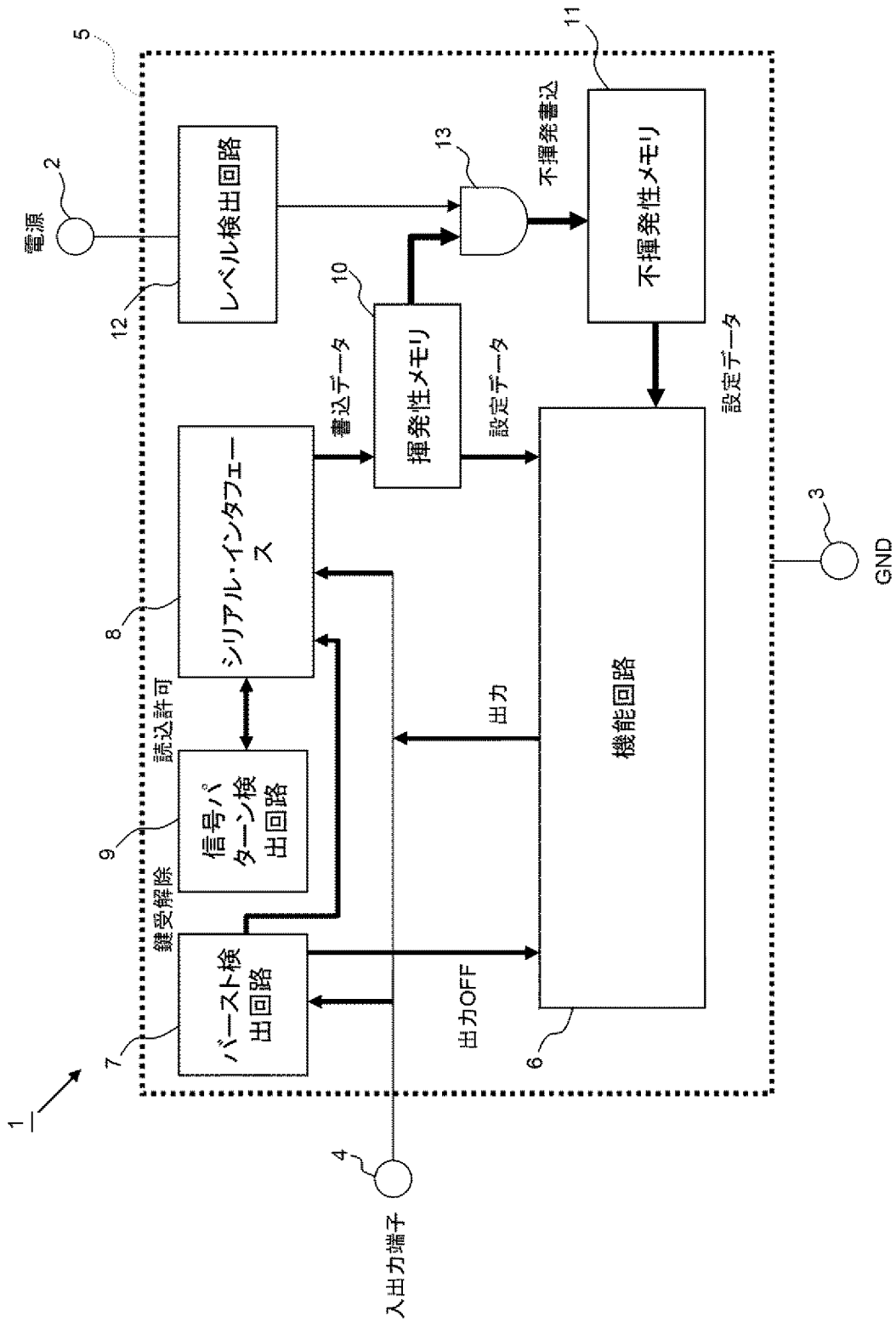
- [1] パッケージにより封止された回路本体と、当該回路本体と外部回路とを接続する複数の端子と、を有する電子回路デバイスであって、
- 前記回路本体は、
- 機能回路と、
- 前記何れかの端子のうちの所定の端子から、規定の時間以上の長さの規定のバースト信号(以下「書込活性バースト」という。)を検出するバースト検出回路と、
- 前記書込活性バーストが検出された場合、前記回路本体を設定データの入力可能な入力可能状態とするデータ受付解禁手段と、
- 前記入力可能状態において、前記所定の端子から入力される設定データを記憶するデータ記憶手段と、を備え、
- 前記機能回路は、前記データ記憶手段に書き込まれた設定データの情報に従って動作状態が設定されることを特徴とする電子回路デバイス。
- [2] 前記データ受付解禁手段は、
- 前記所定の端子から入力されるシリアル・データ信号を受信するシリアル・インタフェースと、
- 前記バースト検出回路が前記書込活性バーストを検出した場合、前記所定の端子から入力される鍵パターン信号を検出する信号パターン検出回路と、
- を備え、
- 前記シリアル・インタフェースは、前記鍵パターン信号が検出された場合、前記所定の端子から続いて入力される設定データを受信し前記データ記憶手段に書き込むことを特徴とする請求項1記載の電子回路デバイス。
- [3] 前記データ記憶手段は、揮発性メモリ及び不揮発性メモリを備え、
- 前記シリアル・インタフェースは、前記所定の端子から入力される設定データを受信して前記揮発性メモリに書き込むものであり、
- 前記回路本体の電源端子に入力される電源電圧のレベルが、前記不揮発性メモリの書込閾値以上となると、書込可能信号を出力する電源レベル判定回路と、
- 前記書込可能信号が出力された場合、前記揮発性メモリに記憶されたデータを前

記不揮発性メモリに書き込む不揮発性メモリ書込回路と、を備え、  
前記機能回路は、前記揮発性メモリに書き込まれた設定データの情報に従って動作  
状態が切り替わることを特徴とする請求項1又は2記載の電子回路デバイス。

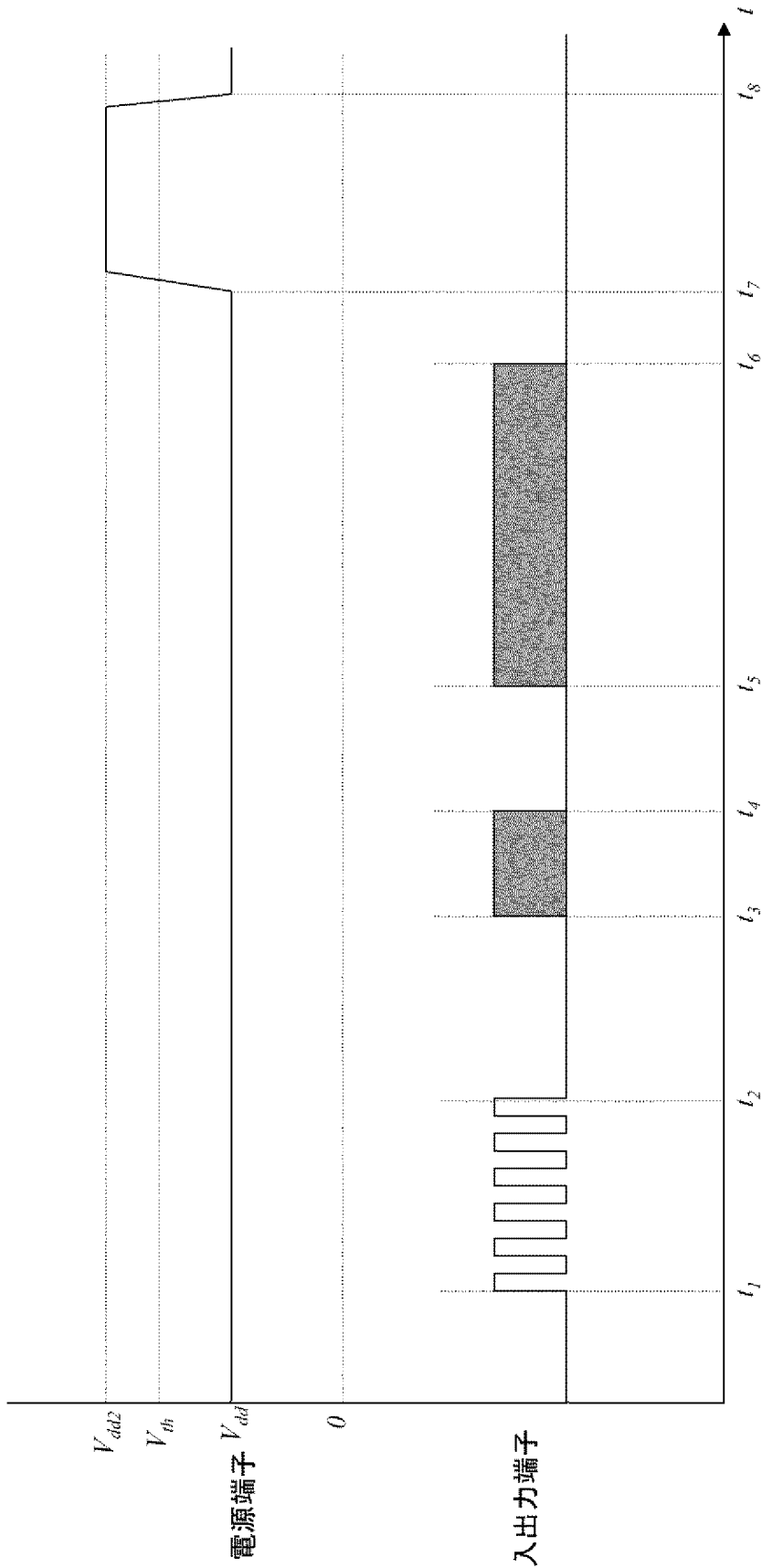
[4] 前記シリアル・インタフェースは、前記設定データを所定の時間又は所定のビット数  
だけ受け付けると、再び前記回路本体を設定データの入力が不可能な入力不能状  
態とすることを特徴とする請求項1乃至3の何れか一記載の電子回路デバイス。

[5] 前記端子として、電源端子、接地端子、及び出力端子の3つの端子を備えた三端  
子デバイスであることを特徴とする請求項1乃至4の何れか一記載の電子回路デバイ  
ス。

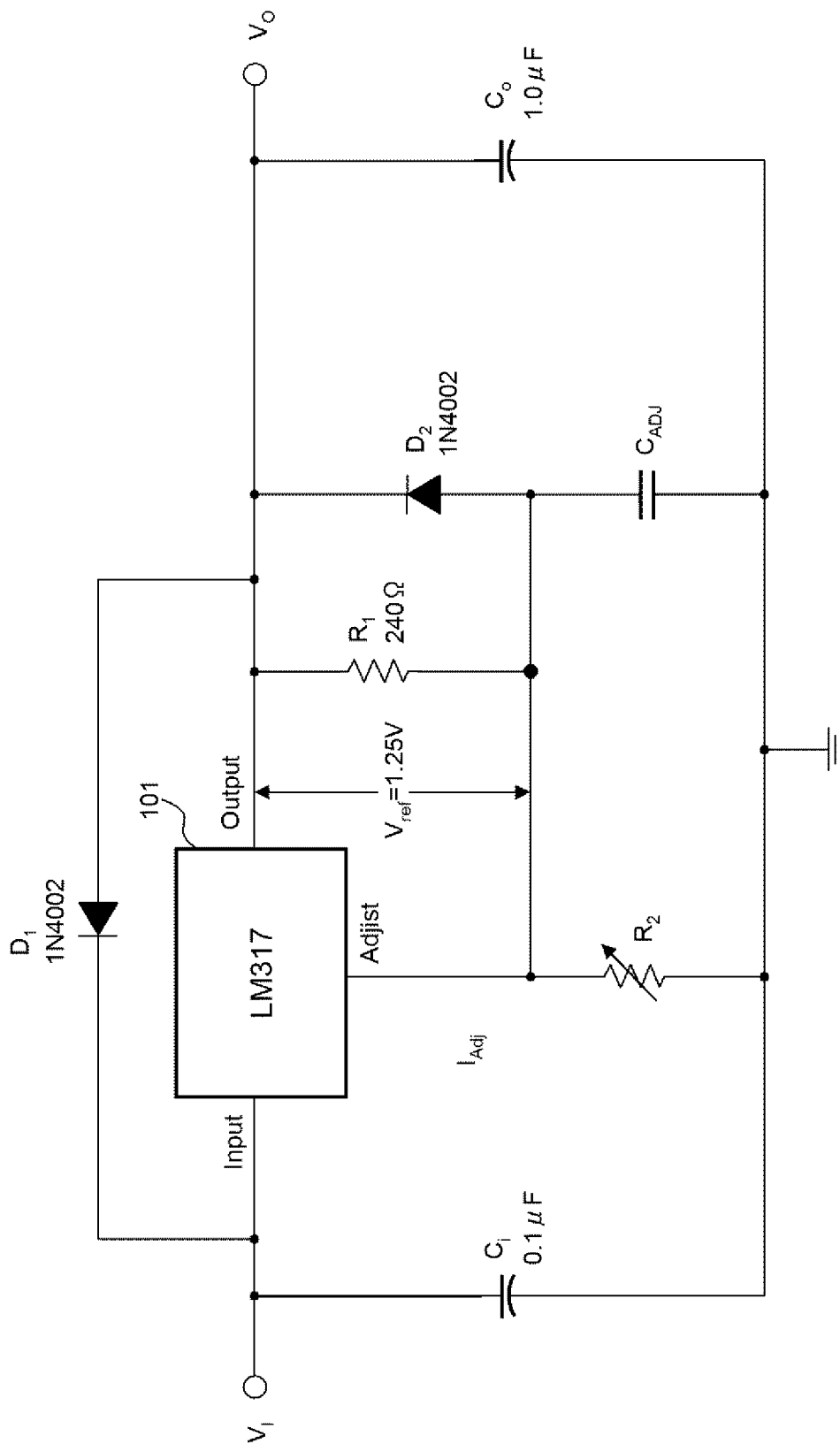
[図1]



[図2]



[図3]





**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2008/051318

**A. CLASSIFICATION OF SUBJECT MATTER**  
G05F1/56(2006.01) i, H02M3/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G05F1/56, H02M3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-171008 A (NEC Corp.), 06 July, 1989 (06.07.89), Page 1, lower right column, line 5 to page 3, upper left column, line 8; Figs. 1 to 4 (Family: none)	1-5
A	JP 6-86540 A (Fujitsu Ltd.), 25 March, 1994 (25.03.94), Par. Nos. [0026] to [0030]; Fig. 3 (Family: none)	1-5
A	JP 2003-348826 A (Fuji Electric Co., Ltd.), 05 December, 2003 (05.12.03), Par. Nos. [0001] to [0061]; Figs. 1 to 12 (Family: none)	1-5

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 April, 2008 (16.04.08)	Date of mailing of the international search report 01 May, 2008 (01.05.08)
----------------------------------------------------------------------------------------	-------------------------------------------------------------------------------

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2008/051318

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-170898 A (Ricoh Co., Ltd.), 29 June, 2006 (29.06.06), Par. Nos. [0001] to [0015]; Figs. 1 to 4 (Family: none)	1-5
P,A	JP 2007-258294 A (Fuji Electric Device Technology Co., Ltd.), 04 October, 2007 (04.10.07), Par. Nos. [0001] to [0027]; Figs. 1 to 5 (Family: none)	1-5

Although claim 1 is directed to "an electronic circuit device" provided with "a plurality of terminals to connect a circuit main body with outer circuits", wherein "a writing activation burst" or "set data" are input from "any one of predetermined terminals", the disclosure in the meaning of PCT Article 5 is only that "a writing activation burst" or "set data" are input to "an electronic circuit device" of "a three-terminal device provided with three terminals of an electric power source, a ground terminal and an output terminal" explained in the description, so that it is a lack of the support in the meaning of PCT Rule 6.

Thus, the search has been carried out for a scope supported and disclosed by the description, namely, "an electronic circuit device of a three-terminal device provided with three terminals of an electric power source, a ground terminal and an output terminal to which a writing activation burst or set data are input" as concretely explained in the description.

Claims 2-5 referring to claim 1 are in the same as mentioned above.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. G05F1/56(2006.01)i, H02M3/00(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. G05F1/56, H02M3/00

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2008年  
 日本国実用新案登録公報 1996-2008年  
 日本国登録実用新案公報 1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 1-171008 A (日本電気株式会社) 1989.07.06, 第1頁右下欄第5行-第3頁左上欄第8行, 図1-4 (ファミリーなし)	1-5
A	J P 6-86540 A (富士通株式会社) 1994.03.25, 【0026】-【0030】, 図3 (ファミリーなし)	1-5

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー  
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日 16.04.2008	国際調査報告の発送日 01.05.2008
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 櫻田 正紀	3V	2917
	電話番号 03-3581-1101 内線 3357		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2003-348826 A (富士電機株式会社) 2003. 12. 05, 【0001】 - 【0061】, 図1-12 (ファミリーなし)	1-5
A	JP 2006-170898 A (株式会社リコー) 2006. 06. 29, 【0001】 - 【0015】, 図1-4 (ファミリーなし)	1-5
P, A	JP 2007-258294 A (富士電機デバイステクノロジー株式会社) 2007. 10. 04, 【0001】 - 【0027】, 図1-5 (ファミリーなし)	1-5

請求の範囲1は、「回路本体と外部回路とを接続する複数の端子」を有する「電子回路デバイス」において、「何れかの端子のうちの所定の端子」から、「書込活性バースト」や「設定データ」が入力されるものであるが、PCT第5条の意味において開示されているのは、明細書に記載された「電源端子、接地端子、及び出力端子の3つの端子」を有する三端子デバイスである「電子回路デバイス」において、「出力端子」から、「書込活性バースト」や「設定データ」が入力されるもののみであり、PCT第6条の意味での裏付けを欠いている。

よって、調査は、明細書に裏付けられ、開示されている範囲、すなわち、明細書に具体的に記載されている、「電源端子、接地端子、及び出力端子の3つの端子を有する三端子デバイスである電子回路デバイス」において、出力端子から、書込活性バーストや設定データが入力されるもの」について行った。

請求の範囲1を引用する、請求の範囲2-5についても同様である。