

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年12月29日 (29.12.2005)

PCT

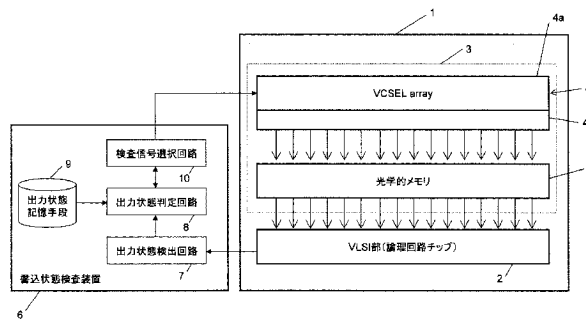
(10) 国際公開番号
WO 2005/125013 A1

- (51) 国際特許分類⁷: H03K 19/173, 州工業大学 (KYUSHU INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町 1-1 Fukuoka (JP).
G01R 31/317, H01L 21/82
- (21) 国際出願番号: PCT/JP2005/011026
- (22) 国際出願日: 2005年6月16日 (16.06.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2004-181913 2004年6月18日 (18.06.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人科学技術振興機構 (JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町 4-1-8 Saitama (JP). 国立大学法人九州工業大学 (KYUSHU INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町 1-1 Fukuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 渡邊 実 (WATANABE, Minoru) [JP/JP]; 〒8200053 福岡県飯塚市伊岐須 1-4-4-403 Fukuoka (JP). 小林 史典 (KOBAYASHI, Fuminori) [JP/JP]; 〒8114141 福岡県宗像市大谷 2-1-1 Fukuoka (JP).
- (74) 代理人: 石田 和人 (ISHIDA, Kazuto); 〒8080135 福岡県北九州市若松区ひびきの 2-1 北九州学術研究都市産学連携センター T-302 Fukuoka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: OPTICALLY RECONFIGURABLE GATE ARRAY WRITE STATE INSPECTION METHOD, WRITE STATE INSPECTION DEVICE, AND OPTICALLY RECONFIGURABLE GATE ARRAY

(54) 発明の名称: 光再構成型ゲートアレイの書込状態検査方法及び書込状態検査装置、並びに光再構成型ゲートアレイ



- 6 WRITE STATE INSPECTION DEVICE
- 9 OUTPUT STATE STORAGE MEANS
- 10 INSPECTION SIGNAL SELECTION CIRCUIT
- 8 OUTPUT STATE JUDGMENT CIRCUIT
- 7 OUTPUT STATE DETECTION CIRCUIT
- 5 OPTICAL MEMORY
- 2 VLSI UNIT (LOGICAL CIRCUIT CHIP)

(57) Abstract: There is provided a write state inspection technique not requiring a circuit dedicated to a write state inspection of inside of a logical circuit of the ORGA. An optical signal pattern configures the logical circuit structure in the ORGA as follows: when an optical signal irradiated to the optically reconfigurable bit element to be inspected is switched from ON to OFF, at least one logical level or output impedance is changed. A first and a second optical signal pattern in which an optical signal irradiated to the optically reconfigurable bit element to be inspected is ON or OFF are successively irradiated/inputted to the logical circuit. Together with this, each of the output states is detected by an output state detection circuit connected to the respective logical output terminals and detecting whether the logical level of the output terminal is at H level, L level, or high impedance. The state detected is compared to the normal output state of the inputted optical signal pattern so as to judge whether the information write state by the optical signal for each optically reconfigurable bit element is successful.

(57) 要約: ORGAの論理回路内部の書込状態検査専用回路が不要な書込状態検査技術を提供する。 ORGA内の論理回路構造を、検査対象光再構成ビット素子に照射する光信号をオンから

[続葉有]

WO 2005/125013 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- USのみのための発明者である旨の申立て (規則4.17(iv))

添付公開書類:

- 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

オフに切替えた場合に、最低一つの論理レベル又は出力インピーダンスが変化する論理構造に構成する光信号パターンであって、検査対象光再構成ビット素子に照射する光信号がオン又はオフである第1、第2の光信号パターンを、論理回路に対し順次照射入力する。それとともに、各々の論理出力端子に接続され、当該出力端子の論理レベルがHレベル、Lレベル、又は高インピーダンスの何れの状態であるかを検出する出力状態検出回路により、各々の出力状態を検出する。検出された状態を、入力された光信号パターンの正常な出力状態と比較することにより、各光再構成ビット素子について光信号による情報書込状態の合否判定を行う。

明 細 書

光再構成型ゲートアレイの書込状態検査方法及び書込状態検査装置、並びに光再構成型ゲートアレイ

技術分野

[0001] 本発明は、光再構成型ゲートアレイにおける、光信号により論理回路構成情報の書き込みを行う際の情報書込状態の検査技術に関する。

背景技術

[0002] 近年、論理構造を電気的に入力することにより、回路の論理構造を目的に応じて再構成することが可能な論理デバイスとして、フィールド・プログラマブル・ゲートアレイ(Field Programmable Gate Array: 以下、「FPGA」という。)が広く使用されている。しかしながら、FPGAは、回路構成情報が記憶されたメモリと、再構成可能なゲートアレイVLSIとが金属配線により接続した構成を用いているため、回路の論理構造を再構成する再構成時間を短縮するには限界がある。

[0003] そこで、近年、回路の論理構造の再構成時間を飛躍的に短縮する技術として、光再構成型ゲートアレイ(Optically Reconfigurable Gate Array : ORGA)の研究・開発が進められている(例えば、特許文献1~4、非特許文献1~4参照)。光再構成型ゲートアレイは、回路の論理構造の情報を光信号パターンとして出力する光学部と、前記光信号パターンに従って回路の論理構造の構成を行うVLSI部との二つの部分を有し、光学部からの光信号パターンによりVLSI部の論理構造の再構成を並列的に実行するデバイスである。一般に、光学部において論理回路構成情報を記憶する光学的メモリとしては、回路構成情報を自在に変更することができるように、ホログラム・メモリのような可換媒体が使用される。

[0004] これらの光再構成型ゲートアレイにおいては、VLSI部である論理回路が搭載されたチップ(論理回路チップ)内の回路の各所に、光再構成ビット素子を設け、論理回路構成情報を含む光信号パターンを電気的な信号に変換する。入力された論理回路構成情報は、回路内に保持される。そして、論理回路構成情報に従った回路接続の切り替えを行うことによって、論理回路の再構成が行われる。

[0005] このように、光再構成型ゲートアレイにおいては、光学部とVLSI部(論理回路チップ)が別個独立な部分として構成されている。従って、光照射の位置ずれやフォーカスのずれ等の種々の原因によって、論理回路構成情報をVLSI部に書き込む際の書込エラーが発生する。斯かる書込エラーは、VLSI部の異常動作を引き起こす。従って、光再構成型ゲートアレイにおいては、事前にVLSI部における情報書込状態を検査することが不可欠である。

[0006] そこで、従来の光再構成型ゲートアレイにおいては、VLSI部の論理回路の内部に、各光再構成ビット素子における書込状態を検査する専用の回路(以下、「書込状態検査回路」という。)が組み込まれている。通常、書込状態検査回路は、各光再構成ビット素子に対応して、書き込まれた信号の論理レベルを読み出すための1~3個の読出用トランジスタ、読出用トランジスタで読み出した論理レベルを外部に引き出すための配線、及び検査を実行する光再構成ビット素子を選択する為のデコーダ回路によって構成される。

[0007] 書込状態の検査を実行する場合、まず、デコーダ回路により検査対象の光再構成ビット素子を選択する。そして、読出用トランジスタを用いて、当該光再構成ビット素子により書き込まれた1ビットの回路構成情報の論理レベルを読み出し、正常な書き込み値と比較することにより、正常に書き込まれているか否かの検査を行う。これを、すべての光再構成ビット素子について繰り返して行う。すべての光再構成ビット素子の書込状態が正常であれば、検査を終了する。斯かる検査は、光学部の光学的メモリを最初に設定した後に、1度だけ実行される。光学的メモリと論理回路チップとの物理的な位置関係が正常に設定された後は、書込状態検査回路は不要となる。

特許文献1:特開2002-353317号公報

特許文献2:米国特許第5959747号明細書

特許文献3:米国特許第6057703号明細書

特許文献4:米国特許第6072608号明細書

非特許文献1:J. Mumbru, G. Panotopoulos, D. Psaltis, X. An, F. Mok, S. Ay, S. Barna, and E. Fossum, "Optically Programmable Gate Array", Proc. SPIE of Optics in Computing 2000, The International Society for Optical Engineering, May 2000, Vol.

4089, pp.763-771

非特許文献2:J.Mumbru, G.Zhou, X.An, W.Liu, G.Panotopoulos, F.Mok, and S.Psaltis, "Optical memory for computing and information processing", Proc. SPIE on Algorithms, Devices, and Systems for Optical Information Processing III, The International Society for Optical Engineering, July 1999, Vol.3804, pp.14-24

非特許文献3:J. Mumbru, G. Panotopoulos, D. Psaltis, X. An, G. Zhou, F. Mok, "Optically Reconfigurable Gate Array", Proceedings of the 29th Applied Imagery Pattern Recognition Workshop (AIPR'00), IEEE Computer Society, October 16-18, 2000, pp.84

非特許文献4:Jose Mumbru, George Panotopoulos, Arrigo Benedetti, Demetri Psaltis, Pietro Perona, "Optically Programmable FPGA Systems", [online], 2001年12月13日, California Institute of Technology Division of Engineering and Applied Science, [平成15年7月21日検索], インターネット<URL : <http://www.cnse.caltech.edu/Research02/reports/panotopoulos2full.html>>

発明の開示

発明が解決しようとする課題

- [0008] 上述のように、書込状態検査回路は、最初の光学部の光学的メモリの位置決めを行う場合にのみ使用される。そして、実際に所望の論理回路をVLSI部に構成しそれを実行する際には、書込状態検査回路は不要となる。従って、書込状態検査回路の実装領域をできるだけ小さくして、VLSI部内のゲートアレイの実装面積を大きくすることが好ましい。
- [0009] ところが、上述のように、書込状態検査回路には、それぞれの光再構成ビット素子に対応して、2~3個の読出用トランジスタ及び読出用の配線が必要とされる。また、検査対象である光再構成ビット素子を切り替えるデコーダ回路も必要とされる。従って、書込状態検査回路の実装領域はVLSI部全体の实装面積の10~25%を占める。
- [0010] このように、VLSI部の論理回路内に組み込まれた書込状態検査回路は、論理回路内のゲートアレイの実装領域を圧迫し、論理回路のゲート密度を向上させる上で

大きな障害となる。

[0011] そこで、本発明の目的は、光再構成型ゲートアレイの論理回路内部の書込状態検査のための専用回路が不要な書込状態検査技術を提供することにある。

課題を解決するための手段

[0012] 本発明に係る光再構成回路の書込検査方法の第1の構成は、複数の光再構成ビット素子を備えた論理回路が実装された論理回路チップを有し、光学的メモリに記憶された所望の光信号パターンを読み出して光信号として前記論理回路チップに照射することにより前記論理回路の論理構造を再構成することが可能な光再構成型ゲートアレイについて、前記各光再構成ビット素子の光信号による情報書込状態の検査を行う書込状態検査方法であって、前記光学的メモリに予め記憶されている検査用の光信号パターン(以下、「検査パターン」という。)を、前記論理回路チップに照射することにより、光再構成ビット素子を検査するための論理構造(以下、「検査用論理回路」という。)を前記論理回路に構成する第1ステップ;前記検査用論理回路に対する前記論理回路チップの出力端子の出力状態が、論理レベルがHレベルの状態、論理レベルがLレベルの状態、又は出力インピーダンスが高インピーダンスの状態のうち何れの状態であるかを検出する第2ステップ;及び、その検出された状態を、前記検査用論理回路に対する正常な出力状態と比較することにより、前記各光再構成ビット素子について光信号による情報書込状態の可否の判定を行う第3ステップ;を有し、前記検査パターンとして、検査対象である光再構成ビット素子に照射する光信号がオフ状態である第1の検査パターン、及び検査対象である光再構成ビット素子に照射する光信号がオン状態である第2の検査パターンを備え、前記第1の検査パターン、前記第2の検査パターンの順又はその逆順で、順次、2つの検査パターンを照射することにより前記第1ステップ乃至第3ステップを実行することを特徴とする。

[0013] この構成により、各光再構成ビット素子の光信号による情報書込状態の検査は、論理回路チップ内の再構成可能な論理回路に検査用論理回路を構成して、検査対象である光再構成ビット素子を含む論理回路そのものを利用して実行することができる。従って、論理回路チップ内に検査専用の回路を組み込むことが不要となる。

[0014] この場合、各光再構成ビット素子の書込状態検査に使用する検査パターンを光学

的メモリの一部に記憶させておく必要があるため、光学的メモリの記憶容量が消費される。しかしながら、通常、光学的メモリの記憶容量は極めて大きい。そのため、検査パターンを光学的メモリの一部を消費して記憶させたとしても、光学的メモリには検査パターン以外の他の論理回路再構成情報を記憶させるだけの余裕は十分にある。従って、書込状態検査に使用する光信号パターンを光学的メモリの一部に記憶させることで、光学的メモリの記憶容量が消費されるというデメリットよりも、光再構成型ゲートアレイのチップ内の書込状態検査用の回路の実装面積が大幅に縮小されるメリットのほうが格段に大きい。

- [0015] また、第1の検査パターンと第2の検査パターンとを切り替えた場合に、論理回路の出力端子からの出力状態の変化が、あらかじめ求められている正常な出力状態と一致すれば、検査対象となっている光再構成ビット素子の光信号による書き込みは正常に行われていると判断される。逆に、正常な出力状態と一致しない場合には、検査対象となっている光再構成ビット素子の光信号による書き込みは正常に行われていないと判断できる。
- [0016] 従って、論理回路チップ内に検査専用の回路を組み込むことなく、検査対象である光再構成ビット素子を含む論理回路そのものを利用して、各光再構成ビット素子の光信号による情報書込状態の検査を実行することが可能となる。
- [0017] ここで、光学的メモリとしては、例えば、ホログラム・メモリ、フィルム、CD、MD、DVD、その他空間光変調素子等が使用される。
- [0018] 尚、本明細書において「光再構成ビット素子」とは、光信号を受光した場合、それを電気信号に変換し、1ビットの論理情報として保持する素子をいう。
- [0019] 本発明に係る書込状態検査方法の第2の構成は、前記第1の構成において、前記検査用論理回路は、前記論理回路チップの出力端子の出力が、検査対象である光再構成ビット素子に対する光信号の入力に依存して変化する論理構造であることを特徴とする。
- [0020] この構成によれば、検査用論理回路は、論理回路チップの出力端子の出力が、検査対象である光再構成ビット素子に対する光信号の入力に依存して変化するもので、論理回路チップの出力端子の出力状態を検出することにより、検査対象である光再

構成ビット素子の情報書込状態が正常でない場合を検出することが可能となる。

[0021] 本発明に係る書込状態検査方法の第3の構成は、前記第1の構成において、前記検査用論理回路は、前記論理回路チップの出力端子の出力が、検査対象である光再構成ビット素子に対する光信号の入力に依存して変化し、且つ、情報書込状態の検査が未だ終了していない光再構成ビット素子に対する光信号の入力に依存しない論理構造であることを特徴とする。

[0022] この構成によれば、検査用論理回路は、論理回路チップの出力端子の出力が、情報書込状態の検査が未だ終了していない光再構成ビット素子に対する光信号の入力に依存しないので、検査対象である光再構成ビット素子以外の他の光再構成ビット素子の書き込み状態が不良である可能性が排除される。従って、検査対象とする光再構成ビット素子の情報書込状態の検査を正確に実施することが可能となる。

[0023] 本発明に係る光再構成型ゲートアレイの書込状態検査装置の第1の構成は、複数の光再構成ビット素子を備えた論理回路が実装された論理回路チップを有し、光学的メモリに記憶された所望の光信号パターンを読み出して光信号として前記論理回路チップに照射することにより前記論理回路の論理構造を再構成することが可能な光再構成型ゲートアレイについて、前記各光再構成ビット素子の光信号による情報書込状態の検査を行う書込状態検査装置であって、光再構成ビット素子を検査するための論理構造(以下、「検査用論理回路」という。)を前記論理回路に構成するための検査用の光信号パターン(以下、「検査パターン」という。)が記憶された前記光学的メモリと、前記光学的メモリに記憶された前記検査パターンを光信号パターンとして読み出して前記論理回路チップに照射する検査信号入力手段と、前記論理回路チップの出力端子の出力状態が、論理レベルがHレベルの状態、論理レベルがLレベルの状態、又は出力インピーダンスが高インピーダンスの状態のうち何れの状態であるかを検出する出力状態検出手段と、を備え、前記光学的メモリには、前記検査用論理回路を前記論理回路に構成するための光信号パターンであって、検査対象である光再構成ビット素子に照射する光信号がオフ状態である第1の検査パターン、及び前記検査用論理回路を前記論理回路に構成するための光信号パターンであって、検査対象である光再構成ビット素子に照射する光信号がオン状態である第2の検

査パターンが記憶されており、前記検査信号入力手段は、前記論理回路チップに対して前記第1の検査パターン、前記第2の検査パターンの順又はその逆順で、順次、2つの検査パターンを照射するものであり、前記出力状態検出手段は、それぞれの前記検査パターンに対して、前記論理回路チップの出力端子の出力状態が、論理レベルがHレベルの状態、論理レベルがLレベルの状態、又は出力インピーダンスが高インピーダンスの状態のうち何れの状態であるかを検出するものであることを特徴とする。

[0024] この構成によれば、検査信号入力手段は、第1の検査パターン及び第2の検査パターンを、この順又はその逆順で、論理回路に順次照射入力する。出力状態検出回路は、各光信号パターンが入力された時の各々の論理信号の出力端子の出力状態を検出する。これらのそれぞれの出力状態が検出できれば、これら出力状態をあらかじめ求められている正常な出力状態と比較することにより、光再構成ビット素子の書込状態が正常か否かを検査することができる。

[0025] また、検査信号入力手段が光学的メモリに記憶された検査パターンを論理回路チップに照射することによって、論理回路チップ内に検査用論理回路が構成される。この検査用論理回路によって、検査対象となる光再構成ビット素子の情報書込状態に応じた出力が論理回路チップの出力端子に出力される。従って、出力状態検出手段は、論理回路チップの出力端子の出力状態を検出することにより、光再構成ビット素子の情報書込状態が正常であるか否かを検出することができる。この場合、検査用論理回路は論理回路チップ内の再構成可能な論理回路を利用して構成されるため、論理回路チップ内に検査専用の回路を組み込むことが不要となる。従って、検査のために必要な論理回路が論理回路チップ内の論理回路のゲート密度を向上させる上での支障となるようなことを防止することができる。

[0026] また、上述したように、光学的メモリの記憶容量は極めて大きいので、光学的メモリの記憶容量が消費されることによる実用上の支障が生じることはない。

[0027] 尚、本発明に係る書込状態検査装置は、光再構成型ゲートアレイとは別のチップ又は基板として実装してもよいし、光再構成型ゲートアレイと同一のチップ内に実装するように構成してもよい。

- [0028] 論理回路の出力端子の数は、パッケージの出力端子数の制限上、通常は論理回路のゲート数に比較すると遙かに少ない。従って、仮に出力状態検出手段としての回路を光再構成型ゲートアレイのチップ上に実装したとしても、その回路の占める実装面積は、ゲートアレイ領域や配線領域の面積に比較して遙かに小さいため、論理回路チップ内の論理回路のゲート密度を向上させる上での支障となるようなことはない。
- [0029] 本発明に係る光再構成型ゲートアレイの書込状態検査装置の第2の構成は、前記第1の構成において、前記検査用論理回路に対して前記出力状態検出回路が検出する前記論理回路チップの出力端子の出力状態を、前記検査用論理回路に対する正常な出力状態と比較することにより、前記各光再構成ビット素子について光信号による情報書込状態の合否の判定を行う出力状態判定手段を備えていることを特徴とする。
- [0030] この構成により、検査対象である光再構成ビット素子の情報書込状態が正常であるか否かを、出力状態判定手段を用いて自動的に判別することが可能となる。
- [0031] 本発明に係る光再構成型ゲートアレイの書込状態検査装置の第3の構成は、前記第1又は2の構成において、前記検査用論理回路は、前記論理回路チップの出力端子の出力が、検査対象である光再構成ビット素子に対する光信号の入力に依存して変化する論理構造であることを特徴とする。
- [0032] この構成によれば、検査用論理回路は、論理回路チップの出力端子の出力が、検査対象である光再構成ビット素子に対する光信号の入力に依存して変化するもので、論理回路チップの出力端子の出力状態を検出することにより、検査対象である光再構成ビット素子の情報書込状態が正常でないことを検出することが可能となる。
- [0033] 本発明に係る光再構成型ゲートアレイの書込状態検査装置の第4の構成は、前記第1乃至3の何れか一の構成において、前記出力状態検出手段は、前記論理回路の出力端子の電圧を検出する電圧検出回路と、前記論理回路の出力端子に、抵抗を介して、論理閾値以上の電圧又は論理閾値以下の電圧を切り替え自在に印加する検出電圧印加回路と、を備えていることを特徴とする。
- [0034] この構成によれば、検出電圧印加回路により、論理回路の出力端子に、抵抗を介

して、論理閾値以上の電圧、及び論理閾値以下の電圧を印加するとともに、各電圧印加時の出力端子の電圧を電圧検出回路で検出すれば、出力端子の出力状態を検出することができる。すなわち、出力端子の出力状態がHレベル又はLレベルの場合、検出電圧印加回路による印加電圧を変化させた場合でも、出力端子の電圧はHレベル又はLレベルから変化しない。一方、出力端子の出力状態が高インピーダンス状態の場合には、検出電圧印加回路による印加電圧が論理閾値以上の場合には出力端子の電圧はHレベルとなり、論理閾値以下の場合には出力端子の電圧はLレベルとなる。従って、これにより、出力端子の出力状態が、Lレベルの状態又はHレベル状態、若しくは高インピーダンスの状態の何れであるかを検出することができる。

[0035] 本発明に係る光再構成型ゲートアレイの第1の構成は、複数の光再構成ビット素子を備えた論理回路が実装された論理回路チップを有し、光学的メモリに記憶された所望の光信号パターンを読み出して光信号として前記論理回路チップに照射することにより前記論理回路の論理構造を再構成することが可能な光再構成型ゲートアレイにおいて、前記論理回路チップの各々の出力端子に接続され、当該出力端子の論理レベルがHレベルの状態、当該出力端子の論理レベルがLレベルの状態、又は当該出力端子の出力インピーダンスが高インピーダンスの状態のうち何れの状態であるかを検出する出力状態検出回路を備え、前記論理回路チップに実装された論理回路は、論理構造を再構成するための複数の光再構成ビット素子を備えた光再構成可能な論理回路を有する光再構成論理ブロックと、前記光再構成論理ブロックに入出力される論理信号の配線接続の切り替えを行う接続回路であって、その接続構造を再構成するための複数の光再構成ビット素子を備えた光再構成接続回路と、各配線と入出力端子との接続の切り替えを行う入出力回路であって、その接続構造を再構成するための複数の光再構成ビット素子を備えた光再構成入出力回路と、を備え、前記光再構成入出力回路は、前記論理回路が実装される四角形の論理回路チップの少なくとも3つの角部に配置されていることを特徴とする。

[0036] この構成により、上述のように、検査パターンによって光再構成型ゲートアレイに入力し、論理回路の出力を出力状態検出回路により検出して、光再構成型ゲートアレイの内部回路を用いて光信号による書込状態の検査・診断を行うことができる。

[0037] 光再構成入出力回路は、入出力端子に最も近接しているので、光再構成入出力回路に含まれる光再構成ビット素子が最初に検査対象とされる。従って、光再構成入出力回路が論理回路チップの3隅又は4隅にあれば、論理回路チップの3隅又は4隅における光再構成ビット素子の書込状態の検査が他に先行して行われる。従って、最初に、これら論理回路チップの3隅又は4隅における光再構成ビット素子の書込状態が正常となるように論理回路チップの位置合わせが行われ、これにより、光信号を出力する光学部と論理回路チップとの位置合わせを、厳密かつ早急に行うことができる。

[0038] 本発明に係る光再構成型ゲートアレイの第2の構成は、前記第1の構成において、前記出力状態検出回路は、前記論理回路の論理信号の出力端子の電圧を検出する電圧検出回路と、前記論理回路の論理信号の出力端子に、抵抗を介して、論理閾値以上の電圧又は論理閾値以下の電圧を切り替え自在に印加する検出電圧印加回路と、を備えていることを特徴とする。

発明の効果

[0039] 以上のように、本発明に係る光再構成型ゲートアレイの書込状態検査方法によれば、論理回路内に検査回路を組み込むことなく、各光再構成ビット素子の光信号による書き込み状態の検査を実行することができる。

[0040] また、本発明に係る光再構成型ゲートアレイの書込状態検査装置によれば、論理回路内に検査回路を組み込む必要がない。そのため、書込状態検査のための回路の実装面積を節約できる。そして、書込状態検査のための回路が、光再構成型ゲートアレイのゲート密度を向上させる上での支障となることを防止することができる。

[0041] また、本発明に係る光再構成型ゲートアレイは、光再構成型ゲートアレイの内部回路を用いて光信号による書込状態の検査・診断を行うことができる。従って、光信号を出力する光学部と、光再構成型ゲートアレイが実装されたチップとの間の位置合わせをする際の利便性が向上する。

図面の簡単な説明

[0042] [図1]本発明の実施例1記載の光再構成型ゲートアレイの書込状態検査装置を示す図である。

[図2] ORGAのVLSI部の回路構成を表す図である。

[図3] 図2のORLBの回路構成を表す図である。

[図4] 図2のORSMの回路構成を表す図である。

[図5] 図2のORIOBの回路構成図である。

[図6] 1入力分ORIOBの回路構成図である。

[図7] 出力状態検出回路の回路構成例を表す図である。

[図8] 実施例1における書込状態検査方法の流れを表すフローチャートである。

[図9] 1入力分ORIOBにおける光再構成ビット素子P9の情報書込状態の検査をする場合の説明図である。

[図10] 1入力分ORIOBにおける光再構成ビット素子P11の情報書込状態を検査する場合の説明図である。

[図11] 1入力分ORIOBにおける光再構成ビット素子P10の情報書込状態を検査する場合の説明図である。

[図12] ORSMの光再構成ビット素子の書込状態検査を行う場合の説明図である。

[図13] ORLBの光再構成ビット素子の書込状態検査を行う場合の説明図である。

[図14] ORLBの光再構成ビット素子の書込状態検査を行う場合の説明図である。

符号の説明

- [0043]
- 1 光再構成型ゲートアレイ(ORGA)
 - 2 VLSI部(論理回路チップ)
 - 3 光学部
 - 4 照光装置
 - 4a 面発光型半導体レーザー(VCSEL)
 - 4b 照射角制御部
 - 5 光学的メモリ
 - 6 書込状態検査装置
 - 7 出力状態検出回路
 - 8 出力状態判定回路
 - 9 出力状態記憶手段

- 10 検査信号選択回路
- 11 光再構成論理ブロック(ORLB)
- 13 光再構成スイッチング・マトリックス(ORSM)
- 14 光再構成入出力ブロック(ORIOB)
- 14a 1入力分ORIOB
- 15 配線
- 20 マルチプレクサ(MUX)
- 21 ルックアップ・テーブル(LUT)
- 21a マルチプレクサ
- 21b 光再構成ビット素子
- 22 Dフリップ・フロップ
- 23 マルチプレクサ
- 24 トライ・ステート・バッファ
- 25 マルチプレクサ
- 30 4方向スイッチ
- 31 トランスマッション・ゲート
- 32 光再構成ビット素子
- 34 入出力端子(IOB PAD)
- 35 トライ・ステート・バッファ
- 35a 光再構成ビット素子
- 36 マルチプレクサ
- 37 マルチプレクサ
- 38 トライ・ステート・バッファ
- 39 電圧検出回路
- 40 プルアップ抵抗
- 41 プルアップ・スイッチ
- 42 プルダウン抵抗
- 43 プルダウン・スイッチ

44 出力バッファ

45 負荷抵抗

46 入力バッファ

発明を実施するための最良の形態

[0044] 以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

実施例 1

[0045] 図1は本発明の実施例1記載の光再構成型ゲートアレイの書込状態検査装置を示す図である。

[0046] まず、情報書込状態の検査の対象である光再構成型ゲートアレイ(Optically Reconfigurable Gate Array : 以下、「ORGA」という。)1は、VLSI部2と光学部3とから構成されている。

[0047] VLSI部2は、FPGAと同様、半導体チップ(論理回路チップ)上に、論理ブロック、配線、接続回路、入出力回路等の再構成可能な論理回路が実装されている。しかし、ORGA1では、FPGAとは異なり、論理回路の各所には、光再構成ビット素子が搭載されている。光再構成ビット素子から論理回路構成情報である光信号が入力される。論理回路構成情報は、光再構成ビット素子内に保持され、論理回路構成情報に従って論理回路の再構成が行われる。

[0048] 光学部3は、照光装置4、及び光学的メモリ5を備えている。照光装置4は、光学的メモリ5に対して所定の角度で光照射を行う装置である。照光装置4は、面発光型半導体レーザ(Vertical Cavity Surface Emitting Lasers:以下、「VCSEL」という。)4aと照射角制御部4bを備えている。VCSEL4aから照射される照射光は、照射角制御部4bにより照射角度が調節され、光学的メモリ5に照射される。

[0049] 本実施例においては、光学的メモリ5には、ホログラム・メモリが使用されている。ホログラム・メモリは、入射される光の角度により、記録された種々の光信号パターンを読み出すことができる。読み出したい光信号パターンに応じて、照射角制御部4bにより照射角度を変更することによって、必要な光信号パターンを読み出してVLSI部2に照射することができる。VLSI部2は、光学部3から照射される光信号パターンに従

って、論理回路の再構成を行う。

- [0050] 本実施例の書込状態検査装置6は、上述のORGA1における光学部3からVLSI部2への論理回路構成情報の書き込みが正常に行われているか否かを検査するための装置である。書込状態検査装置6は、出力状態検出回路7、出力状態判定回路8、出力状態記憶手段9、及び検査信号選択回路10を備えている。
- [0051] 検査信号選択回路10は、論理回路チップ(VLSI部2)に対して入力する光信号パターンを選択する回路である。実際には、検査信号選択回路10は、照光装置4の照射角制御部4bを制御して、光学的メモリ5から読み出す光信号パターンの選択を行う。光学的メモリ5には、予め、書き込み状態の検査を行うための検査パターンが記憶されている。従って、検査信号選択回路10は、光学的メモリ5から読み出す検査パターンを選択することで、論理回路チップ(VLSI部2)に対して入力する光信号パターンを選択する。
- [0052] すなわち、本実施例では、検査信号選択回路10及び光学部3が協働することによって、検査信号入力手段が実現されている。
- [0053] 出力状態検出回路7は、論理回路チップ(VLSI部2)の各入出力端子に接続されている。出力状態検出回路7は、それぞれの入出力端子の論理レベルがHレベル状態かLレベル状態か、又は入出力端子の出力インピーダンスが高インピーダンス状態かを検出する回路である。
- [0054] 出力状態判定回路8は、検査信号選択回路10が選択した光信号パターンに対して、その光信号パターンが論理回路チップ(VLSI部2)に正常に書き込まれた場合の各入出力端子の出力状態(以下、「正常書込時出力状態」という。)を、出力状態記憶手段9から読み出す。そして、出力状態検出回路7が検出した出力状態と正常書込時出力状態とを比較して、光信号パターンが論理回路チップ(VLSI部2)に正常に書き込まれたか否かを判定する。
- [0055] 図2はORGA1のVLSI部2の回路構成を表す図である。VLSI部2は、4つの光再構成論理ブロック(Optically Reconfigurable Logic Block : 以下、「ORLB」という。)11、5つの光再構成スイッチング・マトリックス(Optically Reconfigurable Switching Matrix : 以下、「ORSM」という。)13、4つの光再構成入出力ブロック(Optically Reconfig

urable Input/Output Block : 以下、「ORIOB」という。) 14、及びこれらの間を接続する配線15を備えている。

- [0056] 4つのORLB11は、四角形の頂点位置に配置されている。この四角形の中心位置に1個のORSM13が配置され、このORSM13を中心として十文字状に4つのORSM13が配置されている。外側の4つのORSM13は、それぞれ、ORIOB14に接続されている。
- [0057] 図3は図2のORLB11の回路構成を表す図である。ORLB11は、入力部に配設された4つのマルチプレクサ(MUX) 20、4入力1出力のルックアップ・テーブル(LUT) 21、Dフリップ・フロップ22、Dフリップ・フロップ22の出力の切換を行うマルチプレクサ23、マルチプレクサ23の出力ノードと8本の配線15との間に設けられた8つのトライ・ステート・バッファ(Tri-State Buffers) 24、及びDフリップ・フロップ22のクリア(CLR)信号の切り替えを行うマルチプレクサ25を備えた構成からなる。また、ORLB11は、配線15とは、22本の入力と8本の出力とで接続されている。
- [0058] 各マルチプレクサ20、23、25は、フォトダイオード等の光電変換回路を有する光再構成ビット素子を備えており、光信号を光再構成ビット素子で検出することにより選択状態の切り換えを行うことができる。
- [0059] ルックアップ・テーブル21は、16入力1出力のマルチプレクサ21aと、マルチプレクサ21aの各被選択入力ノードに接続された16個の光再構成ビット素子21bとから構成されている。ルックアップ・テーブル21の状態は、この16個の光再構成ビット素子21bにより決定される。マルチプレクサ21aの選択入力ノードは、7入力1出力の4つのマルチプレクサ20を介して配線15と結合されている。各マルチプレクサ20の7つの被選択入力ノードには、論理0、論理1、及び5本の配線15からの入力値が入力される。これら各マルチプレクサ20の接続状態は、3個の光再構成ビット素子によって決定される。
- [0060] マルチプレクサ21aの出力ノードは、Dフリップ・フロップ22に直結されている。Dフリップ・フロップ22は、マルチプレクサ21aの出力値をラッチする。また、Dフリップ・フロップ22の後段にある3入力1出力のマルチプレクサ23の被選択入力ノードには、Dフリップ・フロップ22の出力、Dフリップ・フロップ22の反転出力、及びマルチプレクサ

21aの出力が入力される。そして、マルチプレクサ23は、2個の光再構成ビット素子によって、選択状態が決定される。

[0061] マルチプレクサ23の出力ノードは、8つのトライ・ステート・バッファ24を介して配線15に接続されている。各トライ・ステート・バッファ24は、1ビットの光再構成ビット素子により接続又は非接続が決定される。

[0062] Dフリップ・フロップ22のクリア(CLR)・ノードに接続されたマルチプレクサ25は、論理0、論理1、及び配線15からの2ビットの入力が、2個の光再構成ビット素子により選択できる構成とされている。これにより、Dフリップ・フロップ22は、光からも電気回路からも初期化することができる。尚、電源起動時には、このマルチプレクサ25の出力が0となることで、Dフリップ・フロップ22が強制的にリセットされる。

[0063] ここで、光再構成ビット素子の出力値を選択値入力とする、入力段の4つのマルチプレクサ20及びマルチプレクサ25の被選択入力ノードには、論理0及び論理1が定常的に入力されている。これにより、光信号パターンとしてマルチプレクサ20及びマルチプレクサ25に選択値入力を行うことができる。そして、この選択値入力により、論理0又は論理1の被選択入力ノードを選択すれば、マルチプレクサ20又はマルチプレクサ25によって光再構成論理ブロック15の入力変数を光学的に入力することができる。

[0064] 図4は図2のORSM13の回路構成を表す図である。ORSM13は、図2に示すように、縦横に引かれた各8本の配線15の組の交点に設けられたクロスバススイッチであり、それぞれ垂直に交差する配線同士を結合する役割を有する。1つのORSM13には、8本の配線の交点に設けられた8個の4方向スイッチ30が用いられている。各4方向スイッチ30は、既存のFPGAと同様に、6個のトランスミッション・ゲート31を有している。各トランスミッション・ゲート31は、1ビットの光再構成ビット素子32を有しており、光信号によって光再構成ビット素子32を切り換えることにより、オンオフ制御を行うことができる。

[0065] 図5は図2のORIOB14の回路構成図である。ORIOB14は、図2に示すように、論理回路チップの中央部にあるORSM13以外の4つのORSM13のそれぞれの一端に接続されている。ORIOB14は、4つの入出力端子(入出力端子34)に対応して、

4つの1入力分ORIOB14aを備えている。各1入力分ORIOB14aは、4つの入出力端子(入出力端子34)と、8本の配線15とを結合する役割を有する。

[0066] また、それぞれの入出力端子34には、前述の出力状態検出回路7が接続されている。

[0067] 図6は1入力分ORIOB14aの回路構成図である。1入力分ORIOB14aは、図2に示すように、論理回路チップの中央部にあるORSM13以外の4つのORSM13のそれぞれの一端に接続されている。1入力分ORIOB14aは、1つの入出力端子(入出力端子34)と、8本の配線15とを結合する役割を有する。

[0068] 図6において、1入力分ORIOB14aの配線15への入力回路は、入力ノードが入出力端子34に接続され出力ノードが8本の配線15の何れかに接続された8個のトライ・ステート・バッファ35から構成されている。各トライ・ステート・バッファ35は、それぞれ1ビットの光再構成ビット素子35aを備え、光入力によるオンオフ制御が可能である。

[0069] また、1入力分ORIOB14aにおける配線15から入出力端子34への出力回路は、2つのマルチプレクサ36, 37、及び1個のトライ・ステート・バッファ38により構成されている。マルチプレクサ36は、4入力1出力マルチプレクサであり、入力ノードには2本の配線15の信号、論理0、及び論理1が入力される。マルチプレクサ36は2ビットの光再構成ビット素子を備えており、2ビットの光入力信号により、入力ノードに入力される信号の何れかーを選択して出力ノードに出力する。マルチプレクサ36の出力ノードは、トライ・ステート・バッファ38の入力ノードに接続され、トライ・ステート・バッファ38の出力ノードは入出力端子34に接続されている。

[0070] また、マルチプレクサ37は、4入力1出力マルチプレクサであり、入力ノードには1本の配線15の正論理信号及びその負論理信号、論理0、並びに論理1が入力される。マルチプレクサ37は2ビットの光再構成ビット素子を備えており、2ビットの光入力信号により、入力ノードに入力される信号の何れかーを選択して出力ノードに出力する。マルチプレクサ37の出力ノードは、トライ・ステート・バッファ38のイネーブル入力ノードに接続されている。電源起動時には、トライ・ステート・バッファ38のイネーブル入力ノードには論理0が出力され、総ての入出力端子34はハイ・インピーダンスとなる。

[0071] ここで、光再構成ビット素子の出力値を選択値入力とするマルチプレクサ36, 37に

は、被選択入力ノードに、論理0及び論理1が定常的に入力されている。これにより、光信号パターンとしてマルチプレクサ36, 37に選択値入力を行うことで、論理0又は論理1の被選択入力ノードを選択すれば、マルチプレクサ36又はマルチプレクサ37によってORIOB14の入力変数を光学的に入力することができる。

- [0072] 図7は出力状態検出回路7の回路構成例を表す図である。図7(a)に示した出力状態検出回路7は、電圧検出回路39、プルアップ抵抗40、プルアップ・スイッチ41、プルダウン抵抗42、及びプルダウン・スイッチ43を備えている。
- [0073] プルアップ・スイッチ41をオン状態、プルダウン・スイッチ43をオフ状態とすれば(以下、この状態を「プルアップ状態」という。)、入出力端子34には、プルアップ抵抗40を介して、論理閾値電圧よりも高い電源電圧Vccが印加される。また、プルダウン・スイッチ43をオン状態、プルアップ・スイッチ41をオフ状態とすれば(以下、この状態を「プルダウン状態」という。)、入出力端子34には、プルダウン抵抗42を介して、論理閾値電圧よりも低い接地電圧GNDが印加される。プルアップ抵抗40及びプルダウン抵抗42は、抵抗値が十分大きなものが使用される。
- [0074] このように、図7(a)の出力状態検出回路7においては、プルアップ抵抗40、プルアップ・スイッチ41、プルダウン抵抗42、及びプルダウン・スイッチ43により、検出電圧印加回路が構成されている。
- [0075] 入出力端子34から出力される論理信号がHレベル又はLレベルである場合、プルアップ状態であってもプルダウン状態であっても、入出力端子34の電圧は、それぞれ、Hレベル、Lレベルとなる。一方、入出力端子34の出力インピーダンスが高インピーダンスの状態にある場合、プルアップ状態においては入出力端子34の電圧はVcc(Hレベル)となり、プルダウン状態においては入出力端子34の電圧はGND(Lレベル)となる。
- [0076] 従って、プルアップ状態とプルダウン状態とを切り替えて、各状態における入出力端子34の電圧を電圧検出回路39により検出すれば、入出力端子34の出力状態がHレベル出力状態か、Lレベル出力状態か、高インピーダンス状態かを検出することが可能である。電圧検出回路39は、例えば、基準電圧発生回路とコンパレータとを使用した構成、ADコンバータで電圧値をデジタル化して基準値と比較する構成等を

採用することができる。

[0077] 尚、図7(a)に示した出力状態検出回路7と等価な回路を、図7(b)のように構成することもできる。図7(b)においては、FPGAの出力バッファ44からの出力は、負荷抵抗45を介して入出力端子34に接続されている。また、入出力端子34は、FPGAの入力バッファ46を介してFPGA内に構成された電圧検出回路39に接続されている。入出力端子34には、負荷抵抗45を介して、出力バッファ44の出力電圧が印加される。従って、出力バッファ44からHレベル又はLレベルを出力すれば、上述のプルアップ状態又はプルダウン状態を実現することができる。

[0078] 尚、本実施例においては、出力状態検出回路7を入出力端子34を介して論理回路チップの外部に接続する構成としたが、出力状態検出回路7は論理回路チップ内に実装するようにしてもよい。

[0079] 次に、上述の書込状態検査装置6による書込状態検査方法について説明する。図8は、実施例1における書込状態検査方法の流れを表すフローチャートである。

[0080] 最初に、検査対象となる光再構成ビット素子が選択される(S1)。これは、実際には、検査信号選択回路10が、決められた順序に従って、光学的メモリに記憶された検査用の光信号パターン(検査パターン)を選択することにより行われることになる。

[0081] ここで、検査対象となる光再構成ビット素子の選択は、その光再構成ビット素子に照射する光信号をオフ状態からオン状態(又はその逆)に切り替えた場合に、入出力端子34の出力の少なくとも一つの出力状態が変化するような論理回路チップの論理構造を構成するために、当該光再構成ビット素子以外の他の光再構成ビット素子には光信号を入力する必要がないもの、若しくは、光信号を入力する必要がある当該光再構成ビット素子以外の他の光再構成ビット素子の書込状態の検査がすべて終わっているものから順に選択される。検査対象となる光再構成ビット素子を検査する際に、検査回路内に書き込み状態の検査が終了していない光再構成ビット素子が介在していると、検査対象となる光再構成ビット素子の書込状態が正常であるか否かの判断ができない場合が生じるからである。

[0082] 検査信号選択回路10が、検査対象となる光再構成ビット素子に対する第1の検査パターンを選択し、光学部3からVLSI部2に対して照射する(S2)。ここで、第1の検

査パターンとしては、論理回路チップの入出力端子34の出力状態が検査対象である光再構成ビット素子に対する光信号の入力に依存して変化する検査用論理回路を、論理回路チップに構成する光信号パターンであって、検査対象である光再構成ビット素子に照射する光信号がオフ状態であるような光信号パターンが使用される。

[0083] 次に、出力状態検出回路7は、入出力端子34の出力状態を検出する(S3)。これは、先に説明したように、入出力端子34に対して、負荷抵抗45(又は、プルアップ抵抗40, プルダウン抵抗42)を介してHレベル及びLレベルの電圧を印加し、それぞれの場合において、電圧検出回路39が入出力端子34の電圧を検出することにより行われる。

[0084] 出力状態判定回路8は、検出された入出力端子34の電圧の変化パターンにより、各入出力端子34の出力状態を判定する。具体的には、負荷抵抗45(又は、プルアップ抵抗40, プルダウン抵抗42)を介して入出力端子34に印加される電圧が、HレベルからLレベルに変化したとき、入出力端子34の電圧が常時Hレベルを維持していた場合には入出力端子34はHレベル出力状態、入出力端子34の電圧が常時Lレベルを維持していた場合には入出力端子34はLレベル出力状態、入出力端子34の電圧がHレベルからLレベルに変化した場合には入出力端子34は高インピーダンス状態と判定する。出力状態判定回路8は、この判定により得られた入出力端子34の出力状態と、出力状態記憶手段9に記憶された正常な場合の入出力端子34の出力状態とを比較して、一致するか否かを判定する。

[0085] 次に、検査信号選択回路10が、検査対象となる光再構成ビット素子に対する第2の検査パターンを選択し、光学部3からVLSI部2に対して照射する(S4)。ここで、第2の検査パターンとしては、上記第1の光信号パターンにおいて、検査対象となる光再構成ビット素子に照射する光信号がオン状態であるような光信号パターンが使用される。

[0086] そして、ステップS3と同様に、出力状態検出回路8は、入出力端子34の出力状態を検出し、出力状態判定回路8が入出力端子34の出力状態と、出力状態記憶手段9に記憶された正常な場合の入出力端子34の出力状態とを比較して、一致するか否かを判定する(S5)。

[0087] 以上の処理の結果、ステップS3, S5の何れかにおいて、入出力端子34の出力状態と、出力状態記憶手段9に記憶された正常な場合の入出力端子34の出力状態とが一致しなかった場合には(S6)、出力状態判定回路8は、検査対象である光再構成ビット素子への光信号による書き込みは正常に行われていないと判定し、異常信号を出力して(S7)、動作を終了する。

[0088] 一方、ステップS3, S5の両方において、入出力端子34の出力状態と、出力状態記憶手段9に記憶された正常な場合の入出力端子34の出力状態とが一致した場合には(S6)、すべての光再構成ビット素子についての検査が終了していなければ(S8)、ステップS1に戻る。すべての光再構成ビット素子についての検査が終了したならば(S8)、動作を終了する。

[0089] 尚、上記実施例では、論理回路チップに対して、第1の検査パターン、第2の検査パターンの順で照射したが、この順序は逆であってもよい。

[0090] 最後に、上記方法による光再構成ビット素子の出力状態検査の幾つかの具体例について示しておく。

[0091] [例1]

図9において1入力分ORIOB14aにおける光再構成ビット素子P9の情報書込状態の検査をする場合を考える。この場合、光再構成ビット素子P1~P8, P10~P12は常時オフ状態として、第1の検査パターンでは光再構成ビット素子P9をオフ状態、第2の検査パターンでは光再構成ビット素子P9をオン状態とする。

[0092] 第1の検査パターンを照射した場合、光再構成ビット素子P9がオフ状態であり、マルチプレクサ37は0を出力する。従って、トライ・ステート・バッファ38の出力は高インピーダンス状態となる。また、入力側の8個のトライ・ステート・バッファ35の入力インピーダンスも高インピーダンスである。従って、入出力端子34の出力状態は、高インピーダンス状態となる。従って、出力状態検出回路7においては、高インピーダンス状態が検出される。

[0093] 次に、第2の検査パターンを照射した場合、光再構成ビット素子P9がオン状態であり、マルチプレクサ37は1を出力する。一方、マルチプレクサ36も0を出力している。トライ・ステート・バッファ38は、マルチプレクサ36の出力値を出力する。従って、入出

力端子34の出力状態は、Lレベル状態となる。出力状態検出回路7においては、Lレベル状態が検出される。

[0094] 従って、第1の検査パターン、第2の検査パターンを順次照射した場合に、入出力端子34の出力状態が高インピーダンス状態からLレベル状態に変化すれば、光再構成ビット素子P9の情報書込状態は正常であると判定される。それ以外の場合、光再構成ビット素子P9の情報書込状態は正常ではないと判定される。

(例終わり)

[0095] [例2]

図10において、1入力分ORIOB14aにおける光再構成ビット素子P9の情報書込状態が正常な場合において、光再構成ビット素子P11の情報書込状態を検査する場合を考える。この場合、光再構成ビット素子P1～P8, P10, P12は常時オフ状態、光再構成ビット素子P9は常時オン状態として、第1の検査パターンでは光再構成ビット素子P11をオフ状態、第2の検査パターンでは光再構成ビット素子P11をオン状態とする。

[0096] 光再構成ビット素子P9が常時オン状態なので、マルチプレクサ37は常時1を出力する。従って、トライ・ステート・バッファ38は、常時、マルチプレクサ36の出力値を出力する。

[0097] 第1の検査パターンを照射した場合、光再構成ビット素子P11がオフ状態であり、マルチプレクサ36は0を出力する。従って、トライ・ステート・バッファ38はLレベルを出力し、入出力端子34の出力状態は、Lレベル状態となる。従って、出力状態検出回路7においては、Lレベル状態が検出される。

[0098] 次に、第2の検査パターンを照射した場合、光再構成ビット素子P11がオン状態であり、マルチプレクサ36は1を出力する。従って、トライ・ステート・バッファ38はHレベルを出力し、入出力端子34の出力状態は、Hレベル状態となる。従って、出力状態検出回路7においては、Hレベル状態が検出される。

[0099] 従って、第1の検査パターン、第2の検査パターンを順次照射した場合に、入出力端子34の出力状態がLレベル状態からHレベル状態に変化すれば、光再構成ビット素子P11の情報書込状態は正常であると判定される。それ以外の場合、光再構成ビ

ット素子P11の情報書込状態は正常ではないと判定される。

(例終わり)

[0100] [例3]

図11において、1入力分ORIOB14aにおける光再構成ビット素子P10の情報書込状態を検査する場合を考える。この場合、光再構成ビット素子P1の情報書込状態は正常であると仮定して、検査が行われる。

[0101] まず、論理回路チップに光を照射していない状態で、出力状態検出回路7において、プルアップ・スイッチ41をオフ状態、プルダウン・スイッチ43をオン状態とする。このとき、トライ・ステート・バッファ38の出力は高インピーダンス状態である。従って、入出力端子34の出力状態は、Lレベルとなる。

[0102] 次に、第1の検査パターンを論理回路チップに照射する。第1の検査パターンは、光再構成ビット素子P1のみに光照射が行われるような光信号パターンを使用する。今、光再構成ビット素子P1の情報書込状態は正常であると仮定しているので、第1の検査パターンの照射が行われると、光再構成ビット素子P1が属するトライ・ステート・バッファ35はオン状態となる。これにより、光再構成ビット素子P1が属するトライ・ステート・バッファ35の出力はLレベルとなる。

[0103] 次に、第1の検査パターンを論理回路チップに照射する。第2の検査パターンは、光再構成ビット素子P1, P10のみに光照射が行われるような光信号パターンを使用する。光再構成ビット素子P10の情報書込状態が正常な場合には、マルチプレクサ37は、入力端子「10」を選択する。入力端子「10」には、光再構成ビット素子P1が属するトライ・ステート・バッファ35の出力値が反転入力されている。従って、マルチプレクサ37の出力値はHレベルとなる。そして、トライ・ステート・バッファ38の出力は、高インピーダンス状態からLレベル状態に変化する。

[0104] この状態において、出力状態検出回路7のプルダウン・スイッチ43をオフ状態、プルアップ・スイッチ41をオン状態とする。光再構成ビット素子P10の情報書込状態が正常であれば、トライ・ステート・バッファ38の出力値はLレベルなので、入出力端子34のレベルもLレベルに保たれる。しかし、光再構成ビット素子P10の情報書込ができなかった場合には、トライ・ステート・バッファ38の出力状態は、高インピーダンス状態

のままであるため、入出力端子34のレベルはプルアップされてHレベルとなる。これにより、光再構成ビット素子P10の情報書込状態の検査を行うことができる。

[0105] 尚、この場合、光再構成ビット素子P1については、別途、情報書込状態の検査を行う必要がある。

(例終わり)

[0106] [例4]

次に、ORSM13の光再構成ビット素子についての書込状態検査の例について説明する。前提として、各ORIOB14の光再構成ビット素子についての書込状態検査はすべて終了しているものとする。

[0107] 図12において、ORSM13の光再構成ビット素子の書込状態検査を行う場合、ORSM13二つをセットとして書込状態検査を行う。図12においては、二つのORSM13を区別するために、それぞれ、符号13-1, 13-2を付している。

[0108] ORSM13の各4方向スイッチ30には、6つのトランスミッション・ゲート31が含まれている。各トランスミッション・ゲート31には、ゲートのオンオフを行うための光再構成ビット素子が備えられている。これらについて、それぞれ、図12に示したように、P1～P6の符号を付す。

[0109] 例えば、光再構成ビット素子P3の書込状態検査を行う場合、始めORIOB14-1からORSM13-1への入力をすべてLレベルとする。この状態で、ORSM13-1, 13-2について光再構成ビット素子P3のみに光照射し、その他の光再構成ビット素子には光照射を行わないような光信号パターンを照射する。各ORSM13-1, 13-2の光再構成ビット素子P3の情報書込状態が正常であれば、ORIOB14-2の各入出力端子34の電圧はLレベルとなる。次にORIOB14-1からORSM13-1への入力をすべてHレベルとし、ORIOB14-2の各入出力端子34の電圧はHレベルとなることを確認する。これにより、情報書込状態が正常であることが検出される。ORSM13-1, 13-2の光再構成ビット素子P3の何れかの情報書込状態が正常でなければ、ORIOB14-2の入出力端子34の電圧はLからHレベルの状態変化が確認されない。これにより、情報書込状態が正常に行われていないことが検出される。

(例終わり)

[0110] [例5]

次に、ORLB11の光再構成ビット素子についての書込状態検査の例について説明する。前提として、各ORIOB14及び各ORSM13の光再構成ビット素子についての書込状態検査はすべて終了しているものとする。

[0111] まず、一つのORLB11に属する各光再構成ビット素子について、図14のように符号P1～P40を付す。ここでは、光再構成ビット素子P1の書込状態検査を行う。

[0112] まず、光照射がされていない状態では、Dフリップ・フロップ22のクリア端子にはLレベルが反転入力されているので、Dフリップ・フロップ22はクリアされ、出力端子QからLレベルを出力している。また、マルチプレクサ23はDフリップ・フロップ22の出力を選択しているため、マルチプレクサ23はLレベルを出力している。しかし、光再構成ビット素子P1はオフ状態なので、光再構成ビット素子P1が属するトライ・ステート・バッファ24の出力は、高インピーダンス状態にある。

[0113] この状態で、光再構成ビット素子P1のみに光信号が入力されるような光信号パターンを照射する。光再構成ビット素子P1の情報書込状態が正常であれば、光再構成ビット素子P1が属するトライ・ステート・バッファ24の出力はLレベルとなる。一方、光再構成ビット素子P1の情報書込状態が正常でなければ、光再構成ビット素子P1が属するトライ・ステート・バッファ24の出力は高インピーダンス状態に保持される。従って、光再構成ビット素子P1が属するトライ・ステート・バッファ24の出力をORSM13及びORIOB14を介して入出力端子34に取り出して、その出力状態の変化を出力状態検出回路7で検出することにより、光再構成ビット素子P1の書込状態検査を行うことができる。ただし、ここではORGA配線チャンネル内のバスがプルアップされていることを前提とする。

(例終わり)

[0114] [例6]

図14において、光再構成ビット素子P1, P9, P11の書込状態検査が終了した後、光再構成ビット素子P13の書込状態検査を行う場合、まず、第1の光信号パターンにおいて、光再構成ビット素子P1, P9, P11のみに光照射を行う。これにより、光再構成ビット素子P1が属するトライ・ステート・バッファ24の出力には、Dフリップ・フロップ

プ22の反転出力端子 \bar{Q} (但し、記号「 $\bar{\quad}$ 」は否定論理を表す。)が出力される。Dフリップ・フロップ22はクリアされた状態にあるので、Dフリップ・フロップ22の反転出力端子 \bar{Q} にはHレベルが出力されている。従って、光再構成ビット素子P1が属するトライ・ステート・バッファ24の出力はHレベルである。

[0115] 次に、第2の光信号パターンにおいて、光再構成ビット素子P1, P9, P11, P13のみに光照射を行う。

[0116] 光再構成ビット素子P29~P40に光信号が入力されていない状態では、各マルチプレクサ20はすべてLレベルを出力しており、マルチプレクサ21aは光再構成ビット素子P13の出力を選択している。従って、光再構成ビット素子P13に光照射がされると、マルチプレクサ21aの出力はLレベルからHレベルに変化する。

[0117] その後、Dフリップ・フロップ22のクロックを立ち上げる。これにより、Dフリップ・フロップ22の反転出力端子 \bar{Q} の出力はHレベルからLレベルに変化する。また、光再構成ビット素子P1が属するトライ・ステート・バッファ24の出力はHレベルからLレベルに変化する。

[0118] 従って、光再構成ビット素子P1が属するトライ・ステート・バッファ24の出力をORSM13及びORIOB14を介して入出力端子34に取り出して、その出力状態の変化を出力状態検出回路7で検出することにより、光再構成ビット素子P13の書込状態検査を行うことができる。

(例終わり)

産業上の利用可能性

[0119] 本発明は、光学的に論理構成の書き換えが可能なプログラマブル論理回路及びその検査方法として、種々の電気機器産業において有用である。

請求の範囲

- [1] 複数の光再構成ビット素子を備えた論理回路が実装された論理回路チップを有し、光学的メモリに記憶された所望の光信号パターンを読み出して光信号として前記論理回路チップに照射することにより前記論理回路の論理構造を再構成することが可能な光再構成型ゲートアレイについて、前記各光再構成ビット素子の光信号による情報書込状態の検査を行う書込状態検査方法であって、
- 前記光学的メモリに予め記憶されている検査用の光信号パターン(以下、「検査パターン」という。)を、前記論理回路チップに照射することにより、光再構成ビット素子を検査するための論理構造(以下、「検査用論理回路」という。)を前記論理回路に構成する第1ステップ;
- 前記検査用論理回路に対する前記論理回路チップの出力端子の出力状態が、論理レベルがHレベルの状態、論理レベルがLレベルの状態、又は出力インピーダンスが高インピーダンスの状態のうち何れの状態であるかを検出する第2ステップ;
- 及び、その検出された状態を、前記検査用論理回路に対する正常な出力状態と比較することにより、前記各光再構成ビット素子について光信号による情報書込状態の合否の判定を行う第3ステップ;
- を有し、
- 前記検査パターンとして、検査対象である光再構成ビット素子に照射する光信号がオフ状態である第1の検査パターン、及び検査対象である光再構成ビット素子に照射する光信号がオン状態である第2の検査パターンを備え、
- 前記第1の検査パターン、前記第2の検査パターンの順又はその逆順で、順次、2つの検査パターンを照射することにより前記第1ステップ乃至第3ステップを実行することを特徴とする書込状態検査方法。
- [2] 前記検査用論理回路は、前記論理回路チップの出力端子の出力が、検査対象である光再構成ビット素子に対する光信号の入力に依存して変化する論理構造であることを特徴とする請求項1記載の書込状態検査方法。
- [3] 前記検査用論理回路は、前記論理回路チップの出力端子の出力が、検査対象である光再構成ビット素子に対する光信号の入力に依存して変化する、且つ、情報書込状

態の検査が未だ終了していない光再構成ビット素子に対する光信号の入力に依存しない論理構造であることを特徴とする請求項1記載の書込状態検査方法。

- [4] 複数の光再構成ビット素子を備えた論理回路が実装された論理回路チップを有し、光学的メモリに記憶された所望の光信号パターンを読み出して光信号として前記論理回路チップに照射することにより前記論理回路の論理構造を再構成することが可能な光再構成型ゲートアレイについて、前記各光再構成ビット素子の光信号による情報書込状態の検査を行う書込状態検査装置であって、

光再構成ビット素子を検査するための論理構造(以下、「検査用論理回路」という。)を前記論理回路に構成するための検査用の光信号パターン(以下、「検査パターン」という。)が記憶された前記光学的メモリと、

前記光学的メモリに記憶された前記検査パターンを光信号パターンとして読み出して前記論理回路チップに照射する検査信号入力手段と、

前記論理回路チップの出力端子の出力状態が、論理レベルがHレベルの状態、論理レベルがLレベルの状態、又は出力インピーダンスが高インピーダンスの状態のうち何れの状態であるかを検出する出力状態検出手段と、

を備え、

前記光学的メモリには、前記検査用論理回路を前記論理回路に構成するための光信号パターンであって、検査対象である光再構成ビット素子に照射する光信号がオフ状態である第1の検査パターン、及び前記検査用論理回路を前記論理回路に構成するための光信号パターンであって、検査対象である光再構成ビット素子に照射する光信号がオン状態である第2の検査パターンが記憶されており、

前記検査信号入力手段は、前記論理回路チップに対して前記第1の検査パターン、前記第2の検査パターンの順又はその逆順で、順次、2つの検査パターンを照射するものであり、

前記出力状態検出手段は、それぞれの前記検査パターンに対して、前記論理回路チップの出力端子の出力状態が、論理レベルがHレベルの状態、論理レベルがLレベルの状態、又は出力インピーダンスが高インピーダンスの状態のうち何れの状態であるかを検出するものであることを特徴とする書込状態検査装置。

- [5] 前記検査用論理回路に対して前記出力状態検出回路が検出する前記論理回路チップの出力端子の出力状態を、前記検査用論理回路に対する正常な出力状態と比較することにより、前記各光再構成ビット素子について光信号による情報書込状態の合否の判定を行う出力状態判定手段を備えていることを特徴とする請求項4記載の書込状態検査装置。
- [6] 前記検査用論理回路は、前記論理回路チップの出力端子の出力が、検査対象である光再構成ビット素子に対する光信号の入力に依存して変化する論理構造であることを特徴とする請求項4又は5記載の書込状態検査装置。
- [7] 前記出力状態検出手段は、
前記論理回路の出力端子の電圧を検出する電圧検出回路と、
前記論理回路の出力端子に、抵抗を介して、論理閾値以上の電圧又は論理閾値以下の電圧を切り替え自在に印加する検出電圧印加回路と、
を備えていることを特徴とする請求項4乃至6記載の書込状態検査装置。
- [8] 複数の光再構成ビット素子を備えた論理回路が実装された論理回路チップを有し、光学的メモリに記憶された所望の光信号パターンを読み出して光信号として前記論理回路チップに照射することにより前記論理回路の論理構造を再構成することが可能な光再構成型ゲートアレイにおいて、
前記論理回路チップの各々の出力端子に接続され、当該出力端子の論理レベルがHレベルの状態、当該出力端子の論理レベルがLレベルの状態、又は当該出力端子の出力インピーダンスが高インピーダンスの状態のうち何れの状態であるかを検出する出力状態検出回路を備え、
前記論理回路チップに実装された論理回路は、
論理構造を再構成するための複数の光再構成ビット素子を備えた光再構成可能な論理回路を有する光再構成論理ブロックと、
前記光再構成論理ブロックに入出力される論理信号の配線接続の切り替えを行う接続回路であって、その接続構造を再構成するための複数の光再構成ビット素子を備えた光再構成接続回路と、
各配線と入出力端子との接続の切り替えを行う入出力回路であって、その接続構

造を再構成するための複数の光再構成ビット素子を備えた光再構成入出力回路と、
を備え、

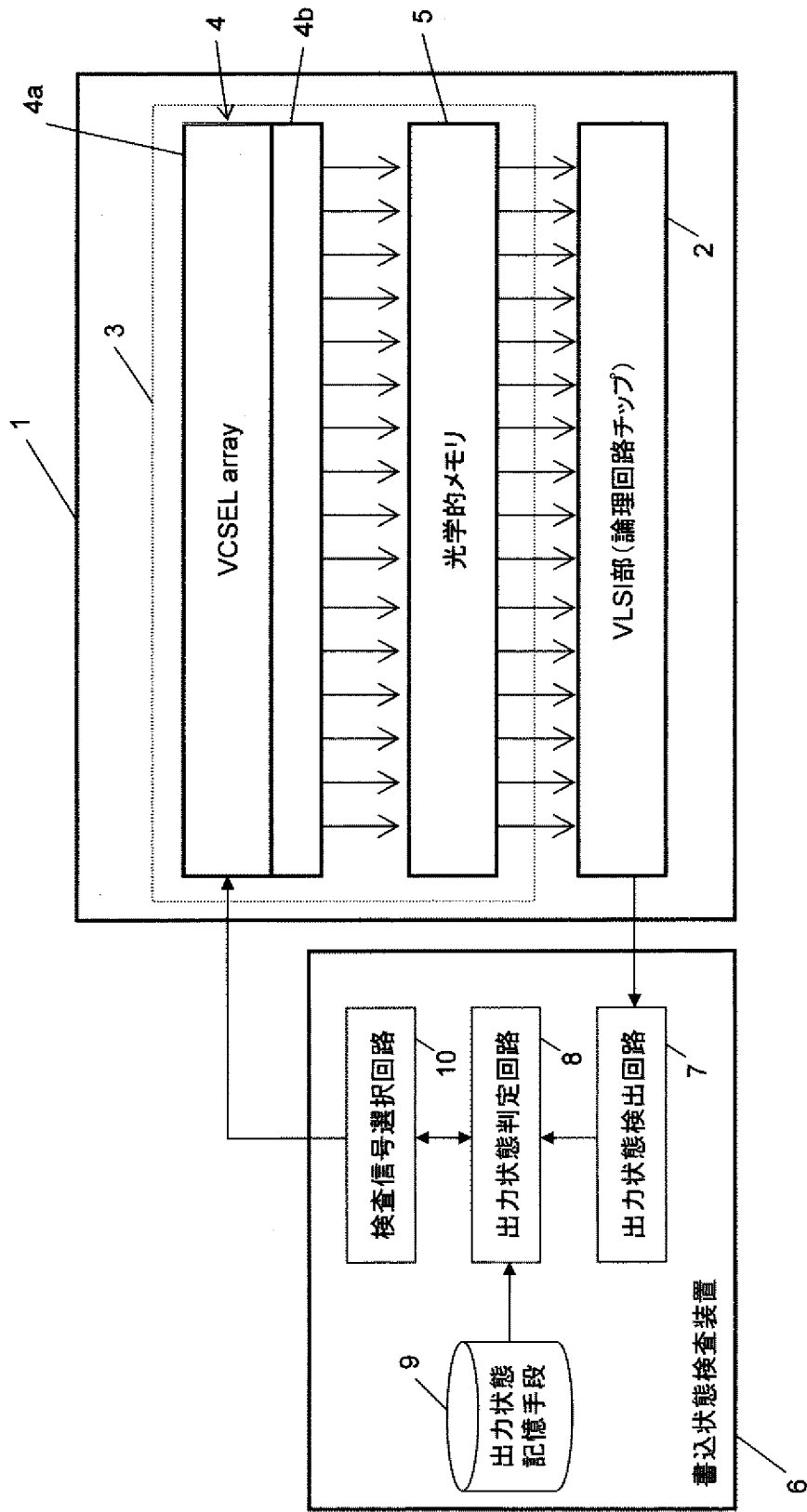
前記光再構成入出力回路は、前記論理回路が実装される四角形の論理回路チップの少なくとも3つの角部に配置されていること
を特徴とする光再構成型ゲートアレイ。

[9] 前記出力状態検出回路は、

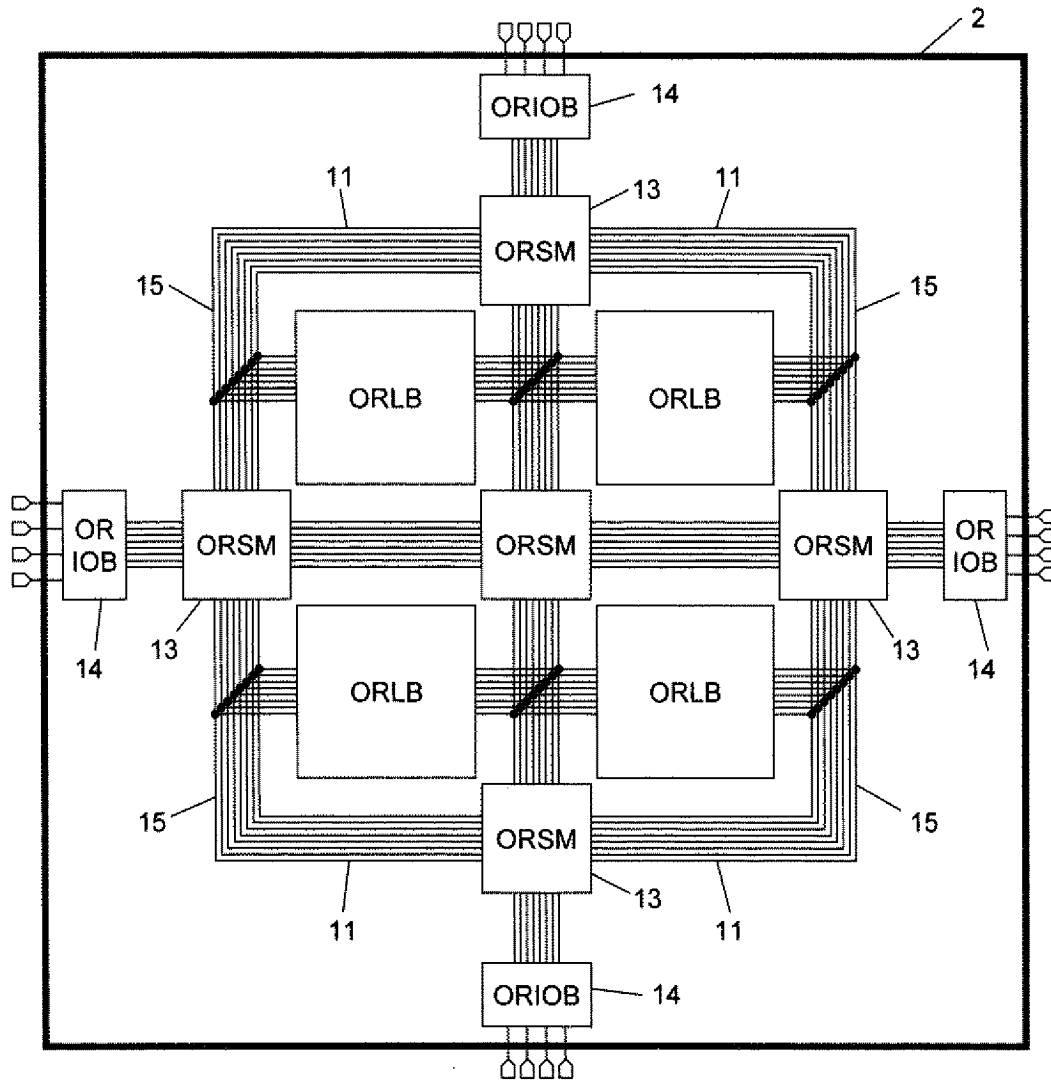
前記論理回路の論理信号の出力端子の電圧を検出する電圧検出回路と、

前記論理回路の論理信号の出力端子に、抵抗を介して、論理閾値以上の電圧又は論理閾値以下の電圧を切り替え自在に印加する検出電圧印加回路と、
を備えていることを特徴とする請求項8記載の光再構成型ゲートアレイ。

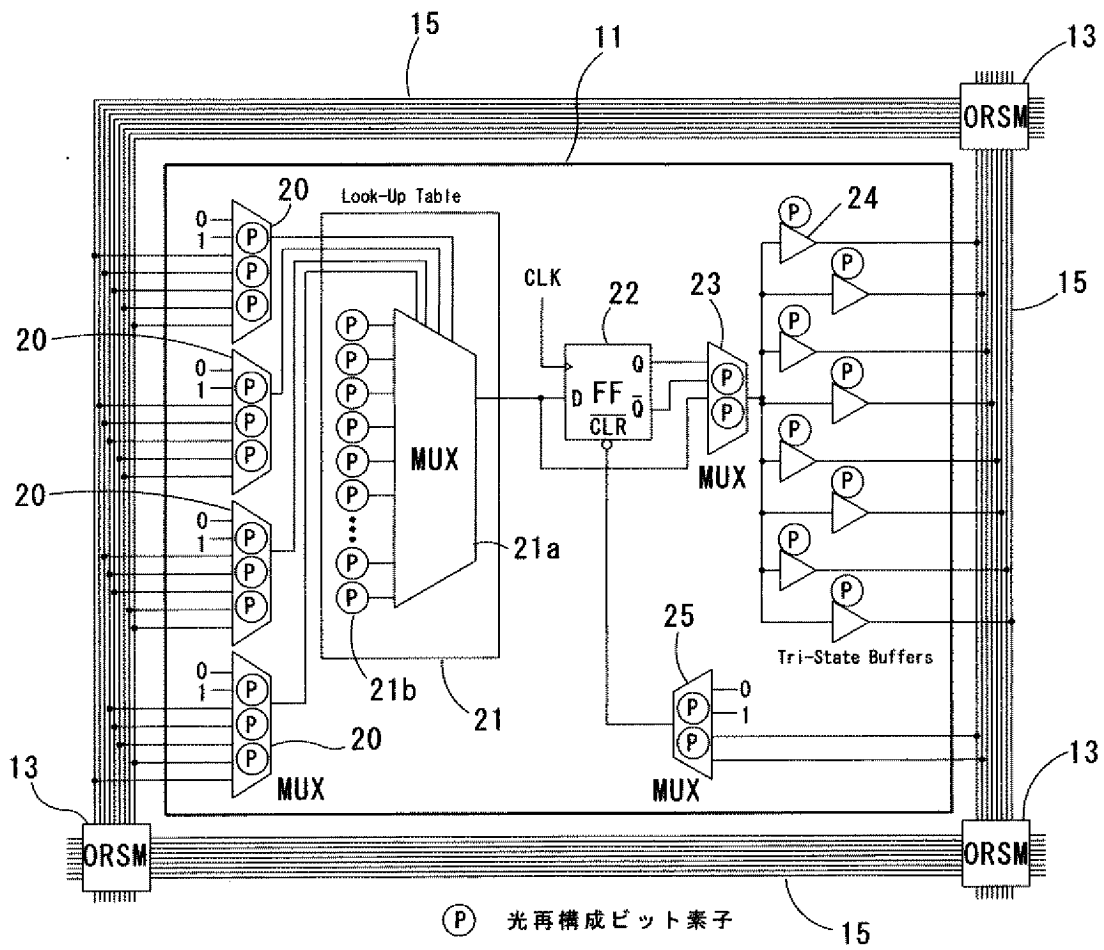
[図1]



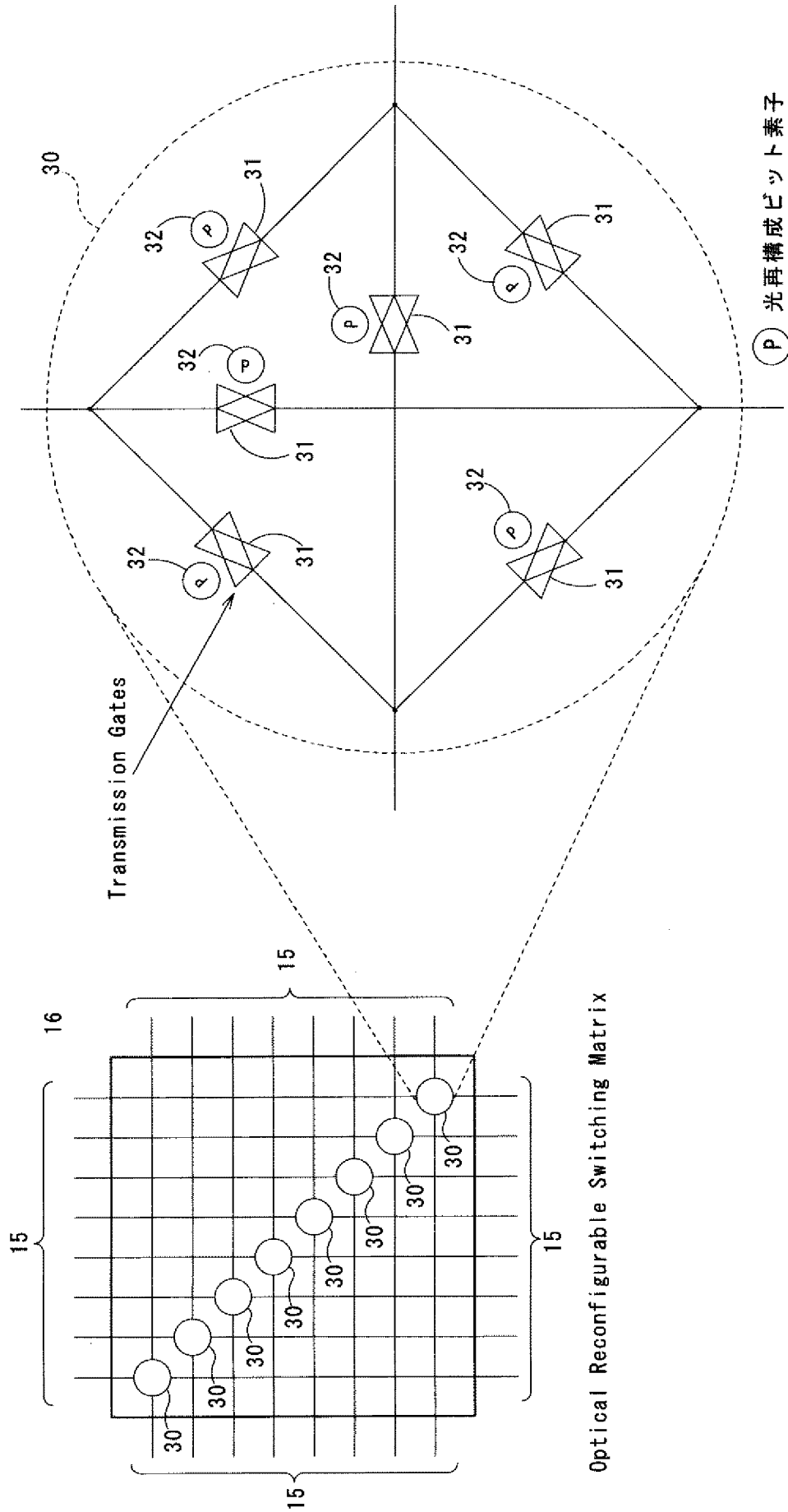
[図2]



[図3]



[図4]

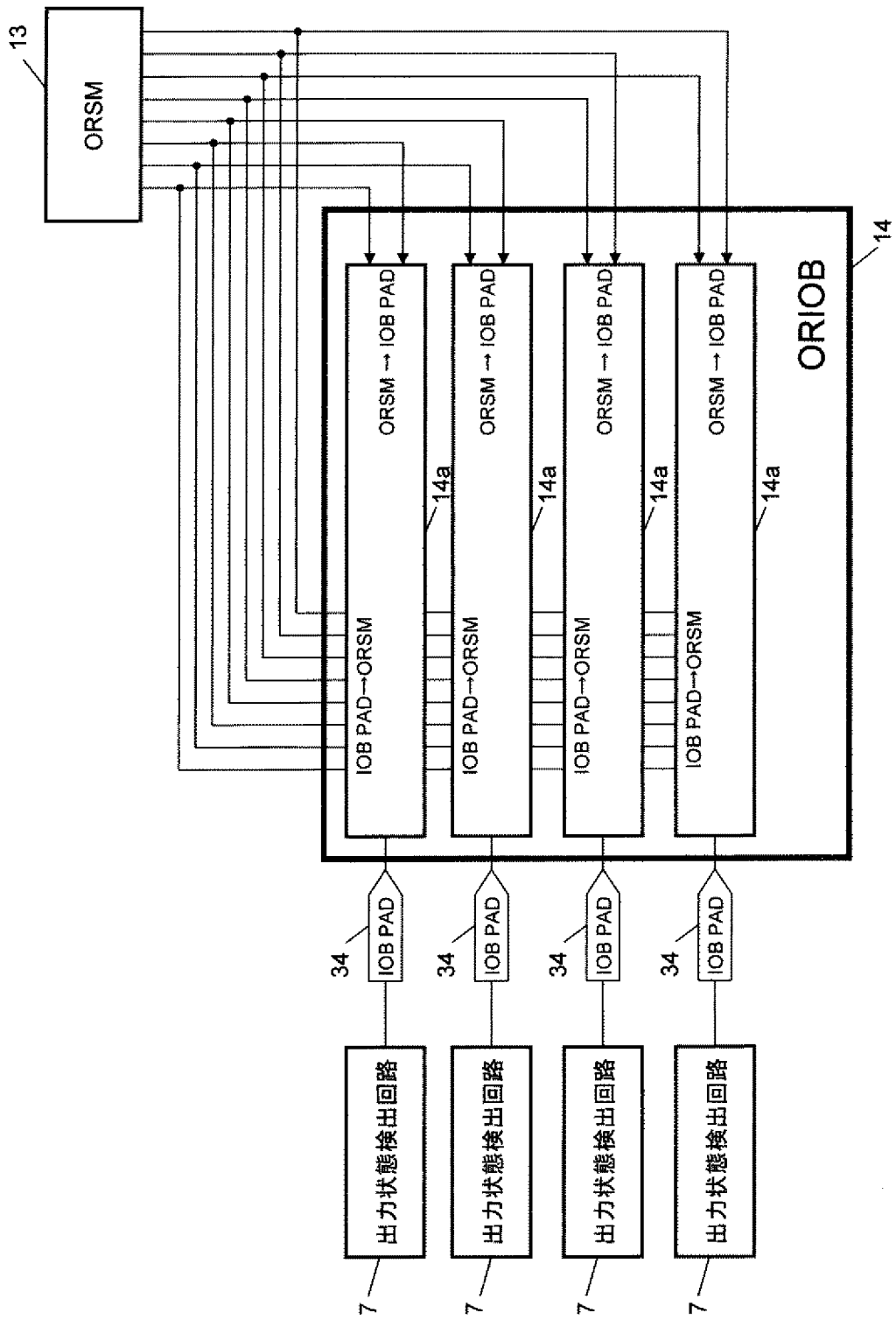


Optical Reconfigurable Switching Matrix

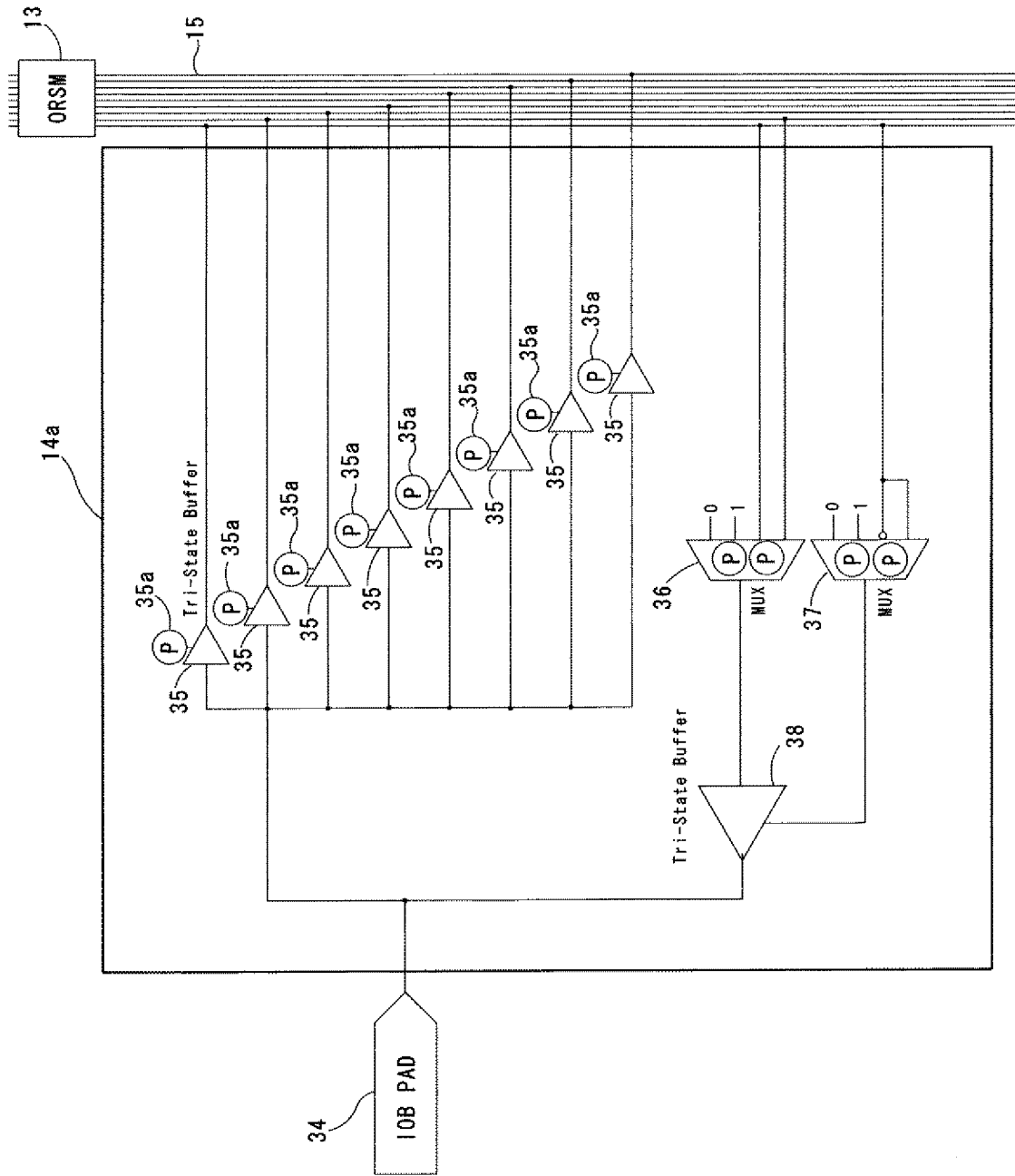
Transmission Gates

光再構成ビット素子 (P)

[図5]

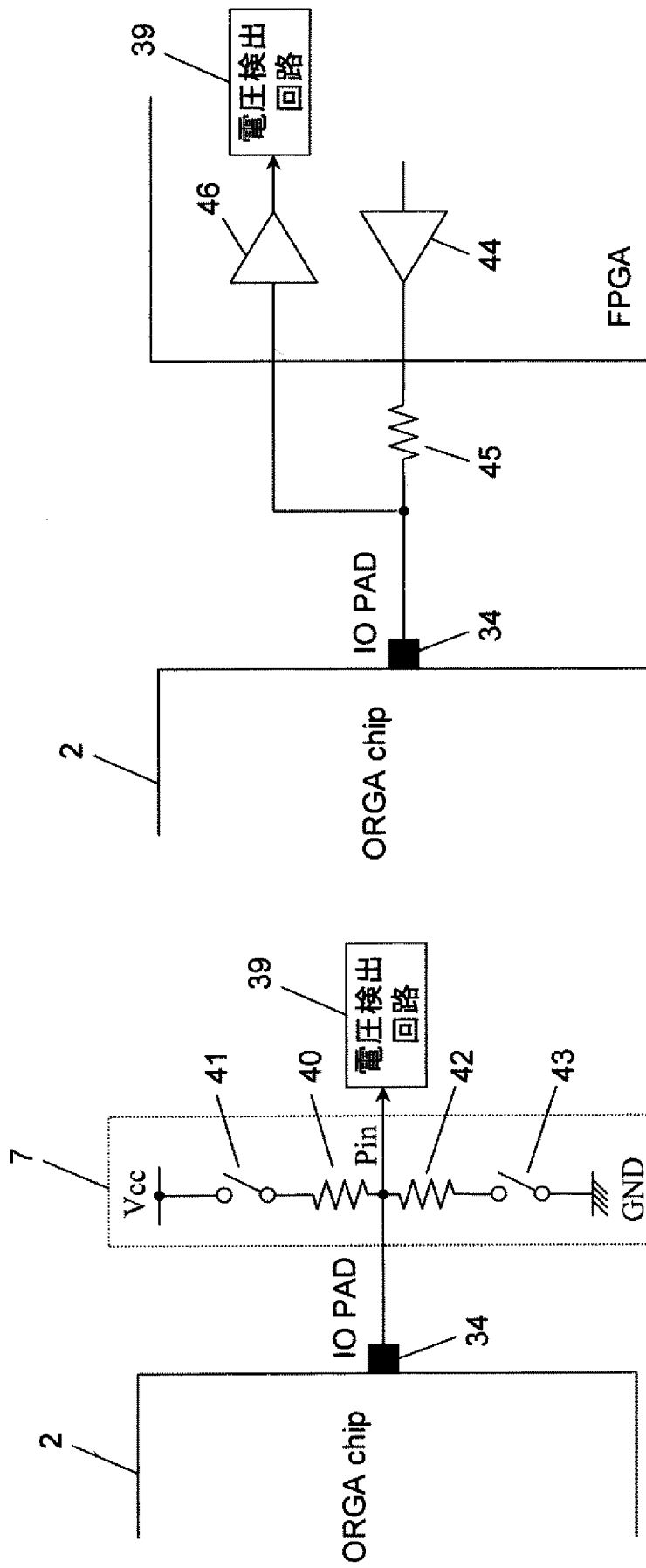


[図6]



○ P 光再構成ビット素子

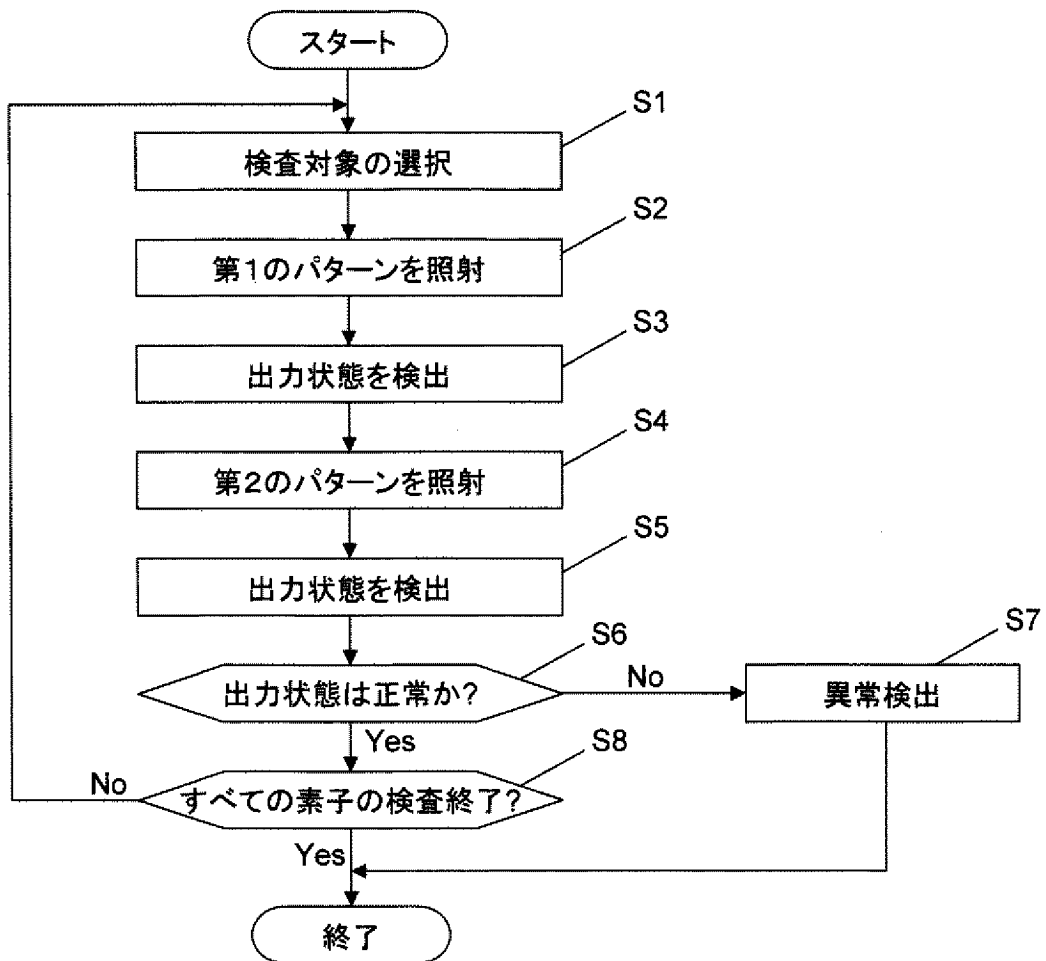
[図7]



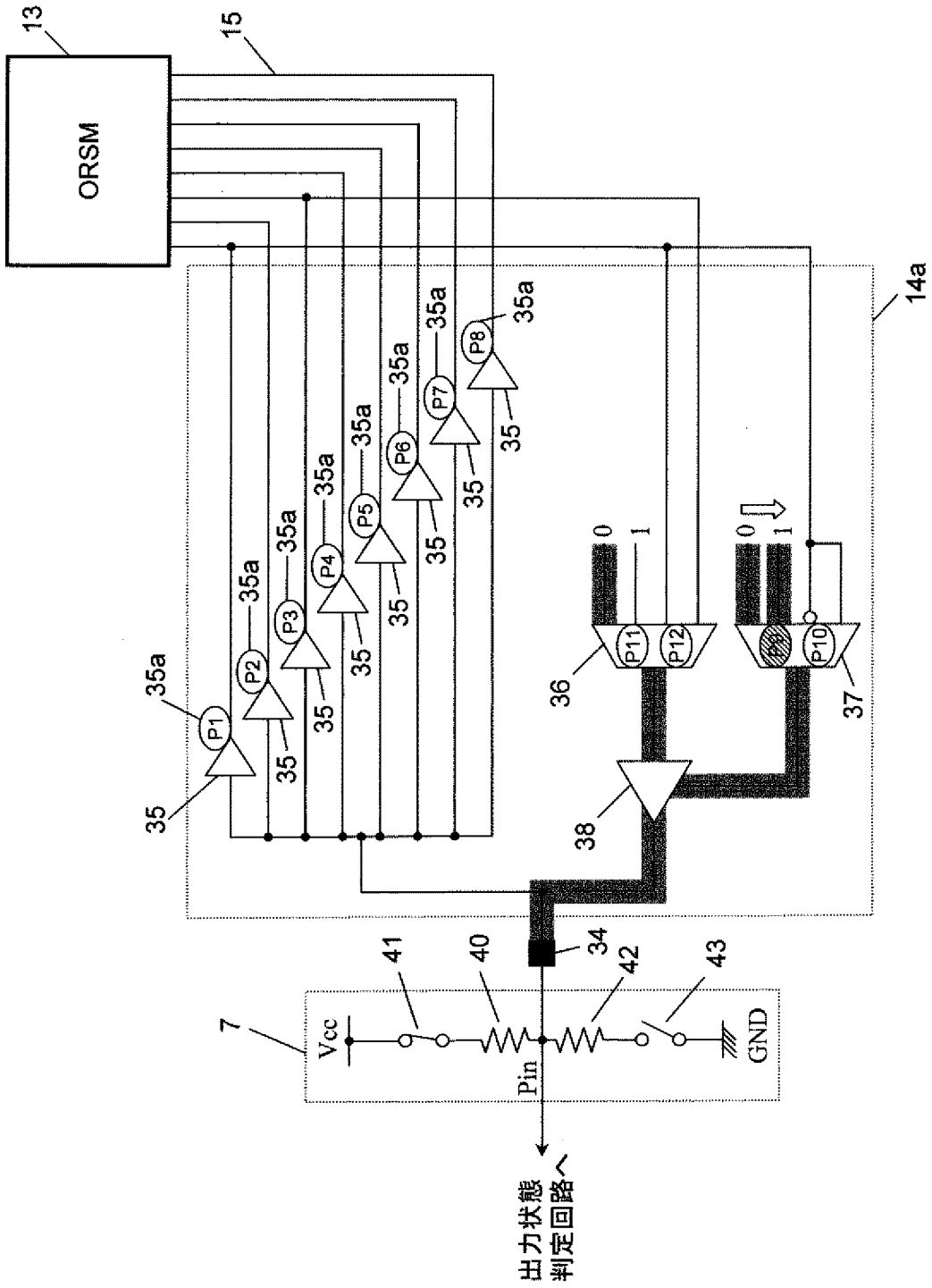
(b)

(a)

[図8]



[図9]



[図]10

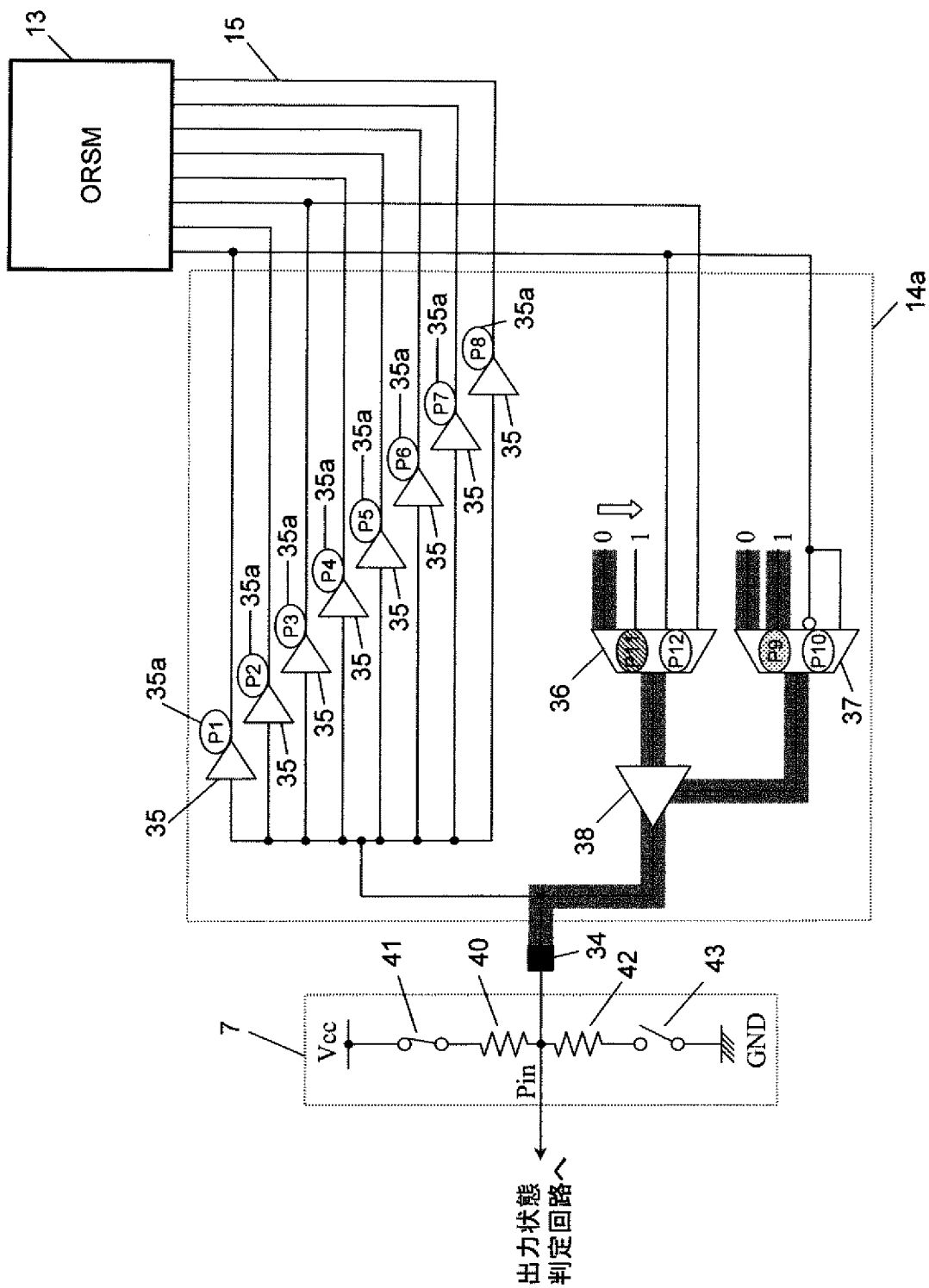
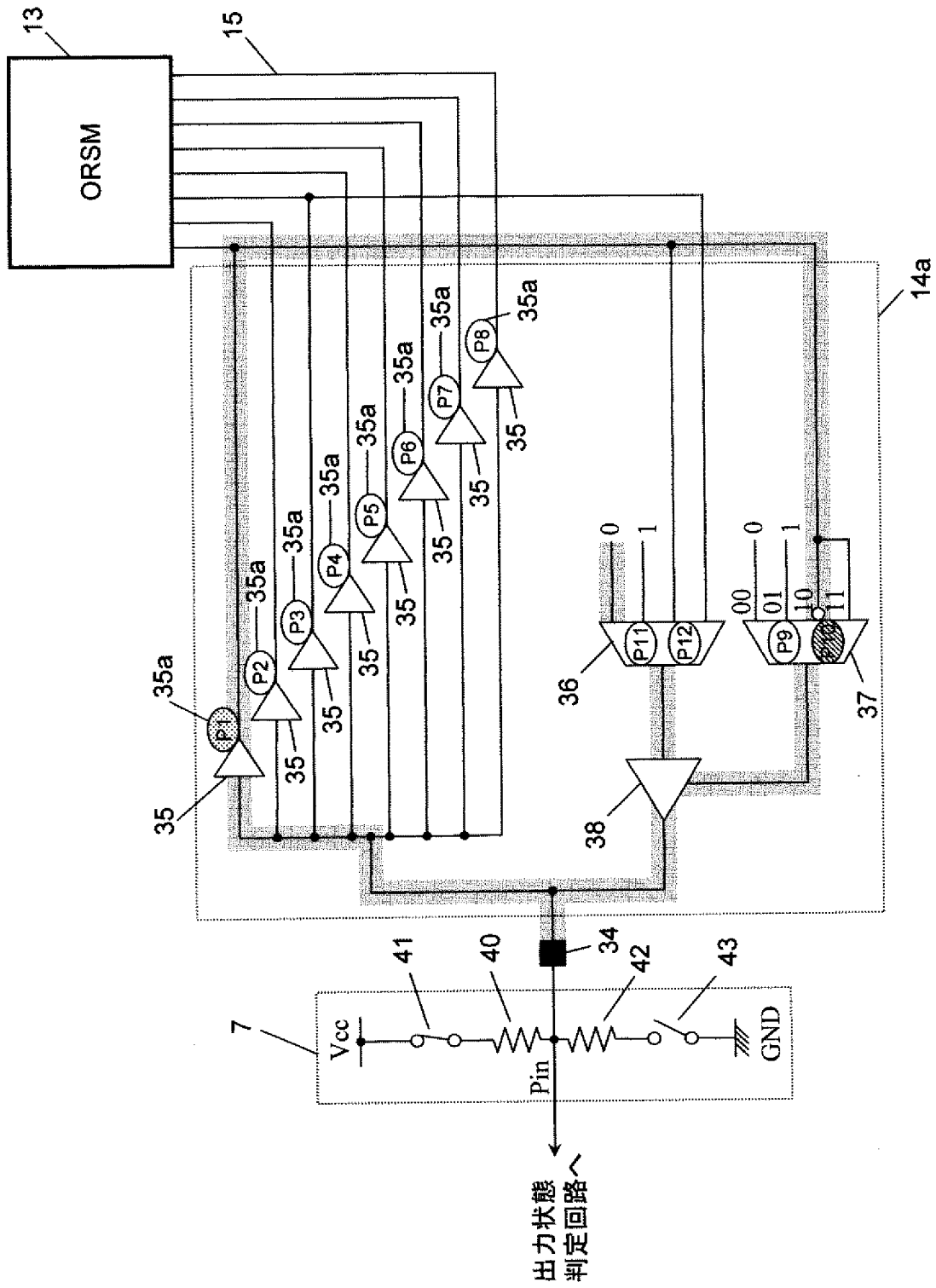
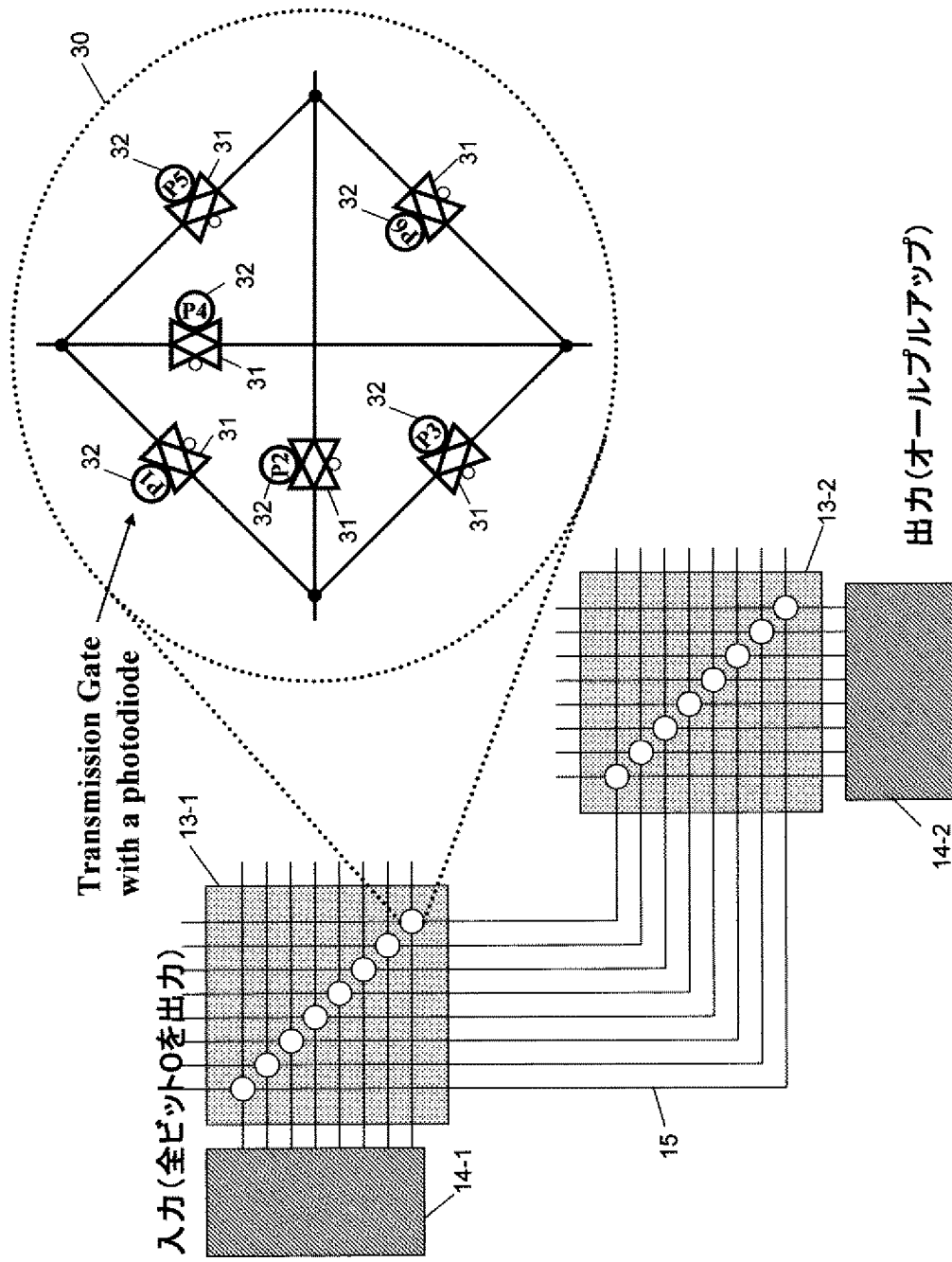


図11



[図12]



[図13]

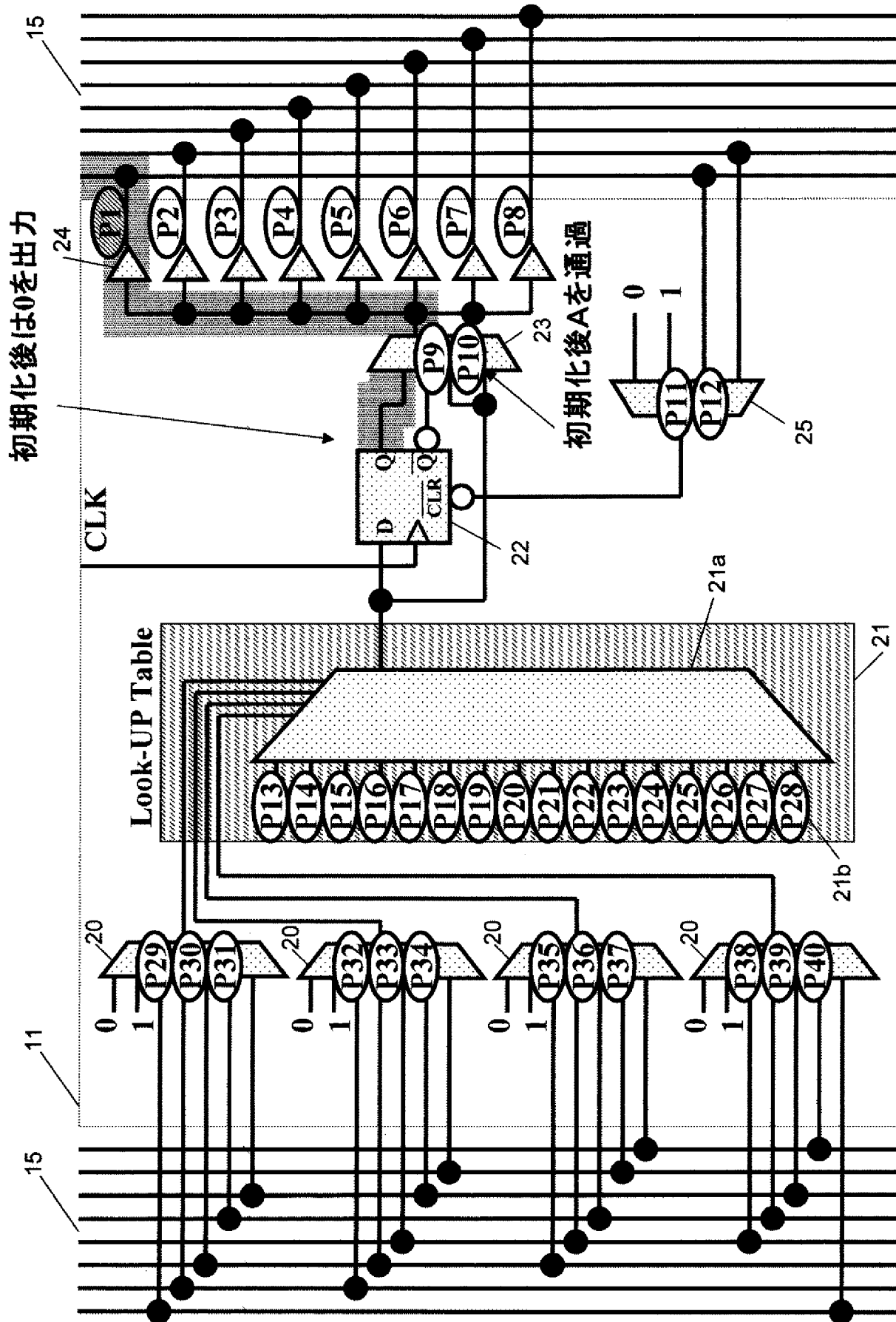
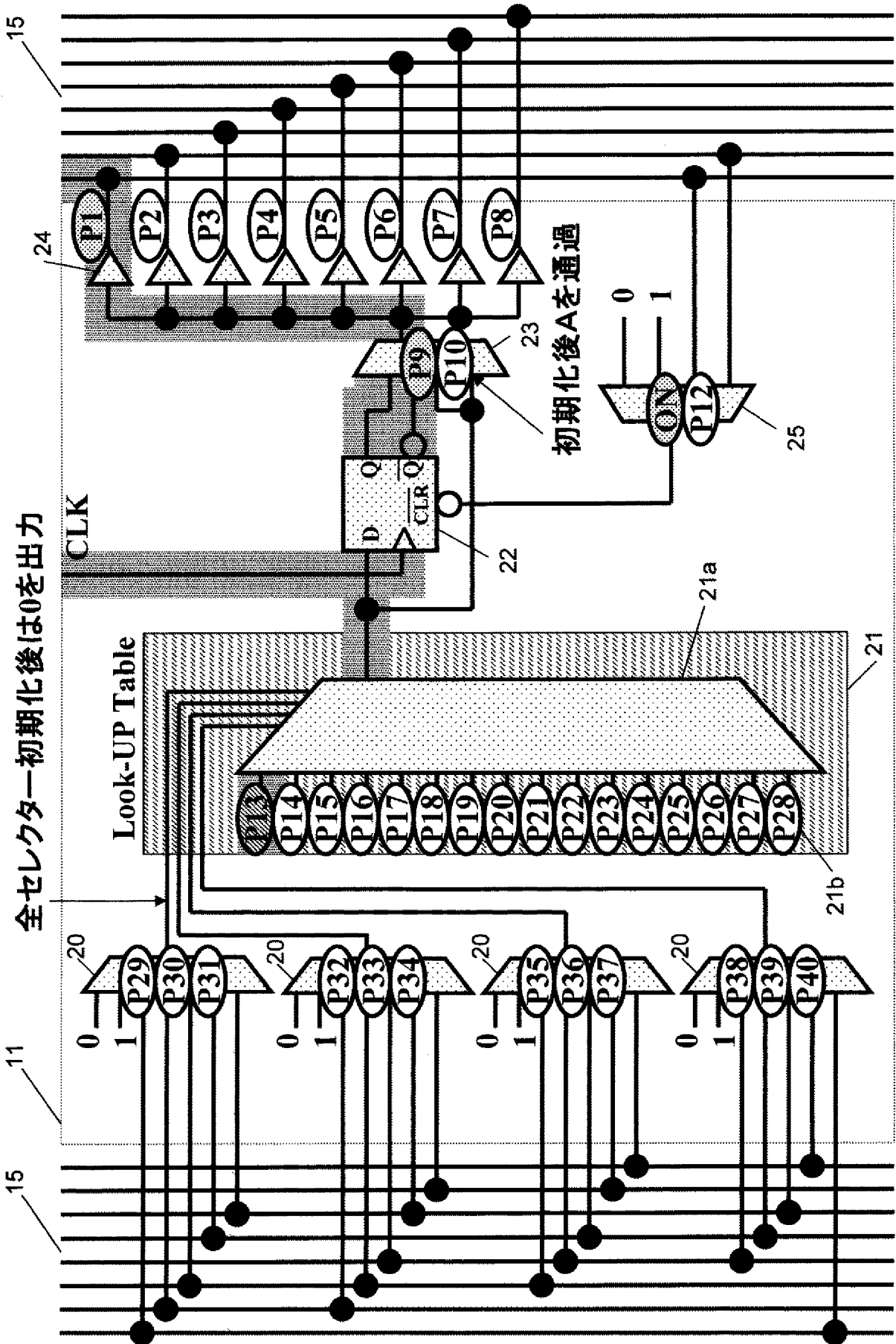


図14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011026

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H03K19/173, G01R31/317, H01L21/82

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H03K19/173, G01R31/317, H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Minoru WATANABE and Fuminori KOBAYASHI, Design of an Optically Differential Reconfigurable Gate Array VLSI chip with optically and electrically controlled logic blocks, SOC Conference, 2003.Proceedings.IEEE International [Systems-on-chip], 20 September, 2003 (20.09.03)	1-9
A	JP 7-99439 A (Toshiba Corp.), 11 April, 1995 (11.04.95), Par. Nos. [0041] to [0045]; Figs. 22, 23 (Family: none)	1-9
A	US 6057703 A (Holoplex. Inc.), 02 May, 2000 (02.05.00), (Family: none)	1-9

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 June, 2005 (29.06.05)Date of mailing of the international search report
12 July, 2005 (12.07.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl.7 H03K19/173, G01R31/317, H01L21/82

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl.7 H03K19/173, G01R31/317, H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国実用新案登録公報 1996-2005年
 日本国登録実用新案公報 1994-2005年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)
 IEEE explore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Minoru Watanabe and Fuminori Kobayashi, Design of an Optically Differential Reconfigurable Gate Array VLSI chip with optically and electrically controlled logic blocks, SOC Conference, 2003. Proceedings. IEEE International [Systems-on-chip], 2003. 09. 20	1-9
A	J P 7-99439 A (株式会社東芝) 1995. 04. 11, 第【0041】-【0045】段落、【図22】、【図23】 (ファミリーなし)	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日
 29. 06. 2005

国際調査報告の発送日 12. 7. 2005

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 5 X 8525
 清水 稔
 電話番号 03-3581-1101 内線 3596

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 6057703 A (Holoplex, Inc) 2000.0 5.02 (ファミリーなし)	1-9