

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年3月6日 (06.03.2008)

PCT

(10) 国際公開番号
WO 2008/026413 A1

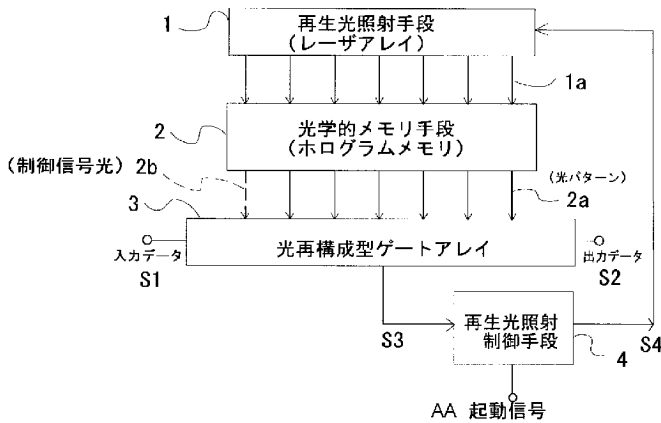
- (51) 国際特許分類:
H03K 19/173 (2006.01)
- (21) 国際出願番号: PCT/JP2007/065085
- (22) 国際出願日: 2007年8月1日 (01.08.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-230472 2006年8月28日 (28.08.2006) JP
特願2006-317363 2006年11月24日 (24.11.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立
大学法人九州工業大学 (Kyushu Institute of Technol-
ogy) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町

- 1 - 1 Fukuoka (JP). 独立行政法人科学技術振興機
構 (Japan Science and Technology Agency) [JP/JP]; 〒
3320012 埼玉県川口市本町4丁目1-8 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 渡邊 実 (WATAN-
ABE, Minoru) [JP/JP]; 〒4338118 静岡県浜松市中区高
丘西3-3 1-2 0-2 0 2 Shizuoka (JP). 小林 史典
(KOBAYASHI, Fuminori) [JP/JP]; 〒8114141 福岡県宗
像市大谷2-1 1 Fukuoka (JP).
- (74) 代理人: 平井 安雄 (HIRAI, Yasuo); 〒8120011 福岡県
福岡市博多区博多駅前2丁目20-1 大博多ビル
9階 Fukuoka (JP).

[続葉有]

(54) Title: RECONFIGURATION CONTROLLER FOR OPTICALLY RECONFIGURABLE GATE ARRAY AND ITS METHOD

(54) 発明の名称: 光再構成ゲートアレイの再構成制御装置及びその方法



- 1... REPRODUCTION LIGHT APPLYING MEANS (LASER ARRAY)
- 2... OPTICAL MEMORY MEANS (HOLOGRAM MEMORY)
- 2b... (CONTROL SIGNAL LIGHT)
- 2a... (OPTICAL PATTERN)
- S1... INPUT DATA
- 3... OPTICALLY RECONFIGURABLE GATE ARRAY
- S2... OUTPUT DATA
- 4... REPRODUCTION LIGHT APPLICATION CONTROL MEANS
- AA... START-UP SIGNAL

(57) Abstract: [PROBLEMS] To provide a reconfiguration controller of an optically reconfigurable gate array for correctly and reliably writing various types of logical operation circuits of an optically reconfigurable gate array and performing high-speed logical operation by quickly starting up the circuits. [MEANS FOR SOLVING PROBLEMS] A reconfiguration controller comprises a laser array (1) for producing a laser beam (1a) to serve as a reproducing beam and applying the laser beam (1a), a hologram memory (2) for outputting an optical pattern (2a) when receiving the laser beam (1a) according to pre-stored recording information and outputting a control signal light (2b) relating to optical reconfiguration by the optical pattern (2a), an optically reconfigurable gate array (3) for reconfiguring arrayed logical operation cells into various logical operation circuits according to the outputted optical pattern (2a), and outputting an optical control signal (S3) from the control signal light (2b), and a reproduction light application control means (4) for controlling the application of the laser beam (1a) emitted from the laser array (1) according to the optical control signal. Therefore, optical pattern application can be performed according to the optical control signal at a reconfiguration time adapted to any of various

logical operation circuits sequentially reconfigured by the optically reconfigurable gate array. Consequently, correct and reliable write of any one of various types of logical operation circuits can be performed without any write error, and such various types of logical operation circuits can perform logical operation sequentially at high speed.

(57) 要約: 【課題】光再構成ゲートアレイの各種論理演算回路を正確且つ確実に書込むと共に、各々を迅速に起動して論理演算を高速化できる光再構成ゲートアレイの再構成制御装置を提供する。【解決手段】再生光のレーザー光 1 a を発光して照射するレーザーアレイ 1 と、予め格納された記録情報に基づいてレーザー光 1 a の照射によ

[続葉有]

WO 2008/026413 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

り光パターン 2 a を射出すると共に、この光パターン 2 a による光再構成に関する制御信号光 2 b を射出するホログラムメモリ 2 と、この射出される光パターン 2 a に基づいてアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成し制御信号光 2 b に基づいて光制御信号 S 3 を出力する光再構成型ゲートアレイ 3 と、前記光制御信号に基づいて前記レーザアレイ 1 で発光されるレーザ光 1 a の照射を制御する再生光照射制御手段 4 とを備える構成により、光再構成ゲートアレイで順次再構成される各種の論理演算回路に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できる。

明 細 書

光再構成ゲートアレイの再構成制御装置及びその方法

技術分野

[0001] 本発明は、光再構成型ゲートアレイに対して各種の論理演算回路を再構成する光パターンの照射制御を行う光再構成ゲートアレイの再構成制御装置及びその方法に関し、特に論理演算回路の再構成に最適な光パターンの照射を制御できる光再構成ゲートアレイの再構成制御装置、並びに再構成する速度を任意に設定及び制御することができる光再構成ゲートアレイの再構成制御装置及びその方法に関する。

背景技術

[0002] 従来、この種の光再構成ゲートアレイの再構成制御装置として特開2002-353317号公報(以下、特許文献1)、特開2005-51059号公報(以下、特許文献2)及び社団法人電子情報通信学会論文「複数のVCSELを用いたODRGAの再構成速度改善」(宮野元嗣、渡邊実、小林史典)(以下、非特許文献1)に各々開示されるものがあつた。前記特許文献1及び2の光再構成ゲートアレイの再構成制御装置における概略構成図を図12に示し、前記特許文献1及び2の光再構成ゲートアレイの再構成制御装置の動作フローチャートを図13に示し、また非特許文献の従来技術の概略構成図を図14に示す。

[0003] 前記特許文献1に記載の発明に係る光再構成ゲートアレイの再構成制御装置は、論理演算セル及びこの論理演算セルの演算プログラムを設定するプログラム設定用の受光素子を平面状のチップ上に搭載した光再構成型ゲートアレイ3を再構成するに際し、前記光再構成型ゲートアレイ3に対向配設された光学的メモリ手段であるホログラムメモリ2にレーザアレイ1からレーザ光1aを照射して再生光を射出し、この再生光を前記プログラムに応じた光信号の光パターン2aとして光再構成型ゲートアレイ3の受光素子の各々に同時に照射する構成である。

[0004] このように光再構成型ゲートアレイ3の平面状のチップ上に搭載された多数の受光素子に光信号の光パターン2aを同時に照射することにより、光再構成型ゲートアレイ3の論理演算セルを論理演算回路として再構成できることとなる。

- [0005] また、特許文献2に記載の発明に係る光再構成ゲートアレイの再構成制御装置は、光再構成型ゲートアレイ3の上面に配設された光学的メモリ手段であるホログラムメモリ2、このホログラムメモリ2に再生照明光のレーザ光1aを照射する再生光照射手段である面発光レーザからなるレーザアレイ1、及びこのレーザアレイ1の再生照射光であるレーザ光1aの制御を行う再生光照射制御回路である再生光照射制御手段4を備えている。
- [0006] レーザアレイ1は、ホログラムメモリ2に記録された光パターン2aに関する情報を再生するための再生照射光を発振する光源である。レーザアレイ1の照射面には、ホログラムメモリ2に対する再生照射光の照射角を制御するための照射角制御部50が設けられている。再生照明光であるレーザ光1aの照射角は、光再構成型ゲートアレイ3の動作と同期して時間的に切り換えられる。再生照明光であるレーザ光1aの照射角の制御は、再生光照射制御手段4により照射角制御部50を制御することにより行われる。
- [0007] レーザアレイ1によりホログラムメモリ2に照射された再生照明光のレーザ光1aは、ホログラムメモリ2を通過して再生光の光パターン2aとなる。この際、ホログラムメモリ2にホログラムとして記録されたマスクパターンを再生し、再生光は光パターン2aを形成する。この光パターン2aが光再構成型ゲートアレイ3に照射される。光再構成型ゲートアレイ3は光パターン2aに対して光電変換を行い、光パターン2aに対応した論理演算回路の再構成を行う。
- [0008] 次に、前記特許文献1及び2に記載される光再構成ゲートアレイの再構成制御装置の動作を図13に基づいて説明する。同図において再生光照射制御手段4に対して光再構成ゲートアレイの再構成制御装置の起動信号が入力されると判断された場合には(ステップ11)、この再生光照射制御手段4が発光制御信号S41をレーザアレイ1へ出力する(ステップ12)。この発光制御信号S41は、前記ホログラムメモリ2が再構成する各種の論理演算回路のうちで最大の再構成時間を見込んで設定された再構成時間をデータ内容とする構成である。
- [0009] 前記発光制御信号S41が入力されたレーザアレイ1は、発光制御信号S41で特定される再構成時間に基づいてレーザ光1aを発光し、このレーザ光1aをホログラムメモ

り2に照射する(ステップ13)。このホログラムメモリ2は、照射されたレーザ光1aにより予め格納された記録情報に基づいて光パターン2aを光再構成型ゲートアレイ3へ照射する(ステップ14)。

- [0010] この光パターン2aの照射開始時から再生光照射制御手段4が照射開始時間を積算し(ステップ15)、この積算値が発光制御信号S41で設定される光再構成時間の最大値を経過したか否かが判断される(ステップ16)。この最大値を積算値が経過していないと判断された場合には、前記ステップ13に戻り前記各動作を繰り返すこととなる。
- [0011] 前記ステップ16において積算値が最大値を経過したと判断された場合には、この再構成回路パターンに対応する光再構成型ゲートアレイ3の論理演算回路を起動させ、この起動した論理演算回路に入力データS1が入力されると論理演算を実行して光再構成型ゲートアレイ3から演算結果の出力データS2を出力する(ステップ17)。この起動した論理演算回路の論理演算動作が完了したか否かを判断し(ステップ18)、この論理演算回路の動作が完了したと判断された場合にはさらに再生光照射制御手段4で光再構成される総ての論理演算回路の論理演算動作が終了したか否かが判断される(ステップ19)。このステップ19で論理演算動作が終了していないと判断された場合には、前記ステップ12に戻って新たな次に演算する論理演算回路を光再構成するために前記動作を繰り返すこととなる。
- [0012] この光パターン2aの照射は、前記光再構成型ゲートアレイ3における各種の論理演算回路の総てが各々再構成されるのに十分な期間、即ち、発光制御信号S41で設定される再構成時間だけ照射されることとなる。
- [0013] また、非特許文献1に記載の発明は、ホログラムメモリ2を擬似的に形成する二つの面発光レーザ21、22からのレーザ光を光学系23を介して単一のVLSIで形成される光再構成型ゲートアレイ3を光再構成する構成である。この構成により光再構成型ゲートアレイ3のフォトダイオードにより多くの光量のレーザ光を照射することができるため、再構成速度の改善が可能となった。
- [0014] 前記構成の発明では、光再構成型ゲートアレイ3に4bitアップダウンカウンタを実装したVLSIとして構成し、この4bitアップダウンカウンタの駆動を単一の面発光レーザ

21(又は22)による照射の場合と、二つの面発光レーザ21、22による照射の場合とを比較した。単一の面発光レーザ21(又は22)の照射の場合が580[μ sec](又は1340[μ sec])であるのに対し、二つの面発光レーザ21、22の場合は340[μ sec]となり、二つの面発光レーザ21、22の場合が光再構成の速度を短縮できたことを確認している。

- [0015] 前記各光再構成ゲートアレイの再構成制御装置は、いずれも光再構成型ゲートアレイ3のVLSIへ並列的に高速な書込みが可能であり、多数(例えば、100程度)の再構成回路パターンをホログラムメモリ2に格納して保有できる利点を有する。

特許文献1:特開2002-353317号公報

特許文献2:特開2005-51059号公報

非特許文献1:社団法人電子情報通信学会論文「複数のVCSELを用いたODRGAの再構成速度改善」(宮野元嗣、渡邊実、小林史典)

発明の開示

発明が解決しようとする課題

- [0016] 前記背景技術に係る光再構成ゲートアレイの再構成制御装置は以上のように各々構成されており、文献1及び2の各発明のいずれにおいても、ホログラムメモリ2に対してレーザアレイ1からレーザ光1aを照射して再生光の光パターン2aをホログラムメモリ2から光再構成型ゲートアレイ3へ照射させていることから、光再構成型ゲートアレイ3に順次再構成される各種の論理演算回路を起動させて論理演算を実行させる際に、各種の論理演算回路に応じた適確且つ迅速な起動ができないという課題を有していた。

- [0017] 前記光再構成型ゲートアレイ3は、各種の論理演算回路のうちで最大の再構成時間を見込んで総ての論理演算回路を起動させるように設定された発光制御信号S41に基づいていることから、短時間で書込みが完了している論理演算回路であっても、予め見込んで発光制御信号S41で設定された最大の再構成時間の経過を待って起動されることとなり、各種の論理演算回路が連続して高速且つ確実に演算動作を行うことができないという課題を有していた。即ち、従来の光再構成ゲートアレイの再構成制御装置は、再構成する各種の論理演算回路に関するパターン、受光素子数等に

より書込み時間を異にするので、このパターン、受光素子数等に適合した光量を適正に照射できないことから、総ての論理演算回路を正確且つ確実な書込みができず、書込みエラーを生じるという課題を有する。

- [0018] 特に、前記光再構成型ゲートアレイ3の総ての論理演算回路を発光制御信号S41に基づいて正確且つ確実に書込んだ後にこれらの論理演算回路を順次起動させようとすると、各パターンの論理演算回路に応じた迅速な起動ができず、論理演算を高速化できないという課題を有する。
- [0019] また、文献1及び2の各発明のいずれにおいても、ホログラムメモリ2に対して単一の光を照射して再生光の光パターン2aをホログラムメモリ2から光再構成型ゲートアレイ3へ照射させていることから、単一の光の光量に応じた光再構成の速度となり、レーザアレイ1の発光光量を増大しない限り光再構成の時間を短縮できないという課題を有する。この光再構成速度を短縮するためにレーザアレイ1の発光光量を増大させると、システム全体の消費電力が増大すると共に、システムのコストアップという課題を有する。
- [0020] また、非特許文献1の発明は、光再構成型ゲートアレイ3への照射する再生光の光量を増大させるために面発光レーザ21、22からの二つの再生光を光学系23により幾何光学的に合成させているものであり、レーザアレイ1の発光光量を増大させることを前提とするものであることから、システム全体の消費電力を増大させると共に、システムを大幅にコストアップさせるという課題を有する。
- [0021] 本発明は、前記課題を解消するためになされたもので、第1の目的は、光再構成ゲートアレイの各種論理演算回路を正確且つ確実に書込むと共に、各々を迅速に起動して論理演算を高速化できる光再構成ゲートアレイの再構成制御装置及びその方法を提供することを目的とする。また、第2の目的は、光再構成ゲートアレイにおける光再構成時間の短縮をシステム全体の消費電力を抑制しながらコストアップすることなく実行できる光再構成ゲートアレイの再構成制御装置及びその方法を提供することを目的とする。また、本発明は、光再構成ゲートアレイの用途に応じて、再構成回路パターン数と光再構成速度とを任意に適宜選択して構成できる光再構成ゲートアレイの再構成制御装置及びその方法を提供することを目的とする。

課題を解決するための手段

- [0022] 本発明に係る光再構成ゲートアレイの再構成制御装置は、再生光を発光して照射する再生光照射手段と、予め格納された記録情報に基づいて前記再生光の照射により光パターンを射出すると共に、当該光パターンによる光再構成に関する制御信号光を射出する光学的メモリ手段と、前記射出される光パターンに基づいてアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成し、制御信号光に基づいて光制御信号を出力する光再構成型ゲートアレイと、前記光制御信号に基づいて前記再生光照射手段で発光される再生光の照射を制御する再生光照射制御手段とを備えるものである。
- [0023] 本発明に係る光再構成ゲートアレイの再構成制御装置は必要に応じて、光学的メモリ手段が、制御信号光を再構成速度の二値化データとして射出するものである。
- [0024] 本発明に係る光再構成ゲートアレイの再構成制御装置は必要に応じて、光学的メモリ手段が、制御信号光を再構成速度に対応した光強度として射出するものである。
- [0025] 本発明に係る光再構成ゲートアレイの再構成制御装置は必要に応じて、光再構成型ゲートアレイが、光制御信号により前記射出された光パターンの光強度及び／又は照射時間が制御され、当該光パターンの光強度及び／又は照射時間により光再構成が完了した後に、各種の論理演算回路による演算動作を実行するものである。
- [0026] 本発明に係る光再構成ゲートアレイの再構成制御装置は、光再構成型ゲートアレイを複数の再構成回路パターンで順次書替えて光再構成を実行する際に、前記光再構成された論理演算回路が演算動作を実行中に、次に光再構成する再構成回路パターンの光パターンの光制御信号を保持し、当該保持された光制御信号に基づいて次に書替えられる再構成回路パターンを光再構成するために再生光照射手段の発光を制御するものである。
- [0027] 本発明に係る光再構成ゲートアレイの再構成制御装置は必要に応じて、光再構成型ゲートアレイを複数の再構成回路パターンで順次書替えて光再構成を実行する際に、前記再構成回路パターンの光再構成が、光学的メモリから射出される光パターン及び制御信号光を入力して当該制御信号光の制御により光パターンで論理演算回路の再構成として実行され、前記順次書替えられる光再構成のうち前に光再構成さ

れる光パターンと同時に照射された制御信号光に基づいて後に光再構成される光パターンの照射を制御するものである。

[0028] 本発明に係る光再構成ゲートアレイの再構成制御装置は、再生光を発光する複数の発光部がアレイ状に配列され、当該複数の発光部からの各再生光を照射する再生光照射手段と、前記再生光照射手段に対向配設され、前記各再生光の照射により再構成回路パターンに対応する予め格納された記録情報の光パターンを射出する光学的メモリ手段と、前記光学的メモリ手段から射出された光パターンの照射によりアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成する光再構成型ゲートアレイと、前記光学的メモリ手段に予め格納された記録情報の記録態様に対応した複数の再生光を当該記録情報の記録領域に発光部が照射するように制御する再生光照射制御手段とを備えるものである。

[0029] 本発明に係る光再構成ゲートアレイの再構成制御装置は必要に応じて、再生光照射制御手段が、光学的メモリ手段に予め格納された複数の記録情報の各記録態様に対応した複数の再生光を当該複数の記録情報の各記録領域に発光部から照射させ、当該照射により光学的メモリ手段から射出される複数の光パターンで前記光再構成型ゲートアレイの一又は複数の論理演算回路を再構成するものである。

[0030] 本発明に係る光再構成ゲートアレイの再構成制御装置は必要に応じて、再生光照射制御手段が、記録情報に対応した複数の再生光を発光する複数の発光部の範囲内で増加又は減少させるものである。

[0031] 本発明に係る光再構成ゲートアレイの再構成制御方法は、再生光照射制御手段の複数アレイ状に配列される発光部から光学的メモリ手段に再生光を照射し、当該光学的メモリ手段から光パターンを再生して光再構成型ゲートアレイに照射して各種の論理演算回路を再構成する光再構成ゲートアレイの再構成制御方法において、前記光学的メモリ手段に予め格納された記録情報の記録態様に対応した複数の再生光を当該記録情報の記録領域に再生光照射手段の複数の発光部が照射し、前記記録情報の記録領域から単一の光パターンを再生して光再構成型ゲートアレイに照射するものである。

[0032] 本発明に係る光再構成ゲートアレイの再構成制御方法は必要に応じて、光学的メ

メモリ手段に予め格納された複数の記録情報の各記録態様に対応した複数の再生光を当該複数の記録情報の各記録領域に再構成照射手段の複数の発光部が照射し、前記複数の記録情報の各記録領域から複数の光パターンを再生して光再構成型ゲートアレイに照射し、前記光再構成型ゲートアレイの一又は複数の論理演算回路を再構成するものである。

発明の効果

- [0033] このように本発明においては、予め格納された記録情報に基づいて再生光照射手段が発光した再生光の照射により光パターンを射出すると共に、この光パターンによる光再構成に関する制御信号光を光学的メモリ手段が射出し、この射出される光パターンに基づいてアレイ状に配列された複数の論理演算セルからなる光再構成型ゲートアレイを各種の論理演算回路に再構成し、且つ制御信号光に基づいて光制御信号を出力し、この光制御信号に基づいて前記再生光照射手段で発光される再生光の照射を再生光照射制御手段が制御するようにしているので、光再構成ゲートアレイで順次再構成される各種の論理演算回路に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できるという効果を奏する。
- [0034] このように本発明においては、制御信号光を再構成速度の二値化データとして光学的メモリ手段が射出するようにしているので、二値化データにより再構成速度を確実に光再構成型ゲートアレイの論理演算回路に伝達できることとなり、光再構成ゲートアレイで順次再構成される各種の論理演算回路に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できるという効果を有する。
- [0035] このように本発明においては、制御信号光を再構成速度に対応した光強度として光学的メモリ手段が射出するようにしているので、光パターンと同じ光信号の光強度により再構成速度を確実に光再構成型ゲートアレイの論理演算セルを動作させることができることとなり、光再構成ゲートアレイで順次再構成される各種の論理演算回路

に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できるという効果を有する。

[0036] このように本発明においては、光制御信号により前記射出された光パターンの光強度及び／又は照射時間が制御され、当該光パターンの光強度及び／又は照射時間により光再構成が完了した後に、光再構成型ゲートアレイが各種の論理演算回路による演算動作を実行するようにしているので、光再構成ゲートアレイで順次再構成される各種の論理演算回路に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できるという効果を有する。

[0037] このように本発明においては、光再構成型ゲートアレイを複数の再構成回路パターンで順次書替えて光再構成を実行する際に、前記光再構成された論理演算回路が演算動作を実行中に、次に光再構成する再構成回路パターンの光パターンの光制御信号を保持し、当該保持された光制御信号に基づいて次に書替えられる再構成回路パターンを光再構成するために再生光照射手段の発光を制御するようにしているので、順次光再構成される論理演算回路のうち演算動作実行中の論理演算回路が次に再構成される論理演算回路の再構成速度を光制御信号で制御することとなり、光再構成ゲートアレイで順次再構成される各種の論理演算回路に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できるという効果を有する。

[0038] このように本発明においては、複数の発光部がアレイ状に配列されてなる再生光照射手段から再生光を複数発光し、この複数発光された再生光の照射により光学的メモリ手段が予め格納された記録情報の光パターンを射出し、この射出された光パターンの照射によりアレイ状に複数の論理演算セルを配列してなる光再構成型ゲート

アレイが各種の論理演算回路に再構成され、この再構成を光学的メモリ手段に予め格納された記録情報の記録態様に対応した複数の再生光を当該記録情報の記録領域に発光部が照射するように再生光照射制御手段が制御するようにしているので、高速に光再構成が必要な場合とより多くの再構成回路パターンが必要な場合とを適宜切替えて制御できることとなり、光再構成ゲートアレイにおける光再構成時間の短縮をシステム全体の消費電力を抑制しながらコストアップすることなく実行できると共に、光再構成ゲートアレイの用途に応じて、再構成回路パターン数と光再構成速度とを任意に適宜選択して構成できるという効果を奏する。

[0039] このように本発明においては、再生光照射制御手段が、光学的メモリ手段に予め格納された複数の記録情報の各記録態様に対応した複数の再生光を当該複数の記録情報の各記録領域に発光部から照射させ、当該照射により光学的メモリ手段から射出される複数の光パターンで前記光再構成型ゲートアレイの一又は複数の論理演算回路を再構成するようにしているので、複数の光パターンで光再構成型ゲートアレイの論理演算セルをより大きな光量で論理演算回路に再構成できることとなり、光再構成の時間を大幅に短縮して再構成速度を高速化できる。

[0040] また、本発明においては、記録情報に対応した複数の再生光を発光する複数の発光部の範囲内で再生光照射制御手段が増加又は減少させるようにしているので、光再構成ゲートアレイの用途に応じて、再構成回路パターン数と光再構成速度とを任意に適宜選択して構成できるという効果を有する。

[0041] また、本発明においては、再生光照射制御手段の複数アレイ状に配列される発光部から光学的メモリ手段に再生光を照射し、当該光学的メモリ手段から光パターン再生光を再生して光再構成型ゲートアレイに照射して各種の論理演算回路を再構成する際に、光学的メモリ手段に予め格納された記録情報の記録態様に対応した複数の再生光を当該記録情報の記録領域に再生光照射手段の複数の発光部が照射し、前記記録情報の記録領域から単一の光パターン生成光を再生して光再構成型ゲートアレイに照射するようにしているので、高速に光再合成が必要な場合とより多くの再構成回路パターンが必要な場合とを適宜切替えて制御できることとなり、光再構成ゲートアレイにおける光再構成時間の短縮をシステム全体の消費電力を抑制しながら

らコストアップすることなく実行できると共に、光再構成ゲートアレイの用途に応じて、再構成回路パターン数と光再構成速度とを任意に適宜選択して構成できるという効果を奏する。

- [0042] このように本発明においては、光学的メモリ手段に予め格納された複数の記録情報の各記録態様に対応した複数の再生光を当該複数の記録情報の各記録領域に再構成照射手段の複数の発光部が照射し、前記複数の記録情報の各記録領域から複数の光パターンを再生して光再構成型ゲートアレイに照射し、前記光再構成型ゲートアレイの一又は複数の論理演算回路を再構成するようにしているので、複数の光パターンで光再構成型ゲートアレイの論理演算セルをより大きな光量で論理演算回路に再構成できることとなり、光再構成の時間を大幅に短縮して再構成速度を高速化できる。

図面の簡単な説明

- [0043] [図1]本発明の第1の実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図である。
- [図2]図1に記載の光再構成ゲートアレイにおける論理演算回路の光再構成及び論理演算の動作フローチャートである。
- [図3]図1に記載の光再構成ゲートアレイの再構成制御装置における光再構成ゲートアレイの詳細回路構成図である。
- [図4]本発明の第2の実施形態に係る光再構成ゲートアレイの再構成制御装置の動作フローチャートである。
- [図5]図4の動作フローチャートに対応する動作タイミングチャートである。
- [図6]本発明の第3の実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図である。
- [図7]本発明の第4の実施形態に係る光再構成ゲートアレイの再構成制御装置の再構成制御装置の全体概略構成図である。
- [図8]図7に記載の光再構成ゲートアレイの再構成制御装置におけるレーザアレイからホログラムメモリへのレーザ光照射態様図である。
- [図9]図8におけるホログラムメモリ端部領域へのレーザ光照射態様図動作フローチ

ャート図である。

[図10]本発明の第5の実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図である。

[図11]本発明の他の実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図である。

[図12]背景技術に係る光再構成ゲートアレイの再構成制御装置の概略構成図である

。

[図13]背景技術に係る光再構成ゲートアレイの再構成制御装置の動作フローチャートである。

[図14]背景技術に係る光再構成ゲートアレイの再構成制御装置の概略構成図である

。

符号の説明

- [0044]
- 1 レーザアレイ
 - 1a レーザ光
 - 11、・・・、1n、101、～、136 レーザ
 - 101a、～、136a レーザ光
 - 2 ホログラムメモリ
 - 2a 光パターン
 - 2b 制御信号光
 - 21、22、～、2n 記録領域
 - 21a 光パターン
 - 23 光学系
 - 3 光再構成型ゲートアレイ
 - 3a 再環境設定回路
 - 3b ゲートアレイ回路
 - 3c 再構成時間演算部
 - 31、32、～、3n 論理演算セル
 - 4 再生光照射制御手段

5 照射角度制御部
50 照射角制御部
51、～、5n、501、～、536 偏向素子
nREF リフレッシュ信号
S1 入力データ
S2 出力データ
S4 発光制御信号
pDc 内部コンデンサ
pDoutn 再構成信号
pD1 フォトダイオード
Tr1, Tr2, Tr3, Tr4 トランジスタ

発明を実施するための最良の形態

[0045] (本発明の第1の実施形態)

以下、本発明の第1の実施形態に係る光再構成ゲートアレイの再構成制御装置を図1及び図2に基づいて説明する。この図1は本実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図、図2は図1に記載の光再構成ゲートアレイにおける論理演算回路の光再構成及び論理演算の動作フローチャートである。

[0046] 前記各図において本発明の第1の実施形態に係る光再構成ゲートアレイの再構成制御装置は、再生光のレーザ光1aを発光して照射する再生光照射手段としてのレーザアレイ1と、予め格納された記録情報に基づいて前記レーザ光1aの照射により光パターン2aを射出すると共に、この光パターン2aによる光再構成に関する制御信号光2bを射出する光学的メモリ手段としてのホログラムメモリ2と、前記射出される光パターン2aに基づいてアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成し、制御信号光2bに基づいて光制御信号S3を出力する光再構成型ゲートアレイ3と、前記光制御信号に基づいて前記レーザアレイ1で発光されるレーザ光1aの照射を制御する再生光照射制御手段4とを備える構成である。

[0047] 次に、本実施形態に係る光再構成ゲートアレイの再構成制御装置の動作を図2に基づいて説明する。同図において再生光照射制御手段4に対して光再構成ゲートア

レイの再構成制御装置の起動信号が入力されたと判断された場合には(ステップ1)、この再生光照射制御手段4が発光制御信号S4をレーザアレイ1へ出力する(ステップ2)。この発光制御信号S4は、前記ホログラムメモリ2が再構成する各種の論理演算回路のうちで最大の再構成時間を見込んで設定された再構成時間をデータ内容とする構成である。

- [0048] 前記発光制御信号S4が入力されたレーザアレイ1は、発光制御信号S4で特定される再構成時間に基づいてレーザ光1aを発光し、このレーザ光1aをホログラムメモリ2に照射する(ステップ3)。このホログラムメモリ2は、照射されたレーザ光1aにより予め格納された記録情報に基づいて光パターン2a及び制御信号光2bを光再構成型ゲートアレイ3へ照射する(ステップ4)。
- [0049] この光パターン2aの照射開始時から再生光照射制御手段4が照射開始時間を積算し(ステップ5)、この積算値が制御信号光2bで設定される光再構成時間を経過したか否かが再生光照射制御手段4により判断される(ステップ6)。この積算値が経過していないと判断された場合には、前記ステップ3に戻り前記各動作を繰り返すこととなる。
- [0050] 前記ステップ6において積算値が光再構成時間を経過したと判断された場合には、この再構成回路パターンに対応する光再構成型ゲートアレイ3の論理演算回路を起動させ、この起動した論理演算回路に入力データS1が入力されると論理演算を実行して光再構成型ゲートアレイ3から演算結果の出力データS2を出力する(ステップ7)。
- [0051] この起動した論理演算回路の論理演算動作が完了したか否かを判断し(ステップ8)、この論理演算回路の動作が完了したと判断された場合にはさらに再生光照射制御手段4で光再構成される総ての論理演算回路の論理演算動作が終了したか否かが判断される(ステップ9)。このステップ9で論理演算動作が終了していないと判断された場合には、前記ステップ3に戻って新たな次に演算する論理演算回路を光再構成するためにレーザアレイ1からレーザ光1aが照射されて前記動作を繰り返すこととなる(ステップ9)。
- [0052] さらに、前記光再構成型ゲートアレイ3における論理演算回路を順次光再構成する

動作について図3に基づいて説明する。この図3は図1に記載の光再構成ゲートアレイの再構成制御装置における光再構成ゲートアレイの詳細回路構成図を示す。

[0053] 前記図3において光再構成型ゲートアレイ3は、順次光再構成される各論理演算回路を切替える再環境設定回路3aと、この光再構成型ゲートアレイ3の制御により順次論理演算回路を光再構成する論理演算セルからなるゲートアレイ回路3bとを備える構成である。

[0054] この図3に示す光再構成型ゲートアレイ3は、再環境設定回路3aにリフレッシュ信号nREFが入力トランジスタTr1に入力されると、フォトダイオードpD1に光パターン2aが入射されていて内部コンデンサpDcに電荷をチャージしていることを条件としてパストランジスタTr4を介して再構成信号pDoutnをゲートアレイ回路3bへ出力する。このゲートアレイ回路3bは再構成信号pDoutnにより論理演算セルを活性化して論理演算回路が再構成されることとなる。

[0055] (本発明の第2の実施形態)

本発明の第2の実施形態に係る光再構成ゲートアレイの再構成制御装置を図4及び図5に基づいて説明する。

この図4は、本実施形態に係る光再構成ゲートアレイの再構成制御装置の動作フローチャート、図5は図4の動作フローチャートに対応する動作タイミングチャートを示す。

[0056] 前記各図において本発明の第2の実施形態に係る光再構成ゲートアレイの再構成制御装置は、前記第1の実施形態と同様にレーザアレイ1、ホログラムメモリ2、光再構成型ゲートアレイ3、再生光照射制御手段4を備え、この光再構成型ゲートアレイ3を複数の再構成回路パターンで順次書替えて光再構成を実行する際に、ホログラムメモリ2から光パターン2a及び制御信号光2bが光再構成型ゲートアレイ3に照射され、次に書替えるために制御信号光2bに基づいて光パターン2aに対応する照射時間(又は光強度)を再生光照射制御手段4が保持し、この保持された照射時間(又は光強度)に基づいて再生光照射制御手段4が書替えられる再構成回路パターンを光再構成型ゲートアレイ3に光再構成する構成である。

[0057] 次に、前記構成に基づく本実施形態に係る光再構成ゲートアレイの再構成制御装

置動作を説明する。まず、前記第1の実施形態と同様に再生光照射制御手段4に起動信号が入力されると発光制御信号S4がレーザアレイ1に出力されてレーザ光1aをホログラムメモリ2に照射し、このホログラムメモリ2から再構成回路パターンに対応する光パターン2a及び制御信号光2bを光再構成型ゲートアレイ3へ照射する(ステップ1ないし4)。

[0058] この光パターン2aにより光再構成される再構成回路パターンの次に再構成される光パターンの照射時間(又は光強度)を前記制御信号光2bで特定し、この特定された照射時間(又は光強度)を再生光照射制御手段4に保持する(ステップ41)。

[0059] 前記ステップ4で照射される光パターン2aによる光再構成が最初の光再構成の実行か否かが判断され(ステップ42)、最初の光再構成の実行と判断された場合には光パターン2aの照射開始時から照射時間(又は光強度)を積算する(ステップ43)。この積算された積算値が光再構成時間(又は光再構成強度)の最大値を経過したか否かを判断する(ステップ44)。このステップ44で最大値を経過していないと判断された場合には前記ステップ3に戻り前記動作を繰り返すこととなる。

[0060] 前記ステップ42において光パターン2aによる光再構成の実行が最初の光再構成動作でないと判断された場合は、制御信号光2bの受光開始時から光パターン2aの光再構成型ゲートアレイ3に対する照射時間(又は照射光の光強度積分値)を積算し、この積算値が光再構成時間(又は光再構成強度)を経過したか否かを判断する(ステップ5及び6)。

[0061] このステップ6で積算値が光再構成時間(又は光再構成強度)を経過していると判断された場合及び前記ステップ44で積算値が光再構成時間(又は光強度)の最大値を経過していると判断された場合には、再構成回路パターンに対応する論理演算回路を起動させる(ステップ7)。

[0062] 前記論理演算回路が起動して再生光照射制御手段4に入力された入力データS1に基づいて論理演算動作を実行して出力データS2を出力し、この論理演算動作が完了したか否かが判断される(ステップ8)。この論理演算動作が完了したと判断された場合に、順次書替えて光再構成される各論理演算回路による総ての論理演算が順次実行され(ステップ3ないしステップ9)、この総ての論理演算動作が終了したと

判断(ステップ9)されるまで前記論理演算が実行される。

[0063] また、前記順次書替えて光再構成及び論理演算を行う動作タイミングは、図5に示すようにレーザアレイ1のレーザ光1aによりホログラムメモリ2から最初の制御信号光(1)2b及び光パターン(1)2aを最大積算値の光再構成時間(又は光強度)だけ照射されることにより論理演算回路を光再構成型ゲートアレイ3に再構成し、この再構成された論理演算回路で論理演算を実行(1)する。

[0064] 次に、書替えて光再構成するために、レーザアレイ1のレーザ光1aによりホログラムメモリ2から二番目の制御信号光(2)2b及び光パターン(2)2aが光再構成型ゲートアレイ3に照射されると、この光パターン(2)2aを前記最初に照射された制御信号光(1)2bに基づく光再構成時間(又は光強度)だけ照射されることにより論理演算回路を光再構成型ゲートアレイ3に再構成し、この再構成された論理演算回路で論理演算を実行(2)する。

さらに、書替えて三番目の光再構成では、二番目に照射された制御信号光(2)2bに基づいて特定される光再構成時間(又は光強度)だけ光パターン(3)2aが照射されて対応する論理演算回路を再構成し、この再構成された論理演算回路で論理演算を実行(3)する。

[0065] 以上のように、順次書替える再構成回路パターンの光パターン(2)、(3)、～、(n)を前に再構成された時に照射された制御信号光(1)、(2)、～、(n-1)で光再構成時間(又は光強度)を制御するようにしているので、光再構成をより確実且つ高速化できる。

[0066] (本発明の第3の実施形態)

図6は本発明の第3の実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図を示す。

同図において本実施形態に係る光再構成ゲートアレイの再構成制御装置は、前記第1の実施形態と同様にレーザアレイ1、ホログラムメモリ2、光再構成型ゲートアレイ3及び再生光照射制御手段4を備え、この光再構成型ゲートアレイ3にホログラムメモリ2から照射される制御信号光2bを受光して光再構成時間を演算する再構成時間演算部3cを備える構成である。

[0067] この再構成時間演算部3cは、同図(B)に示すように制御信号光2bを受光するフォ

トダイオード部pD3cと、このフォトダイオード部pD3cにより光電変換された再構成制御信号S3cにより光再構成時間を演算する演算回路33cとを備える構成である。このフォトダイオード部pD3cは、ホログラムメモリ2からの制御信号光2bが照射される位置にハードウェアの回路構成として予め形成される。また、演算回路33cも、フォトダイオード部pD3cと同様に再構成制御信号S3cに基づいて光再構成時間を演算するハードウェアの回路構成として予め形成される構成である。

[0068] このように本実施形態に係る光再構成ゲートアレイの再構成制御装置は、再構成時間演算部3cを予めハードウェアとして光再構成型ゲートアレイ3に形成して構成されるので、ホログラムメモリ2からの制御信号2bに基づいて次に光再構成される論理演算回路の光再構成時間を再構成時間演算部3cが確実に演算できることとなり、この光再構成時間により正確に論理演算回路を光再構成できると共に、この光再構成の完了直後から論理演算回路の演算動作を迅速に実行できることとなる。

[0069] なお、前記各実施形態に係る光再構成ゲートアレイの再構成制御装置は、ホログラムメモリ2から光再構成型ゲートアレイ3に対して制御信号光2bを照射する構成としたが、この制御信号光2bがアナログデータ又はデジタルデータとして構成することもできる。このアナログデータの制御信号光2bは、ホログラムメモリ2に光強度をアナログ的に記憶されてこの光量に応じた光量データとして光再構成時間(速度)を特定する構成とすることもできる。又、前記デジタルデータの制御信号光2bは、ホログラムメモリ2に光再構成時間(速度)を、例えば4bitで1-16までのプログラムとして記憶し、この内容に基づいて光再構成時間(速度)を特定する構成とすることもできる。

[0070] (本発明の第4の実施形態)

以下、本発明の第4の実施形態に係る光再構成ゲートアレイの再構成制御装置をその方法と共に図7ないし図9に基づいて説明する。この図7は本実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図、図8は図7に記載の光再構成ゲートアレイの再構成制御装置におけるレーザアレイからホログラムメモリへのレーザ光照射態様図、図9は図8におけるホログラムメモリ端部領域へのレーザ光照射態様図を示す。

[0071] 前記各図において本発明の第4の実施形態に係る光再構成ゲートアレイの再構成

制御装置は、レーザ光を発光する複数のレーザ11、～、1nがアレイ状に配列され、この複数のレーザ11、～、1nからの各レーザ光101a、～、136aを照射する再生光照射手段のレーザアレイ1と、前記レーザアレイ1に対向配設され、前記各レーザ光101a、～、136aの照射により再構成回路パターンに対応する予め格納された記録情報の光パターン21aを射出する光学的メモリ手段のホログラムメモリ2と、このホログラムメモリ2から射出された光パターン21aの照射によりアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成する光再構成型ゲートアレイ3と、ホログラムメモリ2に予め格納された記録情報の記録態様に対応した複数の再生光を当該記録情報の記録領域21にレーザ11、～、1nが照射するように制御する再生光照射制御手段4とを備える構成である。

[0072] 前記レーザアレイ1は、アレイ状に配列されたレーザ11、～、1nのうち、ホログラムメモリ2の同一記録情報に対してレーザ光を照射する36のレーザ101、～、136が再生光のレーザ光を射出する構成である。なお、このレーザアレイ1は、前記背景技術と同様にVCSEL (Vertical-cavity Surface-emitting Laser)も用いることができ、この場合に各レーザ11、～、1nをマトリクス特定による発光制御とすることができる。

[0073] 前記ホログラムメモリ2は、複数のレーザ11、～、1nから各々異なる入射角のレーザ光を多値多層に記録するボリュームホログラムを用いて構成できる。また、このホログラムメモリ2は、透過型ホログラム(例えば、リップマンホログラム)で構成したが、反射型ホログラムメモリを用いることもできる。このホログラムメモリ2には、前記異なる入射角のレーザ光の照射によって再構成される同一の再構成回路パターンが照射されるレーザ光の数に対して格納される。

[0074] 次に、前記構成に基づく本実施形態に係る光再構成型ゲートアレイの再構成制御装置及びその方法の動作について説明する。

まず、図7及び図8に基づいて光再構成型ゲートアレイ3の中心近傍における論理演算セル31について高速モードの光再構成を実行する。この場合に再生光照射制御手段4は、論理演算セル31に対応するホログラムメモリ2の記録領域21に格納された記録情報の記録態様に基づいてレーザアレイ1のレーザ101、～、136を発光するように制御する。

- [0075] このレーザアレイ1のレーザ101、～、136が全て発光してレーザ光101a、～、136aを各々異なる入射角でホログラムメモリ2の記録領域21に照射する。このレーザ光101a、～、136aは、各々がホログラムメモリ2の記録領域21に予め格納されている同一の再構成回路パターンを個別独立して解析光の光パターンを重畳させた状態で単一の光パターン21aを射出させる。
- [0076] 前記重畳された単一の光パターン21aがレーザ101、～、136から励起されるレーザ光101a、～、136aの総和の光量を有することから、この光パターン21aは光再構成型ゲートアレイ3の論理演算セル31に照射されて、この論理演算セル31を極めて高速に再構成できることとなる。
- [0077] また、図9において、ホログラムメモリ2のコーナー部に位置する記録領域21に対してレーザアレイ1のコーナー部分の複数の各レーザ101、～、136がレーザ光101a、～、136aを各々異なる入射角で照射して重畳された光パターン21aを射出し、この光パターン21aにより高速に論理演算セル31を再構成する。
- [0078] さらに、ホログラムメモリ2の記録領域21以外の記録領域22、～、2nは、前記背景技術として図12に記載する光再構成ゲートアレイの再構成制御装置と同様にレーザアレイ1の各レーザ11、～、1n(101、～、136を除く)とホログラムメモリ2の記録領域22、～、2n(21以外の領域;図示を省略)と光再構成型ゲートアレイ3の論理演算セル32、～、3n(31以外の論理演算セル;図示を省略)とを各対応付け、前記レーザ11、～、1nからレーザ光1aを各々記録領域22、～、2nに照射し、この記録領域22、～、2nから各光パターン2aが射出される。この各光パターン2aが再生光として光再構成型ゲートアレイ3の論理演算セル32、～、3nに照射されて遅い速度で再構成が実行できることとなる。

[0079] (本発明の第5の実施形態)

本発明の第5の実施形態に係る光再構成ゲートアレイの再構成制御装置をその方法と共に図10に基づいて説明する。この図10は第5の実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図を示す。

同図において本発明の第5の実施形態に係る光再構成ゲートアレイの再構成制御装置は、前記レーザアレイ1、ホログラムメモリ2、光再構成型ゲートアレイ3及び再生

光照射制御手段4を共通して備え、前記レーザアレイ1及びホログラムメモリ2が各々射出する各レーザ光101a、～、136a、137a及び光パターン21a、22aの照射態様を異にする構成である。

[0080] 前記レーザアレイ1は、再生光照射制御手段4の制御によりホログラムメモリ2に予め格納された複数の記録情報(光パターン21a、22a)の各記録態様に対応したレーザ光101a、～、136a及びレーザ光137aを前記記録情報(光パターン21a)の記録領域21及び記録情報(光パターン22a)の記録領域22へ照射する。このレーザ光101a、～、136a、137aの各照射によりホログラムメモリ2の記録領域21からは記録情報光パターン21aが射出されると共に、ホログラムメモリ2の記録領域22からは光パターン22aが射出される。

[0081] 前記ホログラムメモリ2は、射出した各光パターン21a、22aを光再構成型ゲートアレイ3の論理演算セル31に照射し、この論理演算セル31を論理演算回路に光再構成する。

このように本実施形態に係る光再構成ゲートアレイの再構成制御装置は、二つの光パターン21a、22aを同一の論理演算セル31に照射することにより、少なくとも二倍の光量で論理演算回路を再構成できることとなり、光再構成時間の短縮及び再構成速度を高速化できる。

[0082] なお、本実施形態に係る光再構成ゲートアレイの再構成制御装置においては、二つの光パターンをホログラムメモリ2から光再構成型ゲートアレイ3へ射出する構成としたが、ホログラムメモリ2から三つ以上の光パターンを光再構成型ゲートアレイ3へ射出する構成とすることもできる。

[0083] (本発明の他の実施形態)

本発明の他の実施形態に係る光再構成ゲートアレイの再構成制御装置をその方法と共に、図11に基づいて説明する。この図11は本発明の他の実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図を示す。

同図において本実施形態に係る光再構成ゲートアレイの再構成制御装置は、前記第4の実施形態の光再構成ゲートアレイの再構成制御装置と同様に、レーザアレイ1、ホログラムメモリ2、光再構成型ゲートアレイ3及び再生光照射制御手段4を備え、こ

の構成に加え、レーザアレイ1の射出側に照射角度制御部5を備える構成である。この照射角度制御部5は、ホログラムメモリ2のレーザ11、～、1nに各々対応してマトリクス状に配設される偏向素子51、～、5nで形成され、この偏向素子51、～、5nを個別に独立して再生光照射制御手段4により制御される構成である。この偏向素子51、～、5nは、例えば偏向制御型の電気光学変調素子で構成することもできる。

[0084] 次に、前記構成に基づく本実施形態に係る光再構成ゲートアレイの再構成制御装置及びその方法の動作について説明する。

前記第4の実施形態と同様に、再生光照射制御手段4は論理演算セル31に対応するホログラムメモリ2の記録領域21に格納された記録情報の記録態様に基づいてレーザアレイ1のレーザ101、～、136を発光するように制御する。このレーザアレイ1のレーザ101、～、136は、全て発光してレーザ光101a、～、136aをレーザアレイ1の下面から垂直方向に射出させる。

[0085] また、前記再生光照射制御手段4は、偏向素子51、～、5nのうちレーザ101、～、136に対応する偏向素子501、～、536の偏向作用により前記垂直方向に射出されたレーザ光101a、～、136aを各々所定角度だけ偏向させてホログラムメモリ2の記録領域21に集光照射する。

[0086] さらに、前記ホログラムメモリ2の中央部分以外の端部における記録領域21について、又はこの記録領域21以外の領域における記録領域22、～、2nについても前記第4の実施形態と同様に光再構成を実行することとなる。

[0087] なお、前記各実施形態においてはホログラムメモリ2の記録領域21へ集中照射するレーザアレイ1のレーザ101、～、136からレーザ光101a、～、136aは、中心光束を用いる構成としたが、各レーザ光101a、～、136aの拡散光の周辺領域光束を用いる構成とすることもできる。このように拡散光の周辺領域光束を用いる構成としたことから、レーザアレイ1のレーザ11、～、1nの利用効率を最大限に向上させることができると共に、レーザアレイ1の消費電力を極力削減できることとなる。

[0088] また、前記各実施形態に係る光再構成ゲートアレイの再構成制御装置においては、レーザアレイ1よりレーザ光を射出する構成としたが、コヒーレント光又はインコヒーレント光を再生光照射手段より再生光として射出する構成とすることもできる。

請求の範囲

- [1] 再生光を発光して照射する再生光照射手段と、
予め格納された記録情報に基づいて前記再生光の照射により光パターンを射出すると共に、当該光パターンによる光再構成に関する制御信号光を射出する光学的メモリ手段と、
前記射出される光パターンに基づいてアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成し、制御信号光に基づいて光制御信号を出力する光再構成型ゲートアレイと、
前記光制御信号に基づいて前記再生光照射手段で発光される再生光の照射を制御する再生光照射制御手段とを備えることを
特徴とする光再構成ゲートアレイの再構成制御装置。
- [2] 前記請求項1に記載の光再構成ゲートアレイの再構成制御装置において、
前記光学的メモリ手段が、制御信号光を再構成速度の二値化データとして射出することを
特徴とする光再構成ゲートアレイの再構成制御装置。
- [3] 前記請求項1に記載の光再構成ゲートアレイの再構成制御装置において、
前記光学的メモリ手段が、制御信号光を再構成速度に対応した光強度として射出することを
特徴とする光再構成ゲートアレイの再構成制御装置。
- [4] 前記請求項1ないし3のいずれかに記載の光再構成ゲートアレイの再構成制御装置において、
前記光再構成型ゲートアレイが、光制御信号により前記射出された光パターンの光強度及び／又は照射時間が制御され、当該光パターンの光強度及び／又は照射時間により光再構成が完了した後に、各種の論理演算回路による演算動作を実行することを
特徴とする光再構成ゲートアレイの再構成制御装置。
- [5] 前記請求項1ないし4のいずれかに記載の光再構成ゲートアレイの再構成制御装置において、

前記光再構成型ゲートアレイを複数の再構成回路パターンで順次書替えて光再構成を実行する際に、

前記光再構成された論理演算回路が演算動作を実行中に、次に光再構成する再構成回路パターンの光パターンの光制御信号を保持し、当該保持された光制御信号に基づいて次に書替えられる再構成回路パターンを光再構成するために再生光照射手段の発光を制御することを

特徴とする光再構成ゲートアレイの再構成制御装置。

- [6] 前記請求項1ないし4のいずれかに記載の光再構成ゲートアレイの再構成制御装置において、

前記光再構成型ゲートアレイを複数の再構成回路パターンで順次書替えて光再構成を実行する際に、

前記再構成回路パターンの光再構成が、光学的メモリから射出される光パターン及び制御信号光を入力して当該制御信号光の制御により光パターンで論理演算回路の再構成として実行され、

前記順次書替えられる光再構成のうち前に光再構成される光パターンと同時に照射された制御信号光に基づいて後に光再構成される光パターンの照射を制御することを

特徴とする光再構成ゲートアレイの再構成制御装置。

- [7] 再生光を各々発光する複数の発光部がアレイ状に配列され、当該複数の発光部からの各再生光を照射する再生光照射手段と、

前記再生光照射手段に対向配設され、前記各再生光の照射により再構成回路パターンに対応する予め格納された記録情報の光パターンを射出する光学的メモリ手段と、

前記光学的メモリ手段から射出された光パターンの照射によりアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成する光再構成型ゲートアレイと、

前記光学的メモリ手段に予め格納された記録情報の記録態様に対応した複数の再生光を当該記録情報の記録領域に発光部が照射するように制御する再生光照射

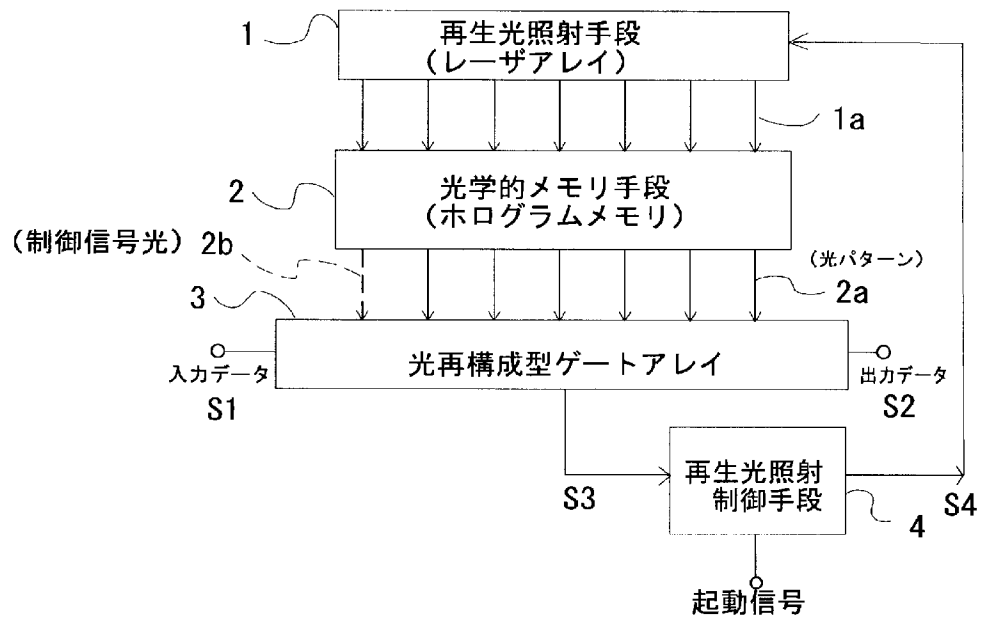
制御手段とを備えることを

特徴とする光再構成ゲートアレイの再構成制御装置。

- [8] 前記請求項7に記載の光再構成ゲートアレイの再構成制御装置において、
前記再生光照射制御手段が、光学的メモリ手段に予め格納された複数の記録情報の各記録態様に対応した複数の再生光を当該複数の記録情報の各記録領域に発光部から照射させ、
当該照射により光学的メモリ手段から射出される複数の光パターンで前記光再構成型ゲートアレイの一又は複数の論理演算回路を再構成することを
特徴とする光再構成ゲートアレイの再構成制御装置。
- [9] 前記請求項7又は8に記載の光再構成ゲートアレイの再構成制御装置において、
前記再生光照射制御手段が、記録情報に対応した複数の再生光を発光する複数の発光部の範囲内で増加又は減少させることを
特徴とする光再構成ゲートアレイの再構成制御装置。
- [10] 再生光照射制御手段の複数アレイ状に配列される発光部から光学的メモリ手段に再生光を照射し、当該光学的メモリ手段から光パターンを再生して光再構成型ゲートアレイに照射して各種の論理演算回路を再構成する光再構成ゲートアレイの再構成制御方法において、
前記光学的メモリ手段に予め格納された記録情報の記録態様に対応した複数の再生光を当該記録情報の記録領域に再生光照射手段の複数の発光部が照射し、
前記記録情報の記録領域から単一の光パターンを再生して光再構成型ゲートアレイに照射することを
特徴とする光再構成ゲートアレイの再構成制御方法。
- [11] 前記請求項10に記載の光再構成ゲートアレイの再構成制御方法において、
前記光学的メモリ手段に予め格納された複数の記録情報の各記録態様に対応した複数の再生光を当該複数の記録情報の各記録領域に再構成照射手段の複数の発光部が照射し、
前記複数の記録情報の各記録領域から複数の光パターンを再生して光再構成型ゲートアレイに照射し、

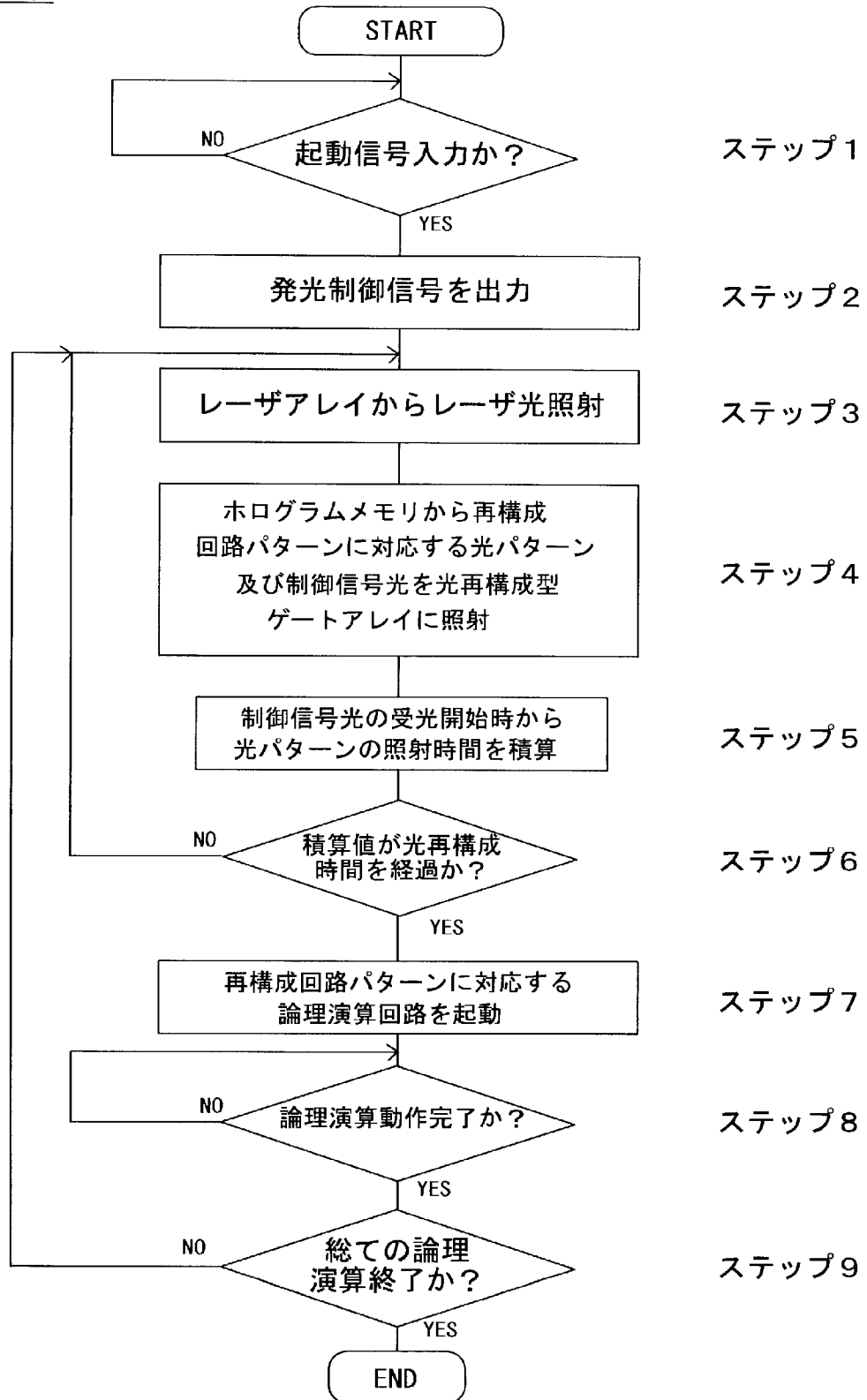
前記光再構成型ゲートアレイの一又は複数の論理演算回路を再構成することを特徴とする光再構成ゲートアレイの再構成制御方法。

[図1]

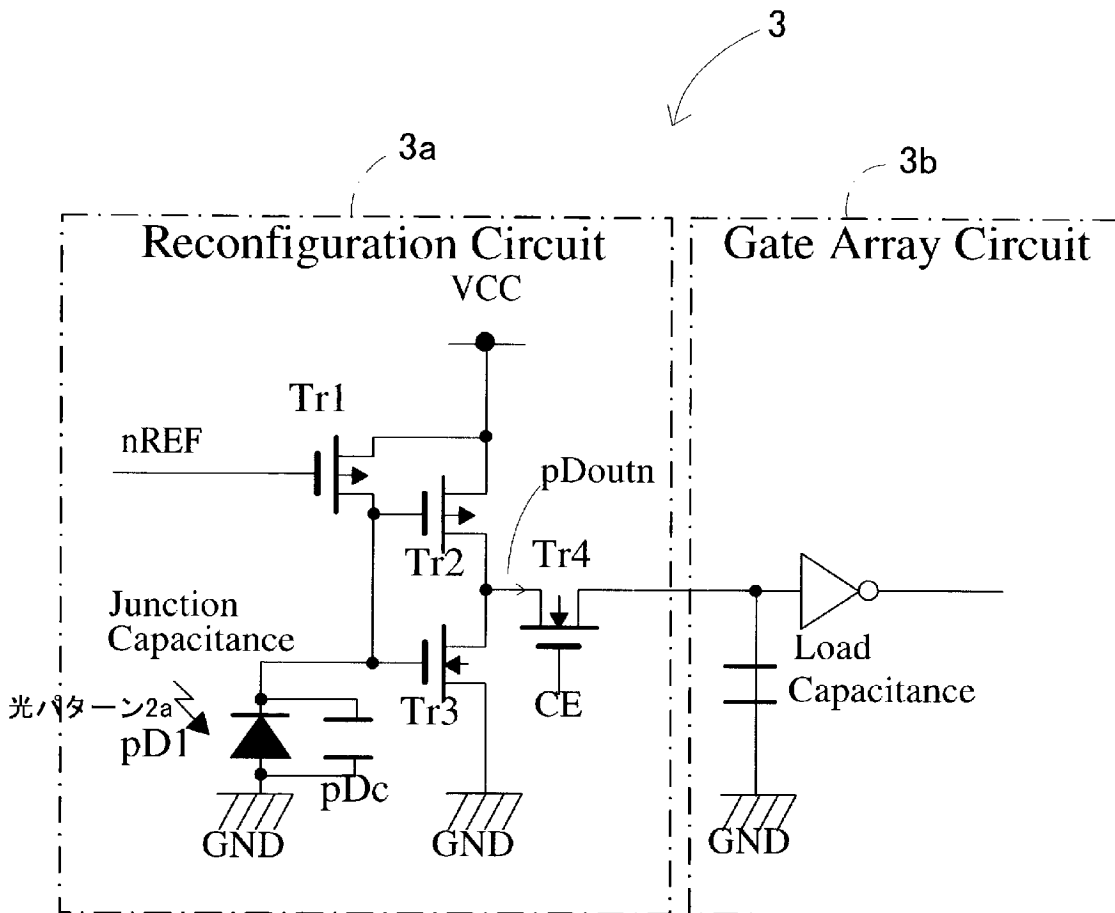


[図2]

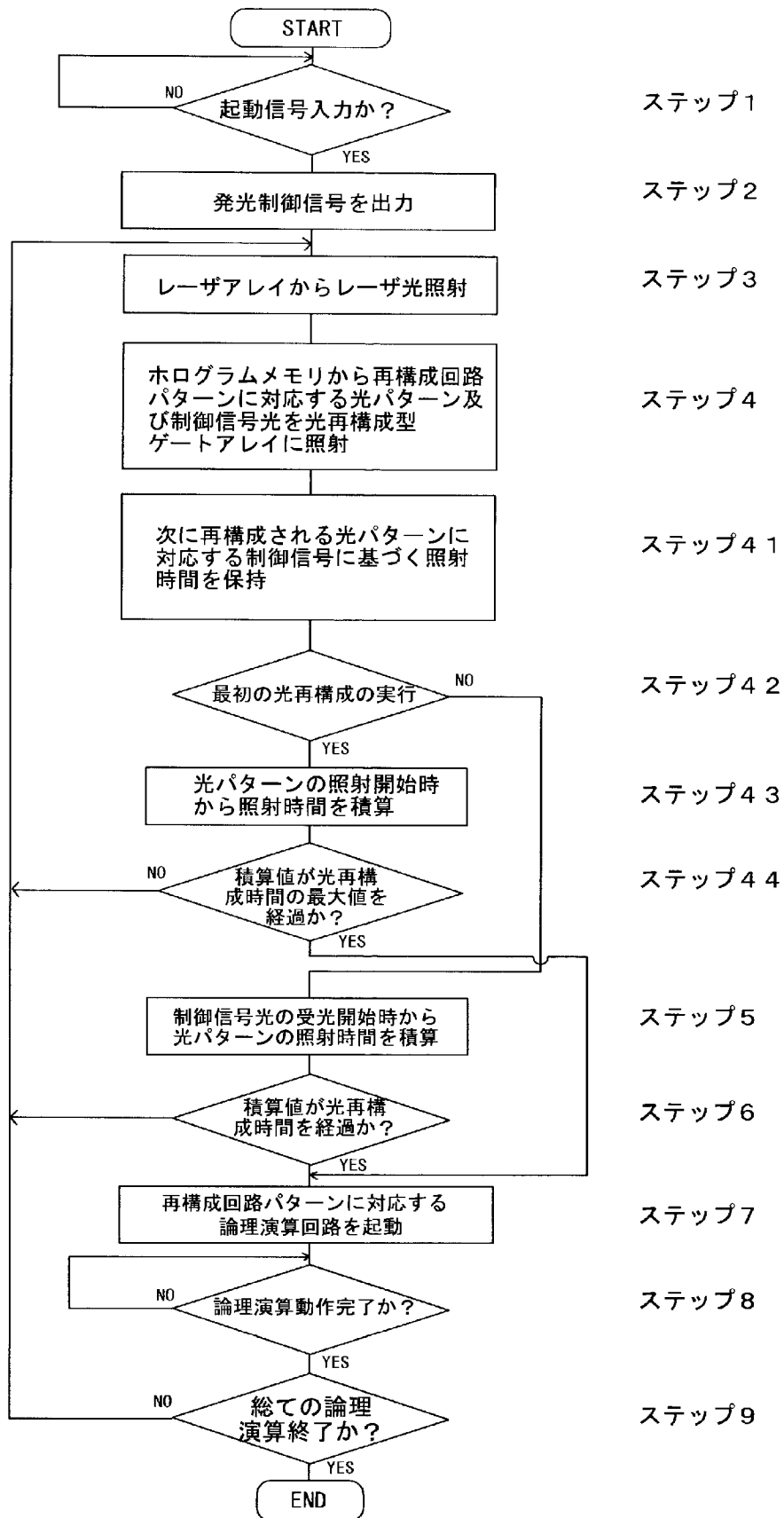
本願発明



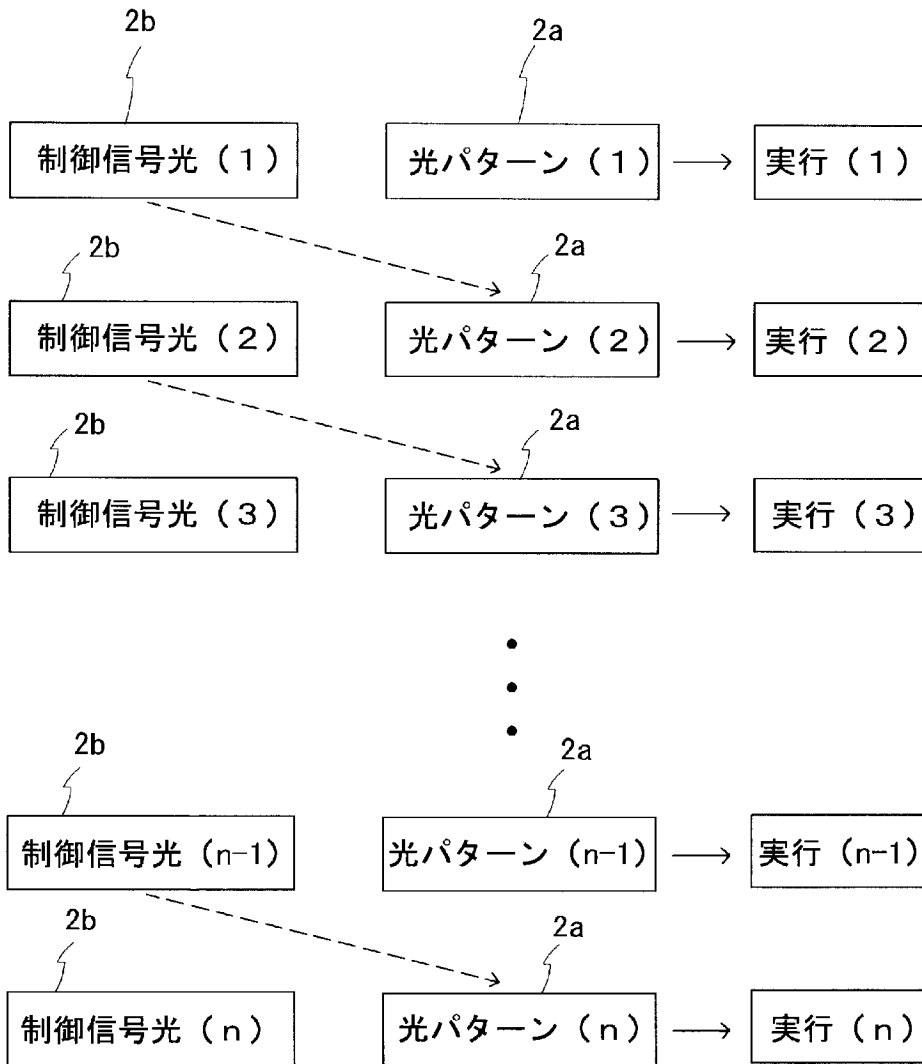
[図3]



[図4]

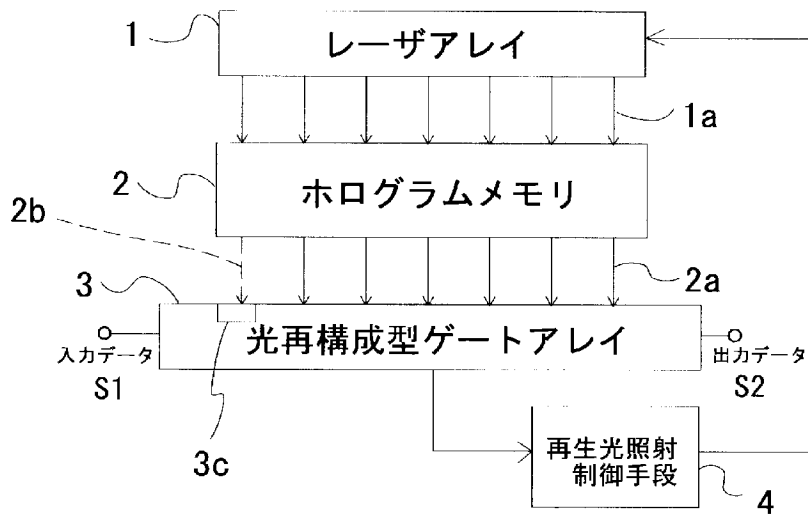


[図5]

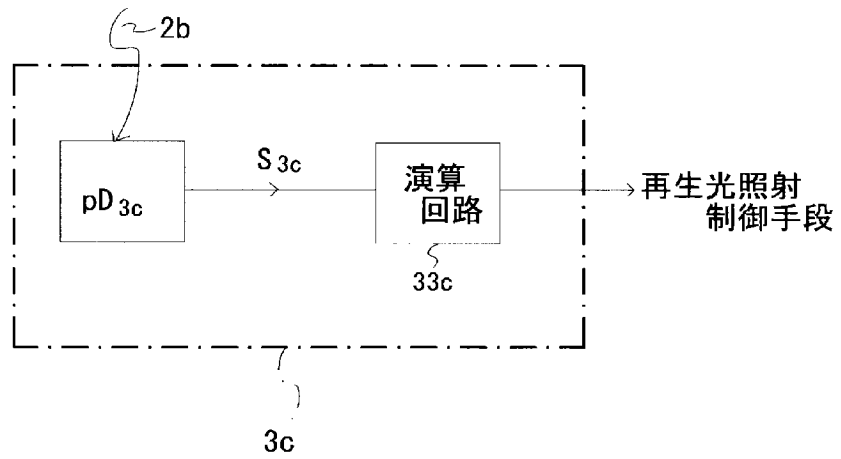


[図6]

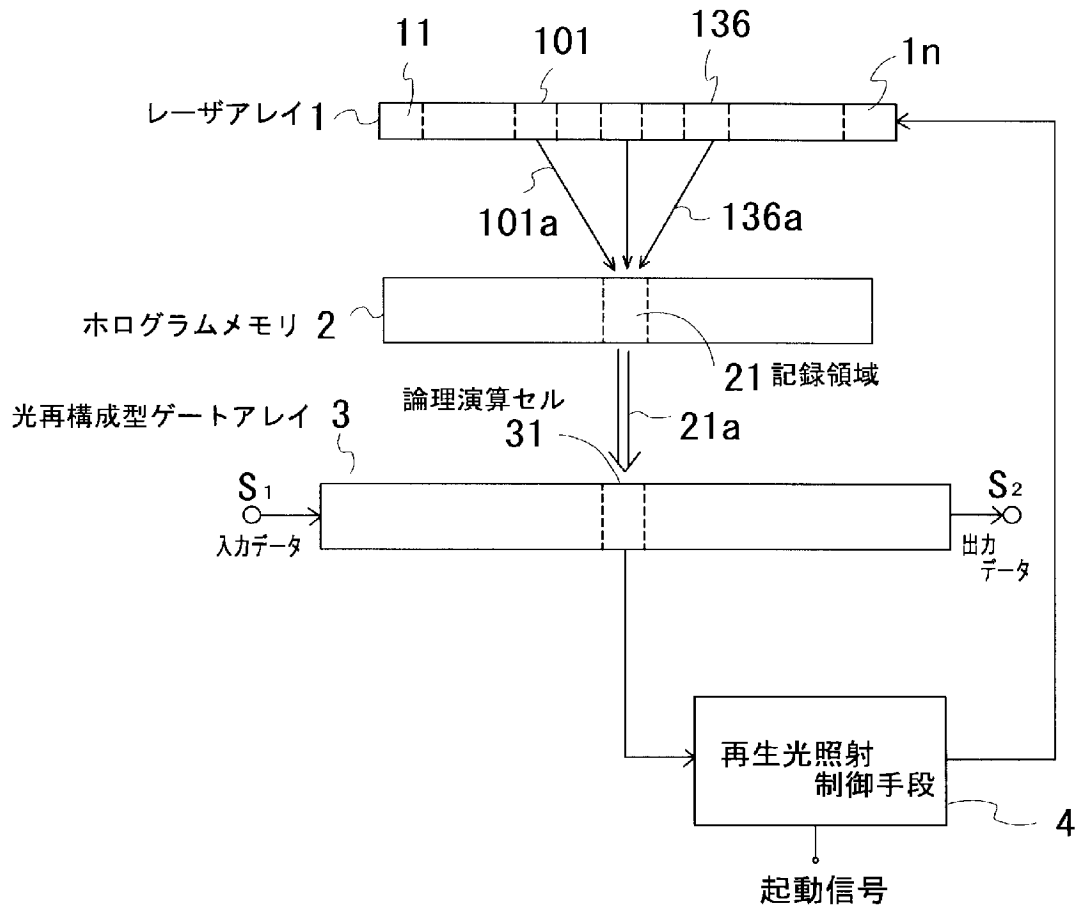
(A)



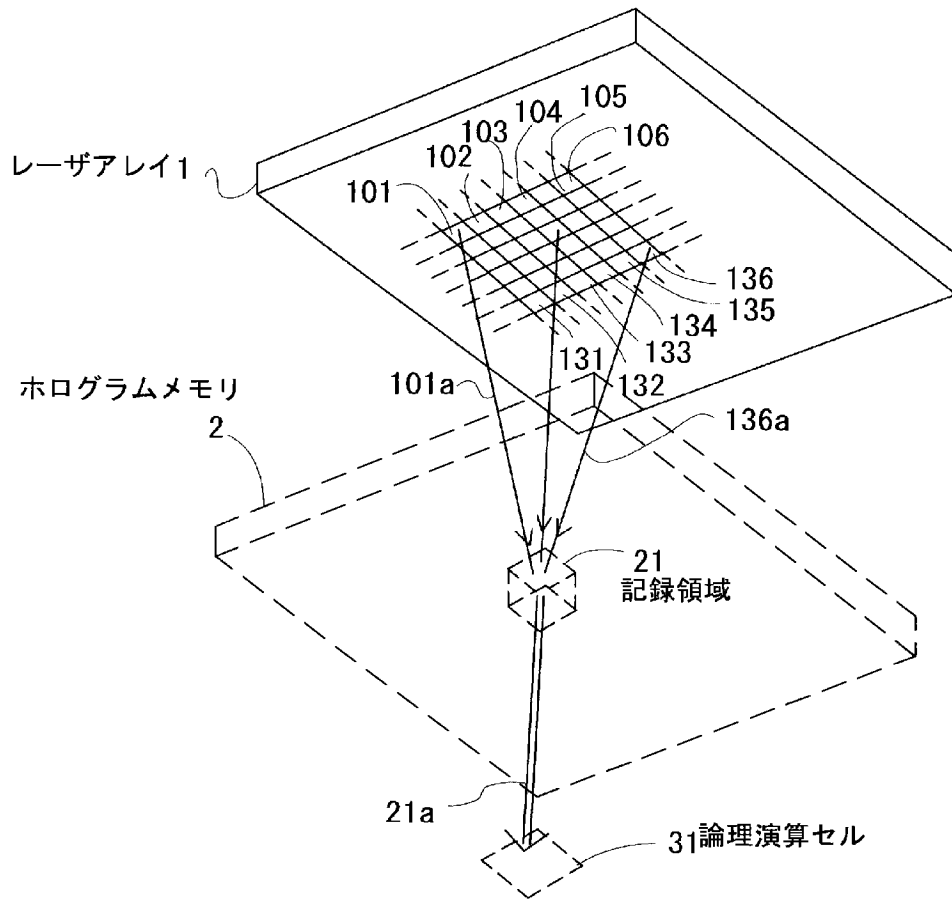
(B)



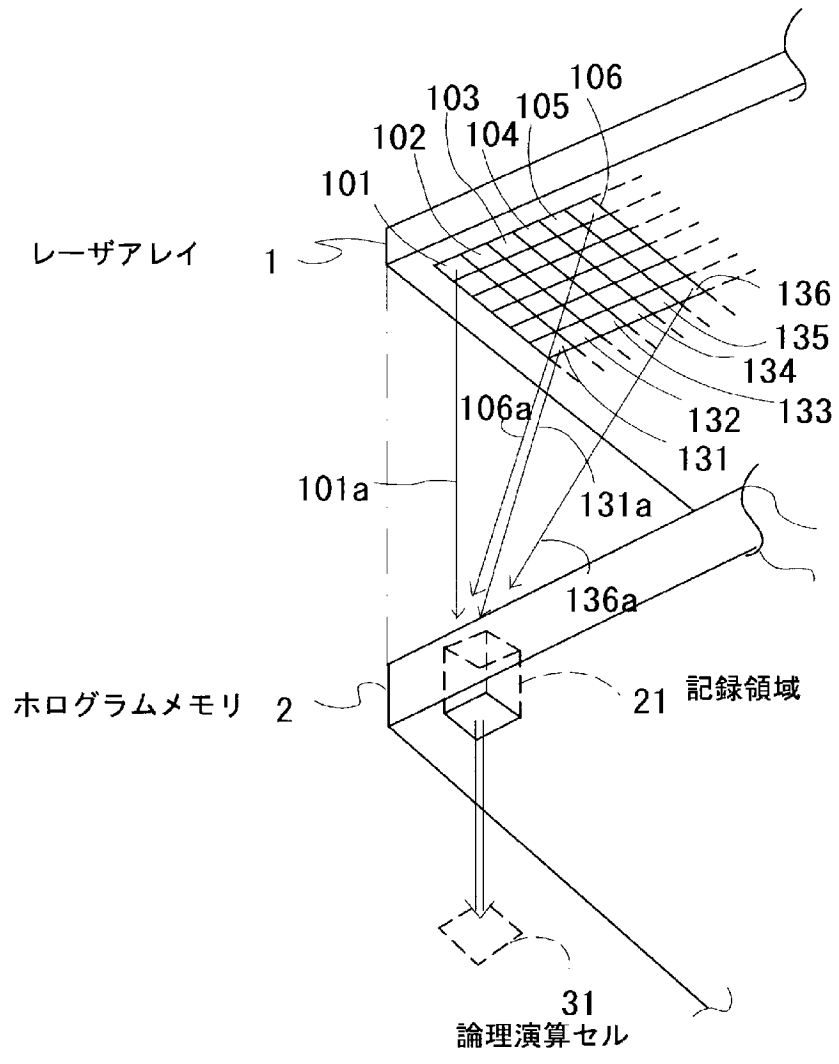
[図7]



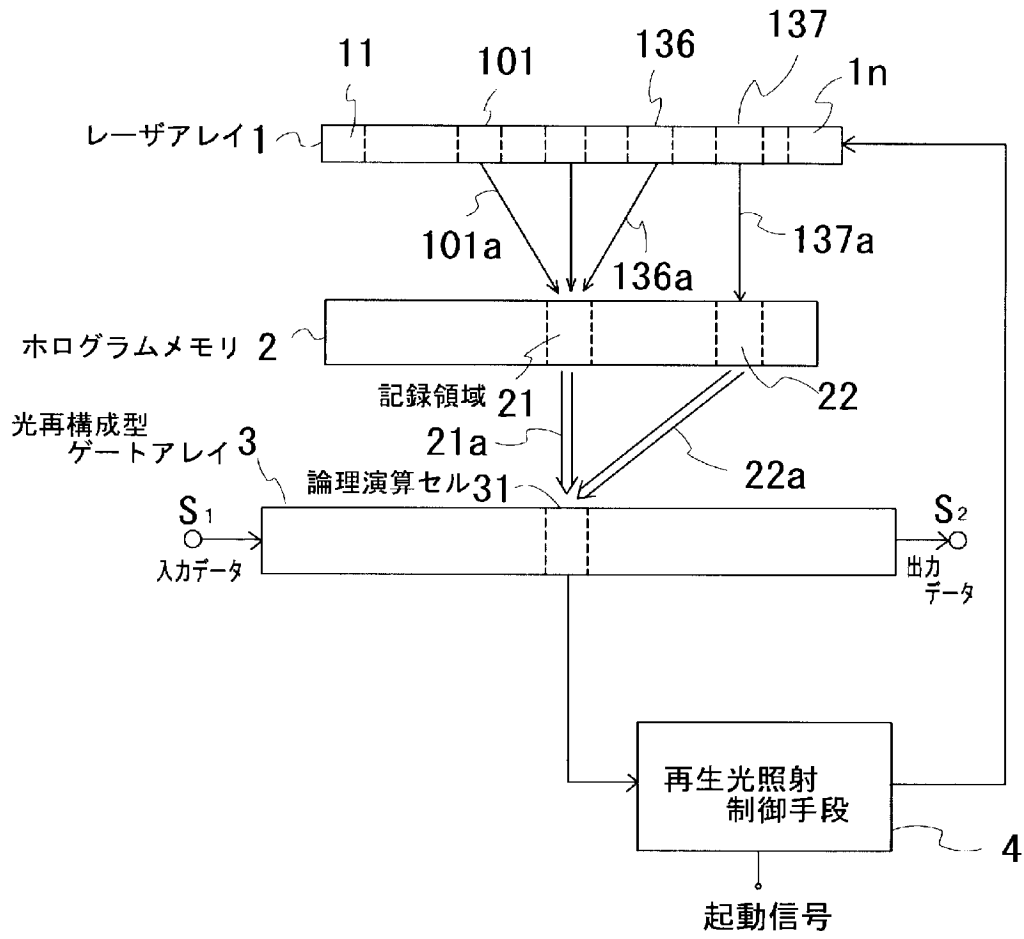
[図8]



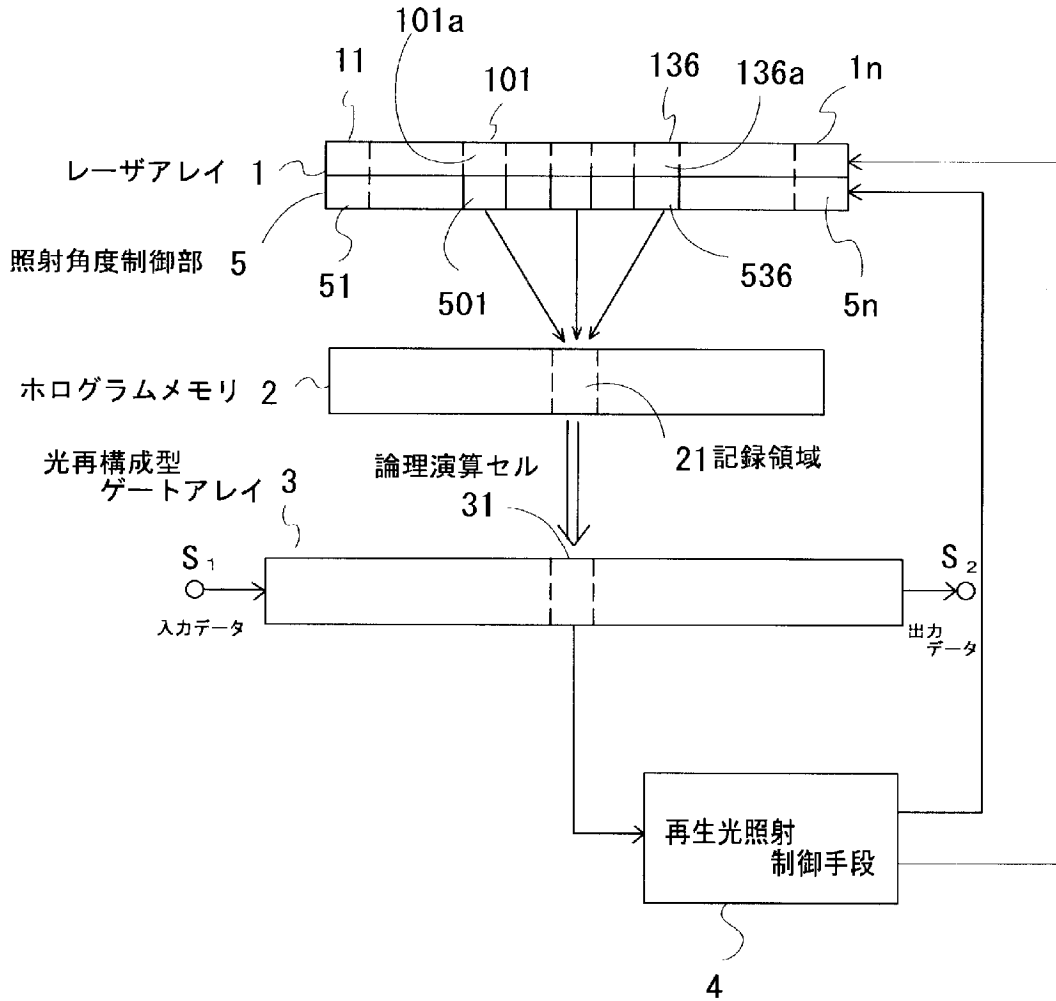
[図9]



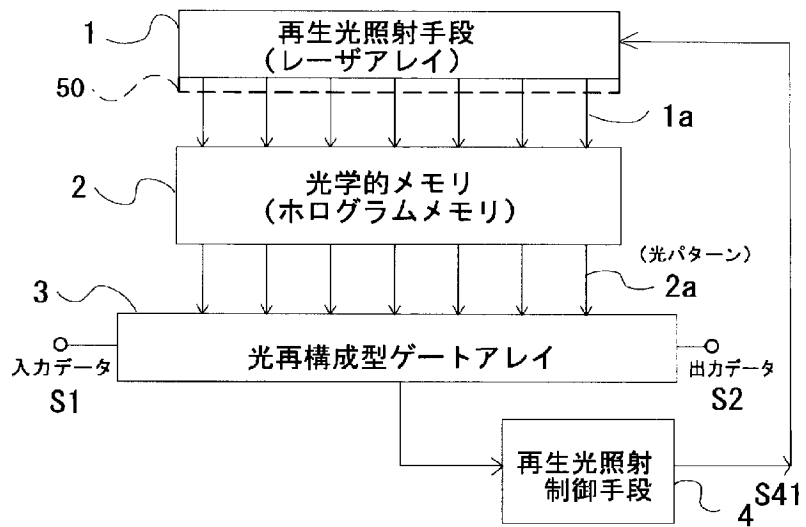
[図10]



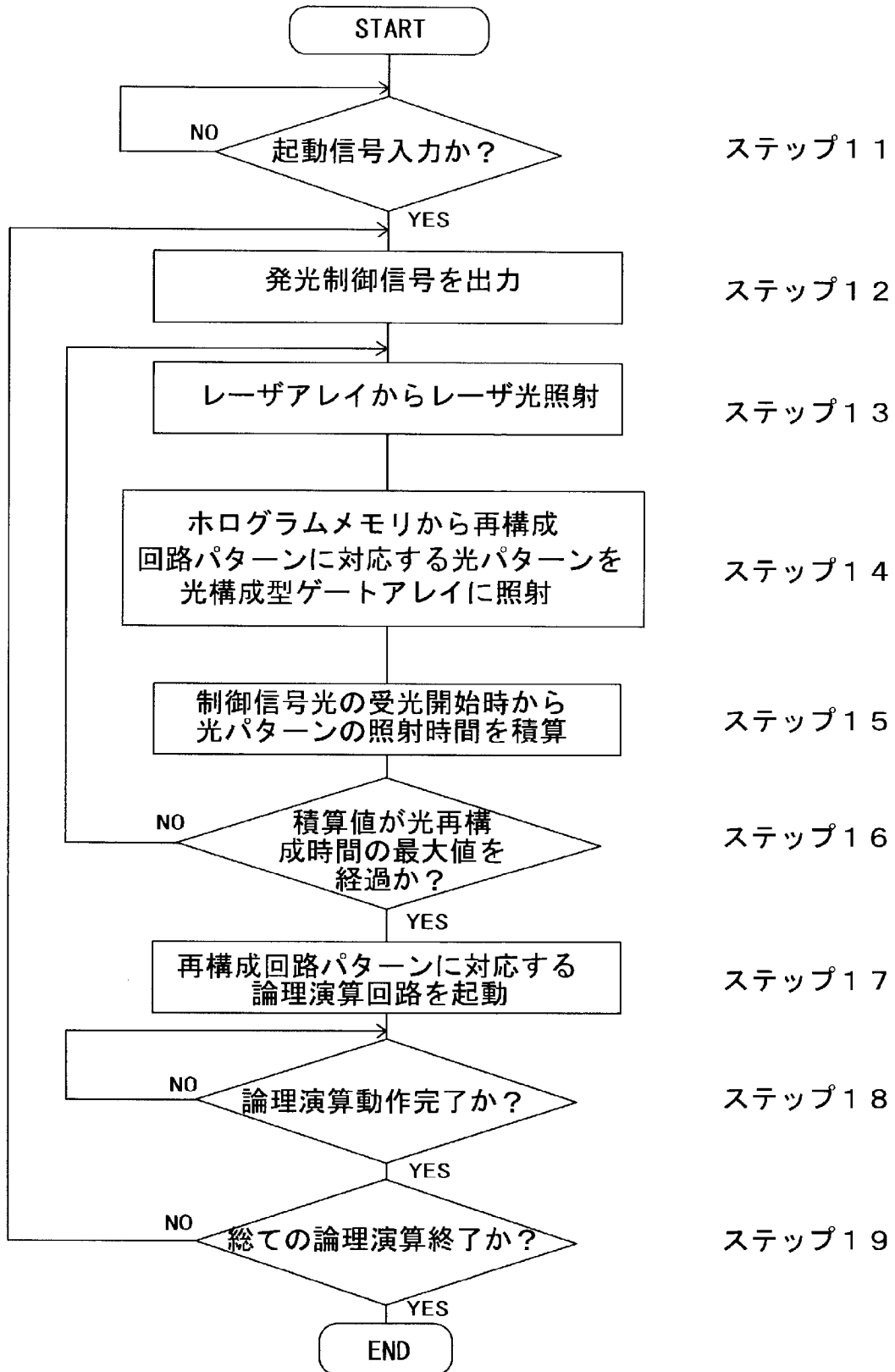
[図11]



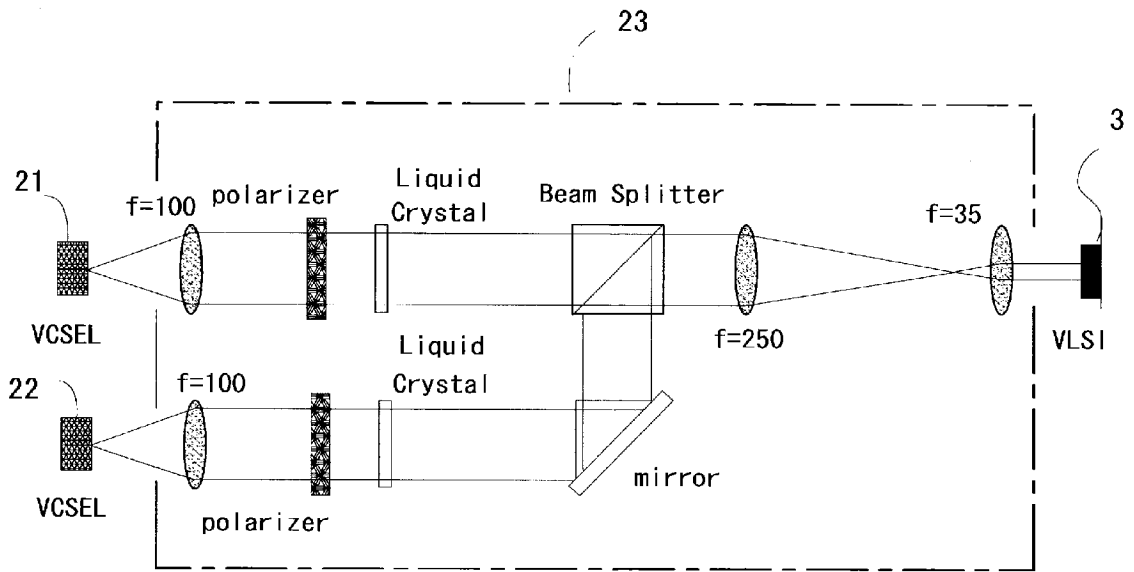
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/065085

A. CLASSIFICATION OF SUBJECT MATTER H03K19/173(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K19/173		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-33017 A (Japan Science and Technology Agency), 03 February, 2005 (03.02.05), All pages; Figs. 1 to 8 (Family: none)	1-11
A	JP 2005-51059 A (Kitakyushu Foundation for the Advancement of Industry, Science and Technology), 24 February, 2005 (24.02.05), All pages; Figs. 1 to 14 (Family: none)	1-11
A	JP 2005-45130 A (Kitakyushu Foundation for the Advancement of Industry, Science and Technology), 17 February, 2005 (17.02.05), All pages; Figs. 1 to 13 (Family: none)	1-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 18 October, 2007 (18.10.07)	Date of mailing of the international search report 30 October, 2007 (30.10.07)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/065085

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/117262 A1 (Japan Science and Technology Agency), 08 December, 2005 (08.12.05), All pages; Figs. 1 to 17 (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K19/173(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K19/173		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-33017 A (独立行政法人科学技術振興機構) 2005.02.03, 全 頁, 図1-8 (ファミリーなし)	1-11
A	JP 2005-51059 A (財団法人北九州産業学術推進機構) 2005.02.24, 全頁, 図1-14 (ファミリーなし)	1-11
A	JP 2005-45130 A (財団法人北九州産業学術推進機構) 2005.02.17, 全頁, 図1-13 (ファミリーなし)	1-11
A	WO 2005/117262 A1 (独立行政法人科学技術振興機構) 2005.12.08, 全頁, 図1-17 (ファミリーなし)	1-11
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 18.10.2007	国際調査報告の発送日 30.10.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 宮島 郁美 電話番号 03-3581-1101 内線 3596	5X 8523