

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年2月25日(25.02.2010)

PCT

(10) 国際公開番号
WO 2010/021233 A1

- (51) 国際特許分類:
G01R 31/3183 (2006.01) G06F 11/22 (2006.01)
G01R 31/28 (2006.01)
- (21) 国際出願番号: PCT/JP2009/063586
- (22) 国際出願日: 2009年7月30日(30.07.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-211473 2008年8月20日(20.08.2008) JP
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人九州工業大学(National University Corporation Kyushu Institute of Technology) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町1番1号 Fukuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 宮瀬 紘平(MIYASE Kohpei) [JP/JP]; 〒8208502 福岡県飯塚市大字川津680番地の4号 国立大学法人九州工業大学内 Fukuoka (JP).

州工業大学内 Fukuoka (JP). 温 晓青(WEN Xiao-qing) [CN/JP]; 〒8208502 福岡県飯塚市大字川津680番地の4号 国立大学法人九州工業大学内 Fukuoka (JP). 梶原 誠司(KAJIHARA Seiji) [JP/JP]; 〒8208502 福岡県飯塚市大字川津680番地の4号 国立大学法人九州工業大学内 Fukuoka (JP). 大和 勇太(YAMATO Yuta) [JP/JP]; 〒8208502 福岡県飯塚市大字川津680番地の4号 国立大学法人九州工業大学内 Fukuoka (JP).

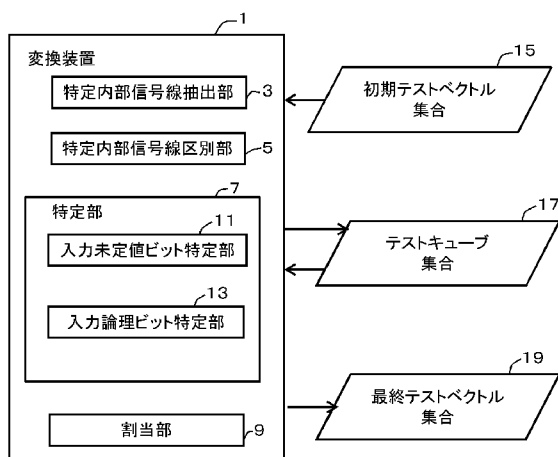
- (74) 代理人: 羽立 幸司(HADATE Koji); 〒8140001 福岡県福岡市早良区百道浜三丁目8番33号 福岡システムLSI総合開発センター Fukuoka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,

[続葉有]

(54) Title: GENERATING DEVICE, GENERATING METHOD, AND PROGRAM

(54) 発明の名称: 生成装置、生成方法及びプログラム

[図1]



(57) Abstract: The objectives are to reduce the launch transition and eventually the risk of yield loss even with few indefinite value (don't care) bits within the input bits, such as in the case of test compression, without affecting the amount of test data, the failure detection rate, performance, or circuit design even with real speed scan testing while observing the internal signal lines, as well as to enable reduced power consumption in testing. A converting device (1) is provided with a specific internal signal line extracting unit (3), a specific internal signal line differentiating unit (5), a specifying unit (7) that specifies indefinite input value bits and input logic bits in the input bits, and an assignment unit (9) that assigns a logical value 1 or a logical value 0 to indefinite value bits in the input bits containing the specified indefinite input value bits. The specifying unit (7) is provided with an indefinite input value bit specifying unit (11) and an input logic bit specifying unit (13).

(57) 要約:

[続葉有]

- 1 Converting device
- 3 Specific internal signal line extracting unit
- 5 Specific internal signal line differentiating unit
- 7 Specifying unit
- 9 Assignment unit
- 11 Indefinite input value bit specifying unit
- 13 Input logic bit specifying unit
- 15 Initial test vector set
- 17 Test cube set
- 19 Final test vector set



WO 2010/021233 A1



MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

内部信号線に着眼しつつ、実速度スキャンテストであっても、テストデータ量、故障検出率、パフォーマンス、回路設計には影響を及ぼさず、テストコンプレッションの場合のように入力ビット中の未定値 (ドントケア) ビットが少ない場合であっても、ラウンチ遷移ひいては歩留り損失リスクを減らすことが可能で、さらにテストにおける消費電力の削減も可能とすることを目的とする。変換装置 1 は、特定内部信号線抽出部 3 と、特定内部信号線区別部 5 と、入力ビットにおける入力未定値ビット及び入力論理ビットを特定する特定部 7 と、特定された入力未定値ビットを含む入力ビットにおける未定値ビットに論理値 1 又は論理値 0 を割り当てる割当部 9 とを備える。特定部 7 は、入力未定値ビット特定部 1 1 と、入力論理ビット特定部 1 3 とを備える。

明 細 書

発明の名称：生成装置、生成方法及びプログラム

技術分野

[0001] 本発明は、生成装置、生成方法及びプログラムに関し、特に組み合わせ回路又はフルスキャン順序回路の組み合わせ回路部分等の故障検出の対象回路に対するテストについての生成装置、生成方法及びプログラムに関する。

背景技術

[0002] 図9に示すように、半導体論理回路は、設計、製造、テストの三段階を経て出荷される。ここで、テストとは、製造された半導体論理回路に対して0又は1の論理値が各論理ビットに定められたテストベクトルを印加し、半導体論理回路からテスト応答を観測し、それを期待テスト応答と比較して良品、不良品の判別を行う。その良品率を歩留りと呼び、歩留りは半導体論理回路の品質、信頼性及び製造コストを大きく左右する。

[0003] 図10は、一般的な論理回路におけるフルスキャン順序回路の模式図である。

[0004] 一般に、半導体論理回路は主に順序回路である。順序回路は、アンド（AND）ゲート、ナンド（NAND）ゲート、オア（OR）ゲート、ノア（NOR）ゲート等の論理素子からなる組合せ回路部1201と、回路の内部状態を記憶するフリップフロップ1203とよりなる。この場合、組合せ回路部1201は、外部入力線（PI）、フリップフロップの出力線である擬似外部入力線（PPI）、外部出力線（PO）、フリップフロップの入力線である擬似外部出力線（PPO）を有する。組合せ回路部1201への入力は、外部入力線より直接与えられるものと、擬似外部入力線を介して与えられるものからなる。また、組合せ回路部1201からの出力は、外部出力線に直接現れるものと、擬似外部出力線に現れるものからなる。

[0005] 順序回路の組合せ回路部1201をテストするために、組合せ回路部1201の外部入力線（PI）と擬似外部入力線（PPI）から所要のテストベ

クトル v を印加し、組合せ回路部 1201 の外部出力線 PO と擬似外部出力線 PPO からテスト応答 $f(v)$ を観測する必要がある。1つのテストベクトルは、外部入力線と擬似外部入力線に対応する入力ビットからなる。また、1つのテスト応答は、外部出力線と擬似外部出力線に対応する出力ビットからなる。

[0006] しかし、順序回路のフリップフロップ 1203 の出力線（擬似外部入力線）と入力線（擬似外部出力線）は一般に外部より直接アクセスできない。従って、組合せ回路部 1203 をテストするためには、擬似外部入力線の可制御性及び擬似外部出力線の可観測性に問題がある。

[0007] 上述の組合せ回路部 1201 のテストにおける可制御性及び可観測性の問題を解決する主な手法として、フルスキャン設計がある。フルスキャン設計とは、フリップフロップをスキャンフリップフロップに置き換えた上で、それらを用いて 1本または複数本のスキャンチェーンを形成することである。スキャンフリップフロップの動作はスキャンインネーブル（SE）信号線で制御される。例えば、 $SE=0$ のとき、従来のフリップフロップと同じ動作をし、クロックパルスが与えられると、組合せ回路部からの値でスキャンフリップフロップの出力値が更新され、また、 $SE=1$ のとき、同じスキャンチェーンにある他のスキャンフリップフロップと 1つのシフトレジスタを形成し、クロックパルスが与えられると、外部から新しい値がスキャンフリップフロップにシフトインされると同時に、スキャンフリップフロップに現存の値が外部へシフトアウトされる。一般に、同じスキャンチェーンにあるスキャンフリップフロップは同じスキャンインネーブル（SE）信号線を共有するが、異なるスキャンチェーンのスキャンインネーブル（SE）信号線は同一の場合もあれば異なる場合もある。

[0008] フルスキャン順序回路の組合せ回路部のテストはスキャンシフトとスキャンキャプチャを繰り返すことによって行われる。スキャンシフトは、スキャンインネーブル（SE）信号が論理値 1 にされているシフトモードで行われる。シフトモードにおいては、1つまたは複数のクロックパルスが与えられ

、外部から1つまたは複数の新しい値がスキャンチェーン内のスキャンフリップフロップにシフトインされる。また、それと同時に、そのスキャンチェーン内のスキャンフリップフロップに現存の1つまたは複数の値が外部へシフトアウトされる。スキャンキャプチャは、スキャンインネーブル（SE）信号が論理値0にされているキャプチャモードで行われる。キャプチャモードにおいては、1つのスキャンチェーンにあるすべてのスキャンフリップフロップに同時に1つのクロックパルスが与えられ、組合せ回路部の擬似外部出力線の値がすべてのスキャンフリップフロップに取り込まれる。

[0009] スキャンシフトは、擬似外部入力線を介して組合せ回路部1201へテストベクトルを印加するためと、擬似外部出力線を介して組合せ回路部1201からテスト応答を観測するために用いられる。また、スキャンキャプチャは、組合せ回路部1201のテスト応答をスキャンフリップフロップ1203に取り込むために用いられる。すべてのテストベクトルに対して、スキャンシフトとスキャンキャプチャを繰り返すことによって、組合せ回路部1201をテストすることができる。このようなテスト方式はスキャンテスト方式という。

[0010] スキャンテスト方式では、組合せ回路部1201へのテストベクトルの印加は、外部入力から直接行われる部分と、スキャンシフトによって行われる部分とがある。スキャンシフトによって、任意の論理値を任意のスキャンフリップフロップに設定することができるので、擬似外部入力線の可制御性の問題が解決される。組合せ回路部1201からのテスト応答の観測は、外部出力から直接行われる部分と、スキャンシフトによって行われる部分とがある。スキャンシフトによって、任意のスキャンフリップフロップの出力値を観測することができるため、擬似外部出力線の可観測性の問題が解決される。このように、スキャンテスト方式においては、自動テストパターン生成（ATPG）プログラムを用いてテストベクトル及び期待テスト応答を求めるだけで十分である。

[0011] 図11は、テスト入力とテスト応答との関係を示した模式図である。

- [0012] 図 1 1 において、テストベクトルに未定値 X（論理値 1 と論理値 0 のいずれでもよい dont care (X)）が存在する場合、それによってテスト応答にも未定値 X（dont care (X)）が現れる。未定値としての dont care が存在する原因は、1 つ又は複数の故障を検出するために、テスト入力の一部のビットのみに論理値が決まれば十分であることによる。このように故障検出などの所定の目的を達成する上で論理値 1 と論理値 0 のいずれでもよい dont care とできるものはテストキューブと呼ばれ、ATPG 又は dont care 発見手法によって求められる。dont care には、自由に論理値 1 又は 0 を割り当てることができる。テスト入力のビットを論理ビットとすべきか或いは dont care ビットとすべきかについては、例えば特許文献 1 に記載のように本願発明者等によって提案されたものがある。
- [0013] 特許文献 1 に記載の技術は、論理回路の入出力関係に基づく条件により dont care ビットにしてもよい候補ビット及び dont care ビットにしてはならない固定ビットを設定し、設定された候補ビットのみから特定された dont care ビットを含むテストキューブに対して入力ビットと出力ビットからなる複数のビットペア間の関係を考慮して dont care ビットに論理値を割り当てる技術である。
- [0014] なお、dont care 抽出を可能としている技術としては他にも本願発明者等によって特許文献 2 に記載の技術もある。
- [0015] 特許文献 2 に記載の技術は、それまでの縮退故障検出を対象とするものとは異なって遷移遅延故障検出を対象にでき、テストパターンの圧縮によるサイズの削減を図り、テスト印加時間を短縮できる技術である。
- [0016] ここで、テストキューブとテストベクトルについて説明しておく。図 1 2 を参照して、X で表されている dont care ビットを含む c_1 , c_2 , c_3 からなるものがテストキューブである。論理値 0 と論理値 1 のいずれかの論理ビットのテストベクトルからなる集合がテストベクトル集合である。
- [0017] 次に、テストキューブの求め方も説明しておく。図 1 3 は、テストキューブの求め方の概念を説明する図であってテストデータ操作の例を説明するた

めの図である。図 1 4 は、テストリラクゼーション（ドントケア判定）の例を簡単に説明するための図である。

- [0018] 図 1 3 を参照して、故障検出などの所定の目的を達成する上で論理値 0 と論理値 1 のいずれでもよいドントケアが X で表されている。テストキューブは、A T P G によるテスト生成中にドントケアビットを生じさせる動的技法と、A T P G 後にテストリラクゼーションと言ってドントケアとできるドントケアビットを見つける静的技法とによって求められる。このようなテストキューブは論理値が定められ (X-Filling)、最終的には論理値 0 と論理値 1 のいずれかによって値が満たされた論理ビットのテストベクトルからなるテストベクトル集合として得られる。以下では、ドントケアビットへの論理値の割当に関して、キャプチャ時の信号値変化が少なくなるように決められる。なお、上記静的技法は圧縮したテストベクトル集合にも適用でき、テストデータ量は少なくなる。
- [0019] 図 1 4 を参照して、テストキューブ内に含まれるドントケアにできるビットを見つけるテストリラクゼーションには、故障シミュレーション、含意操作、正当化操作が用いられ、ドントケアは制約のもとで見つけられるが、一般的にいう制約は特定の故障モデルについて故障検出率を調整することをいう。ここで、通常、60%~90%のビットがドントケアとできる。それに対して以下では故障検出率は変化させない制約を可能としている。なお、当初のテストベクトル集合は動的圧縮或いはランダム割り当てによってコンパクトなテストベクトル集合として与えられることも可能である。
- [0020] さらに、実速度スキャンテストという考えがあり、これはタイミング関連のテスト品質を向上させるために必須とされる。これを実現するために、パスの出発点で遷移がラウンチされ、その応答がシステムの速度でパスの終点でキャプチャされる。実際には、ラウンチオンキャプチャ (LOC) クロッキング方式は実速度スキャンテストに広く用いられている。
- [0021] 図 1 5 は LOC クロッキング方式を説明するための図である。
- [0022] 図 1 5 を参照して、テストベクトルが S_L を最後とする一連のシフトクロッ

クパルス（L：最長スキランチェーンの長さ）によってロードされた後で、遷移が最初のキャプチャクロックパルス C_1 によって対応するスキランFFのところからラウンチされる。遷移は S_1 によって導入された値と C_1 によって取り込まれた値との差によって生じる。なお、遷移ラウンチ（ C_1 ）と応答キャプチャ（ C_2 ）の間のテストサイクルは定格のシステムクロック周期である。

[0023] スキランテストはタイミング関連のテスト品質を向上させるために不可欠とされるが、その適用可能性はテスト誘発性歩留り損失が大きな課題となっている。このテスト誘発性歩留り損失とは機能的に問題ない集積回路が実速度スキランテストの間だけに機能しない場合に生じるものと言われる。この問題の主な原因は電源ノイズ、すなわち、IRドロップおよびグラウンドバウンスであり、これらは C_1 における過度のラウンチ遷移から生じ、遅延増加を引き起こしてしまう。これまでに電源電圧が10%低下するとパス遅延が30%増大することが示されている文献もある。このことは C_2 におけるキャプチャ故障を招き、ひいてはテスト誘発性歩留り損失につながってしまう。ディープサブミクロンで低電力のチップではこの問題は急速に悪化している状況にある。したがって過度の電源ノイズによって誘発される歩留り損失リスクを低減させることが強く望まれる。

[0024] ラウンチ遷移を減らすための従来の技術は以下の3つの技術に基づいている。

[0025] （1）部分的キャプチャ： C_1 （図15）においてキャプチャするFFの数は回路の変更、ワンホットクロッキング、キャプチャクロックスタガリングによって減らすことが可能である。しかし、このアプローチは著しいATPGの変化、テストデータの増加、さらには故障検出率の低下まで引き起こしかねない。

[0026] （2）低キャプチャ電力ATPG：テストベクトル内の1および0を注意深く生成して、ラウンチ遷移をFFにおける入出力等値化、クロックゲーティング等の技術によって減らすことができる。しかし、このアプローチはテストデータの著しい増加とCPU時間の増大に悩まされうる。

- [0027] (3) テストリラクゼーション&X - filling : テストリラクゼーションとは論理値が全て特定されたテストベクトル集合から、故障検出率を低下させることなく、ドントケアビット (Xビット) を特定することである。それから、テストリラクゼーションによって得られた部分的に特定されたテストキューブに対して、できるだけ多くのFFの入力値と出力値を等しくするためにX - fillingが実行される。このようにして、ラウンチ遷移が削減される。
- [0028] 図16は、テストリラクゼーション&X - filling手法の概念を示した図である。
- [0029] テストリラクゼーションについて説明する。図16に示すように、テストリラクゼーションは全て特定されたテストベクトル集合Vからドントケアビット (Xビット) を特定して、部分的に特定されたテストキューブ集合Cを、Vの特性のいくつかはCによって保持されていることを保証しながら、生成するプロセスである。保持される特性の中には縮退故障検出率、遷移遅延故障検出率、さらに遷移遅延故障検出のための全ての活性化パスまでもが含まれる。
- [0030] Xビットはランダム-fillを無効化することによるテスト生成からも直接に得られるが、ATPG時間およびテストデータ量が増大する。例えば、ランダム-fillを無効化して低電力X - fillingのためのXビットを放置するとテストベクトル数は144.8%に増加することが示されている。したがって、ランダム-fillを用いて最大限テストコンパクションを適用して、まずはコンパクトな初期 (全て特定された) テストベクトル集合を生成し、続いてテストリラクゼーションを用いて (部分的に特定された) テストキューブを生成するのが望ましい。こうして得られるコンパクトな最終テストベクトル集合にはX - fillingを実行した後の付随的な利益もある。
- [0031] 次に、X - fillingについて説明する。図16に示すように、X - fillingはあるテストキューブ内のXビットにある目的のために論理値を割り当てるプロセスである。例えば、X - fillingはラウンチ遷移 (LSA) を削減するために用いられる。ここで、LSAはC₁のところで起こる (図15参照)。多

数の低LSAのX-filling手法が提案されている。

[0032] 図17はそれらの1つであるJP-fillと呼ばれるものを示す図である。

[0033] 図17では、テストキューブは $c = \langle 10XX \rangle$ であり、組み合わせ部分の論理関数はFである。したがって、 $\langle c : PPI \rangle = \langle 0XX \rangle$ であり、 $\langle F(c) : PP0 \rangle = \langle XXX \rangle$ である。まず、正当化(図17の丸1)を実行して p_1 が0なので p_2 に0を設定するよう試みる。続いて、形式X-X、の $q_1 - q_2$ および $r_1 - r_2$ のビットペアについては、各PP0のXビットの0になる確率および1になる確率を算出するには、各入力Xビットの0になる確率および1になる確率に0.50を設定して確率伝搬を実行する。 q_2 が0である確率(0.93)は q_2 が1である確率(0.07)よりも非常に大きいので、 q_1 に0を割り当てるのは理にかなっている(図17の丸2)。しかし、 r_2 が0である確率(0.48)は r_2 が1である確率(0.51)に近いので、 r_1 については何も決定されない(図17の丸3)。この場合、3値論理シミュレーションが実行され、JP-fillのもう一つのパス(図17の丸4)が正当化および/あるいは確率伝搬を用いて実行される。要するに、JP-fillはスケーラビリティを確率伝搬によって向上させると共に、正当化および複数のパスを用いてX-fillingの効率を向上させる。このようにしてJP-fillは効率とスケーラビリティをバランスよく実現する。

[0034] ところで、クロックゲーティング方式の一例を図18に示すが、クロックゲーティング方式は最も広く実際に用いられている消費電力管理メカニズムである。なお、回路にはクロックゲーティングブロックが複数含まれていてもよい。図18にはi番目のクロックゲーティングブロックであってスキヤンテスト用に強化されているものを示している。シフトモード(SE=1)では、シフト操作が適切に実行されるように全てのFFが常にクロックCKによって駆動されている。クロック制御信号(EN_i)はCKの立ち上がりエッジのところで生成され、キャプチャモード(SE=0)の制御を引き継ぐ。GEN_iはCKとAND素子につながれて直接FFに接続されるゲートクロックGCK_iを生成する。クロックゲーティングはキャプチャモードにおいてラウンチ遷移を削減するのに用いられる。このためには最終シフトパル

ス S_L において EN_i を0に設定すればよい。こうして図19に示すように、ラウンチキャプチャクロックパルス（図15の G_1 ）は抑えられ、 GCK_i に制御されている全てのFF、すなわち図18に示した $FF_{i1} \sim FF_{ip}$ はキャプチャしない。すなわち、FFにおけるラウンチ遷移がまとめて削減されたことになる。

- [0035] ここで、以下の定義を行う。あるFFのクロックがゲートクロックである場合、そのFFはクロックゲートFFという。そうでない場合、そのFFは非クロックゲートFFという。同じゲートクロックで制御されているFF群はクロックゲートFF群という。あるクロックツリーを通して接続されている全てのFFは1つのクロックゲートFF群と考えられる。
- [0036] ATPGの観点から、クロックゲーティングは次の2つの基本的なアプローチによって用いられる。
- [0037] アプローチ1（検出指向）：テスト生成を実行する際には、より多くのFFを遷移故障検出におけるラウンチおよびキャプチャに使用可能にするために、FFへの信号をできるだけアクティブ化する（すなわちクロックゲーティングを無効化する）ように実行する。多くの商業的ATPGシステムはこのアプローチを陰に陽に用いている。こうすることでラウンチ遷移がより活発になる代わりに、テストベクトル集合が小さくなり、故障検出率が向上し、テスト印加時間が小さくなる。
- [0038] アプローチ2（削減指向）：テスト生成においてクロックゲーティングはラウンチ遷移を削減するために積極的に用いられる。しかし、こうすることで遷移故障検出におけるラウンチおよびキャプチャに使用可能なFFの数は減少し、テストベクトル数が増加し、テスト印加時間が増大し、さらにはある条件下では故障検出率の損失まで起こる。
- [0039] このようにFF群が活性化されるか或いは活性化されないかを決定できる信号GCKがあるが、この信号GCKはクロックゲーティング回路を制御する制御信号 EN_i によってその値が決定される。この制御信号 EN_i （或いは信号GCK）の値をコントロールすることができれば、FF群の非活性化

による大幅な消費電力削減も可能となる。

- [0040] クロックゲーティング回路の活性化と非活性化をコントロールして消費電力削減を図ろうとしたものには非特許文献1がある。

先行技術文献

特許文献

- [0041] 特許文献1：特開2007-155339号公報
特許文献2：国際公開WO2008/001818

非特許文献

- [0042] 非特許文献1：R. Illman、外2名著、「ATPG power reduction using clock gate “default” constraints.」First International Workshop on the Impact of Low-Power Design on Test and Reliability (fringe to ETS 2008), Proceedings LPonTR 2008, 29 May 2008, Hotel Majestic Pallanza, Lago Maggiore, Italy

発明の概要

発明が解決しようとする課題

- [0043] しかしながら、特許文献1に記載のような従来のいずれの技術においても、上記したように擬似外部入力線の可制御性及び擬似外部出力線の可観測性の問題解決の流れもあって、入力ビットと出力ビットとの関係を考慮しているに留まっていた。また、特許文献2に記載のような従来のいずれの技術においても、ドントケア抽出を可能としているが、入力ビットと出力ビットを超える着眼、すなわち外部入力線（擬似外部入力線）及び外部出力線（擬似外部出力線）を越える着眼はなされていなかった。
- [0044] さらに、テストリラクゼーション&X-filling手法というアプローチは重大な制限に悩まされる。すなわち、テストベクトル集合から特定されたXビットの数が少なかった場合、ラウンチ遷移を減らす効率が不十分になりうる。そのようなXビット不足はテストコンパクションあるいはテストコンプレッションによって引き起こされうる。具体的に説明すると、図20に実用的

な回路の一例（ゲート数60万および遷移遅延テストベクトル数600）についてのグラフを示すが、この回路においてテスト生成の初期段階に得られたテストベクトルはXビットが少ない（60%にも満たない）。

[0045] また、非特許文献1の技術は故障検出率と消費電力削減を両立するものではなく、故障検出率を維持して消費電力削減を行うとすれば追加データが必要となり、テストデータ量に関するサイズは大きくなってしまいう問題がある。つまり、FF群を単純に非活性化するとすれば消費電力削減は可能となるが、テストでは故障検出という大前提があり、故障検出率といった最終的に得られるテストベクトルの特性は極めて重要であるため、上記アプローチ1の検出指向により故障検出率をあげようとするればFF群を活性化させる傾向に陥ってしまう。その結果、故障検出率のような特性を考慮しながらも、上記アプローチ2の削減指向によってテストデータ量に関するサイズの増加を起こさず、さらに消費電力削減も可能とするような提案が望まれていた。

[0046] 特に、上記したように、実速度スキャンテストでは、過度のラウンチ遷移による電源ノイズに起因する歩留り損失リスクを受けやすく、テストデータ量、故障検出率、パフォーマンス、回路設計には影響を及ぼさず、テストコンプレッションの場合のように入力ビット中のドントケアビットが少ない場合であっても、ラウンチ遷移ひいては歩留り損失リスクを減らすことが期待されている。

[0047] ゆえに、本願に係る発明は、内部信号線に着眼しつつ、実速度スキャンテストであっても、テストデータ量、故障検出率、パフォーマンス、回路設計には影響を及ぼさず、テストコンプレッションの場合のように入力ビット中の未定値（ドントケア）ビットが少ない場合であっても、ラウンチ遷移ひいては歩留り損失リスクを減らすことが可能で、さらにテストにおける消費電力の削減も可能とすることを目的とする。

課題を解決するための手段

[0048] 請求項1に係る発明は、与えられる集合であって、故障検出対象の論理回

路に入力される入力ビットが、論理値 1 若しくは論理値 0 の論理ビットからなるテストベクトルの集合、少なくとも一つのビットが未定値の未定値ビットを含み残余のビットが論理ビットであるテストキューブの集合、又は、テストベクトルとテストキューブとの組み合わせの集合から、前記与えられた集合が持つ少なくとも 1 つの特性を維持しつつ若しくは向上させつつ新たな集合を生成する生成装置であって、入力ビットにおける論理ビット及び未定値ビットとすべきビットを特定する特定手段を備え、前記特定手段が、前記論理回路内の特定の内部信号線であって、それぞれに指定される論理値を有している第一の特定内部信号線、それぞれに指定される論理値とは異なる論理値を有している第二の特定内部信号線、及び、未定値を有している第三の特定内部信号線に関し、前記与えられた集合に基づき、前記特性を維持しながら若しくは向上させながら、前記第一の特定内部信号線が有する前記各指定される論理値の少なくとも一つを未定値の状態に変更させること、前記第二の特定内部信号線には当該異なる論理値の少なくとも一つを維持させて当該維持された異なる論理値を有する第二の特定内部信号線を前記指定される論理値以外の状態とさせること、及び、前記第三の特定内部信号線には当該未定値の少なくとも一つを維持させ又は前記異なる論理値に変更させて当該維持された未定値を有する又は当該変更された異なる論理値を有する第三の特定内部信号線を前記指定される論理値以外の状態とさせることについて、少なくともいずれかが可能な、入力ビットにおける論理ビット及び未定値ビットとすべきビットを、特定する、ものである。

[0049] 請求項 2 に係る発明は、請求項 1 において、前記特定の内部信号線には後段回路が接続されており、前記各指定される論理値及び前記各指定される論理値とは異なる論理値は、前記後段回路をコントロールする値であるものである。

[0050] 請求項 3 に係る発明は、請求項 2 において、前記後段回路はフリップフロップ回路群であり、前記特定の内部信号線は前記フリップフロップ回路群を制御するための信号線であり、前記特定の内部信号線に論理値 1 又は論理値

0を割り当てる割当手段をさらに備え、前記割当手段が、前記特定処理により特定された未定値ビットとすべきビットを含む入力ビットにおける未定値ビットに対し、前記第一の特定内部信号線が未定値の状態に変更可能なものについては前記各指定される論理値とは異なる論理値を有するように論理値1又は論理値0を割り当て、前記第三の特定内部信号線が維持された未定値を有している場合には前記各指定される論理値とは異なる論理値を有するように論理値1又は論理値0を割り当てる、ものである。

[0051] 請求項4に係る発明は、与えられる集合であって、故障検出対象の論理回路に入力される入力ビットが、論理値1若しくは論理値0の論理ビットからなるテストベクトルの集合、少なくとも一つのビットが未定値の未定値ビットを含み残余のビットが論理ビットであるテストキューブの集合、又は、テストベクトルとテストキューブとの組み合わせの集合から、前記与えられた集合が持つ少なくとも一つの特性を維持しつつ若しくは向上させつつ新たな集合を生成する生成方法であって、特定手段が、前記論理回路内の特定の内部信号線であって、それぞれに指定される論理値を有している第一の特定内部信号線、それぞれに指定される論理値とは異なる論理値を有している第二の特定内部信号線、及び、未定値を有している第三の特定内部信号線に関し、前記与えられた集合に基づき、前記特性を維持しながら若しくは向上させながら、前記第一の特定内部信号線が有する前記各指定される論理値の少なくとも一つを未定値の状態に変更させること、前記第二の特定内部信号線には当該異なる論理値の少なくとも一つを維持させて当該維持された異なる論理値を有する第二の特定内部信号線を前記指定される論理値以外の状態とさせること、及び、前記第三の特定内部信号線には当該未定値の少なくとも一つを維持させ又は前記異なる論理値に変更させて当該維持された未定値を有する又は当該変更された異なる論理値を有する第三の特定内部信号線を前記指定される論理値以外の状態とさせることについて、少なくともいずれかが可能な、入力ビットにおける論理ビット及び未定値ビットとすべきビットを、特定する特定処理を含む、ものである。

- [0052] なお、上記請求項 1 及び 4 における特定処理において、第二の特定内部信号線について「少なくとも一つ」と表現しているが、できるだけ多くについて異なる論理値を維持させることが好ましく、全てについて異なる論理値を維持させることがより好ましい。同様に、上記特定処理において、第三の特定内部信号線についても「少なくとも一つ」と表現しているが、できるだけ多くについて未定値を維持させ又は異なる論理値に変更させることが好ましく、全てについて未定値を維持させ又は異なる論理値に変更させることがより好ましい。また、上記特定処理について、3つの処理に関して「少なくともいずれかが可能な」としているが、未定値が発生していない場合には第三の特定内部信号線の処理ができない場合もあり得るが、3つの処理が全て行われることが好ましい。
- [0053] 請求項 5 に係る発明は、請求項 4 において、前記特定の内部信号線には後段回路が接続されており、前記各指定される論理値及び前記各指定される論理値とは異なる論理値が、前記後段回路をコントロールする値であるものである。
- [0054] 請求項 6 に係る発明は、請求項 5 において、前記後段回路がフリップフロップ回路群であり、前記特定の内部信号線が前記フリップフロップ回路群を制御するための信号線であり、割当手段が、前記特定処理により特定された未定値ビットとすべきビットを含む入力ビットにおける未定値ビットに対し、前記第一の特定内部信号線が未定値の状態に変更可能なものについては前記各指定される論理値とは異なる論理値を有するように論理値 1 又は論理値 0 を割り当て、前記第三の特定内部信号線が維持された未定値を有している場合には前記各指定される論理値とは異なる論理値を有するように論理値 1 又は論理値 0 を割り当てる、割当処理を含む、ものである。
- [0055] なお、請求項 2、3、5、又は、6 における前記フリップフロップ回路群を制御するための信号線としては、クロック制御信号線が挙げられるが、ゲートクロック信号線として捉えてもよい。
- [0056] 請求項 7 に係る発明は、請求項 4 から 6 のいずれかに記載の生成方法をコ

ンピュータに実行させることが可能なプログラムである。

発明の効果

- [0057] 本願に係る発明によれば、特定の内部信号線を第一、第二及び第三の特定内部信号線に区別し、第一の特定内部信号線については各指定される論理値を未定値の状態に変更させることが可能で、第二の特定内部信号線及び第三の特定内部信号線については各指定される論理値以外の状態とさせることが可能となるように、入力ビットにおける論理ビット及び未定値ビットを特定するので、与えられた集合のサイズを変更することもなく、すなわち特性の低下を抑止しながら、特に第一の特定内部信号線の状態をコントロールできる新しいテストキューブを含む新しい集合を生成できる。
- [0058] その結果、例えば特定の内部信号線がフリップフロップ群の活性化と非活性化をコントロールする信号線であれば、できるだけ多くの特定の内部信号線が非活性化することを選択することで数多くのフリップフロップを非活性化にできて、テストにおける消費電力の削減が可能になる。
- [0059] また、実速度スキャンテストであっても、テストデータ量、故障検出率、パフォーマンス、回路設計には影響が及ぼされず、テストコンプレッションの場合のように入力ビット中のドントケアビットが少ない場合であっても、ラウンチ遷移ひいては歩留り損失リスクを減らすことが可能となる。

図面の簡単な説明

- [0060] [図1]本発明の実施の形態にかかるテストキューブ集合の生成方法を実施可能な変換装置を示したブロック図である。
- [図2]図1の変換装置の動作を具体的に説明するための図である。
- [図3]CTXの基本的な考え方を説明するための図である。
- [図4]CTXの基本概念を示したフロー図である。
- [図5]CTXのためのテスト生成を目的とする、m個のクロックゲーティングブロックを含む回路のモデルを示す図である。
- [図6]制限付きテストリラクゼーションを説明するための図である。
- [図7]実験結果を説明するための二つの表を示す図である。

[図8] パーシャルスキャン回路を説明するための図である。

[図9] 半導体論理回路が、設計、製造、テストの三段階を経て出荷されることを示した図である。

[図10] 一般的な論理回路におけるフルスキャン順序回路の模式図である。

[図11] テスト入力とテスト応答との関係を示した模式図である。

[図12] テストキューブとテストベクトルについて説明するための図である。

[図13] テストキューブの求め方の概念を説明する図であってテストデータ操作の例を説明するための図である。

[図14] テストリラクゼーションの例を簡単に説明するための図である。

[図15] LOCクッキング方式を説明するための図である。

[図16] テストリラクゼーション&X - filling手法の概念を示した図である。

[図17] 多数の低LSAのX - filling手法の1つであるJP-fillと呼ばれるものを示す図である。

[図18] クロックゲーティング方式の一例を示した図である。

[図19] 図17のクロックゲーティング回路に関する信号のタイミングチャートを示した図である。

[図20] 実用的な回路の一例（ゲート数60万および遷移遅延テストベクトル数600）についてのテストベクトル数と未定値Xの割合を示したグラフである。

発明を実施するための形態

[0061] 図1は、本発明の実施の形態にかかるテストキューブ集合の生成方法を実施可能な変換装置を示したブロック図である。

[0062] 図1を参照して、この変換装置1は、故障検出対象の論理回路内の内部信号線の中から特定の内部信号線を抽出する特定内部信号線抽出部3と、抽出された特定内部信号線を後述するように区別する特定内部信号線区別部5と、入力ビットにおける入力未定値ビット及び入力論理ビットを特定する特定部7と、特定された入力未定値ビットを含む入力ビットにおける未定値ビットに論理値1又は論理値0を割り当てる割当部9とを備える。特定部7は、入力未定値ビット特定部11と、入力論理ビット特定部13とを備える。こ

のような構成を有する変換装置 1 は、入力ビットに関しての与えられた集合の一例である初期テストベクトル集合 15 から新たな集合の一例としてのテストキューブ集合 17 を生成し、さらにテストキューブ集合 17 から最終テストベクトル集合 19 に変換してテストとして故障検出対象の論理回路へ印加される集合を生成できる。

[0063] ここで、特定内部信号線抽出部 3 が抽出する特定の内部信号線としては、例えば、後段回路としてのフリップフロップ回路群の活性化と非活性化を決定できるクロックゲーティング回路へ入力されるクロック制御信号線が挙げられる。そして、特定内部信号線区別部 5 は、上記のようなクロック制御信号線が論理値 1 (0) の場合と論理値 0 (1) の場合とを区別し、例えば、論理値 1 を持つクロック制御信号線を第一の特定内部信号線とし、論理値 0 を持つクロック制御信号線を第二の特定内部信号線とする。なお、与えられる集合に未定値 (ドントケア) ビットが含まれている場合には、特定内部信号線区別部 5 は、未定値 X を持つクロック制御信号線を第三の特定内部信号線としてさらに区別できるものとする。

[0064] 図 2 は、図 1 の変換装置の動作を具体的に説明するための図である。

[0065] 図 2 (A) に示したものは図 1 の初期テストベクトル集合 15 の一例である。初期テストベクトル集合は、例えば、自動テストパターン生成 (ATPG) プログラムにより生成される。これに対して、特定内部信号線抽出部 3 及び特定内部信号線区別部 5 の動作により入力ビットに関する制約ビット集合 21 が決定される。この制約ビット集合 21 の中で「*」がついたビットは未定値 (ドントケア) X とできることが期待されるビットであり、「—」がついたビットは論理値 1 と論理値 0 のいずれかである論理ビットとされるビットである。特定部 7 は、フリップフロップ群を活性化させる例えば論理値 1 (指定される論理値) を有している上記した第一のクロック制御信号線、フリップフロップ群を非活性化させる例えば論理値 0 (指定される論理値とは異なる論理値) を有している第二のクロック制御信号線に関し、故障シミュレーションにより、故障検出率といった特性の低下を抑止しながら第一

のクロック制御信号線が有する論理値 1 を未定値の状態に変更させること、及び、第二のクロック制御信号線には論理値 0 を維持させて論理値 1 ではない状態とさせることの両者を可能な限り行うように、入力ビットにおける論理ビット及び未定値ビットを特定する特定処理を行う。その結果、図 2 (C) に示すような、□で囲まれて特定されている未定値ビットにすべきビット (図 1 の入力未定値ビット特定部 1 1 により得られる。) と○で囲まれて特定されている論理ビット (図 1 の入力論理ビット特定部 1 3 により得られる。) が示された集合が得られる。これによって、図 2 (D) に示すようなテストキューブ集合 1 7 が新たな集合として生成される。新たなテストキューブ集合 1 7 は、初期テストベクトル集合との関係ではテストデータ量というサイズの増加はなく、故障検出率というような特性の低下は抑えられつつ第一のクロック制御信号線を、例えば論理値 1 から論理値 0 のようにフリップフロップ群を活性化させる論理値から非活性化させる論理値に変更させえる集合である。最後に、割当部 9 が動作して、特定処理により特定された未定値ビットにすべきビットを含む入力ビットにおける未定値ビットに対し、第一のクロック制御信号線が未定値の状態に変更可能なものについてはフリップフロップ群を非活性化させる例えば論理値 0 を有するように論理値 1 又は論理値 0 を割り当てる割当処理を行い、図 2 (E) に示すような最終テストベクトル集合 1 9 が得られる。

[0066] なお、与えられる集合に未定値 (ドントケア) ビットが含まれている場合には、特定内部信号線区別部 5 は、未定値 X を持つクロック制御信号線を第三の特定内部信号線としてさらに区別できるため、特定部 7 は、第三のクロック制御信号線には当該未定値を維持させ又は例えば論理値 0 (指定される論理値とは異なる論理値) に変更させて論理値 1 ではない状態とさせることを可能な限り行って、入力ビットにおける論理ビット及び未定値ビット (未定値ビットにすべきビットを含む) を特定する特定処理を行えばよい。そして、割当部 9 は、第三のクロック制御信号線が維持された未定値を有している場合にはフリップフロップ群を非活性化させる例えば論理値 0 を有するよ

うに論理値 1 又は論理値 0 を割り当てる割当処理を行えばよい。

[0067] また、上記の説明では、特定の内部信号線としてクロック制御信号線を一例として挙げたが、それ以外の内部信号線を特定内部信号線としてもよく、全て同一種類の内部信号線を特定内部信号線とする必要は必ずしもない。

[0068] さらに、上記では特定内部信号線の一例としてクロック制御信号線を挙げ、クロック制御信号線が有する論理値として後段のフリップフロップ群を活性化する場合の論理値を 1、非活性化する場合の論理値を 0 としたが、クロック信号との出力を AND とするか OR とするかによっても異なり、それぞれで指定される論理値を持つものを第一の特定内部信号線とし、それぞれで指定される論理値とは異なる論理値を持つものを第二の特定内部信号線とすればよい。

[0069] さらに、第一の内部信号線と第二の内部信号線と第三の内部信号線の全てに関して上記した特定処理が行われる必要はなく、第一の内部信号線のみ、第二の内部信号線のみ、第三の内部信号線のみ、或いはそれらの間の組み合わせに関して上記した特定処理が行われてもよい。加えて、例えば第一の内部信号線が複数ある場合には少なくともその一つに関して上記の特定処理が行われるものであってもよく、これに関しては第二、第三の内部信号線に関しても同様である。

[0070] 以下、図 1 及び図 2 を用いて説明した本願発明に関してさらに説明する。

[0071] [CTX (Clock-Gating-Based Test Relaxation) の基本概念]

図 3 は、CTX の基本的な考え方を説明するための図である。図 3 に示す基本的な考え方は、クロックゲーティングを巧みに用いたテストリラクゼーション & X - filling である。図 3 (A) では 4 つのフリップフロップ (以下、FF) が ENA と ENB の 2 つのクロック制御信号によって制御されており、ENA と ENB の値は初期テストベクトルに対しては 1 である。このことからすべての FF がアクティブ、すなわち、C₁ (図 15) においてキャプチャすることになり、結果として 4 つの初期ラウンチ遷移が生じる。CTX は次の 2 つのステージからなる。

[0072] <ステージ1 (クロック無効化) >

図3 (B) に示されているように、まずテストリラクゼーションを実行してできるだけ多くの有効化クロック制御信号 (値=1) をニュートラル信号 (値=X) に置き換え、次に図3 (C) に示されているように、X-fillingを実行してできるだけ多くのニュートラルクロック制御信号を無効化信号 (値=0) に置き換える。無効化クロック制御信号 (図3 (C) の FF_1 および FF_2) に制御されたすべての FF が非アクティブなので、ラウンチ遷移は効率よくまとめて減らされる。このステージ1の処理が、図1の変換装置1により行われる。

[0073] <ステージ2 (FF静止化) >

テストリラクゼーションを実行してできるだけ多くのアクティブ遷移 FF (入力値 \neq 出力値、すなわち、図3 (C) の FF_3 および FF_4) をニュートラル FF (入力値または出力値=X、すなわち、図3 (D) の FF_3 および FF_4) に置き換え、次にX-fillingを実行してニュートラル FF の入力値と出力値を等値化することで、できるだけ多くのニュートラル FF を非遷移 FF (入力値=出力値、すなわち、図3 (E) の FF_4) に置き換える。このようにして、個々の FF におけるラウンチ遷移の数が減らされる。このステージ2の処理は、本願発明者等によって他の出願にて提案された技術等が用いられる。

[0074] CTX方式の主な貢献は下記の通りである。(1) クロック無効化に基づくテストリラクゼーション&X-filling: CTXは実速度スキャンテストにおけるクロックゲーティングの省電力可能性を完全に探索する。(2) FF静止化に基づくテストリラクゼーションおよびX-filling: CTXはアクティブのままの FF の入力値と出力値をできるだけ一致させて個々の FF におけるラウンチ遷移をさらに減らす。(3) クロックゲーティングの非干渉的用法: テストデータ操作を通じてクロックゲーティングを用いることで、CTXはATPGの変化もテストデータの増加も故障検出率の減少も一切引き起こさない。(4) Xビット効率: クロック無効化およびFF静止化によつ

てCTXはXビットがほとんどなくともラウンチ遷移を著しく減らす。

[0075] [問題の形式化]

実速度スキャンテストにおけるクロックゲーティングに基づくラウンチ遷移を減少するという課題は以下のようなになる。 $V_{initial}$ をあるテストベクトル集合と仮定する。以下の条件下で新しいテストベクトル集合 V_{final} を見つけよ。(

1) V_{final} の故障検出率は $V_{initial}$ の故障検出率より小さくはない。(2) V_{final} のサイズは $V_{initial}$ のサイズと等しい。(3) V_{final} のピークラウンチ遷移はクロック無効化およびFF静止化を用いて $V_{initial}$ のピークラウンチ遷移よりもできるだけ小さくする。

[0076] [基本概念]

上記の課題を解決するために、CTX (Clock-Gating-Based Test Relaxation and X-Filling) を提案する。以下はCTXの手順を述べる上で有用な用語であり、以下のように定義する。

[0077] 定義A: 入力ベクトルにおけるクロック制御信号ENの値が論理値1 (0) であるとき、ENは有効である(無効である)という。値がXであるとき、ENはニュートラルであるという。例えば、図3 (A) (B) (C) における EN_A はそれぞれ、有効な、ニュートラルな、無効なクロック制御信号である。

[0078] 定義B: FFあるいはクロックゲートFF群へのクロックが有効(無効)であるとき、そのFFあるいはそのクロックゲートFF群はアクティブ(非アクティブ)であるという。例えば、図3 (C) における FF_1 および FF_2 (FF_3 および FF_4) は非アクティブ(アクティブ) FFである。クロックゲートFF群 $\{FF_1, FF_2\}$ ($\{FF_3, FF_4\}$) は非アクティブ(アクティブ) である、ともいう。

[0079] 定義C: FFの入力値と出力値が同じ(異なる) 論理値であるとき、そのFFは非遷移FF(遷移FF) であるという。FFの入力値あるいは出力値がXであるとき、そのFFはニュートラルFFという。例えば、図3 (D) の FF_3 および FF_4 は両方ともニュートラルFFである。図3 (E) において

、 FF_3 は遷移 FF であり、 FF_4 は非遷移 FF であり、両方ともアクティブである。

[0080] CTX は以下の2つの見解に基づいている。

[0081] 見解1：全ての有効クロック制御信号が実際に有効である必要はない。このことが起こるのは、あるテストベクトル内の故障を検出するためにクロック制御信号を有効にしたものの、後にその故障がそのクロック制御信号が有効である必要のない他のテストベクトルによって検出されるかもしれない場合である。

[0082] 見解2：故障検出のためにはある FF のみがアクティブでさえあればよい場合であっても、同じクロックゲート FF 群にある FF は同じクロック制御信号を共有しているので、他の全ての FF もアクティブでなければならない。この結果、クロックゲーティングが粗い場合には特に、不必要な遷移が起こる。

[0083] 図4は、 CTX の基本概念を示したフロー図である。

[0084] 1番目の見解は図4に示した CTX のステージ1（Clock-Disabling）に通じている。テストリラクゼーションを実行してできるだけ多くの有効クロック制御信号をニュートラル信号に置き換え、次にX-fillingを実行してできるだけ多くのニュートラルクロック制御信号を無効信号に置き換える。このようにして、クロックゲーティングをまとめて削減する能力のおかげで、ラウンチ遷移はクロックゲート FF 群レベルで効率よく削減される。図1の変換装置1の動作が実行される内容である。

[0085] 2番目の見解は図14に示した CTX のステージ2（ FF 静止化）に通じている。テストリラクゼーションを実行してできるだけ多くのアクティブ遷移 FF をニュートラル FF に置き換え、次にX-fillingを実行してできるだけ多くのニュートラル FF を非遷移 FF に置き換える。このようにして、ラウンチ遷移は個々の FF レベルでさらに削減される。

[0086] [回路モデル]

図5は、 CTX のためのテスト生成を目的とする、 m 個のクロックゲート

ィングブロックを含む回路のモデルを示す図である。

まず、図 15 に示すように全て特定されたテストベクトル ν は最終シフトパルス S_L の立ち上がりエッジの時にロードされる。 ν は FF の出力値に対応する PPI 部 $\langle \nu : PPI \rangle$ および初期入力値に対応する PI 部 $\langle \nu : PI \rangle$ からなる。クロック制御論理回路の組み合わせは、図 5 に示されているもののように、 m 個のクロックゲーティングブロックに対応する m 個のクロック制御信号 EN_1, EN_2, \dots, EN_m を生じさせる。クロック制御信号はそれぞれ無効かもしれず有効かもしれず、対応するクロックゲート FF 群がラウンチキャプチャパルス C_1 時にアクティブであるか否かを決定する。

[0087] [CTX の手順]

上記した図 4 に示した CTX の基本概念に基づいて CTX の手続きは次のように記述できる。

[0088] 入力: $V^0 = \{\nu^0_i \mid i = 1, 2, \dots, n\}$ // 初期テストベクトル集合

出力: $V^2 = \{\nu^2_i \mid i = 1, 2, \dots, n\}$ // 最終テストベクトル集合

[0089] <ステージ 1 (クロック無効化)>

(1-1) $i = 1, 2, \dots, n$ に対して、 $RS(\nu^0_i) = \{\nu^0_i$ 下で少なくとも 1 つの有効クロック制御信号から到達可能な ν^0_i 内のビット} とする。

(1-2) $T^1 = RS(\nu^0_1) \cup RS(\nu^0_2) \dots \cup RS(\nu^0_n)$ とする。

(1-3) V^0 に制限付きテストリラクゼーションを実行して、 V^0 の故障検出率を保持しつつ、 T^1 内のできるだけ多くのビットを X ビットに置き換える。得られた部分的に特定されたテストキューブを $C^1 = \{c^1_i \mid i = 1, 2, \dots, n\}$ とする。

(1-4) $i = 1, 2, \dots, n$ に対して、 c^1_i 内の各いくつかの X ビットに対して適切な論理値を割り当てることで c^1_i 下の各ニュートラルクロック制御信号に対して 0 を正当化しよう試みる。

(1-5) $i = 1, 2, \dots, n$ に対して、 c^1_i 内に残っている X ビットに対

して低LSAのX-fillingを実行する。得られた全て特定されたテストベクトルの集合を $V^1 = \{\nu^1_i \mid i = 1, 2, \dots, n\}$ とする。

[0090] <ステージ2 (FF静止化) >

(2-1) $i = 1, 2, \dots, n$ に対して、 $RF(\nu^1_i) = \{\nu^1_i$ 下でアクティブ遷移FFに対応する ν^1_i 内のビット}とする。

(2-2) $T^2 = RF(\nu^1_1) \cup RF(\nu^1_2) \dots \cup RF(\nu^1_n)$ とする。

(2-3) V^1 に制限付きテストリラクゼーションを実行して、(1) V^1 の故障検出率および(2)全てのクロック制御信号の論理値を保持しつつ、 T^2 内のできるだけ多くのビットをXビットに置き換える。得られた部分的に特定されたテストキューブを $C^2 = \{c^2_i \mid i = 1, 2, \dots, n\}$ とする。

(2-4) $i = 1, 2, \dots, n$ に対して、 c^2_i 内のXビットに対して低LSAのX-fillingを実行する。得られた全て特定されたテストベクトルの集合を $V^2 = \{\nu^2_i \mid i = 1, 2, \dots, n\}$ とする。

[0091] [制限付きテストリラクゼーション]

C T Xのキーとなる操作は、全て特定されたテストベクトル集合 V に実行される制限付きリラクゼーションであり、(1) V の故障検出率および(2) S 内のターゲット列の論理値を保持したまま、 T 内のできるだけ多くのターゲットビットをXビットに置き換えるために実行する。結果として部分的に特定されたテストキューブ C が得られる。以上のことは図6に示されており、*印はターゲットビットの位置を表している。ステップ(1-3)では $S = \phi$ を仮定することが可能であり、ここでの制限付きテストリラクゼーションでは故障検出率のみが保持される必要がある。

[0092] [制限付きテストリラクゼーションの手順]

図6は、制限付きテストリラクゼーションの手順を説明するための図である。

[0093] まず、図6において、入力 V は全て特定されたテストベクトル集合である。 T はターゲットビット集合である。 S はターゲット列集合(C T Xのステップ(1-3)では、 $S = \phi$)である。出力 C : 結果として得られる部分的に特定

されたテストキューブ集合である。

[0094] ステップS-1では、Vの全ての必須故障を特定する。それらの故障はそれぞれV内のあるテストベクトルによってのみ検出され、2回検出故障シミュレーションによって特定される。

[0095] ステップS-2では、V内のビットであって、(1) 全ての必須故障を検出するために、および、(2) S内の全てのターゲット列の論理値を保持するために、論理値が必要とされる全てのビットを、T内のビットはできるだけ避けるようなやり方で、特定する。そのようなビットはATPGでも広く応用されている正当化操作を用いて容易に見つけ出される。続いてV内の特定されたビットをXビットに置き換え、中間テストキューブ集合C'が得られる。

[0096] ステップS-3では、3値故障シミュレーションをC'に実行してVの全ての非必須故障を求める。検出されなかった全ての非必須故障については、それらを検出するために論理値が必要とされるV内のXビットを、T内のビットはできるだけ避けるようなやり方で、特定する。続いて特定されたXビットをV内のそのビットの元の論理値を用いて回復する。こうして最終テストキューブ集合Cが得られる。

[0097] なお、制限付きテストリラクゼーションの手順の時間的コストは $O(M \times N)$ である。ここで、MおよびNはそれぞれ故障の数およびテストベクトルの数である。

[0098] [実験結果]

図7は実験結果を説明するための二つの表を示す図である。

[0099] CTXテスト生成方式は評価実験のためにC言語を用いて実装されている。ゲートクロックを備えたベンチマーク回路が入手できないため、オープンソースのマイクロプロセッサデザインであるpicoJava（登録商標）を合成し図7(A)の表に示す2つのテスト回路TC-1およびTC-2を作成した。1つのクロックゲーティングブロックは1つのクロックゲートFF群に対応している。評価実験はTC-1およびTC-2に対して行われ、結果は図7(B)の表にまと

めた。遷移LOC遅延テストベクトルはTetraMAX（登録商標）によって生成される。テストベクトル数および故障検出率はそれぞれ“ベクトル数”および“故障検出率（％）”の下に表示されている。（1）Preferred-Fillを用いたXID、（2）JP-Fillを用いたXID、（3）提案したCTX方式を用いた3つの実験を行った。ここで、XIDとはゲートクロックを用いないテストリラクゼーションシステムである。WSA基準による最初のテストベクトル集合に対するラウンチ遷移の削減率はそれぞれ“XID+Preferred”、“XID+JP”、“CTX”の下に示されている。図7（B）の表はCTX方式が従来のテストリラクゼーションとX-fillingに基づいたこれまでの方式よりも効率的であることを示している。また、クロックゲートメカニズムが大量に用いられている低電力デバイスにCTXが特に効率的であることも示されている。

[0100] 実験結果も踏まえ、以下のことが言える。

（1）CTXは実速度スキャンテストにおける歩留まり損失リスクを削減する上で、CTXはテストデータの増加も故障検出率の低下も回路／クロッキングの変更も回路のパフォーマンスの低下も一切引き起こさないという意味で、非干渉的である。このことがCTXをどんなパワーセーフテスト生成フローにおいても利用価値の高いものにしてている。（2）CTXはテストキューブ内のXビットの数が限られているテストコンパクションおよびテストコンプレッションに適用可能である。CTXは最初のテストベクトル量が不変であるような巧みなやり方でクロックゲートを十分に活用することでそのようなXビット不足を補っている。

[0101] [まとめ]

以上のように、実速度スキャンテストにおいて歩留り損失を生じさせうるラウンチ遷移を効率的に削減するために、CTX（Clock-Gating-Based Test Relaxation and X-Filling）という方式を提案した。基本的な考え方はクロックゲーティングを用いて故障検出に貢献しないFFをできるだけ多く無効化することである。CTXはテストリラクゼーションおよびX-fillingにクロックゲーティングを十分に活用する種類のものとしては初めてののも

のである。CTXはテストサイズ、故障検出率、ATPG・回路・クロックの設計、および機能上のパフォーマンスに全く影響を及ぼさずに歩留り損失を削減できる。その上、CTXはXビットが限られているようないかなるテストコンプレッション方式にも適用可能である。

[0102] なお、上記まででは、図10に示すようなフルスキャン順序回路を用いて説明したが、図8に示すようなパーシャルスキャン回路にも適用可能である。ここで、パーシャルスキャン回路とは、一部のフリップフロップをスキャンフリップフロップに置き換えた上で、それらを用いて1本若しくは複数本のスキャンチェーンを形成するものである。また、パイプライン順序回路に対しても適用可能である。

[0103] 具体的には、組合せ回路部分3000と順序回路のフリップフロップ3001とパーシャルスキャン順序回路のスキャンフリップフロップ3002とから構成される。組合せ回路部分3000は図10の組合せ回路部分1201と同様ではあるが、その入力は $\langle v : PPI \rangle$ がスキャンシフトによってスキャンフリップフロップ3002に設定される部分 $\langle v : PPI_{n2} \rangle$ とフリップフロップ3001に設定される部分 $\langle v : PPI_{n1} \rangle$ からなる。また、組合せ回路部分3000からの出力は同じく図10の組合せ回路部分1201と同様であるが、テストベクトル v に対するテスト応答 $f(v)$ としての外部出力線に直接現れる部分 $\langle f(v) : PO \rangle$ と擬似外部出力線に現れる部分 $\langle f(v) : PPO \rangle$ のうち、 $\langle f(v) : PPO \rangle$ はスキャンキャプチャによってスキャンフリップフロップ3002に取り込まれる部分 $\langle f(v) : PPO_{n2} \rangle$ とフリップフロップ3001に取り込まれる部分 $\langle f(v) : PPO_{n1} \rangle$ からなる。

[0104] 図8(b)は図8(a)におけるスキャンフリップフロップ3002におけるスキャンキャプチャの前と後において論理値に相違が発生する場合の一例を示す。

[0105] 図10(b)とも同様であるが、図8(b)において、テストベクトル $\langle v : PPI_{n2} \rangle$ の要素である一つのビット a と、それに対応するテスト応

答< f (v) : P P O n 2 >が、スキャンフリップフロップ3002で異なる論理値を取ると、キャプチャモードの際に論理値の相違（以下、遷移とする）が発生する。ある一つのテストベクトルに対する遷移の数は、そのテストベクトルを原因とした組合せ回路部分3000を含めた回路全般で発生する消費電力と深く関係しているため、テストベクトルに対するキャプチャ時の遷移の数を削減することで、キャプチャ時の消費電力を低減することができる。このような処理が図4のステージ2（FF静止化）の処理として行われる。

[0106] なお、上記では故障検出対象の論理回路の例として、フルスキャン順序回路の組み合わせ回路部分の場合のほか、パーシャルスキャン回路の組み合わせ回路部分の場合も示したが、パイプライン方式の論理回路などの他の論理回路であってもよい。

符号の説明

- [0107] 7 特定部
9 割当部
11 入力未定値ビット特定部
13 入力論理ビット特定部

請求の範囲

[請求項1]

与えられる集合であって、故障検出対象の論理回路に入力される入力ビットが、論理値1若しくは論理値0の論理ビットからなるテストベクトルの集合、少なくとも一つのビットが未定値の未定値ビットを含み残余のビットが論理ビットであるテストキューブの集合、又は、テストベクトルとテストキューブとの組み合わせの集合から、前記与えられた集合が持つ少なくとも一つの特性を維持しつつ若しくは向上させつつ新たな集合を生成する生成装置であって、

入力ビットにおける論理ビット及び未定値ビットとすべきビットを特定する特定手段を備え、

前記特定手段が、

前記論理回路内の特定の内部信号線であって、それぞれに指定される論理値を有している第一の特定内部信号線、それぞれに指定される論理値とは異なる論理値を有している第二の特定内部信号線、及び、未定値を有している第三の特定内部信号線に関し、

前記与えられた集合に基づき、前記特性を維持しながら若しくは向上させながら、

前記第一の特定内部信号線が有する前記各指定される論理値の少なくとも一つを未定値の状態に変更させること、

前記第二の特定内部信号線には当該異なる論理値の少なくとも一つを維持させて当該維持された異なる論理値を有する第二の特定内部信号線を前記指定される論理値以外の状態とさせること、及び、

前記第三の特定内部信号線には当該未定値の少なくとも一つを維持させ又は前記異なる論理値に変更させて当該維持された未定値を有する又は当該変更された異なる論理値を有する第三の特定内部信号線を前記指定される論理値以外の状態とさせることについて、

少なくともいずれかが可能な、入力ビットにおける論理ビット及び未定値ビットとすべきビットを、

特定する、生成装置。

[請求項2]

前記特定の内部信号線には後段回路が接続されており、
前記各指定される論理値及び前記各指定される論理値とは異なる論理値は、前記後段回路をコントロールする値である、請求項1記載の生成装置。

[請求項3]

前記後段回路はフリップフロップ回路群であり、前記特定の内部信号線は前記フリップフロップ回路群を制御するための信号線であり、
前記特定の内部信号線に論理値1又は論理値0を割り当てる割り当て手段をさらに備え、

前記割り当て手段が、前記特定処理により特定された未定値ビットとすべきビットを含む入力ビットにおける未定値ビットに対し、

前記第一の特定内部信号線が未定値の状態に変更可能なものについては前記各指定される論理値とは異なる論理値を有するように論理値1又は論理値0を割り当て、

前記第三の特定内部信号線が維持された未定値を有している場合には前記各指定される論理値とは異なる論理値を有するように論理値1又は論理値0を割り当てる、請求項2記載の生成装置。

[請求項4]

与えられる集合であって、故障検出対象の論理回路に入力される入力ビットが、論理値1若しくは論理値0の論理ビットからなるテストベクトルの集合、少なくとも一つのビットが未定値の未定値ビットを含み残余のビットが論理ビットであるテストキューブの集合、又は、テストベクトルとテストキューブとの組み合わせの集合から、前記与えられた集合が持つ少なくとも一つの特性を維持しつつ若しくは向上させつつ新たな集合を生成する生成方法であって、

特定手段が、前記論理回路内の特定の内部信号線であって、それぞれに指定される論理値を有している第一の特定内部信号線、それぞれに指定される論理値とは異なる論理値を有している第二の特定内部信号線、及び、未定値を有している第三の特定内部信号線に関し、

前記与えられた集合に基づき、前記特性を維持しながら若しくは向上させながら、

前記第一の特定内部信号線が有する前記各指定される論理値の少なくとも一つを未定値の状態に変更させること、

前記第二の特定内部信号線には当該異なる論理値の少なくとも一つを維持させて当該維持された異なる論理値を有する第二の特定内部信号線を前記指定される論理値以外の状態とさせること、及び、

前記第三の特定内部信号線には当該未定値の少なくとも一つを維持させ又は前記異なる論理値に変更させて当該維持された未定値を有する又は当該変更された異なる論理値を有する第三の特定内部信号線を前記指定される論理値以外の状態とさせることについて、

少なくともいずれかが可能な、入力ビットにおける論理ビット及び未定値ビットとすべきビットを、

特定する特定処理を含む、生成方法。

[請求項5]

前記特定の内部信号線には後段回路が接続されており、

前記各指定される論理値及び前記各指定される論理値とは異なる論理値は、前記後段回路をコントロールする値である、請求項4記載の生成方法。

[請求項6]

前記後段回路はフリップフロップ回路群であり、前記特定の内部信号線は前記フリップフロップ回路群を制御するための信号線であり、

割当手段が、前記特定処理により特定された未定値ビットとすべきビットを含む入力ビットにおける未定値ビットに対し、

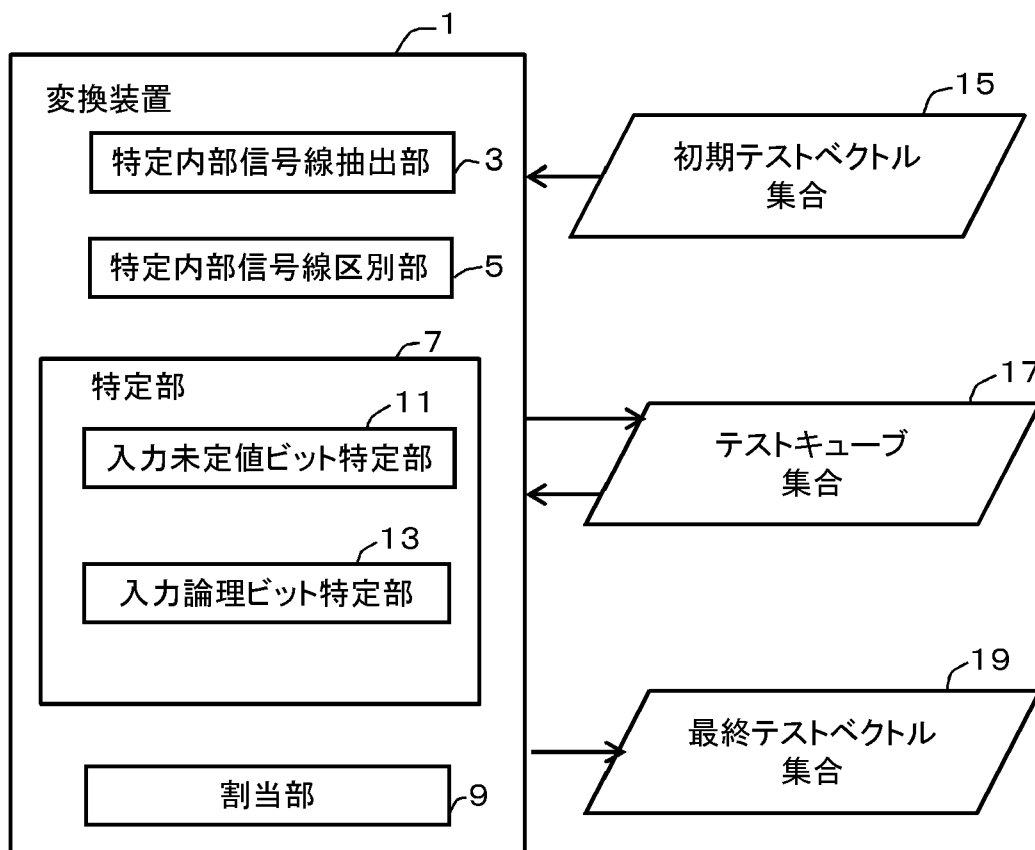
前記第一の特定内部信号線が未定値の状態に変更可能なものについては前記各指定される論理値とは異なる論理値を有するように論理値1又は論理値0を割り当て、

前記第三の特定内部信号線が維持された未定値を有している場合には前記各指定される論理値とは異なる論理値を有するように論理値1又は論理値0を割り当てる、

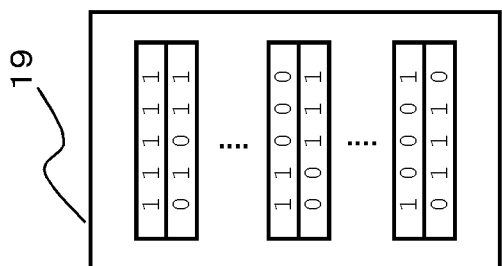
割当処理を含む、請求項 5 記載の生成方法。

[請求項 7] 請求項 4 から 6 のいずれかに記載の生成方法をコンピュータに実行させることが可能なプログラム。

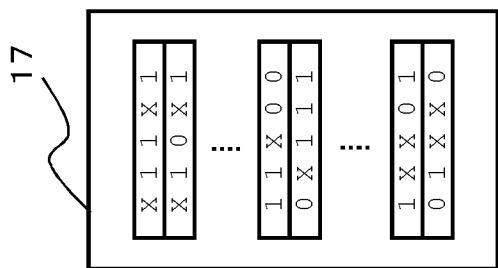
[図1]



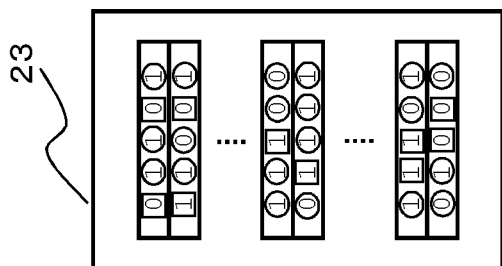
[図2]



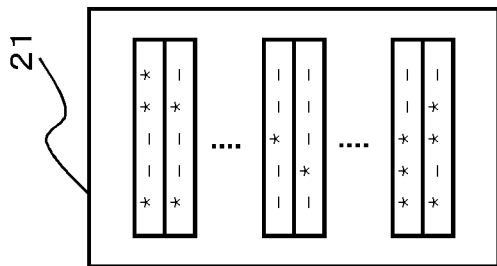
(E)



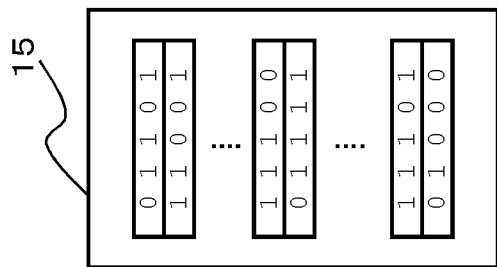
(D)



(C)

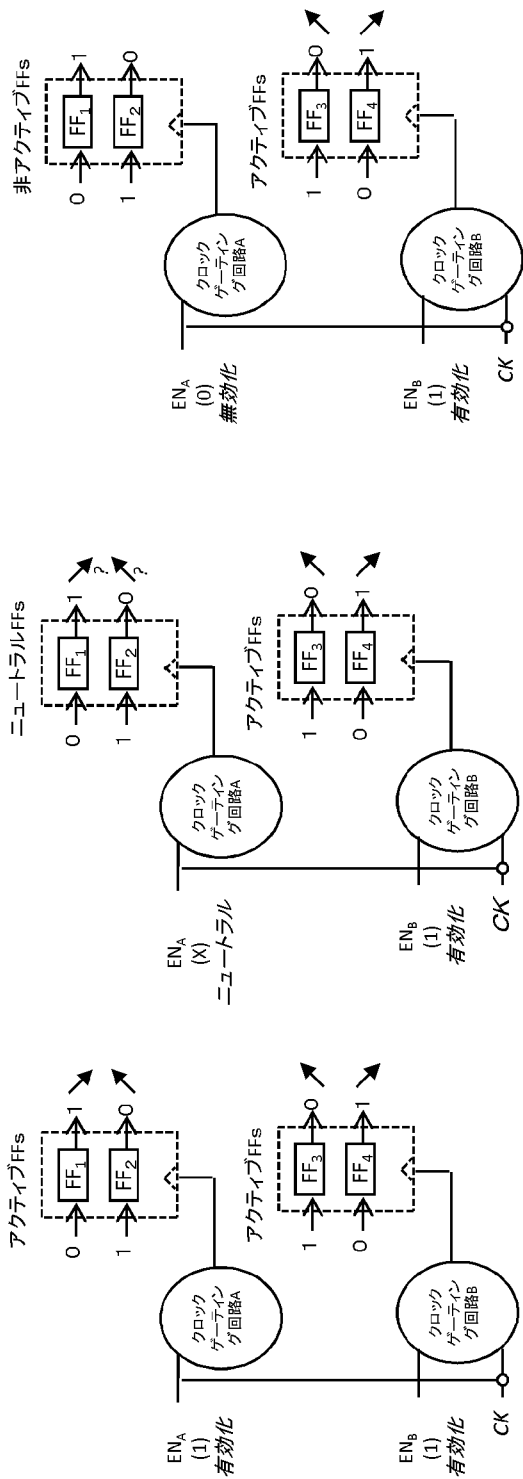


(B)

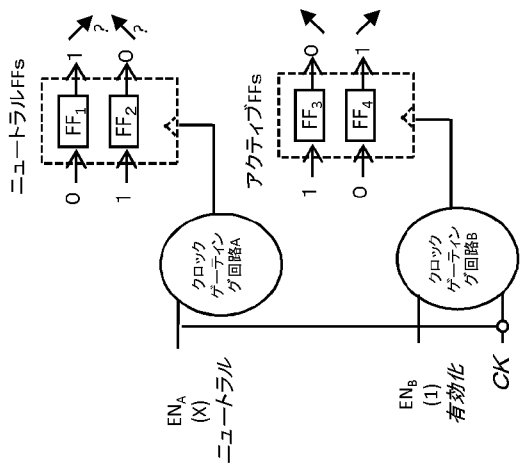


(A)

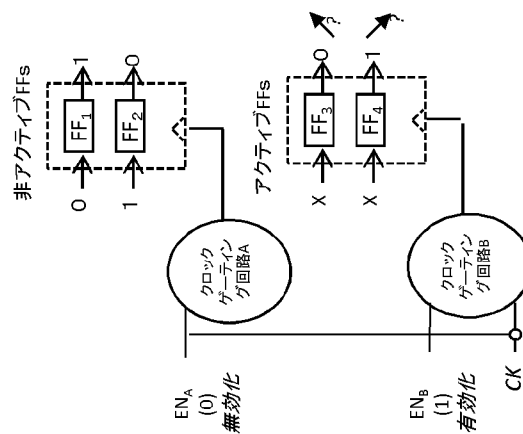
[図3]



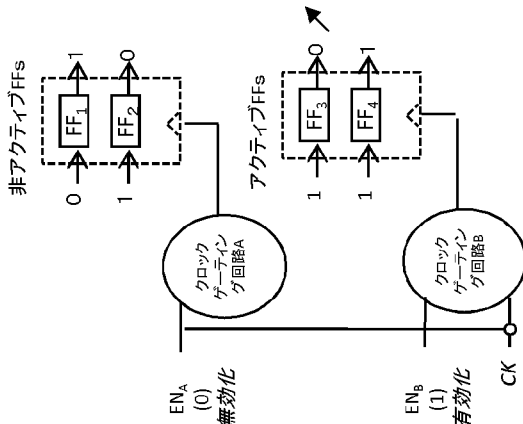
(A)



(B)



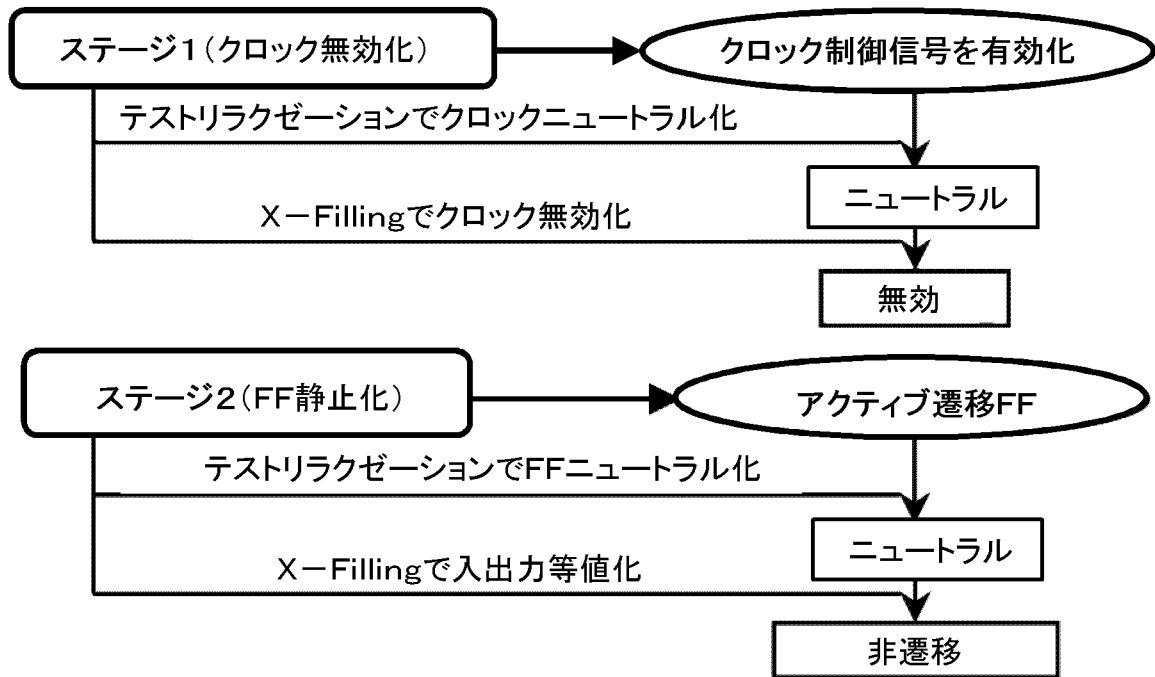
(D)



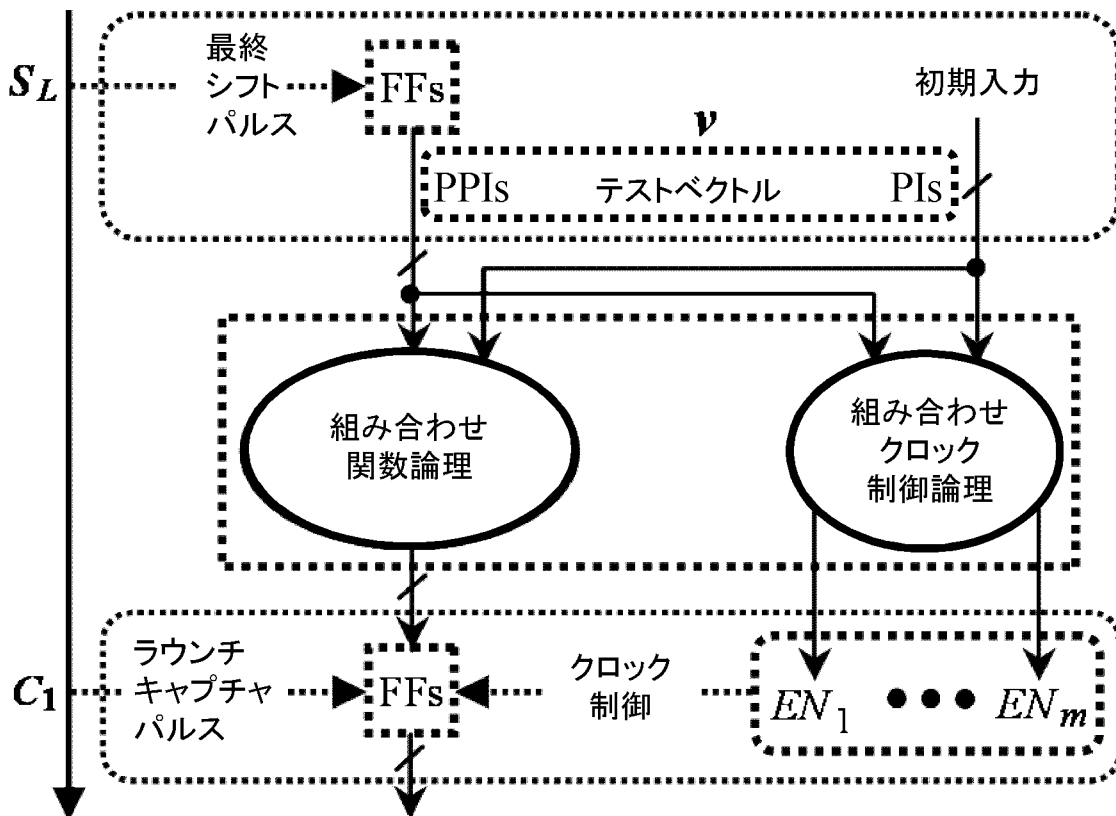
(E)

(C)

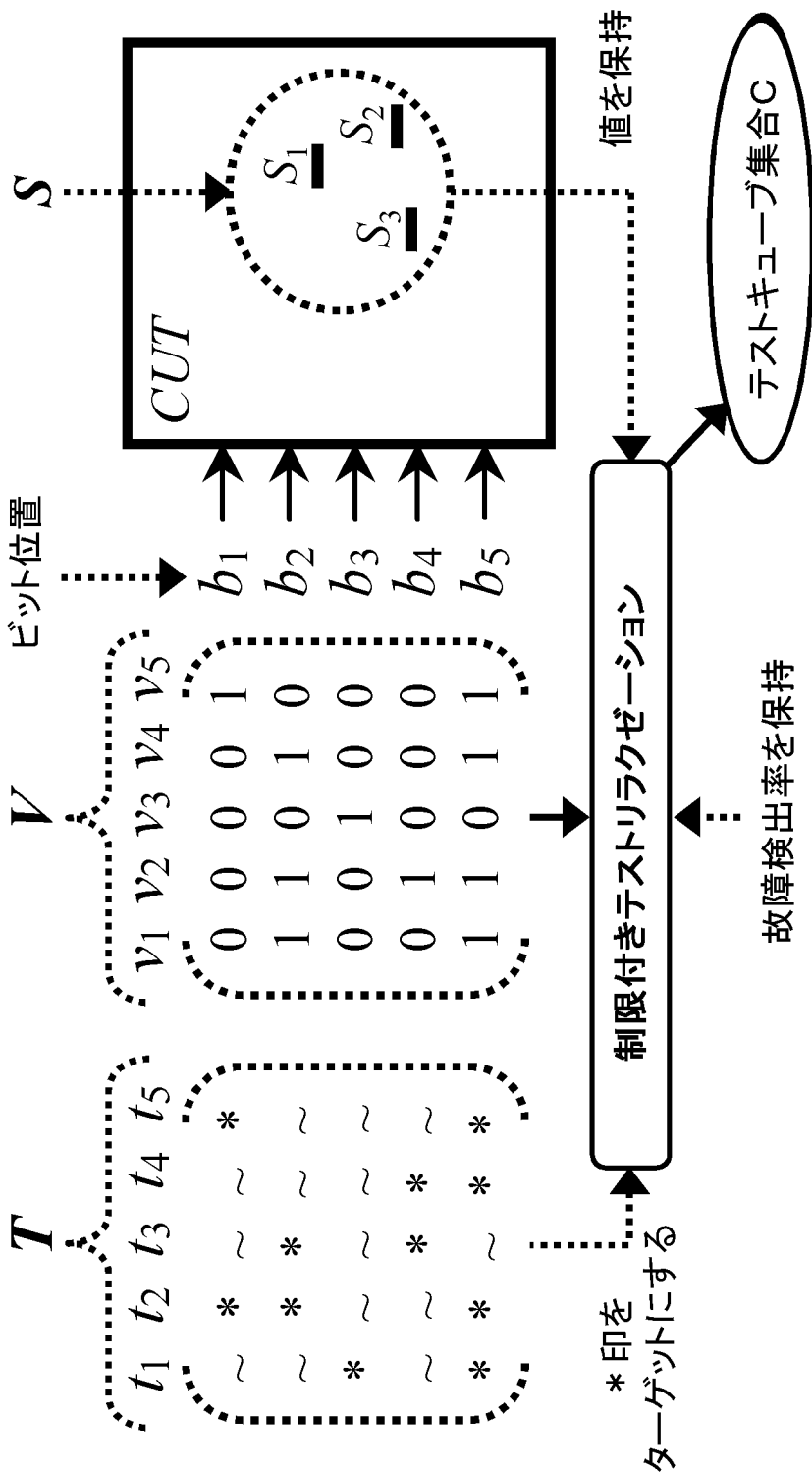
[図4]



[図5]



[図6]



[図7]

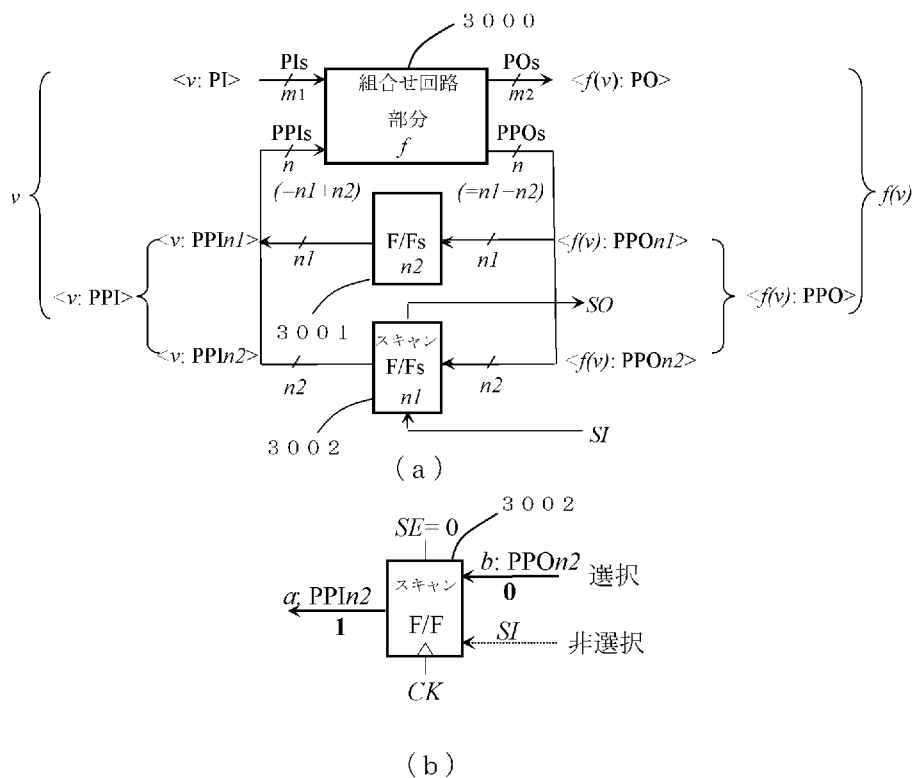
回路	ゲート数	FF数	クロックゲートFF数	クロックゲートFFの割合	クロックゲートインゲブロック数	クロックゲートインゲブロック毎のFF数の平均値
TC-1	207.8K	6,992	5,532	79.4%	3,441	1.6
TC-2	191.5K	6,992	2,176	31.1%	65	33.5

(A)

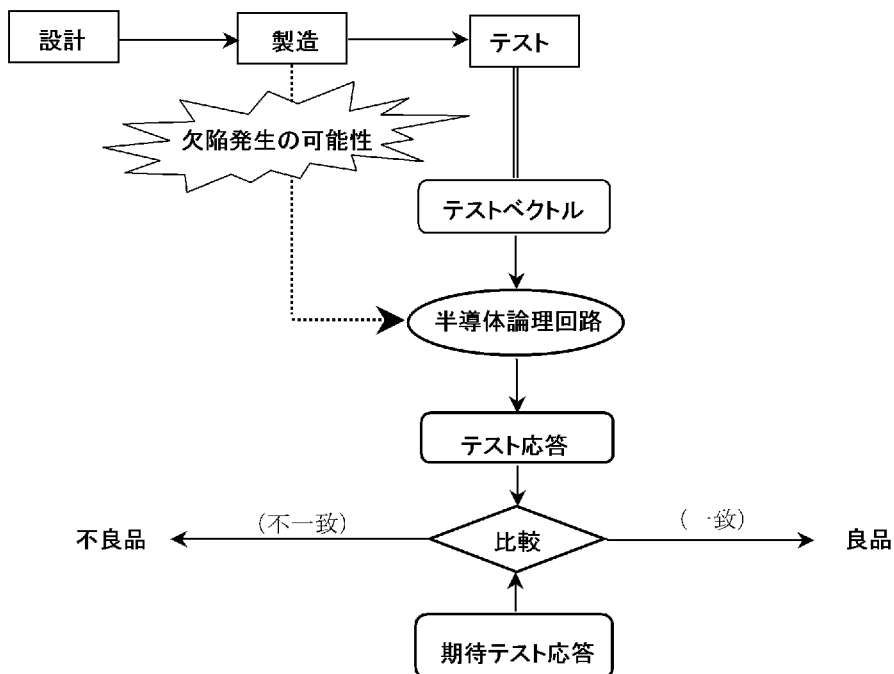
回路	ベクトル数	故障検出率 (%)	ラウンチ遷移の削減率		
			<i>XID + Preferred</i>	<i>XID + JP</i>	<i>CTX</i>
TC-1	4025	84.7	15.2	15.9	23.9
TC-2	3575	87.8	15.6	17.2	17.4

(B)

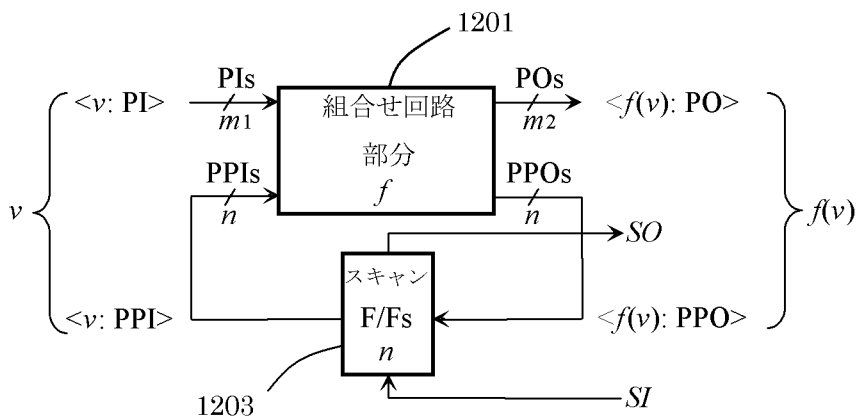
[図8]



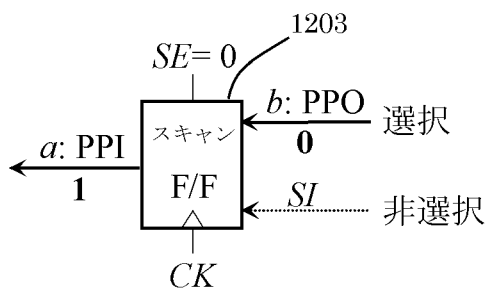
[図9]



[図10]

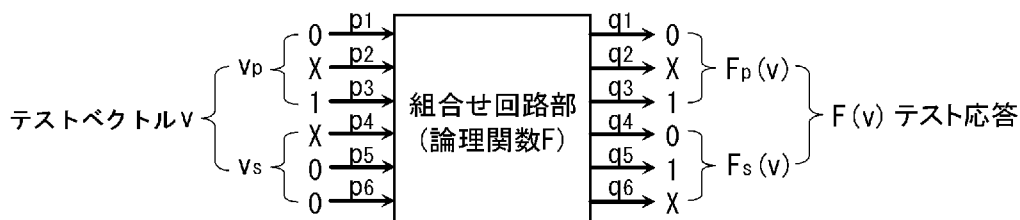


(a)



(b)

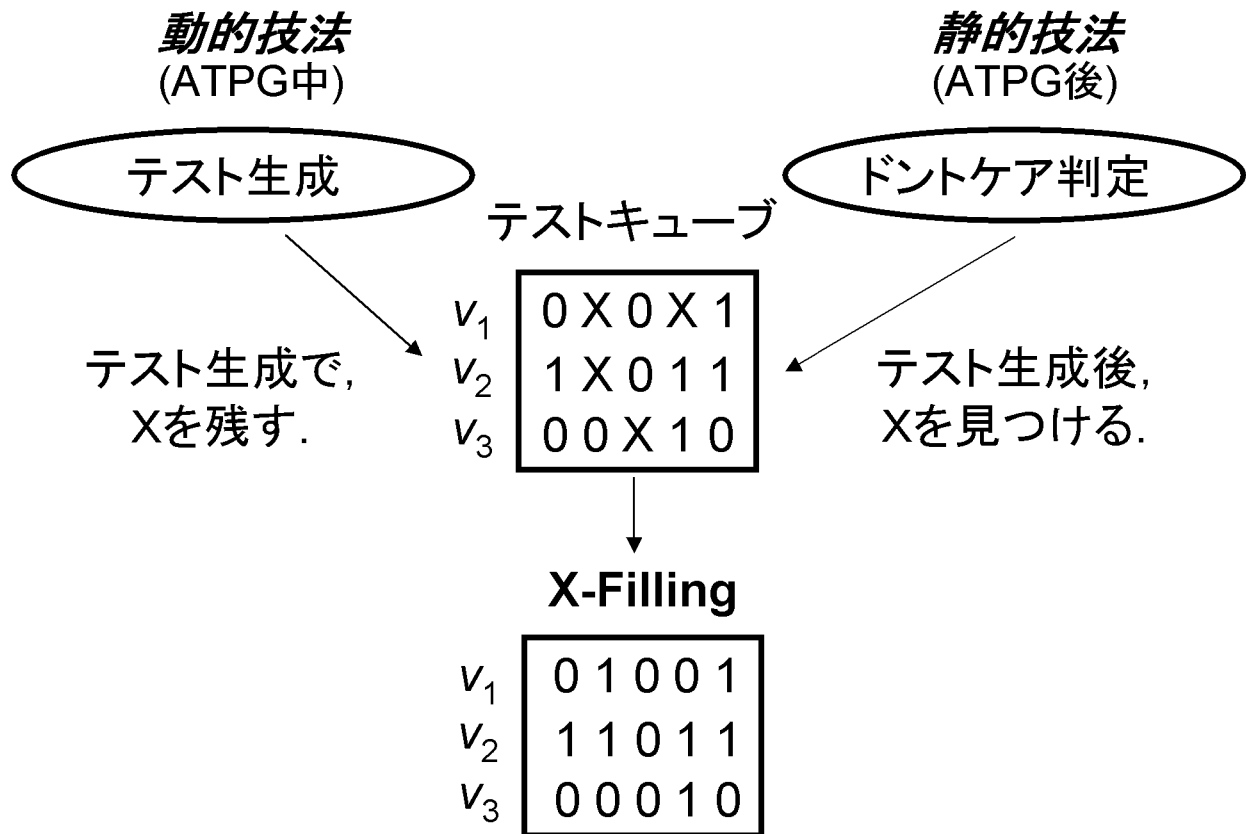
[図11]



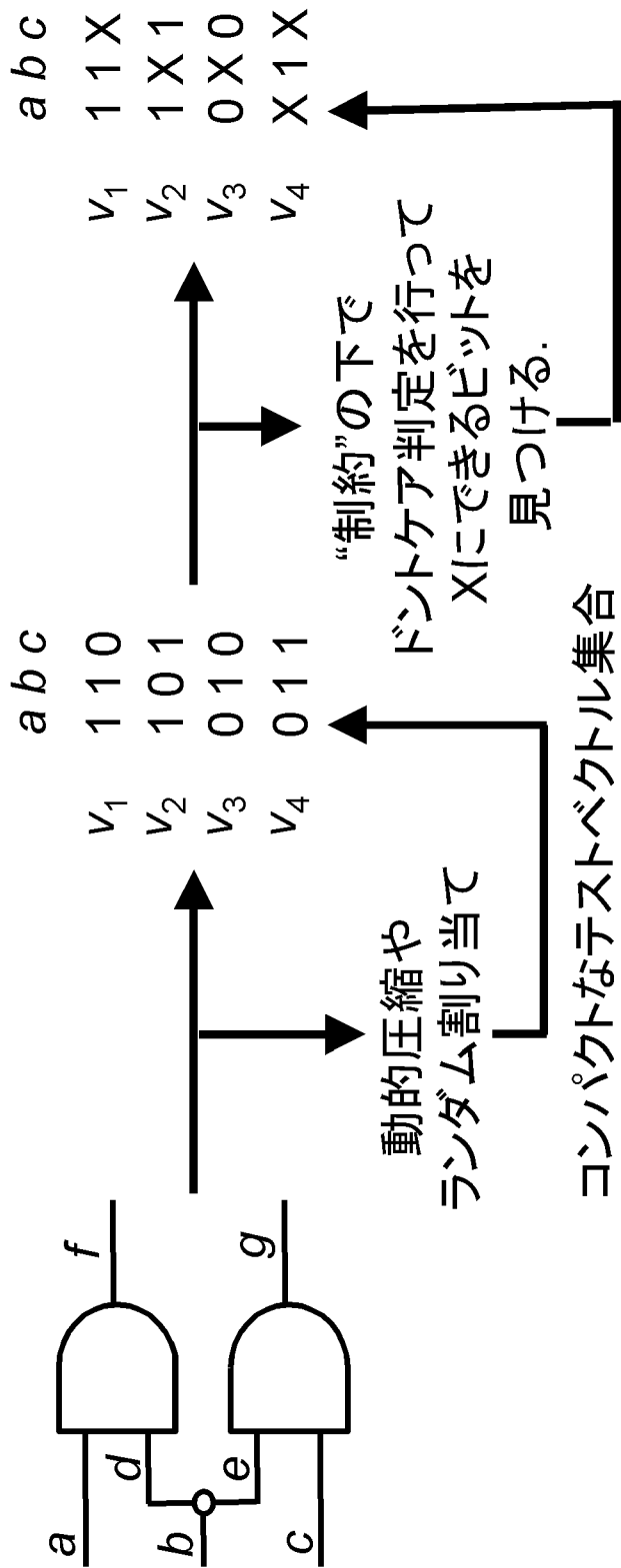
[図12]

	テストキューブ		テストベクトル
C_1	0 X 0 X 1	V_1	0 1 0 0 1
C_2	1 X 0 1 1	V_2	1 1 0 1 1
C_3	0 0 X 1 0	V_3	0 0 0 1 0

[図13]

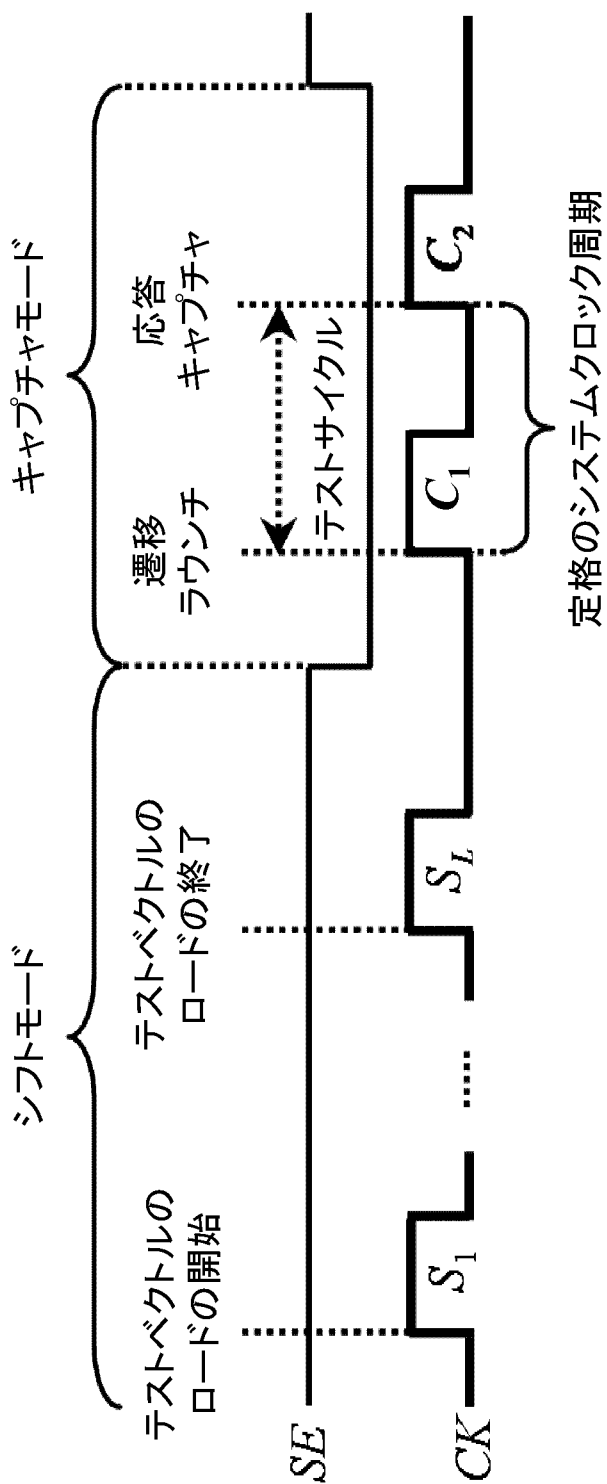


[図14]

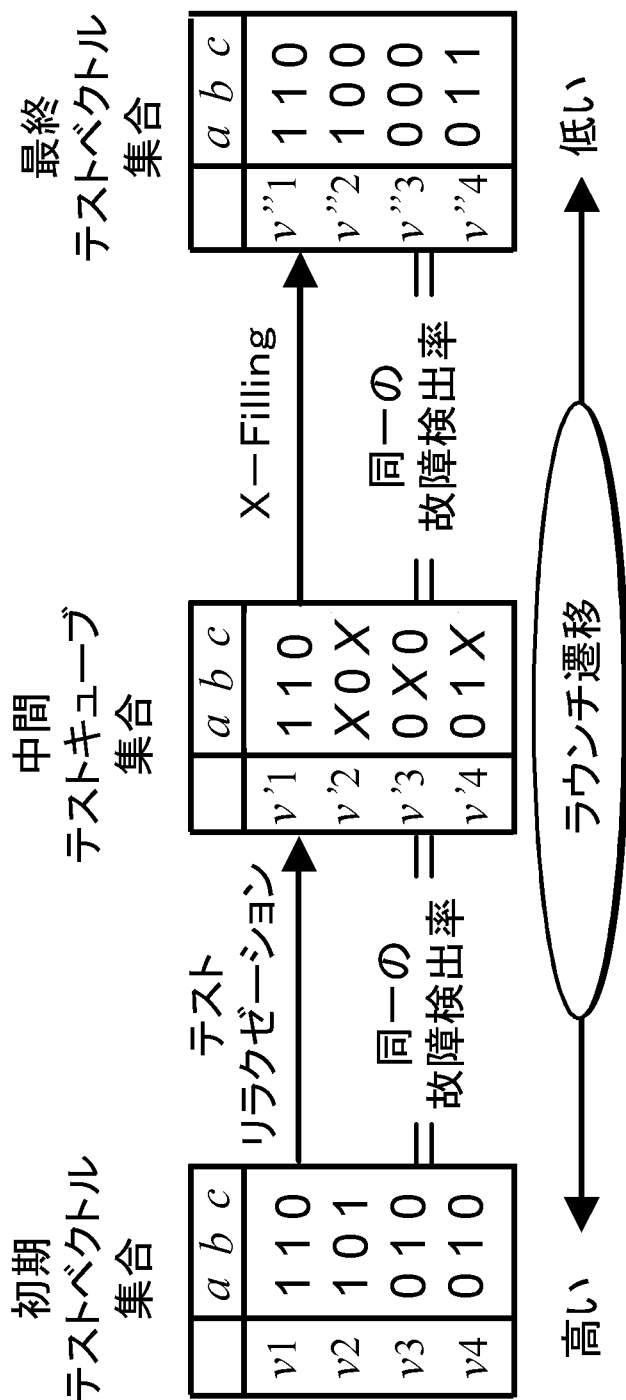


テストキューブの集合

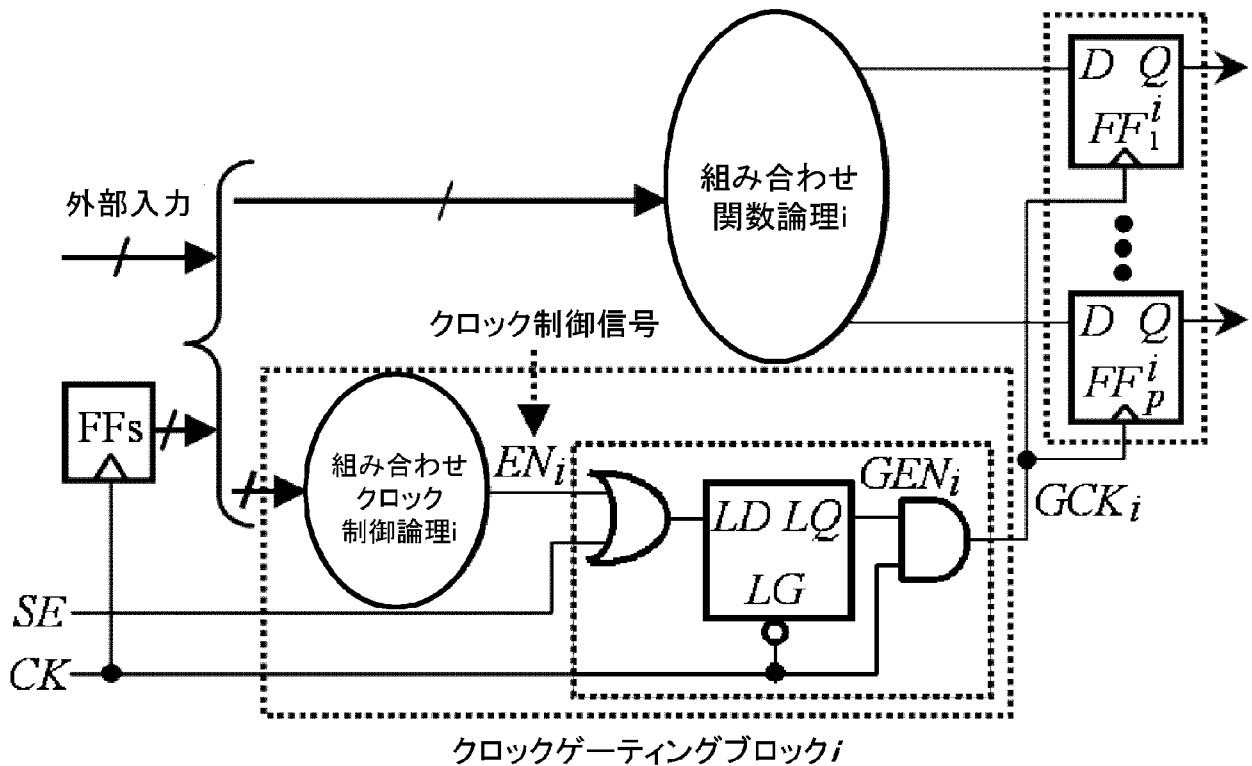
[図15]



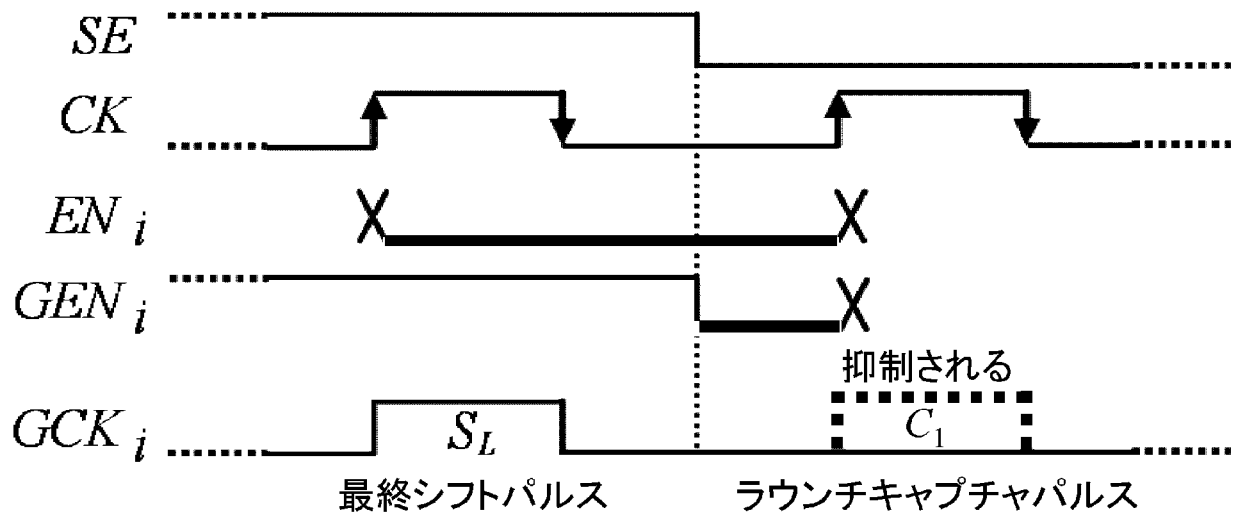
[図16]



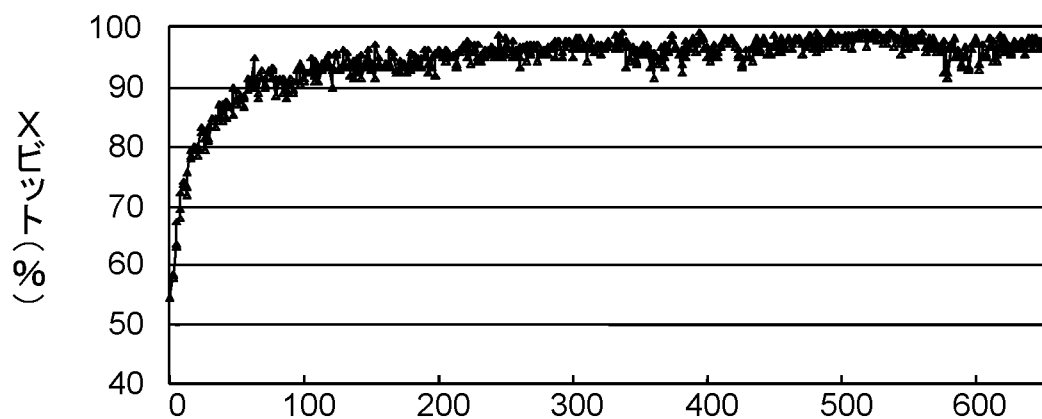
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/063586

A. CLASSIFICATION OF SUBJECT MATTER
G01R31/3183(2006.01)i, G01R31/28(2006.01)i, G06F11/22(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01R31/28-31/3193, G06F11/22-11/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X <u>A</u>	WO 2008/001818 A1 (Japan Science and Technology Agency), 03 January 2008 (03.01.2008), paragraphs [0033], [0034], [0040] to [0083]; all drawings & US 2009/0113261 A	1, 2, 4, 5, 7 <u>3, 6</u>
A	JP 2007-155339 A (Japan Science and Technology Agency), 21 June 2007 (21.06.2007), entire text; all drawings & US 2008/0235543 A1 & WO 2007/063924 A1	1-7
A	JP 2006-47013 A (Sharp Corp.), 16 February 2006 (16.02.2006), fig. 23, 24 (Family: none)	1-7

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 October, 2009 (23.10.09)	Date of mailing of the international search report 02 November, 2009 (02.11.09)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/063586

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	SEIJI KAJIHARA ET AL, Test Data Compression Using Don't-Care Identification and Statistical Encoding, PROCEEDINGS OF THE 11TH ASIAN TEST SYMPOSIUM (ATS'02), 2002, pp. 67 - 72	1-7
A	XIAOQING WEN ET AL, A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing, IEEE International Test Conference ITC 2007, 2007.10, pp. 1-10	1-7
P, X	H. FURUKAWA ET AL, CTX: A Clock-Gating-Based Test Relaxation and X-Filling Scheme for Reducing Yield Loss Risk in At-Speed Scan Testing, 17th Asian Test Symposium ATS'08., 2008.11, pp. 397 -402	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G01R31/3183(2006.01)i, G01R31/28(2006.01)i, G06F11/22(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G01R31/28-31/3193, G06F11/22-11/26

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2008/001818 A1 (独立行政法人科学技術振興機構) 2008.01.03, 段落[0033], [0034], [0040]-[0083], 全図 & US 2009/0113261 A	1, 2, 4, 5, 7 3, 6
A	JP 2007-155339 A (独立行政法人科学技術振興機構) 2007.06.21, 全文, 全図 & US 2008/0235543 A1 & WO 2007/063924 A1	1-7
A	JP 2006-47013 A (シャープ株式会社) 2006.02.16, 図23, 24 (ファミリーなし)	1-7

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 23.10.2009	国際調査報告の発送日 02.11.2009
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 神谷 健一 電話番号 03-3581-1101 内線 3258

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	SEIJI KAJIHARA ET AL, Test Data Compression Using Don't-Care Identification and Statistical Encoding, PROCEEDINGS OF THE 11TH ASIAN TEST SYMPOSIUM (ATS'02), 2002, pp. 67 - 72	1-7
A	XIAOQING WEN ET AL, A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing, IEEE International Test Conference ITC 2007, 2007.10, pp. 1-10	1-7
P, X	H. FURUKAWA ET AL, CTX: A Clock-Gating-Based Test Relaxation and X-Filling Scheme for Reducing Yield Loss Risk in At-Speed Scan Testing, 17th Asian Test Symposium ATS'08., 2008.11, pp. 397 - 402	1-7