

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010年4月29日(29.04.2010)

PCT

(10) 国際公開番号  
WO 2010/047219 A1

- (51) 国際特許分類:  
G01R 31/3183 (2006.01)
- (21) 国際出願番号: PCT/JP2009/067325
- (22) 国際出願日: 2009年10月5日(05.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2008-273484 2008年10月23日(23.10.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人 九州工業大学 (Kyushu Institute of Technology) [JP/JP]; 〒8048550 福岡県北九州市戸畑区仙水町1番1号 Fukuoka (JP). 国立台湾大学 (National Taiwan University).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 呉 孟帆 (WU Meng-Fan), 黄 俊郎 (HUANG Jiun-Lang), 温 晓青 (WEN Xiaoqing) [CN/JP]; 〒8208502 福岡県飯塚市大字川津680-4 国立大学法人九州

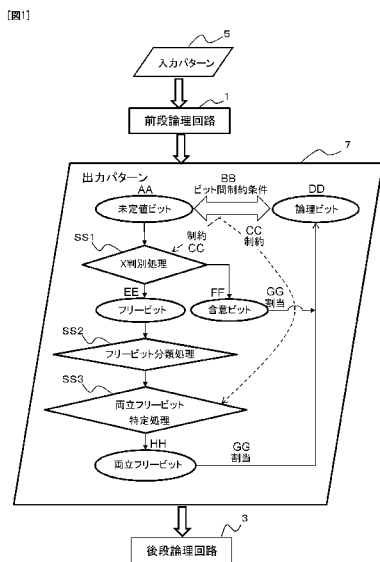
工業大学内 Fukuoka (JP). 宮瀬 紘平 (MIYASE Kohei) [JP/JP]; 〒8208502 福岡県飯塚市大字川津680-4 国立大学法人九州工業大学内 Fukuoka (JP).

- (74) 代理人: 羽立 幸司 (HADATE Koji); 〒8140001 福岡県福岡市早良区百道浜三丁目8番33号 福岡システムLSI総合開発センター Fukuoka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,

[続葉有]

(54) Title: GENERATION DEVICE, DETERMINATION METHOD, GENERATION METHOD, AND PROGRAM

(54) 発明の名称: 生成装置、判別方法、生成方法及びプログラム



- 5... INPUT PATTERN
- 1... PREVIOUS-STAGE LOGIC CIRCUIT
- 7... OUTPUT PATTERN
- AA... UNDETERMINED BIT
- BB... INTER-BIT CONSTRAINT CONDITION
- CC... CONSTRAINT
- DD... LOGIC BIT
- SS1... X DETERMINATION
- EE... FREE BIT
- FF... IMPLICATION BIT
- GG... ASSIGNMENT
- SS2... FREE BIT CLASSIFICATION
- SS3... COMPATIBLE FREE BIT SPECIFICATION
- HH... COMPATIBLE FREE BIT
- 3... SUBSEQUENT-STAGE LOGIC CIRCUIT

(57) Abstract: The speed of compression is increased when an undetermined bit is included in an output pattern outputted from a developer installed in a logic circuit under test in relation to the logic circuit. The output pattern (7) includes the undetermined bit. In step SS1, a determining means determines whether the undetermined bit in the output pattern (7) is an implication bit the logic value of which is determined to be 0 or 1 to meet a constraint condition (such as compressibility) between a logic bit and a predetermined bit. In step SS1, bits other than the implication bit are free bits. In step SS2, the determining means classifies a set of free bits. In step SS3, under the constraint condition (such as compressibility) in relation to an input pattern (5) the determining means specifies from the set of free bits included in the output pattern (7) a set of compatible free bits to which the logic values can be assigned independently from each other.

(57) 要約: 検査対象論理回路に取り付けられる展開器が出力する出力パターンに検査対象論理回路との関係で未定値ビットが含まれる場合に、圧縮の高速化を図る。出力パターン7は未定値ビットを含む。ステップSS1において、判別手段が、出力パターン7内の未定値ビットについて、論理ビットと所定のビット間制約条件(例えば圧縮可能性)とを満たすためには論理値0と論理値1のいずれかであるかが定まる含意ビットであるか否かを判別する処理が行われる。ステップSS1において、含意ビットではないものはフリービットとされる。判別手段が、ステップSS2では、フリービットの集合を分類し、ステップSS3では、出力パターン7に対して、入力パターン5との関係における制約(例えば圧縮可能性)の下で、フリービットの集合のうちからさらに互いに独立して論理値を割り当てる事が可能な両立フリービットの集合を特定する処理を行う。

NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア  
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ  
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,  
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,  
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,  
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

**発明の名称**：生成装置、判別方法、生成方法及びプログラム

### 技術分野

[0001] 本発明は、生成装置、判別方法、生成方法及びプログラムに関し、特に、論理回路に入力されるベクトル内の未定値ビットの種別を判別する判別装置等に関する。

### 背景技術

[0002] IC製造技術が高度になり、設計者達がさらに用途の広いシステムをチップに実現させることを可能にしている一方で、新たなテストの困難も生み出している。例えば、タイミング関連の故障やテストデータ量の増大である。

[0003] 現代の回路は複雑になり、クロック速度が増大し、電源電圧が低下したことでタイミング関連のエラーが起りやすくなっている。結果として、高品質を保証するために遅延テストが必要となっている。

[0004] 遅延テストは、一般的に2パターンテスト方式が採用されている。最初のパターンが回路状態をセットし、2番目のパターンが目的とする遷移を故障箇所では活性化する。故障は、遷移が対象フリップフロップに機能的クロック周期内に伝播されなかった時に検出される。

[0005] 図7は、実時間スキャンテスト方式におけるラウンチオンキャプチャ（LOC）のタイミングを示す図である。

[0006] 2つのキャプチャサイクル $C_1$ 及び $C_2$ の立ち上がりエッジは機能的クロック周期に対応している。この機能的クロック周期を以後、ラウンチサイクルと呼ぶ。 $C_1$ でラウンチされた遷移が $C_2$ までに対象フリップフロップに伝播しなかった場合、テスト対象回路は故障ありと判別される。

[0007] ラウンチオンキャプチャ方式では、ラウンチサイクルにおける電源ノイズによる歩留りの低下に悩まされる。従来の遷移遅延故障用ATPGは、遷移によって引き起こされるラウンチの影響を無視している。生成されたパターンはラウンチサイクルにおいて過度の遷移を引き起こすことも考えられ、そうな

ると過度に高いIRドロップにつながり、結果としてさらなるゲート伝播遅延が生じる。そのさらなる遅延のせいで、タイミング欠陥のない検査対象回路が遅延故障テストをクリアしないことが起こりうる。この問題は、電源ノイズ由来の歩留り低下と呼ばれている。例えば、150MHzクロック周波数で動作する130nmのASIC設計において、回路の中には電源供給が1.55Vを超えるときにのみ遷移欠陥テストをクリアして、そうでなければテストをクリアしないものがある、と報告されている。

[0008] ラウンチサイクルの電源ノイズを削減することを目的としたこれまでの研究は、アーキテクチャに基づく手法とパターンに基づく手法に大別される。ノイズ意識ATPG技術とポストATPGのX-filling技術は、パターンに基づく手法である。パターンに基づく技術の方が、現在のどのフローとも親和性がよく、回路の変更を一切必要としない。X-fillingは、独立に用いられてもATPGに組み込まれても非常に強力である。なぜならX-fillingによって生成されたほとんどのテストパターンは、圧縮後であっても、逆の論理値を割当ててもパターンの故障検出能力が低下しないXビット（未定値ビット）を多く含んでいる。したがって、発生する遷移を効率よく削減するためにXビットに適切に値を割り当てることができるからである。

[0009] 非特許文献1に示されているのは、JP-fillingと呼ばれるもので、このX-fillingの手法は、処理効率がよく、しかもラウンチサイクル電源ノイズを最小化する上でスケラビリティに優れている。部分的に特定されたテストパターンが与えられたとすると、JP-fillingが目的とするのはパターン自体とその出力応答とのHamming距離を低減することである。その結果、フリップフロップのラウンチサイクルにおける遷移が低減し、間接的にラウンチサイクルWSA（重み付遷移）も引き下げられることになる。

[0010] 図8は、JP-fillingのフロー図である。

[0011] まず、ステップS T 1では、3値（0/1/X）論理シミュレーションが行われ、与えられた部分的に特定されたパターンの出力応答が導き出される。続いて、ステップS T 2では、各PPI-PP0ペア（疑似入力信号—疑似出力信号

の対)が図9の表にしたがってタイプA、タイプB、タイプC、タイプDに判別される。これらのペアが、A、B、Cの順に処理される(タイプDはさらなる処理を必要としない)。

[0012] ここで、PPI-PP0ペアについて説明する。一般に、半導体論理回路は主に順序回路である。順序回路は、アンド(AND)ゲート、ナンド(NAND)ゲート、オア(OR)ゲート、ノア(NOR)ゲート等の論理素子からなる組合せ回路部と、回路の内部状態を記憶するフリップフロップとよりなる。この場合、組合せ回路部は、外部入力線(PI)、フリップフロップの出力線である擬似外部入力線(PPI)、外部出力線(P0)、フリップフロップの入力線である擬似外部出力線(PP0)を有する。PPI-PP0ペアとは、擬似外部入力線(PPI)の論理値又は未定値と擬似外部出力線(PP0)の論理値又は未定値との対をいう。

[0013] ステップS T 3では、タイプAか否かが判別され、タイプAの各ペアについては、JP-fillingによってPP0の値がPPIに割り当てられる。ステップS T 4では、タイプBか否かが判別され、タイプBの各ペアについては、PP0をPPIの値によって正当化する。ステップS T 5では、タイプCか否かが判別され、タイプCのペアについてはPPIとPP0に0か1が確率に従って割り当てられる。ここで、全てのタイプAのペアは同時に処理され、タイプBも同様である。タイプCのペアも0である確率と1である確率が所定のしきい値よりも大きなペアについては同時に処理される。このように同時処理可能であることがJP-fillingの処理効率を高いものとしている。

[0014] 図9はタイプA, B, C, Dの一例を示す表を表した図であり、図10はJP-fillingの一例である。丸をつけたPP0はイベント駆動型シミュレーション後に特定されたものである。

[0015] 現代の回路テストにおける困難のうち、以上ではラウンチノイズが引き起こすタイミング関連の故障について述べた。以下ではテストデータ量の増大について述べる。

[0016] 新世代の技術においてテストデータサイズがますます増大した結果、テス

トデータ圧縮は必要な技術となってきた。

[0017] 図 1 1 は圧縮-展開アーキテクチャを示す図である。

[0018] テストの検査対象論理回路 5 1 に対して、展開器 5 3 と圧縮器 5 5 が設けられている。ATE 5 7 から圧縮後のテスト入力が入力器 5 3 に与えられ、その後必要なビット数のテストパターンが検査対象論理回路 5 1 に与えられる。圧縮器 5 5 は圧縮後のテスト応答を ATE 5 7 に戻している。すなわち、展開器 5 3 は ATE 5 7 からの入力パターンを展開して出力される出力パターンを検査対象論理回路 5 1 に対して入力し、圧縮器 5 5 は検査対象論理回路 5 1 からのテスト応答を圧縮する。

[0019] ラウンチノイズ削減 X-filling と同様、テストパターン圧縮技術は検査対象論理回路への入力パターンが圧縮可能になるように X ビットに適切に値を割り当てる。すなわち、例えばラウンチノイズ削減及びテストパターン圧縮といった複数の制約を満たすために X ビットに適切な値を割り当てることが必要となりうる。

## 先行技術文献

### 非特許文献

[0020] 非特許文献 1 : X. Wen, K. Miyase, S. Kajihara, T. Suzuki, Y. Yamato, P. Girard, Y. Ohsumi, L. - T. Wang, “A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing.”、In Proc. International Test Conference, page 25.1.1-23.1.10, 2007

## 発明の概要

### 発明が解決しようとする課題

[0021] ところで、X-filling に基づくラウンチノイズ削減の技術の効率は、割り当てられていない X ビットの割合に大きく依存する。したがって、テストパターンを圧縮するという制約を満たすことを優先した場合、最初にテストパターン圧縮が行われるとラウンチノイズ削減のための X ビットが十分に残らないために電源ノイズ削減の効果は著しく低下する。同様に、ラウンチノイズを削

減するという制約を満たすことを優先した場合、ラウンチノイズ削減X-fillingを最初に実行すると、データ圧縮の性能を低下させることになる。

- [0022] この問題を解決するために、例えばテストパターン圧縮性の保持及びラウンチノイズ削減という複数の制約が課せられている場合においては、用いられるテストパターン圧縮方式と親和性のよいラウンチノイズ削減技術を開発する必要がある。
- [0023] 半導体論理回路がCMOS回路で構成されていれば、消費電力には、漏れ電流による静的消費電力と、論理ゲートやフリップフロップのスイッチング動作による動的消費電力とがある。さらに、後者の動的消費電力には、シフト操作時におけるシフト消費電力と、キャプチャ操作時におけるキャプチャ消費電力とがある。特に、半導体論理回路が超大規模化、超微細化、低電源電圧化した場合、キャプチャ消費電力の増大が引き起こす誤テストによる歩留り低下は顕著である。したがって、キャプチャ消費電力の低減が必要である。
- [0024] 従来技術として、テストデータ圧縮とテスト電力削減を兼ね備えたものがいくつかあるが、それらが考慮しているのはシフトインによって起こる遷移のみであり、ラウンチによって起こる遷移を無視している。これらの従来技術は、瞬間的な電源ノイズが大きいという問題に対処することでキャプチャ消費電力を低減するものではなく、平均的に電力が大きいというシフト消費電力の問題のみを解決するものである。
- [0025] すなわち、従来、高い圧縮可能性と高い電源ノイズ削減率を両立させるX-fillingの手段が提案されていなかった。
- [0026] 図12は、仮に圧縮可能性を保持したJP-fillingを強いて実現しようとした場合に想定されるフロー図である。なお、図12の処理フローは、公知技術ではない。
- [0027] 図8と比較すると分かるように、図12には圧縮可能か否かを判断する処理（ステップS1）と、ビットに割り当てられた論理値を反転させる処理（ステップS2）とが加えられている。さらに、それ以外にも具体的には、以

下の変更が加えられている。

- [0028] 1つ目の変更点は、JP-filling（タイプA、タイプB、タイプCのPPI-PP0ペア用）の高速処理を実現させていたマルチビット割り当てをシングルビット割り当てに置き換えた点である。このような変更が必要であった理由は、複数のXビットに値を同時に割り当てると圧縮性が失われる可能性が高いためである。従来技術のタイプAとタイプCについては、直接PPIのXに論理値を割り当てる処理であるため、複数のXにそれぞれ任意の論理値を割り当てることが可能であった。
- [0029] もう1つの変更点は、以下のものである。圧縮可能性チェッカーでテストパターンがシングルビット割り当て後に圧縮可能であるか否かを判断する（ステップS1）。もし圧縮可能であれば、割り当ては受け入れられる。もし圧縮可能でなければ、その割り当ては却下されて割り当てたビットが反転される（ステップS2）。ここで、初期テストパターンは圧縮感知ATPGで生成されているので圧縮可能である。また、却下された割り当てを反転するステップS2があることでテストパターンが常に圧縮可能であることが保証される。
- [0030] ここで問題は、図12のフローは一度に1つのXビットしか割り当てないので効率的ではないことである。すなわち、シングル割り当てによる割り当て毎に圧縮可能性をチェックすることが必要となり、大幅にテストパターン生成のスピードが低下することとなる。
- [0031] なお、上記では、図11の検査対象回路であるチップに入力されるベクトル内のXビットの存在によって満たされるべき制約は、図11の展開器への入力ベクトルが適切に存在するという制約である圧縮可能性の保持と検査対象回路から課せられる制約であるノイズ削減率の向上であったが、これらの制約は、Xビットの存在によって対処可能な制約であって、ベクトルに課せられる制約であれば他の制約であっても同様である。
- [0032] ゆえに本発明は、論理回路に入力されるベクトルにおいて前記ベクトル内のビットのうち、論理値が決定されていないXビットについて、改善可能な複



数の制約を同時に満たすことを可能とさせるべく、例えば圧縮可能性を保持しつつラウンチノイズ削減率を向上させるべく、ベクトル内のXビットの種別を判別する生成装置等を提供することを目的とする。

### 課題を解決するための手段

[0033] 請求項1に係る発明は、論理回路に入力されるベクトルにおいて、前記ベクトル内のビットのうち、論理値が決定されていない未定値ビットの種別を判別した上で新たなベクトルを生成する生成装置であって、前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値0と論理値1のいずれであるかが定まる未定値ビットを含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものをフリービットとして判別する第1判別手段と、前記含意ビットに前記論理値0と論理値1のいずれかが定まった値を割り当てる含意値割当手段と、前記フリービットを複数の集合に分類する第2判別手段と、前記複数の集合のうち所定の集合に分類される前記フリービットが存在する場合に、前記フリービットのうち、互いに独立して任意の論理値を割り当てても前記所定のビット間制約条件が満たされる両立フリービットをさらに判別する第3判別手段と、前記両立フリービットに論理値0と論理値1のいずれかを割り当てる両立フリービット割当手段とを含み、前記第1判別手段は、前記含意値割当手段及び前記両立フリービット割当手段による割り当て後のベクトルに未定値ビットが存在する場合に、新たに、当該ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値0と論理値1のいずれであるかが定まる未定値ビットを含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものをフリービットとして判別する、生成装置である。

[0034] 請求項2に係る発明は、論理回路に入力されるベクトルにおいて、前記ベクトル内のビットのうち、論理値が決定されていない未定値ビットの種別を判別する判別方法であって、判別手段が、前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値0と論理値1のいずれであるかが定まる未定値ビットを含意ビットとし、前記未定値ビットの

うち前記含意ビット以外のものをフリービットとして判別するステップを含む、判別方法である。

[0035] 請求項 3 に係る発明は、論理回路に入力されるベクトルにおいて、前記ベクトル内のビットのうち、論理値が決定されていない未定値ビットの種別を判別する判別方法であって、判別手段が、前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値 0 と論理値 1 のいずれであるかが定まる未定値ビットを含意ビットとして判別するステップを含む、判別方法である。

[0036] 請求項 4 に係る発明は、論理回路に入力されるベクトルにおいて、前記ベクトル内のビットのうち、論理値が決定されていない未定値ビットの種別を判別する判別方法であって、判別手段が、前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値 0 と論理値 1 のいずれであるかが定まる未定値ビットを含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものであるフリービットの種別を判別するステップであって、前記フリービットのうち、互いに独立して任意の論理値を割り当てても前記所定のビット間制約条件が満たされるビットの集合に含まれる両立フリービットをさらに判別するステップを含む、判別方法である。

[0037] 請求項 5 に係る発明は、論理回路に入力されるベクトルにおいて、前記ベクトル内のビットのうち、論理値が決定されていない未定値ビットの種別を判別した上で新たなベクトルを生成する生成装置における生成方法であって、前記生成装置が備える第 1 判別手段が、前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値 0 と論理値 1 のいずれであるかが定まる未定値ビットを含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものをフリービットとして判別する判別ステップと、前記生成装置が備える含意値割り当て手段が、前記含意ビットに前記論理値 0 と論理値 1 のいずれか定まった値を割り当て、かつ、前記生成装置が備える第 2 判別手段が、疑似入力信号—疑似出力信号の対 (PPI-PP0 ペア) のうち疑似入力信号に前記フリービットが含まれるものが存在するか否かを判別し

、存在する場合に、前記生成装置が備える第3判別手段が、前記フリービットのうち、互いに独立して任意の論理値を割り当てても前記所定のビット間制約条件が満たされる両立フリービットをさらに判別し、前記生成装置が備える両立フリービット割当手段が、前記両立フリービットに論理値0と論理値1のいずれかを一斉に割り当てる割当ステップと、前記第1判別手段が、前記が含意値割当手段及び前記両立フリービット割当手段による割り当て後のベクトルに未定値ビットが存在する場合に、新たに、当該ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値0と論理値1のいずれであるかが定まる未定値ビットを新たな含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものを新たなフリービットとして判別する新判別ステップと、前記含意値割当手段が前記新たな含意ビットに論理値を割り当て、前記第2判別手段、前記第3判別手段及び前記両立フリービット割当手段が、前記新たなフリービットを分類して判別して論理値を割り当てる新割当ステップとを含む生成方法である。

[0038] 請求項6に係る発明は、請求項2から5のいずれかに記載の判別方法をコンピュータに実行させるためのプログラムである。

[0039] ここで、ベクトルの例としてテストベクトルがある。また、パターンは1つ又は複数のベクトルによって構成されるものである。さらに、各請求項に係る発明において、例えば、論理回路に入力されるベクトルを記憶する出力パターン記憶手段、含意値割当手段による割り当て後のフリーパターンを記憶するフリーパターン記憶手段、含意値割当手段及び両立フリービット割当手段による割り当て後の論理パターンを記憶する論理パターン記憶部、テストパターン内のビットに関する情報（例えば、どのビットが論理ビット、未定値ビット、含意ビット若しくはフリービットであるか、又は、どのビットの集合が両立フリービット集合であるか、などの情報）を記憶するビット判別記憶手段などを備え、判別手段等がこれらの記憶手段を参照して処理を行うものであってもよい。

[0040] ここで、請求項1に係る生成装置及び請求項5に係る生成方法において、

判別及び割当の処理から得られたベクトルに対して、2回目の判別及び割当の処理を行いうる構成となっているが、3回目以降の処理を行うものとしてもよい。

### 発明の効果

- [0041] 本発明によれば、論理回路に入力されるベクトルにおいて、前記ベクトル内の論理値が定まっていない未定値ビットのうち、前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによる制約（ここでは「第1の制約」と呼ぶ）を満たすためには特定の論理値を割り当てるべきXビット（含意ビット）とそうではないXビット（フリービット）を判別することが可能となる。したがって、フリービットに適切な論理値を割り当てることによって、さらに別に課せられる新たな制約（ここでは「第2の制約」と呼ぶ）を第1の制約と同時に満たすことが可能となる。
- [0042] しかも、本発明によれば、第1の制約を満たすために未定値ビットでよいフリービットのうち、前記所定のビット間制約条件とによる制約の下で、互いに独立して論理値を割り当てても前記所定のビット間制約条件が満たされる両立フリービットをさらに判別することができる。したがって、同時に割り当てることのできる両立フリービットを特定できるため、両立フリービットに論理値を同時に割り当てることによって、図12に示した仮に想定したものに比べてもベクトルの圧縮可能性を保持したまま高速な処理を実現できる。
- [0043] さらに、本願の請求項1及び5に係る発明によれば、第1の制約と第2の制約を同時に満たすベクトルを生成することが可能になる。しかも、そのようなベクトルを高速な処理によって生成することが可能となる。
- [0044] したがって、例えばラウンチサイクル電源ノイズが小さい上に圧縮可能なテストパターンを生成する、圧縮と親和性がよく効率もよいJP-fillingの手法を開発することが可能である。実験によれば、提案する発明に基づく手法はISCAS' 89、ITC' 99、1つの実用回路によって有用性が実証されている。提案する手法は、故障検出率を維持したまま、第1の制約に相当するテスト

集合の圧縮可能性も保持し、さらに第2の制約に相当するラウンチサイクルW SAの削減については、最大規模の回路で26%、その他の回路も含めて平均して17%削減した。

[0045] さらに、故障リストをシャッフルするメカニズムが導入することで、ローカルな最適解から脱することに役立てることができ、この手続きは大規模実用回路において非常に有効である。

### 図面の簡単な説明

[0046] [図1]本発明の実施の形態にかかる出力パターンの生成方法を説明するフロー図である。

[図2]本発明の実施の形態において出力パターンのビットを判別して論理値を割り当てる情報処理装置のブロック図である。

[図3]CSNRテストフロー図である

[図4]図3における圧縮可能な電源ノイズ削減ATPG（ステップSST5）の詳細を示したフロー図である。

[図5]本発明の実施の形態に係るCJP-fillingフローを示すフロー図である。

[図6]本発明のCJP-fillingによってテストベクトルから両立フリービット集合が特定されるフローの一例を示す図である。

[図7]実時間スキャンテスト方式におけるラウンチオンキャプチャ（LOC）のタイミングを示す図である。

[図8]JP-fillingフロー図である。

[図9]タイプA, B, C, Dの一例を示す表を表した図である。

[図10]JP-fillingの一例である。

[図11]圧縮-展開アーキテクチャを示す図である。

[図12]公知ではないが、圧縮可能性を保持したJP-Fillingを強いて実現しようとした場合のフロー図である。

### 発明を実施するための形態

[0047] 以下では、線形展開器に基づく方式に着目した内容になっている。この方式はコードに基づく方式やスキャン送信に基づく方式と比べて、圧縮率が高

く、ハードウェアへの負担が非常に軽い点が優れている。その上、この方式は実用回路の分野で広く用いられている。

[0048] 次に、ここで提案する手法は「圧縮可能で電源ノイズの少ないテスト」(Compressible Supply Noise Reduced Test)と呼んでおり、今後は便宜上、CSNRテストと省略する。CSNRテストの詳細を述べる前に、含意XビットとフリーXビットの概念を改めて導入してXビットがフリービットと含意ビットにどのように決定されるかを述べる。

[0049] <定義1> 圧縮可能なパターンにおけるXビットに0(1)を割り当てた後に得たパターンが圧縮可能であるとき、そのXビットは「0(1)圧縮可能」という。

<定義2> 圧縮可能なパターンにおけるXビットが0圧縮可能かつ1圧縮可能であるとき、そのXビットは「フリービット」という。

<定義3> 圧縮可能なパターンにおけるXビットが0圧縮可能または1圧縮可能であるがその両方ではない時、そのXビットは「含意ビット」という。

<定義4> 0圧縮可能な含意ビットの「含意値」は0とし、1圧縮可能な含意ビットの「含意値」は1とする。

<定義5> 部分的に特定されたパターンのXビットが全てフリービットであるとき、そのパターンは「フリーパターン」という。

[0050] 下の例ではフリービットと含意ビットの例を述べる。次の線形系を考える。

[0051] [数1]

$$\begin{bmatrix} 1 & 1 & 1 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 0 & 0 & 1 \\ 0 & 1 & 1 & 1 \end{bmatrix} \cdot \begin{bmatrix} y_1 \\ y_2 \\ y_3 \\ y_4 \end{bmatrix} = \begin{bmatrix} z_1 \\ z_2 \\ z_3 \\ z_4 \end{bmatrix} = \begin{bmatrix} X \\ X \\ 1 \\ 0 \end{bmatrix}$$

[0052] この例では $z_3$ 及び $z_4$ それぞれ 1、0と決定されている。対応する線形方程式は次のものである。

$$y_1+y_2+y_3=z_1 \quad (1)$$

$$y_1+y_3=z_2 \quad (2)$$

$$y_1+y_4=1 \quad (3)$$

$$y_2+y_3+y_4=0 \quad (4)$$

[0053] (1)式、(3)式、(4)式より、以下のようになる。なお、排他的論理和 (EXOR) の計算であるため、 $0+1=1$ 、 $0+0=0$ 、 $1+1=0$ となる。よって式(5)から式(6)への変形においては $y_4+y_4=0$ を用いている。

$$z_1=y_1+y_2+y_3 \quad (5)$$

$$=(y_1+y_4)+(y_2+y_3+y_4) \quad (6)$$

$$=1+0 \quad (7)$$

$$=1 \quad (8)$$

[0054] 上記の式から分かるように、 $z_1$ の値は $z_3$ 及び $z_4$ から暗に特定されている。M行列の観点から、 $z_1$ の行ベクトルとMの第1行ベクトルが $z_3$ 及び $z_4$ の行ベクトルで生成されうるので、(8)式が導き出される。定義より、 $z_1$ は1圧縮可能な含意ビットである。逆に、(2)式につながる(3)式と(4)式の線形結合は見つけれない。すなわち、 $z_2$ の行ベクトルを $z_3$ 及び $z_4$ の行ベクトルで生成することはできない。 $z_2$ には0も1も割り当てることが可能である。したがって $z_2$ は0圧縮可能かつ1圧縮可能であり、定義よりフリービットとなる。

[0055] <定理1> 圧縮可能なテストパターンVに対して、Xビットの行ベクトルが特定されたビットの行ベクトルによって生成されるとき、そのXビットは含意ビットであり、生成されなければフリービットである。

[0056] (証明) Xビットの行ベクトルが特定されたビットの行ベクトルのいくつかによって生成され得るとき、そのXビットの値は上記の例で $z_1$ の値を算出したのと同様に算出可能である。したがって、このXビットは含意ビットである。

[0057] 次に、定理の後半を証明する。テストパターンは圧縮可能であるので、

$$\text{Rank}([M_s | V_s]) = \text{Rank}(M_s) = r \quad (9)$$

となる。行ベクトルが $M_s$ によって生成されない $X$ ビットを考える。この $X$ ビットの行ベクトルを $M_s$ の行ベクトルに加えて得られる行列を $M_s'$ とする。 $M_s'$ の階数は $r + 1$ である。結果として対応する拡大係数行列もこの $X$ ビットに0あるいは1のどちらかが割り当てられるかに関わらず階数は $r + 1$ となる。したがって、定義よりこの $X$ ビットはフリービットである。(証明終わり)

[0058] <補助定理> 圧縮可能なテストパターン $V$ に対して、含意ビットに含意値を割り当ててもそのテストパターンの圧縮可能性に影響はない。

[0059] (証明) 含意値の割り当て前に $\text{Rank}([M_s | V_s]) = r$ であるとする。割り当てられた $X$ ビットは含意ビットなので定理1で定義した $M_s'$ に対して $\text{Rank}(M_s') = r$ である。含意値が産出された方法によると割り当て後に得られるテストパターン $V_s'$ に対して $\text{Rank}([M_s' | V_s']) = r$ が保証される。以上で補助定理が証明された。(証明終わり)

[0060]  $X$ ビットがフリービットであるか含意ビットであるかを決定する1つの方法は以下の通りである。

1.  $M_s$ の基底を算出し、その基底における行ベクトル集合を $B$ とする。
2.  $X$ ビットの行ベクトルが $B$ によって生成可能かどうかをチェックする。生成可能であればその $X$ ビットは含意ビットであり、生成可能でなければフリービットである。

[0061] ただし、フリービットは他のフリービットが特定された後で含意ビットになる可能性がある。したがって、 $X$ ビット判別は $X$ ビットへの割り当てを行う度に実行しなければならない。

[0062] 図1は、本発明の実施の形態にかかる出力パターン(本願請求項の「ベクトル」の一例)の生成方法を説明するフロー図である。なお、以下では、図11の展開器53にあたる論理回路を「前段論理回路」の一例とし、同じく図11の検査対象論理回路にあたる論理回路を「後段論理回路」の一例とする。前段論理回路の出力パターンは後段論理回路への入力パターンでもある



。また、以下では、特に断らない限り、「入力パターン」あるいは「出力パターン」とは前段論理回路への入出力パターンを指す。

[0063] 図2は、本発明の実施の形態において出力パターンのビットを判別して論理値を割り当てる情報処理装置のブロック図である。情報処理装置9は、出力パターンにおいて未定値ビットを判別する判別部11と、未定値ビットに論理値を割り当てる割当部12と、ベクトルやベクトル内のビットに関する情報を記憶する記憶手段である記憶部21とを備える。判別部11は、出力パターンにおいて未定値ビットを含意値ビットとフリービットとに判別する判別部13（本願請求項の「第1判別手段」の一例）と、PPI-PP0ペアに基づいてフリービットを分類するフリービット分類部14（本願請求項の「第2判別手段」の一例）と、フリービットの集合のうち、両立フリービットを特定する両立フリービット特定部15（本願請求項の「第3判別手段」の一例）とを備える。割当部12は、含意ビットに論理値を割り当てる含意値割当部17（本願請求項の「含意値割当手段」の一例）と、両立フリービットに論理値を割り当てる両立フリービット割当部19（本願請求項の「両立フリービット割当手段」の一例）とを備える。記憶部21は、与えられた出力パターン7を記憶する記憶手段である出力パターン記憶部23と、フリーパターンを記憶する記憶手段であるフリーパターン記憶部25と、全てのビットに値が割り当てられた論理パターンを記憶する記憶手段である論理パターン記憶部27と、テストパターン内のビットに関する情報、例えばどのビットが論理ビット、未定値ビット、含意ビット若しくはフリービットであるか、又は、どのビットの集合が両立フリービット集合であるかといった情報を記憶する記憶手段であるビット判別記憶部29とを備える。

[0064] 図1及び図2を参照して、具体的には、図11に示した圧縮-展開アーキテクチャを示す図がイメージされ、その展開器53に対応するものが前段論理回路1に対応し、その圧縮器55に対応するものが後段論理回路3に対応する。簡単に説明すると、入力パターン5が前段論理回路1に入力され、前段論理回路1では例えばビット展開が行われて出力パターン7として出力され

、その出力パターン7は後段論理回路3に対しては入力パターン（例えばテストベクトル）として入力される。

[0065] このような出力パターン7に対して、以下の処理が行われる。まず、出力パターン7は、出力パターン記憶部23に記憶される。出力パターン7は後段論理回路3との関係における制約（例えば故障検出）により未定値ビットを含む。出力パターン7は、後段論理回路3が検査対象論理回路であれば、テストではテストキューブと言われる。ステップS S 1において、情報処理装置9内の判別部11内のX判別部13によって、出力パターン7内の未定値ビットについて、前段論理回路1を介したベクトル内の論理ビットと所定のビット間制約条件とによる制約を満たすためには論理値0と論理値1のいずれかであるかが定まる含意ビットであるか否かを判別する処理が行われる。ステップS S 1において、出力パターン7内の未定値ビットであって含意ビットではないものはフリービットとされる。どのビットが含意ビットでどのビットがフリービットであるかは、ビット判別記憶部29に記憶される。

[0066] ここで本実施例では、フリービットとは以下のものとなる。出力パターン7に課せられる後段論理回路3との関係における制約（例えば故障検出）を満たすためには論理値0と論理値1とのいずれでもよい出力パターン7内の未定値ビットであって前段論理回路1を介したベクトル内の論理ビットと所定のビット間制約条件とによる制約を満たすためにも論理値0と論理値1とのいずれでもよいビットである。

[0067] ステップS S 2において、フリービット分類部14が、PPI-PP0ペアに基づいてフリービットを複数の集合に分類する。分類されたフリービットの一部は、ステップS S 3において、判別部11内の両立フリービット特定部15によって、出力パターン7に対して、論理回路1を介したベクトル内の論理ビットと所定のビット間制約条件とによる制約（例えば圧縮可能性）の下で、フリービットのうちからさらに互いに独立して論理値を割り当てることが可能な両立フリービットを特定する処理が行われる。どのビットの集合が両立フリービット集合であるかは、ビット判別記憶部29に記憶される。

- [0068] なお、含意ビットには含意値割当部 17により、両立フリービットには両立フリービット割当部 19により、それぞれ論理値が割り当てられて論理ビットとなる。全ての含意ビットに論理値が与えられた後のフリーパターンは、フリーパターン記憶部 25に記憶される。割り当て後のベクトルに未定値ビットが存在する場合には、さらにステップ S S 1~3が続けられる。全ての未定値ビットに論理値が割り当てられた論理パターンは、論理パターン記憶部 27に記憶される。
- [0069] 以下、より具体的に説明を行う。
- [0070] 図 3は、CSNRテストフロー図である。
- [0071] まず、圧縮可能な実時間テストパターン、すなわちEDTスタンダードを生成するATPGを用いて圧縮可能な初期テスト集合を得る（ステップ S S T 1）。続いてCSNRテストはテスト集合精製プロセスに入ってラウンチサイクル電源ノイズを低減する（ステップ S S T 2以降）。各精製反復ではラウンチサイクルWSAが現在のテスト集合における最大ラウンチサイクルWSAの99%以上となるパターン集合が特定される（ステップ S S T 2~S S T 7）。Pで表されるこれらのパターンは高電源ノイズのパターン集合を形成し、精製されるべきものである。しきい値を99%としたのは、各反復において最大ラウンチサイクルWSAを少なくとも1%は低減するためである。
- [0072] Pが一度特定されると、Pはテスト集合から除外され（ステップ S S T 3）、Pでしか検出できない故障の集合Fを特定するために故障シミュレーションが実行される（ステップ S S T 4）。ラウンチサイクルノイズ感知ATPGはFに含まれる故障を対象化する（ステップ S S T 5）。新たに生成されたパターンが最大ラウンチサイクルWSAを改善すればそのパターンは受け入れられ、そうでなければ却下される（ステップ S S T 6~8）。後者の場合、CSNRテストはF内の故障の順序をシャッフルして精製プロセスに再び投入する（ステップ S S T 9）。このようにシャッフルすることでCSNRテストがローカルな最適解にトラップされずに済む。CSNRテストが連続して5回の反復の間に、すなわち5回のシャッフルの間に最大ラウンチサイクルWSAを改善できなければ、

精製プロセスは終了される。実験では、シャッフル回数をもっと多く許容することで最大規模の回路3つについて大幅な改善が見られた。

[0073] 図4は、図3における圧縮可能な電源ノイズ削減ATPG（ステップS S T 5）の詳細を示したフロー図である。

[0074] このフロー図はEDT標準のものを修正したものである。修正を加えた部分について説明を以下のように行う。ステップS S S 8、S S S 9が拡張したステップを示しており、新規な動的圧縮制限と圧縮可能なJP-fillingを含んでいる。前者（ステップS S S 8）は生成パターンが十分なXビットを残していることを保証し、後者（ステップS S S 9）が低ラウンチノイズのXビットへの割り当てを実行する。追加した動的圧縮制限の1つの副作用としてテスト集合サイズが増大する。しかし、CSNR ATPGは高ノイズパターンのみが検出できた故障のみを対象とするので、実験結果には深刻なテスト集合サイズの増大は見られなかった。

[0075] 図1で概念的に示したが、圧縮可能なJP-filling（Compressible JP-filling: CJP-filling）はCSNR-ATPGの核となる技術である。この技術はラウンチサイクルノイズの低減とテストパターンの圧縮を密接に統合したものである。このことを以下で図5を用いて説明する。図12に示したアプローチに比べ、図5に提案するCJP-fillingは（タイプA及びタイプCのペアに対して）マルチビット割り当てを可能にすると共に含意ビットに対して不要な割り当てをしないことによってCPU時間を大幅に改善する。

[0076] 図5は、本発明の実施の形態に係るCJP-fillingフローを示すフロー図である。

[0077] このフロー図は2段階に分けることができる。上部部分はパターンを自由なままに保つ段階Iからなる。下部部分は圧縮可能なラウンチノイズ削減割り当てを行う段階IIからなる。パターン中の全てのXビットに論理値が割り当てられるまでこのループが繰り返される。

[0078] 段階Iでは、まず現在のパターンと関連した基底をATPG又は段階IIのものから導出又は更新（「基底更新」）する（ステップS S S T 1）。更新され

た基底に基づいて、「X判別」においてXビットは含意ビット又はフリービットに判別される（ステップS S S T 2）。全ての含意ビットはそれぞれの暗に特定された論理値が割り当てられる（ステップS S S T 3）。補助定理によるとこれらの割り当ては圧縮可能でなければならない。特定処理と段階Iにおける含意値の割り当てによってGJP-fillingは不要あるいは不適切な割り当てを段階IIでせずに済む（ステップS S S T 4）。このことによってループが実行される回数が大幅に削減され、したがってGJP-fillingの効率が向上する。

[0079] 段階IIでは、イベント駆動型のシミュレーションが最初に行われ（ステップS S S T 5）、現在のパターンの出力応答を得る。それからPPI-PP0ペアが判別され（ステップS S T 6）、次のように処理される。

[0080] ステップS S S T 7ではタイプA (X, 0/1) か否かが判別され、ステップS S S T 8ではタイプB (0/1, X) か否かが判別され、ステップS S S T 9ではタイプC (X, X) か否かが判別される。

[0081] タイプAの場合には、まず、圧縮可能性に影響を与えることなく任意に値を割り当てることのできるXビット集合を特定する両立フリービット集合特定（CFBS特定）を実行する（ステップS S S T 10）。続いて、オリジナルのJP-filling法を用いてこれらのXビットに値を割り当てる（ステップS S S T 11）。得られたパターンは圧縮可能であることが保証されている。

[0082] タイプBの場合には、このステップS S S T 12の処理は図12に示したフローにおけるものと同じである。シングル割り当てが行われる場合は、テストパターンがフリーなので、この割り当ては圧縮可能である。

[0083] タイプCの場合には、タイプAと同様、同時に割り当てることのできるXビット集合がまず特定される（CFBS特定（ステップS S S T 13））。続いてこれらのXビットに値を割り当てるためにオリジナルのJP-filling法が用いられる（ステップS S S T 14）。

[0084] ただし、段階IとCFBS特定は、段階IIで新たに割り当てられた各Xビットの行ベクトルが1つ前と最新のビット（それ自身は除外する）の行ベクトルに

よっては生成され得ないことを保証する。したがって、段階 I の「基底更新」は単に段階 II で新たに割り当てられたビットの行ベクトルを基底に加えるだけの処理となる。

[0085] 図 6 に本発明の GJP-filling によってテストベクトルから両立フリービット集合が特定されるフローの一例を示す。与えられた初期テストベクトル 3 1 は故障検出のためには 0 でも 1 でもよい X ビットを含んでおり、圧縮可能なベクトルである。この初期テストベクトル 3 1 に対して、図 5 の X 判別ステップ SSST2 において圧縮可能性を保持するためには値が定まる含意ビットが判別され、ステップ SSST3 において含意ビットに含意値が割り当てられて中間テストベクトル 3 3 が生成される。ステップ SSST7 あるいはステップ SSST9 においてそれぞれタイプ A あるいはタイプ C と分類された PPI-PP0 ペアの X ビットに関しては、ステップ SSST10 あるいはステップ SSST13 において生成された中間テストベクトル 3 3 に含まれる X ビット（フリービット）のうち、圧縮可能性を保持したまま互いに独立に論理値を割り当てることのできるビットの集合に含まれるビットを両立フリービットとして判別し、両立フリービット集合（CFBS）3 5 を特定する。特定された両立フリービット集合 3 5 に対してはマルチ割り当てが実行されることで高速な処理が実現される。

[0086] 次の定理は CFBS 特定の基礎を与えるものである。

<定理 2> フリービットの集合はランダムに同時に割り当てることが可能であり、得られるパターンは、この集合のどのフリービットの行ベクトルも割り当て以前の基底とこの集合の他のフリービットとの結合によって生成されないとき、圧縮可能である。

[0087] （証明） フリー X ビットの集合を  $\chi$  とする。 $\chi$  のサイズを  $q$  とし、 $\text{Rank}(M_s) = r$  とする。 $\chi$  の性質から一斉にランダムに割り当てた後、 $\text{Rank}(M_s') = r+q$  であり、したがって  $\text{Rank}([M_s' | V_s']) = r+q$  となる。このことは定理を証明している。（証明終わり）

[0088] タイプ A 及びタイプ C に対してヒューリスティクスである CFBS 特定は以下のようなものである。これらのペアはフリップフロップの重み、すなわちフ

アンアウトサイズに従って昇順に並べられる。こうして、大きな重みを持つフリップフロップを最初に考慮するのはそれらがラウンチノイズ削減に大きな影響を有するからである。選択プロセスは以下の通りである。

- [0089] 1. リスト内の最初の未処理ペアを対象ペアとして選択する。
2. 対象ペアのXビットの行ベクトルが現在の基底によって他のベクトルによって生成できない場合、対象ペアのXビットが選択され、そのXビットの行ベクトルが基底に追加される。
3. 未処理ペアがある場合、1.に戻る。

[0090] このようにして選択されたXビットはランダムかつ同時に値を割り当てることができる。したがって、タイプA及びタイプCのペアに対するJP-filling法を用いてこれらの選択されたXビットを一斉に対象とすることができる。

[0091] CFBS特定はCJP-filling効率をさらに引き上げることができる。その理由は以下の通りである。

[0092] 第一の理由は、CFBS特定はマルチ割り当てを可能にするため、ループが実行される回数を削減できるからである。第二の理由は、GPUにかかる負担が小さいからである。なぜなら、CFBS特定は処理したペアのXビットを暗に判別して選択されたビットに対して「基底更新」を実行しているからである。選択されなかったXビットは含意ビットである一方、選択されたビットの行ベクトルは基底に加えられている。言い換えると、「基底更新」及び「X判別」のいくつかの操作はCFBSにおいてよりよい用法モデルで実行されている。

[0093] 以下の定理が性能分析の基礎を与える。

<定理3> 圧縮可能なテストパターンVに対して、CJP-fillingループが実行された最大回数はATEからの自由変数の数からCJP-filling以前の基底のサイズを差し引いた数に等しい。

[0094] (証明) 最初は $M_s$ の階数はCJP-filling前の基底のサイズに等しい。最終的には $M_s$ すなわちMの階数は自由変数の数以下となっている。したがって、この定理は各ループで $M_s$ の階数が増加していれば証明されたことになる。そしてこのことはタイプBのペアが処理される場合にはフリービットへのシングル

割り当てが実行されるので正しい。そしてこのことはタイプA及びタイプCのペアが処理される場合にも正しい。なぜなら  $q$  個のビットが一斉に割り当てられるとCFBS特定によって  $M_s$  の階数が  $q$  だけ増加することが保証されるからである。以上で定理は証明された。(証明終わり)

[0095] 以下では、図12のCJP-fillingのフローと今回提案する図5のCJP-fillingのフローを比較する。まず、ループ実行回数はおおよそ同じである。これは  $X$  ビット判別、CFBS特定、圧縮可能性チェックがすべてガウス消去法に基づいているからである。次に、今回提案する図5のCJP-fillingループの実行回数は自由変数の数よりも小さい(定理3)が、素朴なCJP-fillingは  $m-1/2$  回ループを実行する。最後に、スピードアップ因子はおおよそ  $(m-1/2)/l=m/l-0.5$  である。ここで、第1項は展開器の圧縮速度である。

[0096] なお、本実施の形態では、前段論理回路の一例として展開器を示したが、その回路が順序回路である必要はなく、組み合わせ回路でもよいし、前段論理回路あるいは後段論理回路がソフトウェアであってもよい。

[0097] また、本実施の形態では前段論理回路と後段論理回路が物理的に接続された例を示したが、前段論理回路と後段論理回路は分離した状態であってもよい。

[0098] さらに、本実施の形態では与えられた出力パターンを出力パターン記憶部23が記憶してからステップS51が始まるとしたが、出力パターン記憶部23が与えられた出力パターンを与えられたまま正確に記憶する限り、他のタイミングで記憶するとしてもよい。

[0099] さらに、本実施の形態では  $X$  判別の後に両立フリービット集合の特定を行ったが、 $X$  判別又は両立フリービット集合特定の各処理はそれぞれ単独で用いられてもよい。

[0100] さらに、本実施の形態ではベクトルが検査対象回路の故障検出に用いられる場合について示したが、ベクトルは故障診断あるいは回路の設計検証に用いられる場合であってもよい。

## 符号の説明



- [0101]   SS 1    X判別ステップ
- SS 3    両立フリービット特定ステップ
- SSST 2   X判別ステップ
- SSST 10、13   両立フリービット特定ステップ

## 請求の範囲

[請求項1]

論理回路に入力されるベクトルにおいて、前記ベクトル内のビットのうち、論理値が決定されていない未定値ビットの種別を判別した上で新たなベクトルを生成する生成装置であって、

前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値0と論理値1のいずれであるかが定まる未定値ビットを含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものをフリービットとして判別する第1判別手段と、

前記含意ビットに前記論理値0と論理値1のいずれか定まった値を割り当てる含意値割当手段と、

前記フリービットを複数の集合に分類する第2判別手段と、

前記複数の集合のうち所定の集合に分類される前記フリービットが存在する場合に、前記フリービットのうち、互いに独立して任意の論理値を割り当てても前記所定のビット間制約条件が満たされる両立フリービットをさらに判別する第3判別手段と、

前記両立フリービットに論理値0と論理値1のいずれかを割り当てる両立フリービット割当手段とを含み、

前記第1判別手段は、前記含意値割当手段及び前記両立フリービット割当手段による割り当て後のベクトルに未定値ビットが存在する場合に、新たに、当該ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値0と論理値1のいずれであるかが定まる未定値ビットを含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものをフリービットとして判別する、生成装置。

[請求項2]

論理回路に入力されるベクトルにおいて、前記ベクトル内のビットのうち、論理値が決定されていない未定値ビットの種別を判別する判別方法であって、

判別手段が、前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値0と論理値1のいずれであるか

が定まる未定値ビットを含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものをフリービットとして判別するステップを含む、判別方法。

[請求項3]

論理回路に入力されるベクトルにおいて、前記ベクトル内のビットのうち、論理値が決定されていない未定値ビットの種別を判別する判別方法であって、

判別手段が、前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値0と論理値1のいずれであるかが定まる未定値ビットを含意ビットとして判別するステップを含む、判別方法。

[請求項4]

論理回路に入力されるベクトルにおいて、前記ベクトル内のビットのうち、論理値が決定されていない未定値ビットの種別を判別する判別方法であって、

判別手段が、

前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値0と論理値1のいずれであるかが定まる未定値ビットを含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものであるフリービットの種別を判別するステップであって、

前記フリービットのうち、互いに独立して任意の論理値を割り当てても前記所定のビット間制約条件が満たされるビットの集合に含まれる両立フリービットをさらに判別するステップを含む、判別方法。

[請求項5]

論理回路に入力されるベクトルにおいて、前記ベクトル内のビットのうち、論理値が決定されていない未定値ビットの種別を判別した上で新たなベクトルを生成する生成装置における生成方法であって、

前記生成装置が備える第1判別手段が、前記ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値0と

論理値 1 のいずれであるかが定まる未定値ビットを含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものをフリービットとして判別する判別ステップと、

前記生成装置が備える含意値割当手段が、前記含意ビットに前記論理値 0 と論理値 1 のいずれか定まった値を割り当て、

かつ、

前記生成装置が備える第 2 判別手段が、疑似入力信号—疑似出力信号の対 (PPI-PP0ペア) のうち疑似入力信号に前記フリービットが含まれるものが存在するか否かを判別し、存在する場合に、前記生成装置が備える第 3 判別手段が、前記フリービットのうち、互いに独立して任意の論理値を割り当てても前記所定のビット間制約条件が満たされる両立フリービットをさらに判別し、前記生成装置が備える両立フリービット割当手段が、前記両立フリービットに論理値 0 と論理値 1 のいずれかを一斉に割り当てる割当ステップと、

前記第 1 判別手段が、前記が含意値割当手段及び前記両立フリービット割当手段による割り当て後のベクトルに未定値ビットが存在する場合に、新たに、当該ベクトル内の値が定まっている論理ビットと所定のビット間制約条件とによって論理値 0 と論理値 1 のいずれであるかが定まる未定値ビットを新たな含意ビットとし、前記未定値ビットのうち前記含意ビット以外のものを新たなフリービットとして判別する新判別ステップと、

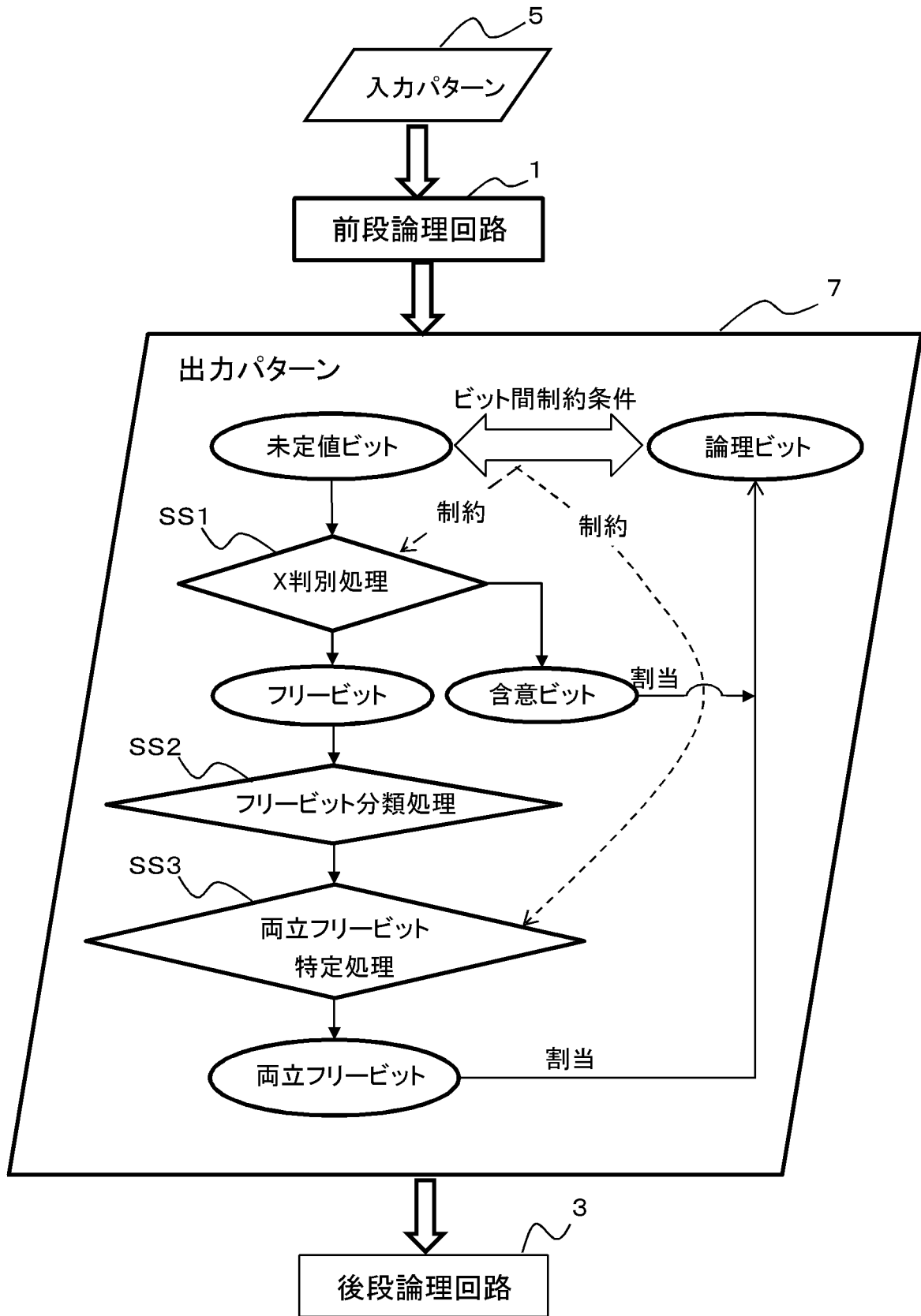
前記含意値割当手段が前記新たな含意ビットに論理値を割り当て、前記第 2 判別手段、前記第 3 判別手段及び前記両立フリービット割当手段が、前記新たなフリービットを分類して判別して論理値を割り当てる新割当ステップと

を含む生成方法。

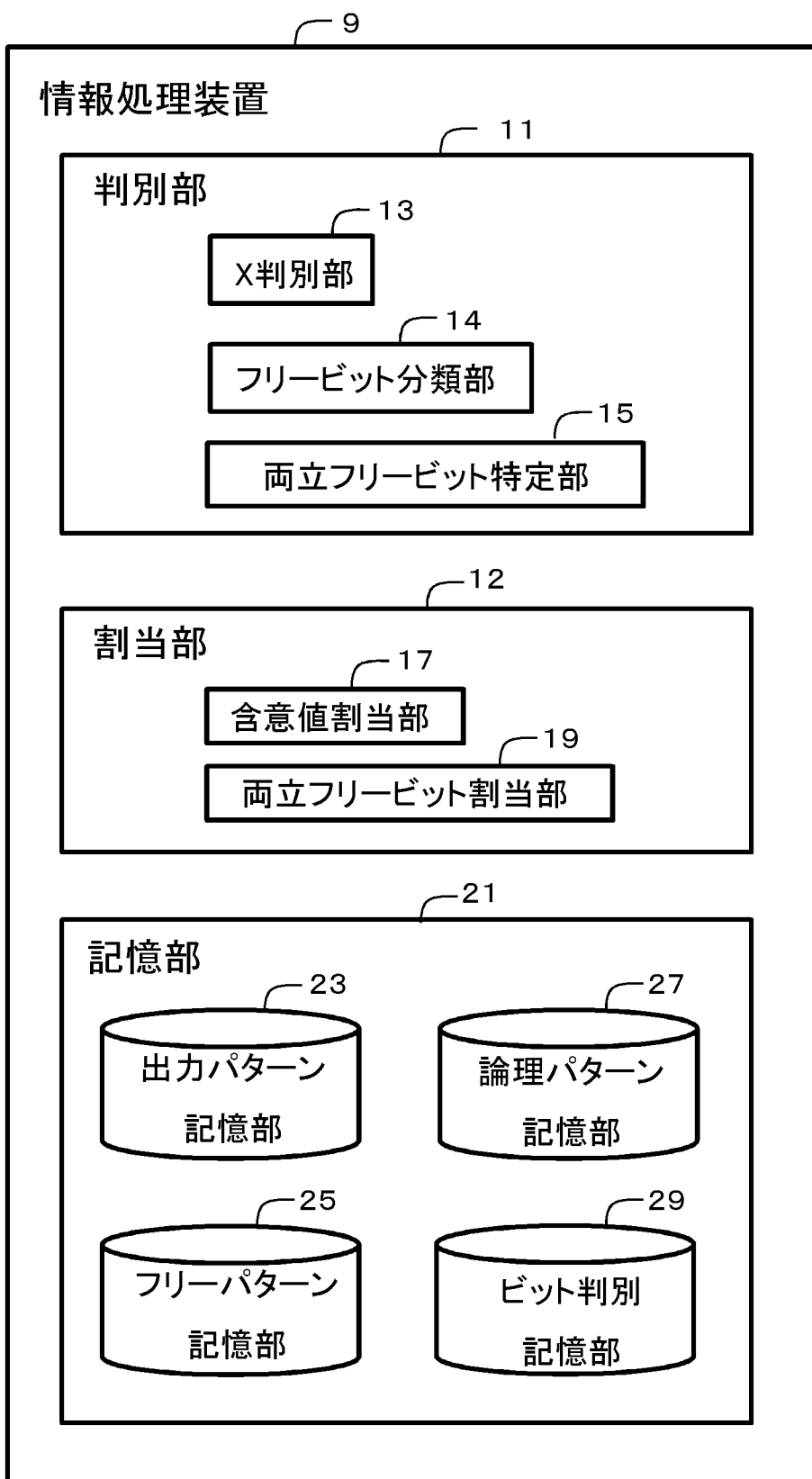
[請求項 6]

請求項 2 から 5 のいずれかに記載の方法をコンピュータに実行させるためのプログラム。

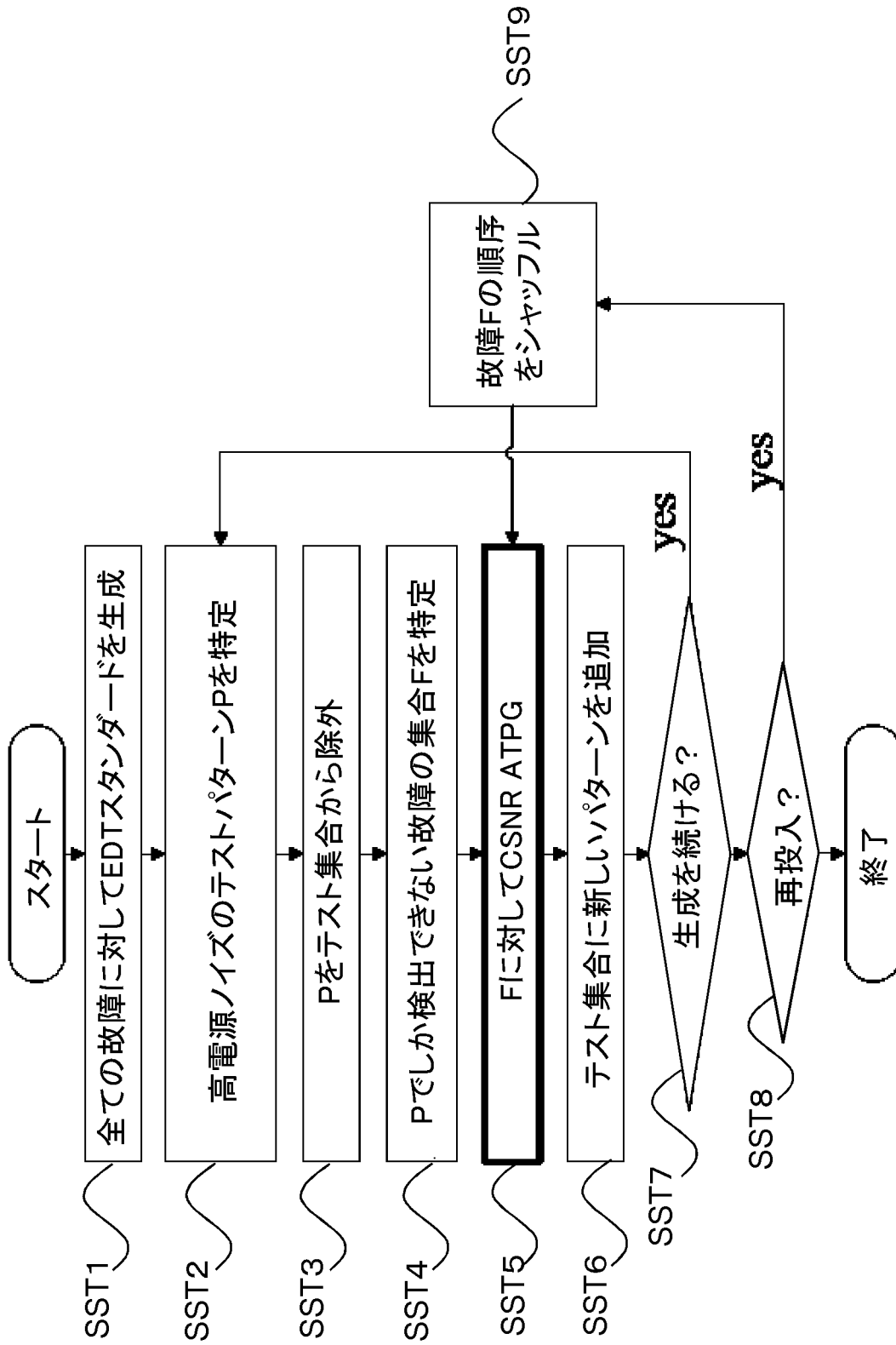
[図1]



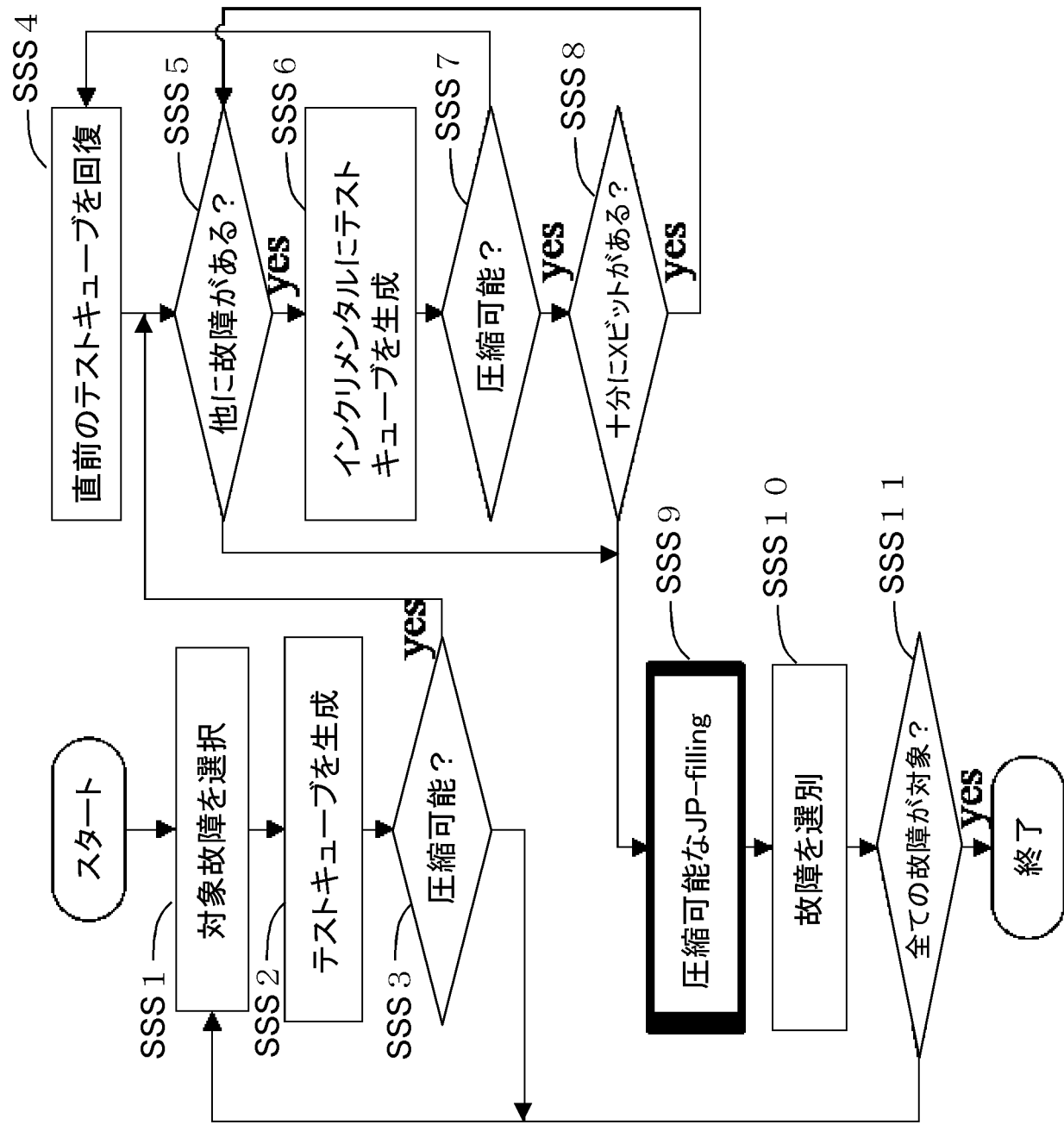
[図2]



[図3]

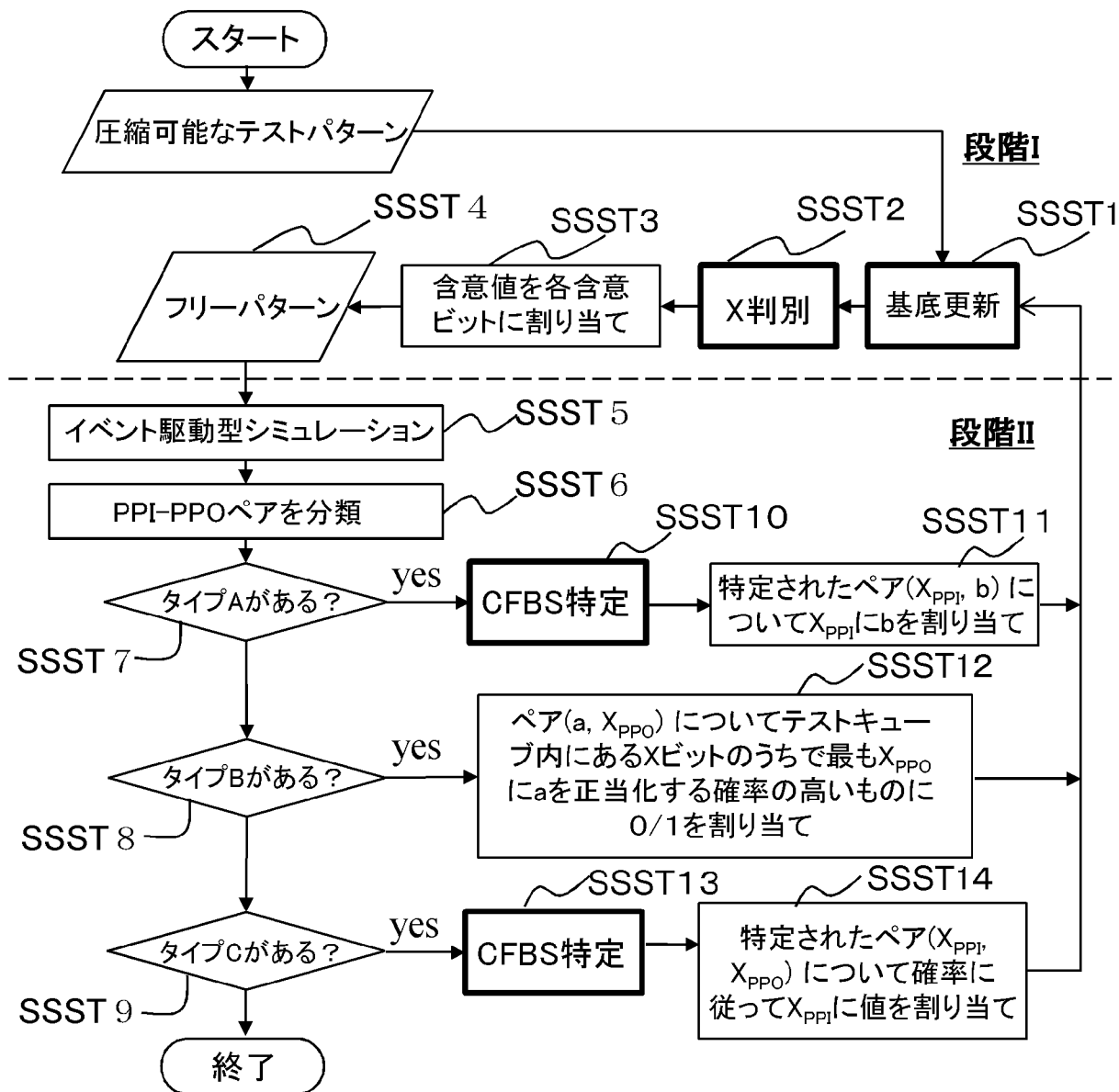


[図4]





[図5]



[図6]

初期テストベクトル

(X 0 1 X X X X X 0 1 X X) ~ 31

含意ビットを判別して  
含意値を割り当てる

中間テストベクトル

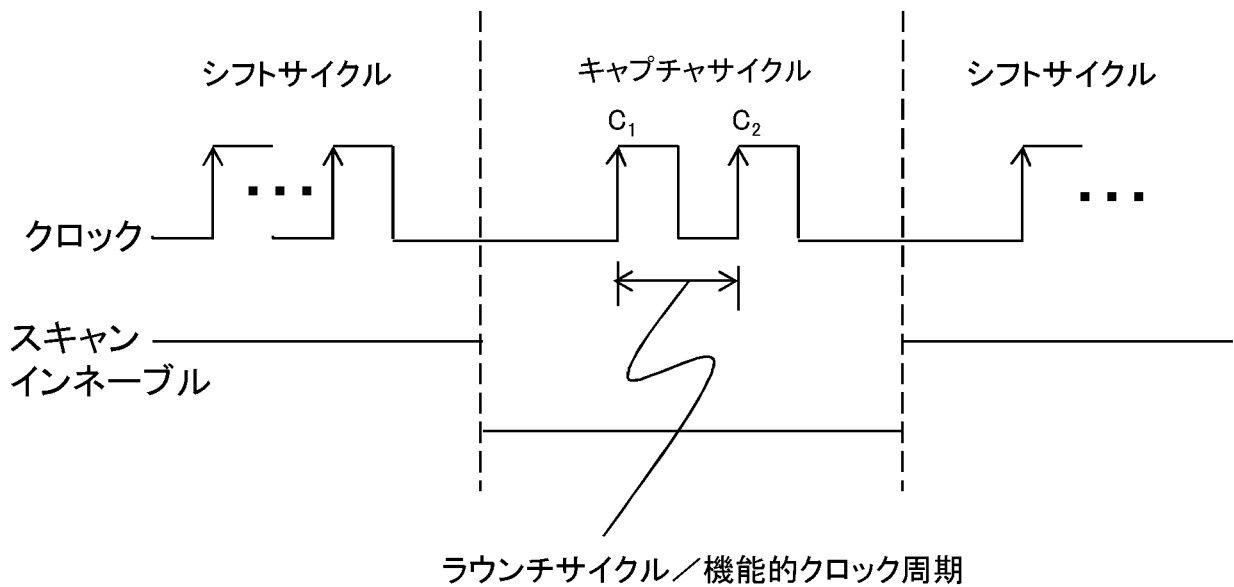
(1 0 1 X X X X X 0 1 X 0) ~ 33

両立フリービット集合特定

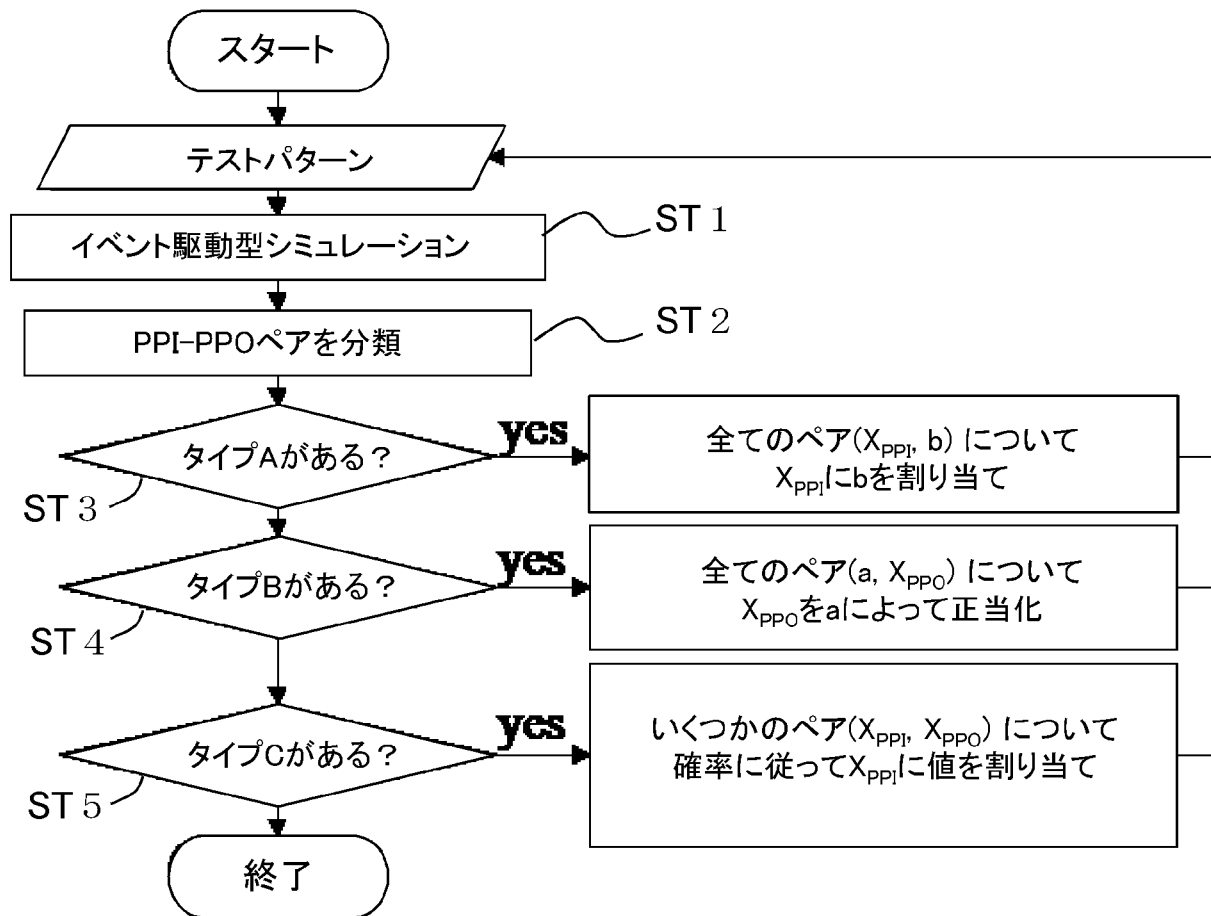
両立フリービット集合

( X X X X X ) ~ 35

[図7]



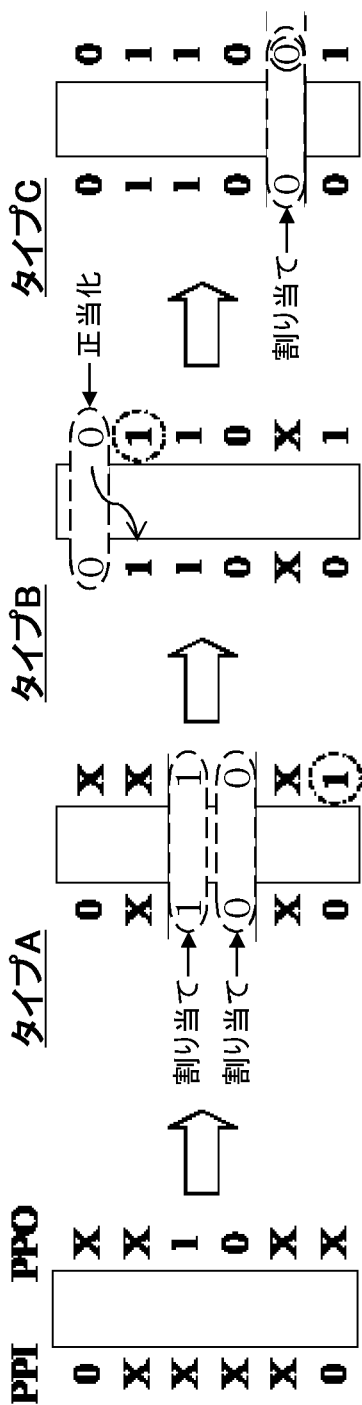
[図8]



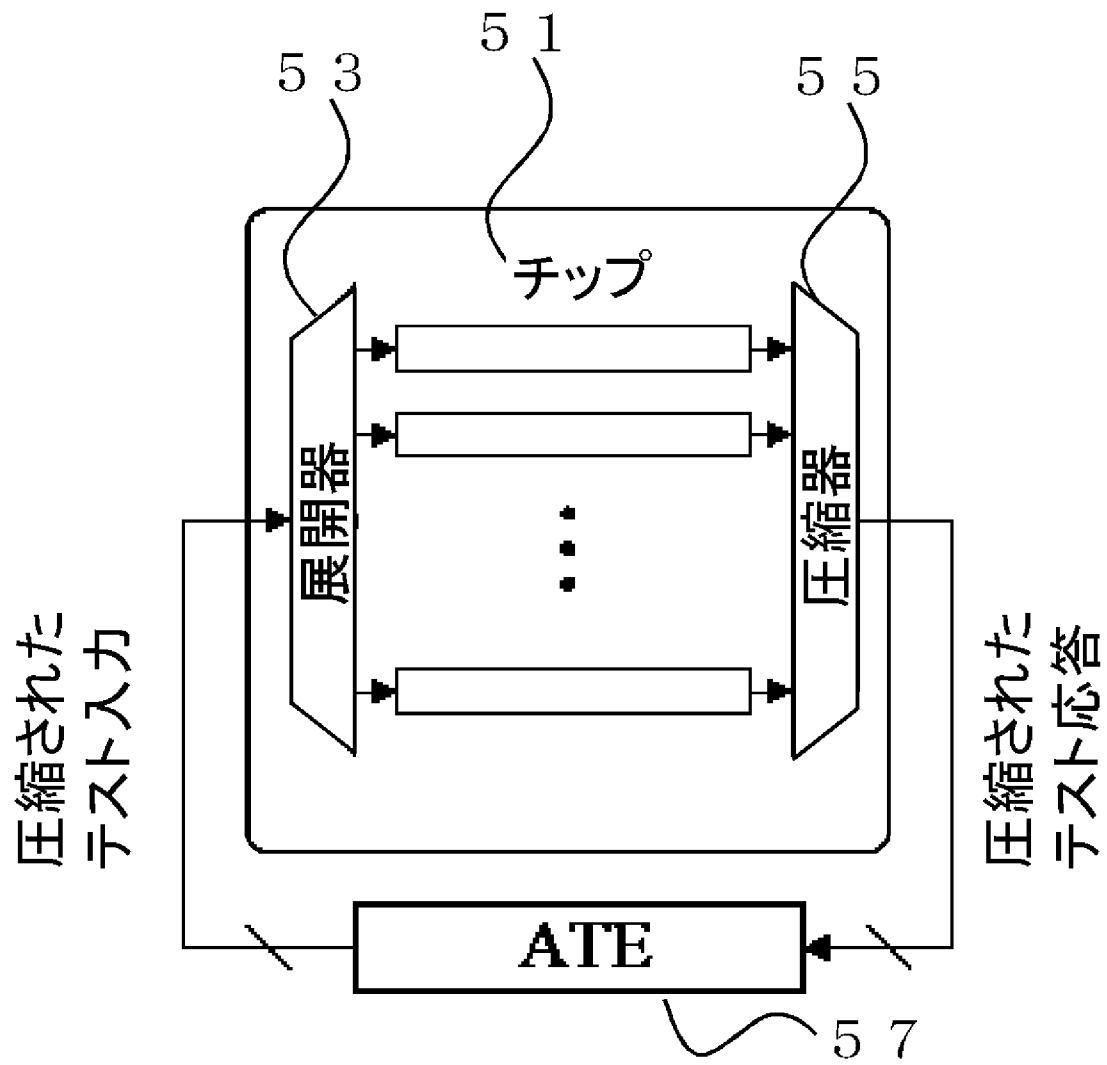
[図9]

	<b>PPI</b>	<b>PPO</b>
タイプA	<b>X</b>	<b>0/1</b>
タイプB	<b>0/1</b>	<b>X</b>
タイプC	<b>X</b>	<b>X</b>
タイプD	<b>0/1</b>	<b>0/1</b>

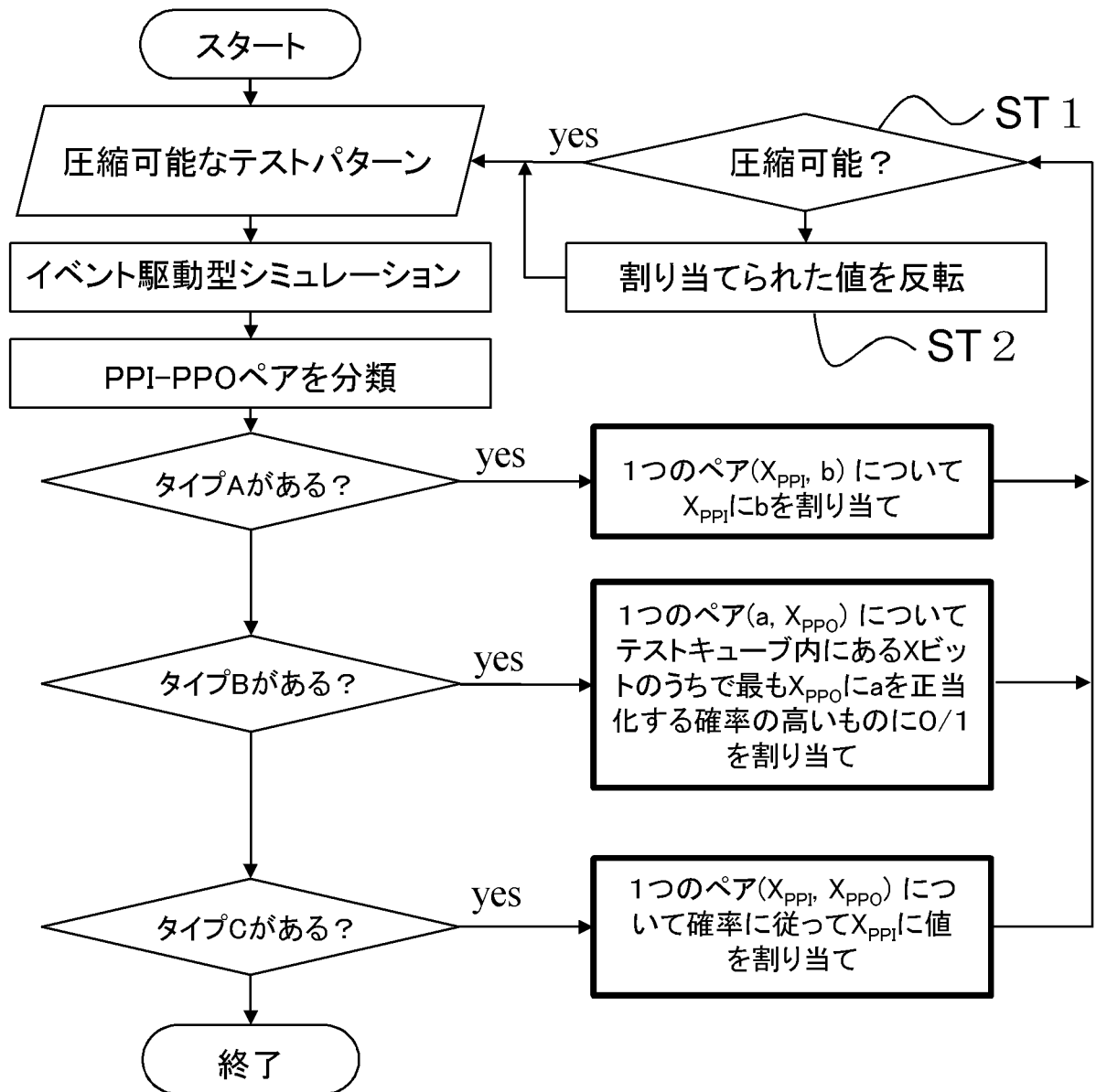
[図10]



[図11]



[図12]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/067325

**A. CLASSIFICATION OF SUBJECT MATTER**

G01R31/3183(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28-31/3193, G06F11/22-11/26, G06F17/50, G11C29/00-29/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X <u>A</u>	WO 2006/106626 A1 (Kyushu Institute of Technology), 12 October 2006 (12.10.2006), paragraphs [0014] to [0018] & US 2009/0083593 A1	2, 3, 6 <u>1, 4, 5</u>
A	JP 2001-99901 A (NEC Corp.), 13 April 2001 (13.04.2001), entire text; all drawings & US 6751767 B1	1-6
A	XIAOQING WEN ET AL, A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing, IEEE International Test Conference ITC 2007, 2007.10, pp. 1-10	1-6

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
14 December, 2009 (14.12.09)

Date of mailing of the international search report  
22 December, 2009 (22.12.09)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2009/067325

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	SANKARALINGAM, R., et al., Static Compaction Techniques to Control Scan Vector Power Dissipation, Proceedings of 18th IEEE VLSI Test Symposium, 2000, pp. 35-40	1-6



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01R31/3183(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01R31/28-31/3193, G06F11/22-11/26, G06F17/50, G11C29/00-29/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2006/106626 A1 (国立大学法人九州工業大学) 2006.10.12, 段落 [0014]-[0018] & US 2009/0083593 A1	2, 3, 6 <u>1, 4, 5</u>
A	JP 2001-99901 A (日本電気株式会社) 2001.04.13, 全文, 全図 & US 6751767 B1	1-6
A	XIAOQING WEN ET AL, A Novel Scheme to Reduce Power Supply Noise for High-Quality At-Speed Scan Testing, IEEE International Test Conference ITC 2007, 2007.10, pp. 1-10	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

14.12.2009

国際調査報告の発送日

22.12.2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

神谷 健一

2S

9705

電話番号 03-3581-1101 内線 3258

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	SANKARALINGAM, R., et al., Static Compaction Techniques to Control Scan Vector Power Dissipation, Proceedings of 18th IEEE VLSI Test Symposium, 2000, pp. 35-40	1 - 6