

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年12月13日 (13.12.2007)

PCT

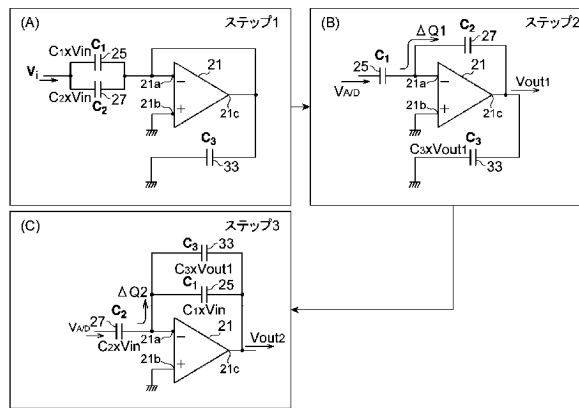
(10) 国際公開番号
WO 2007/142327 A1

- (51) 国際特許分類:
H03M 1/14 (2006.01)
- (21) 国際出願番号: PCT/JP2007/061633
- (22) 国際出願日: 2007年6月8日 (08.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-160152 2006年6月8日 (08.06.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学 (NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷 8 3 6 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川人 祥二 (KAWAHITO, Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北 3 丁目 5 - 1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA, Yoshiki et al.); 〒1040061 東京都中央区銀座一丁目 10 番 6 号銀座ファーストビル 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,

[続葉有]

(54) Title: CONVERTER CIRCUIT, ANALOG/DIGITAL CONVERTER, AND METHOD FOR GENERATING DIGITAL SIGNALS CORRESPONDING TO ANALOG SIGNALS

(54) 発明の名称: 変換回路、アナログデジタル変換器、およびアナログ信号に対応したデジタル信号を生成する方法



(A) STEP 1 (B) STEP 2 (C) STEP 3

(57) Abstract: A charge in accordance with an analog signal (V_i) is stored in each of first and second capacitors (25,27). A digital signal (V_{DIGN}) having digital values (e.g., D_1, D_0) corresponding to the analog signal (V_i) is generated. The second capacitor (27) is connected between the output (21c) of an operational amplifier circuit (21) and an inverting input (21a) thereof, and an analog signal ($V_{D/A}$) in accordance with the digital signal (V_{DIGN}) is supplied to an end (25a) of the first capacitor, so that a first converted value (V_{OUT1}) is developed at the output (21c) of the operational amplifier circuit (21). The first capacitor (25) and a third capacitor (33) are connected between the output (21c) of the operational amplifier circuit (21) and the inverting input (21a) thereof, and the analog signal ($V_{D/A}$) is supplied to an end (27a) of the second capacitor, so that a second converted value (V_{OUT2}) is developed at the output (21c) of the operational amplifier circuit (21).

(57) 要約: アナログ信号 V_i に応じた電荷を第1及び第2のキャパシタ 25、27 の各々に蓄積する。アナログ信号 V_i に対応したデジタル値 (例えば D_1 、 D_0) を有するデジタル信号 V_{DIGN} を生成する。第2のキャパシタ 27 を演算増幅回路 21 の出力 21c と反転入力 21a との間に接続すると共にデジタル信号 V_{DIGN} に対応したアナログ信号 $V_{D/A}$ を第1のキャパ

[続葉有]



WO 2007/142327 A1



OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

シタ端25aに供給して、第1の変換値 V_{OUT1} を演算増幅回路21の出力21cに生成する。第1及び第3のキャパシタ25、27を演算増幅回路21の出力21cと反転入力21aとの間に接続すると共に第2のキャパシタ端27aにアナログ信号 $V_{D/A}$ を供給して、第2の変換値 V_{OUT2} を演算増幅回路21の出力21cに生成する。

明 細 書

変換回路、アナログデジタル変換器、およびアナログ信号に対応したデジタル信号を生成する方法

技術分野

[0001] 本発明は、アナログデジタル変換器のための変換回路、この変換回路を含むアナログデジタル変換器、およびアナログ信号に対応したデジタル信号を生成する方法に関する。

背景技術

[0002] 非特許文献1および2には、パイプライン型のアナログデジタル変換器(ADC)が記載されており、アナログデジタル変換器の各ステージにはスイッチトキャパシタ回路を含む乗算型D/A変換器(MDAC)が用いられている。また、これらのアナログデジタル変換器はキャパシタを含んでおり、これらのキャパシタには不可避免的にミスマッチが存在する。非特許文献1および2には、このミスマッチをキャンセルすることが記載されている。

[0003] 非特許文献3には、入力アナログ信号からデジタル値に変換した後に、アナログデジタル変換器の各ステージに用いられるキャパシタのミスマッチを補正することが記載されている。

[0004] 特許文献1には、多段型のアナログデジタル変換器(ADC)が記載されており、キャパシタのミスマッチをデジタル的に補正することが記載されている。特許文献2には、各ステージにおけるゲインエラーを補正しリニアリティ特性の劣化を抑制可能なパイプライン型A/D変換回路が記載されている。特許文献3には、高精度かつエリアペナルティの小さいA/Dコンバータが記載されている。A/Dコンバータは、パイプライン・ステージと、各ステージから提供されるビットデータにエラー補正処理を行いnビットのデジタル信号を生成するエラーコレクション回路とを含む。

非特許文献1: Bang Sup Song, Michael F. Tompsett, and Kadaba R. Lakshmi kumar, "A 12 bit 1 Msample/s capacitor error averaging pipelined A/D converter," IEEE Journal of Solid State Circuits, vol. 23, pp. 1324-1333, De

cember 1988.

非特許文献2: You Chiu, "Inherently linear capacitor error-averaging techniques for pipelined A/D converters," IEEE Trans. Circuits and Systems II, vol. 47, no. 3, pp. 229-232, 2000.

非特許文献3: H. S. Chen, K. Bacrania, B. S. Song, "A 14b 20M Sample/s CMOS pipelined ADC," Deg. Tech. Papers, IEEE Int. Solid-State Circuits Conf., pp. 46-47, 2000.

特許文献1: US Patent, No. 5,510,789

特許文献2: 特開2004-343163号公報

特許文献3: 特開2005-72844号公報

発明の開示

発明が解決しようとする課題

[0005] 非特許文献1に記載された手法では、単位MDACは1サイクルの動作のために3クロックを必要とする。非特許文献2に記載された手法では、単位MDACは1サイクルの動作のために2クロックを必要とする。非特許文献3に記載された手法では、単位MDACは1.5クロックで1サイクルの動作を行うことが可能であるけれども、キャパシタのミスマッチの補正のために追加の増幅器が必要である。特許文献1に記載された手法では、デジタル的に行われた補正の誤差を測定する必要がある、また補正のためのデジタル回路が必要になる。

[0006] 本発明は、このような事情を鑑みて為されたものであり、最小1.5クロック動作でキャパシタのミスマッチを補償することが可能な、アナログデジタル変換器のための変換回路を提供することを目的とし、またこの変換回路を含むアナログデジタル変換器を提供することを目的とし、さらに、最小1.5クロック動作でキャパシタのミスマッチを補償して、アナログ信号に対応したデジタル信号を生成する方法を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一側面は、アナログデジタル変換器のための変換回路である。この変換回路は、入力アナログ信号を第1の期間に受けると共に該入力アナログ信号に対応

した変換アナログ信号を前記第1の期間と異なる第2の期間に受けるための第1の入力、前記入力アナログ信号を前記第1の期間に受けると共に前記変換アナログ信号を前記第1および第2の期間と異なる第3の期間に受けるための第2の入力、第1～第3のキャパシタ並びに演算増幅回路を有するゲインステージを備える。前記第1の期間に、前記第1および第2のキャパシタが前記第1および第2の入力と前記演算増幅回路の反転入力との間にそれぞれ接続され、前記アナログ信号に応じた電荷が前記第1および第2の入力を介してそれぞれ前記第1および第2のキャパシタに蓄積される。前記第2の期間に、前記演算増幅回路の前記出力と前記反転入力との間に前記第2のキャパシタが接続され、前記第1の入力を介して前記第1のキャパシタに受けた前記変換アナログ信号に応答して前記演算増幅回路の出力に第1の演算値が生成されると共に前記第1の演算値が前記第3のキャパシタに格納される。前記第3の期間に、前記第2のキャパシタが前記第2の入力と前記演算増幅回路の前記出力との間に接続されると共に前記第1および第3のキャパシタが前記演算増幅回路の前記出力と前記反転入力との間にそれぞれ接続され、前記第2の入力を介して前記第2のキャパシタに受けた前記変換アナログ信号に応答して前記演算増幅回路の前記出力に第2の演算値が生成される。

[0008] この変換回路によれば、第2の期間に第1の演算値が第3のキャパシタに格納されるので、第2の変換値の発生において、第3のキャパシタに蓄積された電荷も考慮される。これ故に、第1～第3のキャパシタのミスマッチが補償される。したがって、3つの期間を用いて、第1～第3のキャパシタのミスマッチのキャンセルおよびアナログ信号の変換を行うことができる。

[0009] また、本発明に係る変換回路は、(a)入力アナログ信号を第1の期間に受けると共に前記第1の期間と異なる第2および第3の期間のいずれかに変換アナログ信号を受取るための第1の入力と、前記入力アナログ信号を前記第1の期間に受けると共に前記第2および第3の期間のいずれかに前記変換アナログ信号を受取るための第2の入力とを有するゲインステージを備える。前記ゲインステージは、(a1)演算増幅回路と、(a2)前記第1の入力に接続された一端と前記演算増幅回路の反転入力に接続された他端とを有する第1のキャパシタと、(a3)前記第2の入力に接続された一端

と前記演算増幅回路の前記反転入力に接続された他端とを有する第2のキャパシタと、(a4)前記第2のキャパシタの前記一端と前記演算増幅回路の出力との間に接続されており前記第2の期間に前記第2のキャパシタを前記演算増幅回路の前記反転入力と前記演算増幅回路の前記出力との間に接続するための第1のスイッチと、(a5)前記第1のキャパシタの前記一端と前記演算増幅回路の前記出力との間に接続されており前記第3の期間に前記第1のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続するための第2のスイッチと、(a6)前記演算増幅回路の前記出力に接続された一端と他端とを有する第3のキャパシタと、(a7)前記第3のキャパシタの前記他端と前記反転入力との間に接続されており前記第3の期間に前記第3のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続するための第3のスイッチと、(a8)前記第3のキャパシタの前記他端と基準電位線との間に接続されており前記第1および第2の期間に前記第3のキャパシタの前記他端に基準電位を提供するための第4のスイッチとを含む。

[0010] この変換回路によれば、第2のキャパシタを第2の入力に接続すると共に、第1のキャパシタを第1の入力に接続して、アナログ信号に応じた電荷を第1および第2のキャパシタに第1の期間に蓄積できる。第2のキャパシタを演算増幅回路の反転入力と出力との間に接続すると共に、第1のキャパシタを第1の入力と演算増幅回路の反転入力との間に接続して、演算増幅回路の出力に第1の変換値を第2の期間に発生できる。また、第2の期間には、この第1の変換値に対応する電荷を第3のキャパシタに蓄積できる。さらに、第1および第3のキャパシタを演算増幅回路の反転入力と出力との間に接続すると共に、第2のキャパシタを第2の入力と演算増幅回路の出力との間に接続して、演算増幅回路の出力に第2の変換値を第3の期間に発生できる。第2の変換値の発生は、第3のキャパシタに蓄積された電荷も考慮されるので、第1～第3のキャパシタのミスマッチが補償される。また、3つの期間を用いて、第1～第3のキャパシタのミスマッチのキャンセルおよびアナログ信号の変換を行うことができる。

[0011] 本発明の一側面に係る変換回路は、(b)前記入力アナログ信号を受けるアナログ入力と、(c)前記第1の入力と前記アナログ入力との間に接続されており前記第1の期間に前記入力アナログ信号のサンプリングを行うための第1のサンプリングスイッチ

と、(d)前記第2の入力と前記アナログ入力との間に接続されており前記第1の期間に前記入力アナログ信号のサンプリングを行うための第2のサンプリングスイッチと、(e)前記アナログ入力に接続されており、所定のビット数からなるデジタル信号を前記入力アナログ信号に応じて生成するサブA/D変換回路と、(f)前記サブA/D変換回路に接続されており、前記デジタル信号に応じて制御信号を前記第2の期間および前記第3の期間に提供するための論理回路と、(g)前記論理回路に接続されており、前記第2および第3の期間に前記変換アナログ信号を提供するD/A変換回路とを備え、前記変換アナログ信号は、前記制御信号に応じて生成される。

[0012] この変換回路によれば、第1および第2のサンプリングスイッチを用いて入力アナログ信号を第1および第2のキャパシタに第1の期間に供給できると共に、第2および第3の期間に変換アナログ信号をゲインステージの第1および第2の入力に供給できる。また、サブA/D変換回路を用いて、一または複数のビットを含むデジタル信号が入力アナログ信号に応じて生成される。

[0013] 本発明の一側面に係る変換回路では、前記サブA/D変換回路は、前記入力アナログ信号を所定の基準信号と比較すると共に比較結果信号を提供するコンパレータを含むことができる。

[0014] この変換回路を用いて、1ビットのデジタル値が得られる。また、コンパレータの数を増やせば、1ビットを越えるビット数のデジタル信号が得られる。

[0015] 本発明の一側面に係る変換回路では、前記サブA/D変換回路は、前記入力アナログ信号を所定の2つの基準信号と比較することによって3値の冗長デジタル信号を生成することができる。

[0016] この変換回路によれば、入力アナログ信号を所定の2つの基準信号と比較することで、3値のデジタル信号が得られる。

[0017] 本発明の一側面に係る変換回路では、前記ゲインステージは、(a9)入力アナログ相補信号を前記第1の期間に受けると共に前記第2および第3の期間に変換アナログ相補信号を受けするための第1の相補入力と、(a10)前記入力アナログ相補信号を前記第1の期間に受けると共に前記第2および第3の期間に前記変換アナログ相補信号を受けするための第2の相補入力と、(a11)前記第1の相補入力に接続された一

端と前記演算増幅回路の前記非反転入力に接続された他端とを有する第4のキャパシタと、(a12)前記第2の相補入力に接続された一端と前記演算増幅回路の前記非反転入力に接続された他端とを有する第5のキャパシタと、(a13)前記第5のキャパシタの前記一端と前記演算増幅回路の相補出力との間に接続されており前記第2の期間に前記第5のキャパシタを前記演算増幅回路の前記非反転入力と前記相補出力との間に接続するための第5のスイッチと、(a14)前記第4のキャパシタの前記一端と前記演算増幅回路の前記相補出力との間に接続されており前記第3の期間に前記第4のキャパシタを前記演算増幅回路の前記相補出力と前記非反転入力との間に接続するための第6のスイッチと、(a15)前記演算増幅回路の前記相補出力に接続された一端と他端とを有する第6のキャパシタと、(a16)前記第6のキャパシタの前記他端と前記非反転入力との間に接続されており前記第3の期間に前記第6のキャパシタを前記演算増幅回路の前記相補出力と前記非反転入力との間に接続するための第7のスイッチと、(a17)前記第6のキャパシタの前記他端と基準電位線との間に接続されており前記第1および第2の期間に前記第6のキャパシタの前記他端に基準電位を提供するための第8のスイッチとを含む。

[0018] この変換回路によれば、全差動構成のゲインステージが提供される。

[0019] 本発明の別の側面は、アナログデジタル変換器に係る。このアナログデジタル変換器は、(a)第1のAD変換段を備え、前記第1のAD変換段は、入力アナログ信号を受け取る入力および残余アナログ信号を提供するアナログ出力を有している。このアナログデジタル変換器は、(b)一又は複数の第2のAD変換段を備え、前記第2のAD変換段の各々は、前段のAD変換段からの残余アナログ信号を受け取る入力および当該AD変換段の残余アナログ信号を提供するアナログ出力を有しており、前記第1および第2のAD変換段は直列に接続されており、前記第1のAD変換段は、上記の変換回路を含み、前記第1のAD変換段は、所定のビット数から成るデジタル信号を提供するデジタル出力を有し、前記第2のAD変換段の各々は、前記所定のビット数から成るデジタル信号を提供するデジタル出力を有する。

[0020] このアナログデジタル変換器によれば、初段の変換回路においてキャパシタのミスマッチの補償を行うことができる。

- [0021] 本発明に係るアナログデジタル変換器では、前記第2のAD変換段は、上記の変換回路を含むことが好ましい。このアナログデジタル変換器によれば、初段以降の変換回路においてキャパシタのミスマッチの補償を行うことができる。
- [0022] 本発明に係るアナログデジタル変換器は、(c)前記第1のAD変換段の前記入力に接続されており前記アナログ信号を保持するためのサンプル／ホールド回路と、(d)前記直列に接続された第1および第2のAD変換段のうちの最終変換段の出力に接続されておりデジタル信号を提供するデジタル出力を有する追加のアナログデジタル変換回路と、(e)前記第1のAD変換段の前記デジタル出力、前記第2のAD変換段の前記デジタル出力および前記追加のアナログデジタル変換回路の前記デジタル出力に接続されたデジタル論理回路とを備えることができる。前記デジタル論理回路は前記アナログ信号に対応したデジタル信号を提供する。
- [0023] 本発明の別の側面に係るアナログデジタル変換器によれば、パイプライン型のアナログデジタル変換器が提供される。
- [0024] 本発明に係るアナログデジタル変換器では、前記第2のAD変換段の数は1であり、当該アナログデジタル変換器は、前記第1のAD変換段の前記入力と前記第2のAD変換段の前記アナログ出力との間に接続されたフィードバックスイッチを更に備える。
- [0025] 本発明に係るアナログデジタル変換器によれば、2つの変換段を用いて巡回型のアナログデジタル変換器が提供される。
- [0026] 本発明に係るアナログデジタル変換器は、前記第1のAD変換段の前記デジタル出力および前記第2のAD変換段の前記デジタル出力に接続されたデジタル論理回路を更に備えることができる。前記デジタル論理回路は、前記アナログ信号に対応しており複数のビット数からなるデジタル信号を提供する。
- [0027] 本発明に係るアナログデジタル変換器のAD変換段によれば、一段当たり一または複数のビット数から成りアナログ信号に対応したデジタル信号が提供される。
- [0028] 本発明に係るアナログデジタル変換器は、前記アナログ信号を保持するためのサンプル／ホールド回路と、前記第1のAD変換段の前記入力と前記サンプル／ホールド回路の出力との間に接続されておりサンプリング期間中に前記アナログ信号を

受けるためのスイッチとを更に備えることができる。前記フィードバックスイッチは、前記サンプリング期間中と異なるフィードバック期間中に、前記第2のAD変換段の前記出力から前記第1のAD変換段の前記入力への経路を提供する。

[0029] 本発明に係るアナログデジタル変換器によれば、第1のAD変換段の入力とサンプル／ホールド回路の出力との間に接続されたスイッチおよびフィードバックスイッチを用いて、サンプリング期間とフィードバック期間とを切り換えできる。

[0030] 本発明の更なる別の側面は、ゲインステージを用いて、アナログ信号に対応したデジタル信号を生成する方法である。前記ゲインステージは第1～第3のキャパシタおよび演算増幅回路を含み、前記第1および第2のキャパシタの一端は前記演算増幅回路の反転入力に接続されており、前記第3のキャパシタの一端は前記演算増幅回路の出力に接続されている。この方法は、(a)前記第1のキャパシタおよび前記第2のキャパシタの各々に、入力アナログ信号に応じた電荷を蓄積すると共に、所定のビット数からなるデジタル値を有しており前記アナログ信号に応じたデジタル信号を生成する第1のステップと、(b)前記第2のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に前記第1のキャパシタの前記他端に該デジタル信号に応じた変換アナログ信号を供給することによって、前記入力アナログ信号に関連した第1の変換値を前記演算増幅回路の前記出力に生成し、前記第1および第2のキャパシタの前記電荷を再配置すると共に前記第1の変換値に対応する電荷を前記第3のキャパシタに蓄積する第2のステップと、(c)前記第1および第3のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に前記第2のキャパシタの前記他端に該デジタル信号に応じたD/A変換信号を供給することによって、前記入力アナログ信号に関連した第2の変換値を前記演算増幅回路の前記出力に生成すると共に、前記第1、第2および第3のキャパシタの前記電荷を再配置する第3のステップとを備え、前記第2の変換値は次段のゲインステージのためのアナログ信号である。

[0031] この方法によれば、これら3つのステップを行うことによって、アナログ信号に関連した第2の変換値が得られる。この第2の変換値では、3つのステップにおいて用いられたキャパシタのミスマッチが補償されている。この方法は、全差動回路における一方

の入力アナログ信号のためのステップを記述しており、これ故に、3つのステップは、シングルエンド回路だけでなく、全差動回路にも適用される。

[0032] 本発明に係る方法は、当該ゲインステージにおける前記第2の変換値を前記アナログ信号として次段のゲインステージに提供するステップと、前記次段のゲインステージにおいて前記第1～第3のステップを行うステップとを更に備えることができる。

[0033] 本発明に係る方法は、前段のゲインステージにおいて前記第1～第3のステップを行うステップと、前記ゲインステージに前記アナログ信号として当該前段のゲインステージの第2の変換値を提供するステップとを更に備えることができる。

発明の効果

[0034] 以上説明したように、本発明の一側面によれば、最小1.5クロック動作でキャパシタのミスマッチを補償することが可能な変換回路が提供される。また、本発明の別の側面によれば、この変換回路を含むアナログデジタル変換器が提供される。さらに、本発明の更なる別の側面によれば、最小1.5クロック動作でキャパシタのミスマッチを補償して、アナログ信号に対応したデジタル信号を生成する方法が提供される。

図面の簡単な説明

[0035] 本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

[図1]図1はアナログデジタル変換器のための変換回路を示す回路図である。

[図2]図2は、図1に示された変換回路のためのタイミングチャートを示す図面である。

[図3]図3は、D/A変換回路の変換特性を示す図面である。

[図4]図4は、変換回路のキャパシタのミスマッチの補償のための3ステップを示す図面である。

[図5]図5は、キャパシタの容量値のミスマッチを補償しない構成の変換回路を示す回路図である。

[図6]図6は、アナログデジタル変換器のための変換回路を示す回路図である。

[図7]図7は、本実施の形態に係るアナログデジタル変換器を概略的に示すブロック図である。

[図8]図8は、本実施の形態に係るアナログデジタル変換器の構成を示すブロック図である。

符号の説明

- [0036] 11…変換回路、13…入力、15…ゲインステージ、17…第1のサンプリングスイッチ、19…第2のサンプリングスイッチ、 V_i …入力アナログ信号、15a、15b…ゲインステージの入力、 $V_{D/A}$ …変換アナログ信号、17…第1のサンプリングスイッチ、19…第2のサンプリングスイッチ、 T_1 、 T_2 、 T_3 …期間、21…演算増幅回路、23…フィードバックスイッチ、25…第1のキャパシタ、27…第2のキャパシタ、29…第1のスイッチ、31…第2のスイッチ、33…第3のキャパシタ、35…第3のスイッチ、37…第4のスイッチ、39…基準電位線、41…サブA/D変換回路、43…論理回路、45…D/A変換回路、 V_{DIGN} …デジタル信号、 V_{SWCONT} …制御信号、 V_{REF1} 、 V_{REF2} …基準信号、 D_0 、 D_1 …比較結果信号、47…第1の電圧源、49…第2の電圧源、51a～51f…第1～第6のスイッチ、 ϕ_{DO1} 、 ϕ_{DP1} 、 ϕ_{DN1} 、 ϕ_{DO2} 、 ϕ_{DP2} 、 ϕ_{DN2} …制御信号、40…クロック発生器、 C_1 …第1のキャパシタの容量値、 C_2 …第2のキャパシタの容量値、 C_3 …第3のキャパシタの容量値、12…変換回路、55…ゲインステージ、55a、55b…ゲインステージの入力、53…論理回路、57…D/A変換回路、59a～59c…第1～第3のスイッチ、 ϕ_{DO} 、 ϕ_{DP} 、 ϕ_{DN} …制御信号、61…変換回路、63…相補入力、65…ゲインステージ、65a、65b…ゲインステージの入力、65c…ゲインステージの出力、65d、65e…ゲインステージの相補入力、65f…ゲインステージの相補出力、 V_{ip} …入力アナログ信号、 $V_{D/A(N)}$ …変換アナログ信号、 $V_{D/A(P)}$ …変換アナログ信号、 V_{in} …入力アナログ相補信号、73…フィードバックスイッチ、75…第4のキャパシタ、77…第5のキャパシタ、79…第5のスイッチ、81…第6のスイッチ、83…第6のキャパシタ、85…第7のスイッチ、87…第8のスイッチ、89…D/A変換回路、90…サブA/D変換回路、90a、90b…コンパレータ、91…アナログデジタル変換器、93…第1のAD変換段、95…AD変換段列、97、99…第2のAD変換段、101…サンプル/ホールド回路、103…追加のアナログデジタル変換回路、105…デジタル論理回路、111…アナログデジタル変換器、113…第1のAD変換段、115…第2のAD変換段、117…フィードバックスイッチ、119…デジタル論理回路、121…サンプル/ホールド回路

発明を実施するための最良の形態

[0037] 本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続いて、添付図面を参照しながら、本発明の変換回路、アナログ信号に対応したデジタル信号をゲインステージを用いて生成する方法、パイプライン型アナログデジタル変換器および巡回型アナログデジタル変換器に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

[0038] (第1の実施の形態)

図1は、アナログデジタル変換器のための変換回路を示す回路図である。図2は、図1に示された変換回路のためのタイミングチャートを示す図面である。この変換回路11は、入力13と、ゲインステージ15と、第1のサンプリングスイッチ17と、第2のサンプリングスイッチ19とを備える。入力13は、入力アナログ信号 V_i を受ける。

[0039] ゲインステージ15は、第1の入力15aおよび第2の入力15bを含む。第1の入力15aは、入力アナログ信号 V_i 及び変換アナログ信号 $V_{D/A}$ のいずれか一方のアナログ信号を受けるために設けられている。第2の入力15bは、入力アナログ信号 V_i 及び変換アナログ信号 $V_{D/A}$ のいずれか一方のアナログ信号を受けるために設けられている。第1のサンプリングスイッチ17は、第1の入力15aと入力13との間に接続されており、また第1の期間 T_1 に入力アナログ信号 V_i のサンプリングを行うために設けられている。第2のサンプリングスイッチ19は、第2の入力15bと入力13との間に接続されており、また第1の期間 T_1 に入力アナログ信号 V_i のサンプリングを行うために設けられている。ゲインステージ15は、演算増幅回路21と、フィードバックスイッチ23と、第1のキャパシタ25と、第2のキャパシタ27と、第1のスイッチ29と、第2のスイッチ31と、第3のキャパシタ33と、第3のスイッチ35と、第4のスイッチ37とを含む。演算増幅回路21は、反転入力21aと、非反転入力21bと、出力21cとを含む。フィードバックスイッチ23は、演算増幅回路21の反転入力21aと演算増幅回路21の出力21cとの間に接続されており、第1の期間 T_1 に演算増幅回路21の出力21cを演算増幅回路21の反転入力21aに接続する。第1のキャパシタ25は、第1の入力15aに接続された一端25aと反転入力21aに接続された他端25bとを有する。第2のキャパシタ27は、第2の入力

15bに接続された一端27aと反転入力21aに接続された他端27bとを有する。第1のスイッチ29は、第2のキャパシタ27の一端27aと演算増幅回路21の出力21cとの間に接続されており、また第1の期間 T_1 と異なる第2の期間 T_2 に第2のキャパシタ27を演算増幅回路21の反転入力21aと出力21cとの間に接続するために設けられている。第2のスイッチ31は、第1のキャパシタ25の一端25aと演算増幅回路21の出力21cとの間に接続されており、また第1の期間 T_1 および第2の期間 T_2 と異なる第3の期間 T_3 に第1のキャパシタ25を演算増幅回路21の出力21cと反転入力21aとの間に接続するために設けられている。第3のキャパシタ33は、演算増幅回路21の出力21cに接続された一端33aと他端33bとを有する。第3のスイッチ35は、第3のキャパシタ33の他端33bと反転入力21aとの間に接続されており、また第3の期間 T_3 に第3のキャパシタ33を演算増幅回路21の出力21cと反転入力21aとの間に接続するために設けられている。第4のスイッチ37は、第3のキャパシタ33の他端33bと、接地線といった基準電位線39との間に接続されており、また第1の期間 T_1 および第2の期間 T_2 に第3のキャパシタ33の他端33bに基準電位を提供するために設けられている。ゲインステージ15の出力15cは、演算増幅回路21の出力21cに接続されている。

[0040] この変換回路11によれば、入力アナログ信号 V_i に応じた電荷を第1および第2のキャパシタ25、27に第1の期間 T_1 に蓄積できる。第2の期間 T_2 に、第2のキャパシタ27を演算増幅回路21の反転入力21aと出力21cとの間に接続すると共に、第1のキャパシタ25を第1の入力15aと演算増幅回路21の反転入力21cとの間に接続して、演算増幅回路21の出力21cに第1の変換値を発生できる。また、第2の期間 T_2 には、この第1の変換値に対応する電荷を第3のキャパシタ33に蓄積できる。さらに、第3の期間 T_3 に、第1および第3のキャパシタ25、33を演算増幅回路21の反転入力21aと出力21cとの間に接続すると共に、第2のキャパシタ27を第2の入力15bと演算増幅回路21の出力21cとの間に接続して、演算増幅回路21の出力21cに第2の変換値を発生できる。第2の変換値の発生においては、第3のキャパシタ33に蓄積された電荷も考慮されるので、第1～第3のキャパシタ25、27、33の mismatches が補償される。したがって、3つの期間 T_1 、 T_2 、 T_3 を用いて、第1～第3のキャパシタ25、27、33の mismatches の補償およびアナログ信号をデジタル信号へ変換することができる。

[0041] 図1に示されるように、変換回路11は、サブA/D変換回路41と、論理回路43と、D/A変換回路45とを備えることができる。サブA/D変換回路41は、入力13に接続されており、また入力アナログ信号 V_i に応じてデジタル信号 V_{DIGN} を生成する。デジタル信号 V_{DIGN} は、所定の数の値を取り、例えば2値(「0」、「1」)または3値(「-1」、「0」、「+1」)を有することが好ましい。論理回路43は、サブA/D変換回路41に接続されており、またデジタル信号 V_{DIGN} に応じて制御信号 V_{SWCONT} を生成する。D/A変換回路45は、論理回路43に接続されており、変換アナログ信号 $V_{\text{D/A}}$ を提供するための出力45a、45bを有する。変換アナログ信号 $V_{\text{D/A}}$ は、制御信号 V_{SWCONT} に応じて生成される。制御信号 V_{SWCONT} は、第2の期間 T_2 および第3の期間 T_3 に変換アナログ信号 $V_{\text{D/A}}$ をゲインステージ15に提供するために用いられる。

[0042] サブA/D変換回路41は、例えば1つのコンパレータを含むことができる。コンパレータは、入力アナログ信号を所定の基準信号と比較すると共に、比較結果を示す信号を提供する。この変換回路を用いて、1ビットのデジタル値が得られる。コンパレータの数を増やせば、1ビットを越えるビット数のデジタル信号が得られる。サブA/D変換回路41は、例えば2つのコンパレータを含むことができる。コンパレータは、それぞれ、入力アナログ信号を所定のそれぞれの基準信号 V_{REF1} 、 V_{REF2} と比較すると共に、図1に示されるように、比較結果信号 D_0 、 D_1 を提供する。基準信号 V_{REF1} は、図3に示されるように、例えば $-V_{\text{ref}}/4$ であることができ、また基準信号 V_{REF2} は、例えば $+V_{\text{ref}}/4$ であることができる。

入力アナログ信号 V_i の範囲 デジタル信号

$$(1) -V_{\text{ref}}/4 > V_i, \quad -1 (D_1=0, D_0=0)$$

$$(2) V_{\text{ref}}/4 \geq V_i \geq -V_{\text{ref}}/4, \quad 0 (D_1=0, D_0=1)$$

$$(3) V_i > +V_{\text{ref}}/4, \quad +1 (D_1=1, D_0=1)$$

となる。サブA/D変換回路41が入力アナログ信号を所定の2つの基準信号と比較することによって3値の冗長デジタル信号を生成することができる。この変換回路11によれば、入力アナログ信号を所定の2つの基準信号と比較するので、3値のデジタル信号が得られる。サブA/D変換回路41は、図2に示されるように、例えば第1の期間 T_1 に活性化されることが好ましい。また、第1の期間 T_1 に替えて又は第1の期間

T_1 に加えて、第3の期間 T_3 に、サブA/D変換回路41を活性化するようにしてよい。

[0043] また、D/A変換回路45は、第1の電圧源47および第2の電圧源49を含む。第1の電圧源47は電圧 V_{RP} を提供する。第2の電圧源49は電圧 V_{RN} を提供する。第1の電圧源47の出力47aは、第1のスイッチ51aおよび第1の出力45aを介して第1の入力15aに接続されており、また第2のスイッチ51bおよび第2の出力45bを介して第2の入力15bに接続されており、また第2の電圧源49の出力49aは、第3のスイッチ51cおよび第1の出力45aを介して第1の入力15aに接続されており、また第4のスイッチ51dおよび第2の出力45bを介して第2の入力15bに接続されている。また、第1の出力45aは第5のスイッチ51eの一端に接続されており、第5のスイッチ51eの他端は接地線に接続される。第2の出力45bは第6のスイッチ51fの一端に接続されており、第6のスイッチ51fの他端は接地線に接続される。図1に示されるように、論理回路43は、第1～第6のスイッチ51a～15fをそれぞれ制御するための制御信号 ϕ_{DO1} 、 ϕ_{DP1} 、 ϕ_{DN1} 、 ϕ_{DO2} 、 ϕ_{DP2} 、 ϕ_{DN2} を生成する。図2に示されるように、制御信号 ϕ_{DO2} 、 ϕ_{DP2} 、 ϕ_{DN2} は第2の期間 T_2 に提供される。デジタル信号 D_1 、 D_0 の値は、制御信号 ϕ_{DO2} 、 ϕ_{DP2} 、 ϕ_{DN2} のうちのいずれがアクティブになるかを決定する。また、制御信号 ϕ_{DO1} 、 ϕ_{DP1} 、 ϕ_{DN1} は第3の期間 T_3 に提供される。デジタル信号 D_1 、 D_0 の値は、制御信号 ϕ_{DO1} 、 ϕ_{DP1} 、 ϕ_{DN1} のうちのいずれがアクティブになるかを決定する。

[0044] D/A変換回路45は、論理回路43からの制御信号に応答して、例えば

- (1) 条件 $(-V_{ref}/4 > V_i)$ が満たされるとき、 $V_{D/A} = V_{ref}$ を提供する。
- (2) 条件 $(V_{ref}/4 \geq V_i \geq -V_{ref}/4)$ が満たされるとき、 $V_{D/A} = 0$ を提供する。
- (3) 条件 $(V_i > +V_{ref}/4)$ が満たされるとき、 $V_{D/A} = -V_{ref}$ を提供する。

[0045] これらの3領域に対して3値のA/D変換を行って「-1」、「0」、「+1」のデジタルコードを割り当てる。最初のコードは最上位桁になる。図3に示された特性に従って下記の演算が行われる。

[0046]
$$V_{OUT} = 2 \times V_{in} - D \times V_{ref}$$

すなわち、この演算は、上位桁から順にA/D変換し、ゲインステージの入力を2倍して、ゲインステージのA/D変換値によって、

- (1) 一定値 V_{ref} の減算、

(2)一定値Vrefの加算、

(3)ゼロを与える

のいずれかを行うことにより、ゲインステージの出力を必ず $-V_{ref} \sim +V_{ref}$ の範囲におさめる。

[0047] このように3値でA/D変換を行うことによって、デジタル値には冗長性が生じる。この冗長性により、サブA/D回路内の比較器に対する精度要求が大きく緩和される一方で、高精度なA/D変換が可能となる。2進数の各桁は「0」と「1」の2値を取る。ゲインステージ毎のデジタル信号は「-1」、「0」、「+1」の3値を取るので、一ゲインステージあたり1.5ビットのA/D変換を行っていると考えることができる。

[0048] クロック発生器40は図1および図2に記載されたクロック信号を提供する。

[0049] 好適な実施例では、第1のキャパシタ25の容量値C1は第2のキャパシタ27の容量値C2と等しい。しかしながら、様々な要因による誤差のために、第1のキャパシタ25の容量値C1は、第2のキャパシタ27の容量値C2と一致しない。つまり、第1のキャパシタ25の容量値C1と第2のキャパシタ27の容量値C2との間にはミスマッチが存在する。より高精度のアナログデジタル変換を行うために、このミスマッチを補償することが求められる。

[0050] 引き続き、図2および図4を参照しながら、変換回路の動作およびミスマッチの補償を説明する。ミスマッチの補償は、ゲインステージ11を用いて、アナログ信号に対応したデジタル信号を生成する過程において実現される。

[0051] まず、図4の(A)部に示されるように、クロック ϕ_1 、 ϕ_2 にตอบสนองしてスイッチ29、30を開き、クロック ϕ_{od} にตอบสนองしてスイッチ17、19を閉じて、第1のキャパシタ25および第2のキャパシタ27が入力13に接続される。クロック ϕ_0 にตอบสนองして、演算増幅回路21の反転入力21aを出力21cに接続する。クロック ϕ_2 にตอบสนองしてスイッチ35を開き、クロック ϕ_3 にตอบสนองしてスイッチ37を閉じて、第3のキャパシタ33を演算増幅回路21の出力21cと接地線との間に接続する。サブA/D変換回路41は、アナログ信号 V_i に対応したデジタル信号 V_{DIGN} を生成する。デジタル信号 V_{DIGN} は、所定のビット数からなるデジタル値(例えば D_1 、 D_0)を有する。また、第1のキャパシタ25および第2のキャパシタ27の各々に、入力アナログ信号 V_i に応じた電荷を蓄積する。第1のキャ

パシタ25には電荷 $Q_1 = C_1 \times V_i$ が蓄積されると共に、第2のキャパシタ27には電荷 $Q_2 = C_2 \times V_i$ が蓄積される。演算増幅回路21の出力21cは反転入力21aと接続されており、出力21cおよび反転入力21aは共に、非反転入力21bの電位と同じ値である。

[0052] クロック ϕ_{od} にตอบสนองしてスイッチ17、19を開いて、第1のキャパシタ25および第2のキャパシタ27を入力13から切り離す。クロック ϕ_1 にตอบสนองして、第2のキャパシタ27の一端27aを反転増幅器21の出力21cに接続する。クロック ϕ_2 、 ϕ_3 にตอบสนองして、第3のキャパシタ33を演算増幅回路21の出力21cと接地線との間に接続する。クロック ϕ_0 にตอบสนองして、演算増幅回路21の反転入力21aを出力21cから切り離す。図4の(B)部に示されるように、第2のキャパシタ27を演算増幅回路21の出力21cと反転入力21aとの間に接続すると共に該デジタル信号 V_{DIGN} に応じた変換アナログ信号 $V_{D/A}$ を第1のキャパシタ25の一端25aに供給する。これによって、入力アナログ信号 V_i に関連した第1の変換値 V_{OUT1} を演算増幅回路21の出力21cに生成し、第1および第2のキャパシタ25、27の電荷を再配置する。

[0053] 変換アナログ信号 $V_{D/A}$ の印加により、第1のキャパシタ25から第2のキャパシタ27へ電荷 $\Delta Q_1 = C_1 \times V_i - C_1 \times D \times V_{ref}$ が移動する(Dの値は変換アナログ信号 $V_{D/A}$ の値に応じて「+1」、「0」、「-1」を取る)。第2のキャパシタ27には、サンプリング電荷 $C_2 \times V_i$ と移動電荷 ΔQ_1 とが蓄積される。演算増幅回路21の非反転入力21bは接地線に接続されているので、第2のキャパシタ27には電荷 $V_{OUT1} \times C_2$ が蓄積される。この電荷 $V_{OUT1} \times C_2$ は、電荷の保存則より $C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref}$ に等しい。故に、

$$V_{OUT1} = (C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref}) / C_2 = (1 + C_1 / C_2) \times V_i - D \times V_{ref} \times C_1 / C_2$$

となる。また、第3のキャパシタ33には、電荷 $V_{OUT1} \times C_3$ が蓄積される。

[0054] クロック ϕ_1 にตอบสนองしてスイッチ29を開いて、第2のキャパシタ27を反転増幅器21の出力21cから切り離す。クロック ϕ_2 にตอบสนองしてスイッチ31を閉じて、第1のキャパシタ25の一端25aを演算増幅回路21の出力21cに接続する。クロック ϕ_2 、 ϕ_3 にตอบสนองして、第3のキャパシタ33の他端33bを反転増幅器21の出力21cに接続する。図4の(C)部に示されるように、第1および第3のキャパシタ25、33を演算増幅回路21の出

力21cと反転入力21aとの間に接続すると共に第2のキャパシタ27の一端27aに変換アナログ信号 $V_{D/A}$ を供給することにより、第2の変換値 V_{OUT2} を演算増幅回路21の出力21cに生成する。第2の変換値 V_{OUT2} は、入力アナログ信号 V_i に関連している。第1および第3のキャパシタ25、33には電荷 $(C_1 + C_3) \times V_{OUT2}$ が蓄積される。

[0055] この後に、クロック ϕ_0 に応答して、アナログ信号 V_i に対応したデジタル信号 V_{DIGN} を出力する。

[0056] 上記の説明より、第2のキャパシタ27には電荷 $V_{OUT1} \times C_2 (= C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref})$ が蓄積されており、変換アナログ信号 $V_{D/A}$ の印加によって、第2のキャパシタ27から第1および第3のキャパシタ25、33へ電荷 $\Delta Q = V_{OUT1} \times C_2 - C_2 \times D \times V_{ref} = C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref} - C_2 \times D \times V_{ref}$ が移動する(Dの値は変換アナログ信号 $V_{D/A}$ の値に応じて「+1」、「0」、「-1」を取る)。この移動の結果、第1および第3のキャパシタ25、33の全電荷は、以下の3つの電荷：

移動電荷： $C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref} - C_2 \times D \times V_{ref}$

第3のキャパシタの電荷： $C_3 \times V_{OUT1}$

第2のキャパシタの電荷： $C_1 \times D \times V_{ref}$

の和で表され、つまり、

$$C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref} + C_3 \times V_{OUT1}$$

である。一方、第1および第3のキャパシタ25、33の全電荷は、

$$(C_1 + C_3) \times V_{OUT2}$$

であり、電荷保存則により、両者は等しいので、

$$(C_1 + C_3) \times V_{OUT2} = C_2 \times V_i + C_1 \times V_i - C_1 \times D \times V_{ref} + C_3 \times V_{OUT1}$$

となる。この式に、

$$V_{OUT1} = (1 + C_1 / C_2) \times V_i - D \times V_{ref} \times C_1 / C_2$$

を代入すると、

$$(C_1 + C_3) \times V_{OUT2} = (C_1 + C_2 + (1 + C_1 / C_2) \times C_3) \times V_i - (C_2 + C_3 \times C_1 / C_2) \times D \times V_{ref}$$

と表され、第2の変換値は

$$V_{OUT2} = V_i \times (C_1 + C_2) \times (1 + C_3 / C_2) / (C_1 + C_3)$$

$$-D \times V_{\text{ref}} \times (C_2 + C_3 \times C_1 / C_2)$$

と表される。

[0057] この式を、 $\Delta C_3 = C_3 - C_1$ 、 $\Delta C_2 = C_2 - C_1$ を用いて書き換えると、

$$V_{\text{OUT2}} = V_i \times (2 + (\Delta C_2 - \Delta C_3) \times \Delta C_2 / (2 \times \Delta C_1 + \Delta C_3) / (C_1 + \Delta C_2)) - D \times V_{\text{ref}} \times (1 + \Delta C_2 \times (4 \times \Delta C_2 - 3 \times \Delta C_3) / 2 / (2 \times C_1 + \Delta C_3) / (C_1 + \Delta C_2))$$

で表される。誤差の項は

$$(\Delta C_2 - \Delta C_3) \times \Delta C_2 / (2 \times \Delta C_1 + \Delta C_3) / (C_1 + \Delta C_2)$$

である。例えば $\Delta C_2 / C_1 = 0.01$ 、 $\Delta C_3 / C_1 = 0.01$ であるとする、誤差の項の寄与は 0.0001 程度になる。つまり、容量値のばらつきが 1% 程度であっても、本実施の形態に係る変換回路を用いると、容量値のばらつきが 0.01% 程度にまで小さくでき、この結果、この変換回路を用いると、13ビット精度から14ビット精度のアナログデジタル変換器が実現できる。

[0058] 図5は、キャパシタの容量値のミスマッチを補償しない構成の変換回路を示す回路図である。この変換回路12は、入力13と、ゲインステージ55と、第1のサンプリングスイッチ17と、第2のサンプリングスイッチ19とを備える。入力13は、入力アナログ信号 V_i を受ける。ゲインステージ55は、第1の入力55aおよび第2の入力55bを含む。第1の入力55aは、入力アナログ信号 V_i を受けるために設けられている。第2の入力55bは、入力アナログ信号 V_i 及び変換アナログ信号 $V_{D/A}$ を受けるために設けられている。第1のサンプリングスイッチ17は、第1の入力55aと入力13との間に接続されており、また第1の期間 T_1 に入力アナログ信号 V_i のサンプリングを行うために設けられている。第2のサンプリングスイッチ19は、第2の入力55bと入力13との間に接続されており、また第1の期間 T_1 に入力アナログ信号 V_i のサンプリングを行うために設けられている。ゲインステージ55は、演算増幅回路21と、フィードバックスイッチ23と、第1のキャパシタ25と、第2のキャパシタ27と、スイッチ32とを含む。

[0059] フィードバックスイッチ23は、演算増幅回路21の反転入力21aと演算増幅回路21の出力21cとの間に接続されている。第1のキャパシタ25は、第1の入力55aに接続された一端25aと反転入力21aに接続された他端25bとを有する。第2のキャパシタ2

7は、第2の入力55bに接続された一端27aと反転入力21aに接続された他端27bとを有する。スイッチ32は、第1のキャパシタ25の一端25aと演算増幅回路21の出力21cとの間に接続されており、また第1の期間 T_1 と異なる第2の期間 T_2 に第1のキャパシタ25を演算増幅回路21の出力21cと反転入力21aとの間に接続するために設けられている。ゲインステージ55の出力55cは、演算増幅回路21の出力21cに接続されている。

[0060] 図5に示されるように、変換回路12は、サブA/D変換回路41と、論理回路53と、D/A変換回路57とを備えることができる。論理回路53は、サブA/D変換回路41に接続されており、またデジタル信号 V_{DIG} に応じて制御信号 $V_{SWCONT0}$ を生成する。D/A変換回路57は、論理回路43に接続されており、変換アナログ信号 $V_{D/A}$ を提供するための出力57aを有する。変換アナログ信号 $V_{D/A}$ は、制御信号 $V_{SWCONT0}$ に応じて生成される。制御信号 $V_{SWCONT0}$ は、第2の期間 T_2 に変換アナログ信号 $V_{D/A}$ をゲインステージ55に提供するために用いられる。サブA/D変換回路41は、入力アナログ信号を所定の2つの基準信号と比較することによって1.5ビットからなる冗長デジタル信号を生成することができる。この変換回路によれば、入力アナログ信号を所定の2つの基準信号と比較するので、1.5ビットからなるデジタル信号が得られる。

[0061] また、D/A変換回路57は、第1の電圧源47および第2の電圧源49を含む。第1の電圧源47は電圧 V_{RP} を提供する。第2の電圧源49は電圧 V_{RN} を提供する。第1の電圧源47の出力47aは、第1のスイッチ59aおよび出力57aを介して第2の入力55bに接続されており、また第2の電圧源49の出力49aは、第2のスイッチ59bおよび出力57aを介して第2の入力55bに接続されている。出力57aは、第3のスイッチ51cを介して接地線に接続されている。図5に示されるように、論理回路53は、第1～第3のスイッチ59a～59cをそれぞれ制御するための制御信号 ϕ_{DO} 、 ϕ_{DP} 、 ϕ_{DN} を生成する。デジタル信号 D_1 、 D_0 の値は、制御信号 ϕ_{DO} 、 ϕ_{DP} 、 ϕ_{DN} のうちのいずれがアクティブになるかを決定する。

[0062] この変換回路12の動作は、図4の(A)部および(B)部を参照しながら行われた説明から理解される。簡単に説明すれば、図4の(A)部に示されるように、第1のキャパ

シタ25および第2のキャパシタ27の各々に、入力アナログ信号 V_i に応じた電荷を蓄積する。第1のキャパシタ25には電荷 $Q_1 = C_1 \times V_i$ が蓄積されると共に、第2のキャパシタ27には電荷 $Q_2 = C_2 \times V_i$ が蓄積される。また、アナログ信号 V_i に対応したデジタル信号 V_{DIG} を生成する。デジタル信号 V_{DIG} は、所定のビット数からなるデジタル値(例えば D_1, D_0)を有する。演算増幅回路21の出力21cは反転入力21aと接続されており、出力21cおよび反転入力21aは共に、非反転入力21bの電位と同じ値である。

[0063] 図4の(B)部に示されるように、第1のキャパシタ25を演算増幅回路21の出力21cと反転入力21aとの間に接続すると共に第2のキャパシタ27の一端27aに該デジタル信号 V_{DIG} に応じた変換アナログ信号 $V_{D/A}$ を供給する。これによって、入力アナログ信号 V_i に関連した第1の変換値 V_{OUT1} を演算増幅回路21の出力21cに生成し、第1および第2のキャパシタ25、27の電荷を再配置する。

[0064] 変換アナログ信号 $V_{D/A}$ の印加により、第2のキャパシタ27から第1のキャパシタ25へ電荷 $\Delta Q_0 = C_2 \times V_i - C_2 \times D \times V_{ref}$ が移動する(Dの値は変換アナログ信号 $V_{D/A}$ の値に応じて「+1」、「0」、「-1」を取る)。第1のキャパシタ25には、サンプリング電荷 $C_1 \times V_i$ と移動電荷 ΔQ_0 とが蓄積される。演算増幅回路21の非反転入力21bは接地線に接続されているので、第1のキャパシタ25には、電荷 $V_{OUT1} \times C_1$ が蓄積される。この電荷 $V_{OUT1} \times C_1$ は $C_1 \times V_i + C_2 \times V_i - C_2 \times D \times V_{ref}$ に等しい。つまり、
$$V_{OUT1} = (1 + C_2 / C_1) \times V_i - D \times V_{ref} \times C_2 / C_1$$
である。 $\Delta C_2 = C_2 - C_1$ とすると、
$$V_{OUT1} = (2 + \Delta C_2 / C_1) \times V_i - D \times V_{ref} \times (1 + \Delta C_2 / C_1)$$
と書き換えられる。 $\Delta C_2 / C_1 = 0.01$ であるとすると、誤差の項の寄与は0.01となる。

[0065] 以上説明したように、本実施の形態によれば、最小1.5クロック動作でキャパシタのミスマッチを補償することが可能な変換回路が提供される。

[0066] 図4の(A)部～(C)部に示された手順によれば、3つのステップを行うことによって、アナログ信号に関連した第2の変換値が得られる。この第2の変換値では、3つのステップにおいて用いられたキャパシタのミスマッチが補償されている。また、本実施の

形態によれば、最小1.5クロック動作で3つのキャパシタのミスマッチを補償して、アナログ信号に対応したデジタル信号を生成する方法が提供される。

[0067] この手順は、全差動回路における一方の入力アナログ信号のためのステップを記述しており、これ故に、3つのステップは、シングルエンド回路だけでなく、全差動回路にも適用されることが理解される。

[0068] 図6は、アナログデジタル変換器のための変換回路を示す回路図である。図6に示されるように、この変換回路は全差動構成である。変換回路61は、入力13と、第1のサンプリングスイッチ17と、第2のサンプリングスイッチ19と、ゲインステージ15に替えてゲインステージ65とを備える。ゲインステージ65は、第1の入力65a、第2の入力65b、出力65c、第1の相補入力65d、第2の相補入力65e、および相補出力65fを含む。第1の入力65aは、入力アナログ信号 V_{ip} 及び変換アナログ信号 $V_{D/A}(N)$ のいずれか一方のアナログ信号を受けるために設けられている。第2の入力65bは、入力アナログ信号 V_{ip} 及び変換アナログ信号 $V_{D/A}(P)$ のいずれか一方のアナログ信号を受けるために設けられている。第1の相補入力65dは、入力アナログ相補信号 V_{in} 及び変換アナログ相補信号 $V_{D/A}(N)$ のいずれか一方のアナログ相補信号を受けるために設けられている。第2の相補入力65eは、入力アナログ相補信号 V_{in} 及び変換アナログ相補信号 $V_{D/A}(P)$ のいずれか一方のアナログ相補信号を受けるために設けられている。

[0069] 第1のサンプリングスイッチ17は、第1の入力65aと入力13との間に接続されており、また第1の期間 T_1 に入力アナログ信号 V_{ip} のサンプリングを行うために設けられている。第2のサンプリングスイッチ19は、第2の入力65bと入力13との間に接続されており、また第1の期間 T_1 に入力アナログ信号 V_{ip} のサンプリングを行うために設けられている。

[0070] この変換回路61は、さらに、相補入力63と、第3のサンプリングスイッチ67と、第4のサンプリングスイッチ69とを備えることができる。第3のサンプリングスイッチ67は、ゲインステージ65の第1の相補入力65dと相補入力63との間に接続されており、また第1の期間 T_1 に入力アナログ相補信号 V_{in} のサンプリングを行うために設けられている。第4のサンプリングスイッチ69は、第2の相補入力65eと相補入力63との間に

接続されており、また第1の期間 T_1 に入力アナログ相補信号 V_{in} のサンプリングを行うために設けられている。

[0071] ゲインステージ65は、演算増幅回路21と、フィードバックスイッチ23と、第1のキャパシタ25と、第2のキャパシタ27と、第1のスイッチ29と、第2のスイッチ31と、第3のキャパシタ33と、第3のスイッチ35と、第4のスイッチ37とに加えて、フィードバックスイッチ73と、第4のキャパシタ75と、第5のキャパシタ77と、第5のスイッチ79と、第6のスイッチ81と、第6のキャパシタ83と、第7のスイッチ85と、第8のスイッチ87とを含む。

[0072] 第4のキャパシタ75は、第1の相補入力65dに接続された一端75aと非反転入力21bに接続された他端75bとを有する。第5のキャパシタ77は、第2の相補入力65eに接続された一端77aと非反転入力21bに接続された他端77bとを有する。第6のスイッチ81は、第4のキャパシタ75の一端75aと演算増幅回路21の相補出力21dとの間に接続されており、また第2の期間 T_2 に第4のキャパシタ75を非反転入力21bと相補出力21dとの間に接続するために設けられている。第5のスイッチ79は、第5のキャパシタ77の一端77aと演算増幅回路21の相補出力21dとの間に接続されており、また第3の期間 T_3 に第5のキャパシタ77を演算増幅回路21の相補出力21dと非反転入力21bとの間に接続するために設けられている。第6のキャパシタ83は、演算増幅回路21の相補出力21dに接続された一端83aと他端83bとを有する。第7のスイッチ85は、第6のキャパシタ83の他端83bと非反転入力21bとの間に接続されており、また第3の期間 T_3 に第6のキャパシタ83を演算増幅回路21の相補出力21dと非反転入力21bとの間に接続するために設けられている。第8のスイッチ87は、接地といった基準電位線と第6のキャパシタ83の他端83bとの間に接続されており、また第1および第2の期間 T_1 、 T_2 に第6のキャパシタ83の他端83bに接地電位といった基準電位を提供するために設けられている。フィードバックスイッチ73は、演算増幅回路21の相補出力21dと非反転入力21bとの間に接続されている。

[0073] サブA/D変換回路90は、例えば全差動構成の2つのコンパレータ90a、90bを含む。コンパレータ90aは変換結果 D_0 を生成する。コンパレータ90bは変換結果 D_1 を生成する。これらの変換結果は、デジタル信号として論理回路43に提供されると共に、変換回路61のデジタル出力に提供される。

[0074] 論理回路43は、デジタル信号(D_0 、 D_1)に応じた制御信号 ϕ_{DO1} 、 ϕ_{DP1} 、 ϕ_{DN1} 、 ϕ_{DO2} 、 ϕ_{DP2} 、 ϕ_{DN2} を生成する。

[0075] D/A変換回路89は、論理回路43からの制御信号に応答して、

(1) 条件($-V_{ref}/4 > V_i$)を満たすとき、

$V_{D/A}(N) = V_{D/A}(P) = V_{ref}$ を提供する。

(2) 条件($V_{ref}/4 \geq V_i \geq -V_{ref}/4$)を満たすとき、

第1の入力65aと第1の相補入力65dとをスイッチを介して接続すると共に、第2の入力65bと第2の相補入力65eとをスイッチを介して接続する。

(3) 条件($V_i > +V_{ref}/4$)が満たされるとき、

$V_{D/A}(N) = V_{D/A}(P) = -V_{ref}$ を提供する。ここで、 $V = V_i - V_{ip} - V_{in}$ である。

[0076] 以上説明したように、この変換回路61によれば、全差動構成のゲインステージ65が提供される。

[0077] (第2の実施の形態)

図7は、本実施の形態に係るアナログデジタル変換器を概略的に示すブロック図である。アナログデジタル変換器91は、第1のAD変換段93と、一又は複数の第2のAD変換段95(97、99)とを備える。第1および第2のAD変換段93、95は直列に接続されている。第1のAD変換段93は、アナログ信号 V_i を受ける入力93a、残余アナログ信号 V_{RES0} を提供するアナログ出力93b、およびデジタル信号($D_0(0)$ 、 $D_1(0)$)を提供するデジタル出力93cとを含む。第1のAD変換段93は、上記いずれかの変換回路15、65を含む。第2のAD変換段97は、前段からのアナログ信号を受ける入力97a、残余アナログ信号 V_{RES1} を提供するアナログ出力97b、およびデジタル信号($D_0(1)$ 、 $D_1(1)$)を提供するデジタル出力97cとを含み、第2のAD変換段99は、前段からのアナログ信号を受ける入力99a、残余アナログ信号 V_{RESN-3} を提供するアナログ出力99b、およびデジタル信号($D_0(N-3)$ 、 $D_1(N-3)$)を提供するデジタル出力99cとを含む。また、第2のAD変換段97は、変換回路12、15、65を用いることができる。このアナログデジタル変換器91によれば、初段の変換回路においてキャパシタのミスマッチの補償を行うことができる。図7に示された乗算型D/A変換器(MDAC)には、例えば、図1、図5および図6に示されるゲインステージ、論

理回路およびD/A変換回路が含まれる。

[0078] 或いは、アナログデジタル変換器91では、第2のAD変換段列95の一部または全部は、変換回路15、65を含むことが好ましい。このアナログデジタル変換器によれば、初段以降の変換回路において、キャパシタのミスマッチの補償を行うことができる。

[0079] アナログデジタル変換器91は、サンプル/ホールド(S/H)回路101と、追加のアナログデジタル変換回路103と、論理回路105とを備えることができる。サンプル/ホールド回路101は、第1のAD変換段93のアナログ入力93aに接続されており、またアナログ信号 A_{in} を保持すると共に保持したアナログ信号 V_i を提供する。追加のアナログデジタル変換回路103は、直列に接続された第1および第2のAD変換段93、97、99のうちの最終変換段99のアナログ出力に接続された入力103aと、デジタル信号($D_0(N-2)$ 、 $D_1(N-2)$)を提供するデジタル出力103cとを有する。論理回路105は、第1のAD変換段93のデジタル出力93c、第2のAD変換段97、99のデジタル出力97c、99cおよび追加のアナログデジタル変換回路103のデジタル出力103cに接続された入力105aを含む。論理回路105は、アナログ信号 A_{in} に対応したデジタル信号 $V_{DIGITAL}$ を提供する出力105bを含む。デジタル信号 $V_{DIGITAL}$ は、(B_0 、 B_1 、 \dots 、 B_{N-2} 、 B_{N-1})からなるビットを有する。このアナログデジタル変換器91によれば、パイプライン型のアナログデジタル変換器が提供される。アナログデジタル変換器91の動作のために必要なタイミング信号は、クロック発生器107によって提供される。AD変換段93、97、99が例えば冗長1.5ビット構成のデジタル信号を論理回路105に提供する場合、論理回路105は、例えば、シフトレジスタといったデータ遅延回路105cと、冗長2進-非冗長2進変換回路105dとを含むことができる。必要な場合には、AD変換段93、97、99および追加のアナログデジタル変換回路103のデジタル出力は、冗長2進デジタル信号に替えて一ビットのデジタル信号を提供することができる。

[0080] 本実施の形態では、1.5ビットの演算を行う場合の構成について説明したが、本形態は、1個の比較器を用いた1ビットの演算を行う場合についても実現可能である。また、本実施の形態では、シングルエンド型回路だけでなく、キャパシタのバラツキをキ

キャンセルするために全差動回路を用いることもできる。さらに、パイプライン型A/D変換器においては、A/D変換段のパイプラインの後段になるほど誤差やノイズに対する耐性が高くなるので、パイプラインA/D変換器の入力に近い数段に、3つのキャパシタを用いた変換回路を用い、残りの段に、2つのキャパシタを用いた変換回路を用いることができる。これにより、キャパシタの数の少ない変換回路を用いて、A/D変換器の面積の低減をすることも可能である。

[0081] 以上説明したように、本実施の形態によれば、最小1.5クロック動作でキャパシタのミスマッチを補償することが可能な変換回路を含むアナログデジタル変換器が提供される。

[0082] (第3の実施の形態)

図8は、本実施の形態に係るアナログデジタル変換器の構成を示すブロック図である。アナログデジタル変換器111は、第1のAD変換段113と、第2のAD変換段115と、フィードバックスイッチ117とを備える。第1および第2のAD変換段113、115は直列に接続されている。第1のAD変換段113は、アナログ信号 V_i を受ける入力113a、残余アナログ信号 V_{RES0} を提供するアナログ出力113b、およびデジタル信号($D_0(0)$ 、 $D_1(0)$)を提供するデジタル出力113cとを含む。第1のAD変換段113は、上記いずれかの変換回路15、65を含む。第2のAD変換段115は、前段からのアナログ信号を受ける入力115a、残余アナログ信号 V_{RES1} を提供するアナログ出力115b、およびデジタル信号($D_0(1)$ 、 $D_1(1)$)を提供するデジタル出力115cとを含み、第2のAD変換段115は、変換回路15、65を含むことができる。このアナログデジタル変換器111によれば、初段以降の変換回路において、キャパシタのミスマッチの補償を行うことができる。フィードバックスイッチ117は、第1のAD変換段113の入力113aと第2のAD変換段115のアナログ出力115bとの間に接続されている。フィードバックスイッチ117は、第2のAD変換段115の出力115bから第1のAD変換段113の入力113aへの経路を提供する。図8に示された乗算型D/A変換器(MDAC)には、例えば、図1および図6に示されるゲインステージ、論理回路およびD/A変換回路が含まれる。

[0083] このアナログデジタル変換器111によれば、複数の変換段、例えば2つの変換段

を用いて巡回型のアナログデジタル変換器が提供される。また、AD変換段113、115によれば、一段当たり一または複数のビット数のデジタル信号が提供される。

[0084] アナログデジタル変換器111は、論理回路119を更に備えることができる。この論理回路119は、第1のAD変換段113のデジタル出力113cおよび第2のAD変換段115のデジタル出力115cに接続された入力119aを含む。論理回路119は、アナログ信号 A_{in} に対応した一または複数のビットを含むデジタル信号 $V_{DIGITAL}$ を提供する出力119bを含む。論理回路119は、例えばAD変換段の各々からの冗長デジタル信号を格納するためのデータレジスタ119cと、個々のデータレジスタ119cから提供される一組の冗長デジタル信号から非冗長デジタル信号を生成する変換回路119dとを含むことができる。

[0085] アナログデジタル変換器111によれば、第1および第2AD変換段113、115の一段当たりアナログ信号 A_{in} に対応したデジタル信号 $V_{DIGITAL}$ が提供される。デジタル信号 $V_{DIGITAL}$ は一または複数のビット数を含む。

[0086] アナログデジタル変換器111はサンプル/ホールド(S/H)回路121を含む。このS/H回路121は、入力121aにアナログ信号 A_{in} を受けて、受けたアナログ信号をサンプリングすると共に、サンプリングしたアナログ信号を保持する。また、アナログデジタル変換器111は、第1のAD変換段113の入力113aとS/H回路121の出力121bとの間に接続されたスイッチ121を更に備えることができる。スイッチ121は、クロック信号 ϕ_s によって制御されており、フィードバック期間中と異なるサンプリング期間にアナログ信号 A_{in} を受け取るために閉じられ。フィードバックスイッチ117が閉じられるフィードバック期間に開かれている、これ故に、第1のAD変換段113の入力113aとサンプル/ホールド回路119の出力119bとの間に接続されたスイッチ121およびフィードバックスイッチ117を用いて、サンプリング期間とフィードバック期間とを切り換えることができる。アナログデジタル変換器111の動作に必要なタイミング信号は、クロック発生器123によって提供される。

[0087] 以上説明したように、アナログデジタル変換器111によれば、最小1.5クロック動作でキャパシタのミスマッチを補償することが可能な変換回路を含むアナログデジタル変換器が提供される。

- [0088] 第1～第3の実施の形態に示された変換回路およびA/D変換器は、例えばMOS型トランジスタ等に構成されることができ、またスイッチがMOSアナログスイッチにより実現されることができる。
- [0089] 好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本実施の形態では、例えば、2段巡回型A/D変換器を説明したけれども、本発明は、本実施の形態に開示された特定の構成に限定されるものではない。また、本発明は、3段以上の巡回型A/D変換器にも適用されることができる。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更権利を請求する。

請求の範囲

- [1] アナログデジタル変換器のための変換回路であって、
入力アナログ信号を第1の期間に受けると共に該入力アナログ信号に対応した変換アナログ信号を前記第1の期間と異なる第2の期間に受けるための第1の入力、前記入力アナログ信号を前記第1の期間に受けると共に前記変換アナログ信号を前記第1および第2の期間と異なる第3の期間に受けるための第2の入力、第1～第3のキャパシタ並びに演算増幅回路を有するゲインステージを備え、
前記第1の期間に、前記第1および第2のキャパシタが前記第1および第2の入力と前記演算増幅回路の反転入力との間にそれぞれ接続され、前記アナログ信号に応じた電荷が前記第1および第2の入力を介してそれぞれ前記第1および第2のキャパシタに蓄積され、
前記第2の期間に、前記演算増幅回路の前記出力と前記反転入力との間に前記第2のキャパシタが接続され、前記第1の入力を介して前記第1のキャパシタに加えられた前記変換アナログ信号に応答して前記演算増幅回路の出力に第1の演算値が生成されると共に前記第1の演算値が前記第3のキャパシタに格納され、
前記第3の期間に、前記第2のキャパシタが前記第2の入力と前記演算増幅回路の前記出力との間に接続されると共に前記演算増幅回路の出力と前記反転入力との間に前記第1および第3のキャパシタが接続され、前記第2の入力を介して前記第2のキャパシタに加えられた前記変換アナログ信号に応答して前記演算増幅回路の前記出力に第2の演算値が生成される、ことを特徴とする変換回路。
- [2] 前記入力アナログ信号を受ける入力と、
前記第1の入力と前記入力との間に接続されており前記第1の期間に前記入力アナログ信号のサンプリングを行うための第1のサンプリングスイッチと、
前記第2の入力と前記入力との間に接続されており前記第1の期間に前記入力アナログ信号のサンプリングを行うための第2のサンプリングスイッチと、
前記入力に接続されており、所定のビット数からなるデジタル信号を前記入力アナログ信号に応じて生成するサブA/D変換回路と、
前記サブA/D変換回路に接続されており、前記デジタル信号に応じて制御信

号を前記第2の期間および前記第3の期間に提供するための論理回路と、

前記論理回路に接続されており、前記第2および第3の期間に前記変換アナログ信号を提供するD/A変換回路と

を備え、

前記変換アナログ信号は前記制御信号に応じて生成される、ことを特徴とする請求項1に記載された変換回路。

[3] 前記サブA/D変換回路は、前記入力アナログ信号を所定の基準信号と比較すると共に比較結果信号を提供するコンパレータを含む、ことを特徴とする請求項2に記載された変換回路。

[4] 前記サブA/D変換回路は、前記入力アナログ信号を所定の2つの基準信号と比較することによって3値の冗長デジタル信号を生成する、ことを特徴とする請求項2に記載された変換回路。

[5] 前記第1のキャパシタは、前記第1の入力に接続された一端と前記演算増幅回路の反転入力に接続された他端とを有し、

前記第2のキャパシタは、前記第2の入力に接続された一端と前記演算増幅回路の前記反転入力に接続された他端とを有し、

第3のキャパシタは、前記演算増幅回路の前記出力に接続された一端と他端とを有し、

前記ゲインステージは、

前記第2のキャパシタの前記一端と前記演算増幅回路の出力との間に接続されており前記第2の期間に前記第2のキャパシタを前記演算増幅回路の前記反転入力と前記演算増幅回路の前記出力との間に接続するための第1のスイッチと、

前記第1のキャパシタの前記一端と前記演算増幅回路の前記出力との間に接続されており前記第3の期間に前記第1のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続するための第2のスイッチと、

前記第3のキャパシタの前記他端と前記反転入力との間に接続されており前記第3の期間に前記第3のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続するための第3のスイッチと、

前記第3のキャパシタの前記他端と基準電位線との間に接続されており前記第1および第2の期間に前記第3のキャパシタの前記他端に基準電位を提供するための第4のスイッチと
を含む、ことを特徴とする請求項1～請求項4のいずれか一項に記載された変換回路。

[6] 前記ゲインステージは、

入力アナログ相補信号を前記第1の期間に受けると共に前記第2の期間に変換アナログ相補信号を受けするための第1の相補入力と、

前記入力アナログ相補信号を前記第1の期間に受けると共に前記第3の期間に前記変換アナログ相補信号を受けするための第2の相補入力と、

前記第1の相補入力に接続された一端と前記演算増幅回路の前記非反転入力に接続された他端とを有する第4のキャパシタと、

前記第2の相補入力に接続された一端と前記演算増幅回路の前記非反転入力に接続された他端とを有する第5のキャパシタと、

前記第5のキャパシタの前記一端と前記演算増幅回路の相補出力との間に接続されており前記第2の期間に前記第5のキャパシタを前記演算増幅回路の前記非反転入力と前記相補出力との間に接続するための第5のスイッチと、

前記第4のキャパシタの前記一端と前記演算増幅回路の前記相補出力との間に接続されており前記第3の期間に前記第4のキャパシタを前記演算増幅回路の前記相補出力と前記非反転入力との間に接続するための第6のスイッチと、

前記演算増幅回路の前記相補出力に接続された一端と他端とを有する第6のキャパシタと、

前記第6のキャパシタの前記他端と前記非反転入力との間に接続されており前記第3の期間に前記第6のキャパシタを前記演算増幅回路の前記相補出力と前記非反転入力との間に接続するための第7のスイッチと、

前記第6のキャパシタの前記他端と基準電位線との間に接続されており前記第1および第2の期間に前記第6のキャパシタの前記他端に基準電位を提供するための第8のスイッチと

を含む、ことを特徴とする請求項5に記載された変換回路。

- [7] 第1のAD変換段を備え、前記第1のAD変換段は、入力アナログ信号を受ける入力および残余アナログ信号を提供するアナログ出力を有しており、
- 又は複数の第2のAD変換段を備え、前記第2のAD変換段の各々は、前段のAD変換段からの残余アナログ信号を受ける入力および当該AD変換段の残余アナログ信号を提供するアナログ出力を有しており、前記第1および第2のAD変換段は直列に接続されており、
 - 前記第1のAD変換段は、請求項1から請求項6のいずれか一項に記載された変換回路を含み、
 - 前記第1のAD変換段は、所定のビット数から成るデジタル信号を提供するデジタル出力を含み、
 - 前記第2のAD変換段の各々は、前記所定のビット数から成るデジタル信号を提供するデジタル出力を含む、ことを特徴とするアナログデジタル変換器。
- [8] 前記第2のAD変換段は、請求項1から請求項6のいずれか一項に記載された変換回路を含む、ことを特徴とする請求項7に記載されたアナログデジタル変換器。
- [9] 前記第1のAD変換段の前記入力に接続されておりアナログ信号を保持するためのサンプル/ホールド回路と、
- 前記直列に接続された第1および第2のAD変換段のうちの最終変換段のアナログ出力に接続されておりデジタル信号を提供するデジタル出力を有する追加のアナログデジタル変換回路と、
 - 前記第1のAD変換段の前記デジタル出力、前記第2のAD変換段の前記デジタル出力および前記追加のアナログデジタル変換回路の前記デジタル出力に接続されたデジタル論理回路と
- を備え、
- 前記デジタル論理回路は前記入力アナログ信号に対応したデジタル信号を提供する、ことを特徴とする請求項7または請求項8に記載されたアナログデジタル変換器。
- [10] 前記第2のAD変換段の数は1であり、

当該アナログデジタル変換器は、前記第1のAD変換段の前記入力と前記第2のAD変換段の前記アナログ出力との間に接続されたフィードバックスイッチを更に備える、ことを特徴とする請求項8に記載されたアナログデジタル変換器。

[11] 前記第1のAD変換段の前記デジタル出力および前記第2のAD変換段の前記デジタル出力に接続されたデジタル論理回路を更に備え、

前記デジタル論理回路は、前記入力アナログ信号に対応しており複数のビット数からなるデジタル信号を提供する、ことを特徴とする請求項10に記載されたアナログデジタル変換器。

[12] アナログ信号を保持するためのサンプル／ホールド回路と、

前記第1のAD変換段の前記入力と前記サンプル／ホールド回路の出力との間に接続されておりサンプリング期間中に前記入力アナログ信号を提供するためのスイッチとを更に備え、

前記フィードバックスイッチは、前記サンプリング期間中と異なるフィードバック期間中に、前記第2のAD変換段の前記出力から前記第1のAD変換段の前記入力への経路を提供する、ことを特徴とする請求項10または請求項11に記載されたアナログデジタル変換器。

[13] ゲインステージを用いて、入力アナログ信号に対応したデジタル信号を生成する方法であって、前記ゲインステージは第1～第3のキャパシタおよび演算増幅回路を含み、前記第1および第2のキャパシタの一端は前記演算増幅回路の反転入力に接続されており、

前記第3のキャパシタの一端は前記演算増幅回路の出力に接続されており、

当該方法は、

前記第1のキャパシタおよび前記第2のキャパシタの各々に、前記入力アナログ信号に応じた電荷を蓄積すると共に、所定のビット数からなるデジタル値を有しており前記入力アナログ信号に応じたデジタル信号を生成する第1のステップと、

前記第2のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に前記第1のキャパシタの前記一端に該デジタル信号に応じた変換アナログ信号を供給することによって、前記入力アナログ信号に関連した第1の変換値

を前記演算増幅回路の前記出力に生成し、前記第1および第2のキャパシタの前記電荷を再配置すると共に前記第1の変換値に対応する電荷を前記第3のキャパシタに蓄積する第2のステップと、

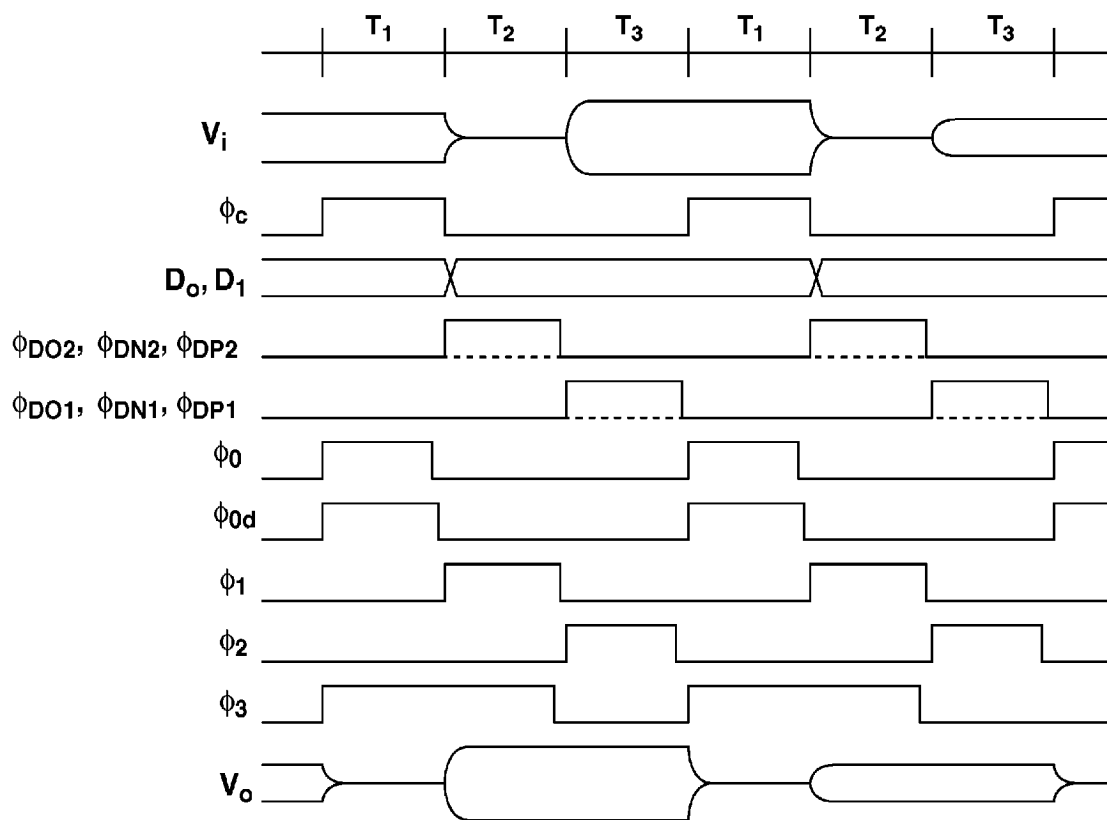
前記第1および第3のキャパシタを前記演算増幅回路の前記出力と前記反転入力との間に接続すると共に前記第2のキャパシタの前記一端に該デジタル信号に応じた変換アナログ信号を供給することによって、前記入力アナログ信号に関連した第2の変換値を前記演算増幅回路の前記出力に生成すると共に、前記第1、第2および第3のキャパシタの前記電荷を再配置する第3のステップとを備える、ことを特徴とする方法。

- [14] 当該ゲインステージにおける前記第2の変換値を前記アナログ信号として次段のゲインステージに提供するステップと、

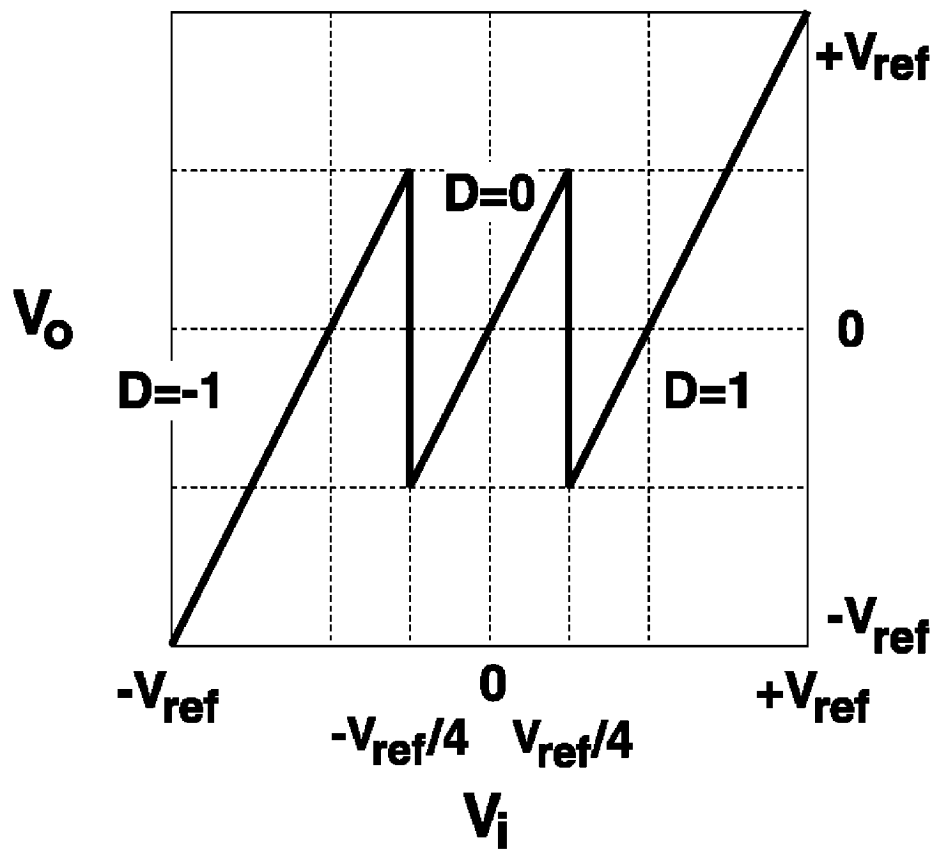
前記次段のゲインステージにおいて前記第1～第3のステップを行うステップとを更に備える、ことを特徴とする請求項13に記載された方法。

- [15] 前段のゲインステージにおいて前記第1～第3のステップを行うステップと、
前記前段のゲインステージの第2の変換値を前記アナログ信号として当該ゲインステージに提供するステップと
を更に備える、ことを特徴とする請求項13または請求項14に記載された方法。

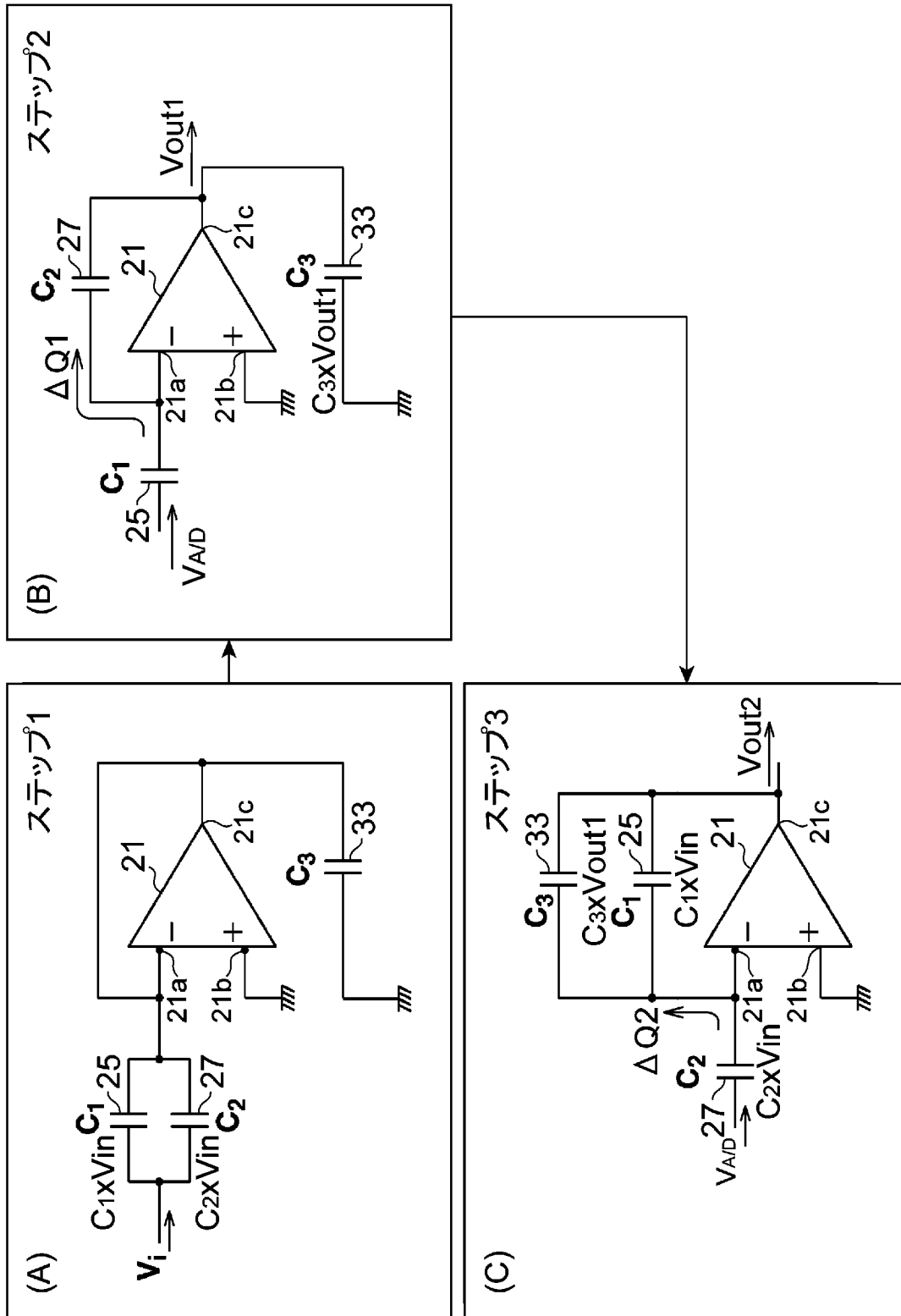
[図2]



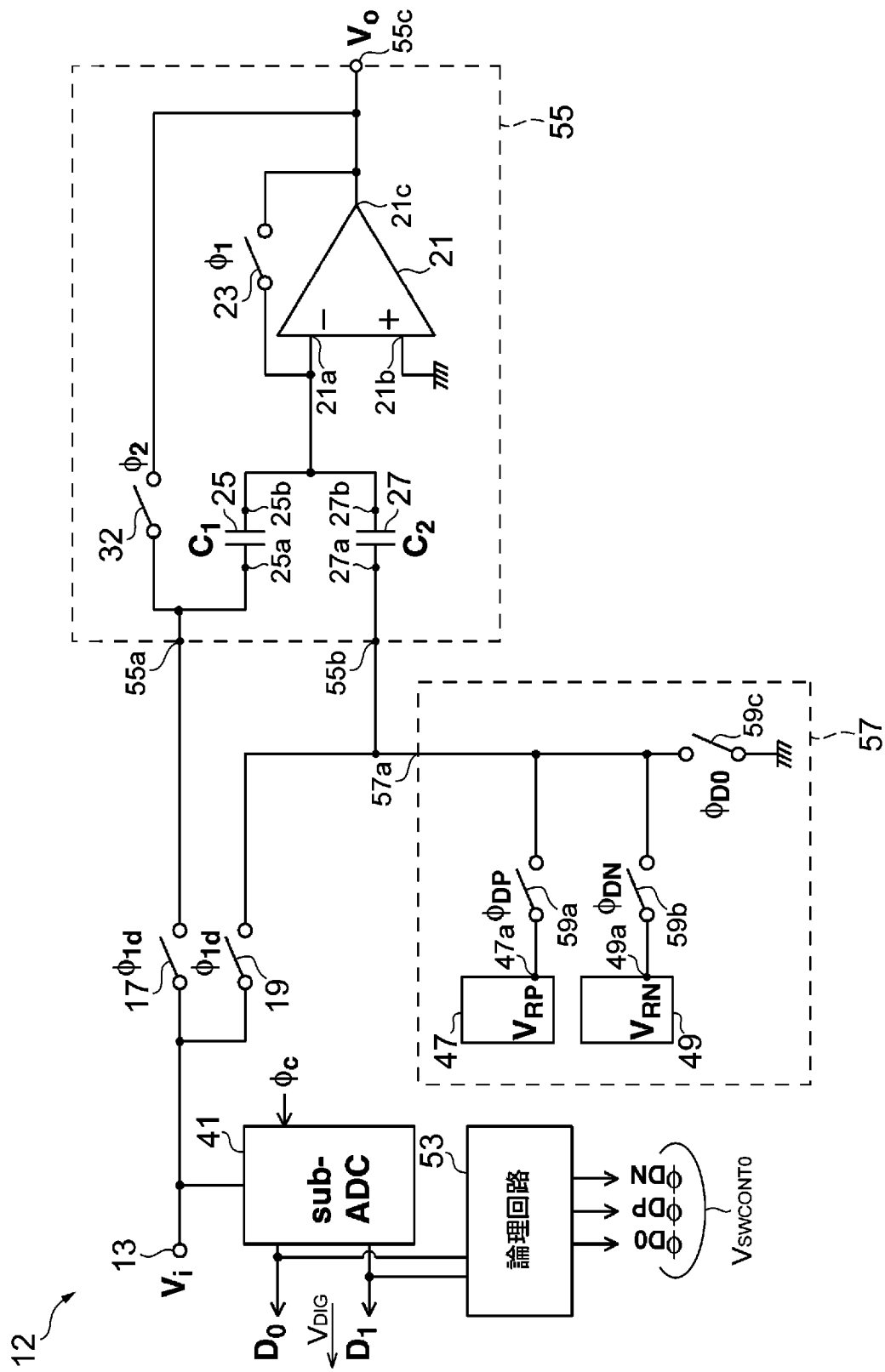
[図3]



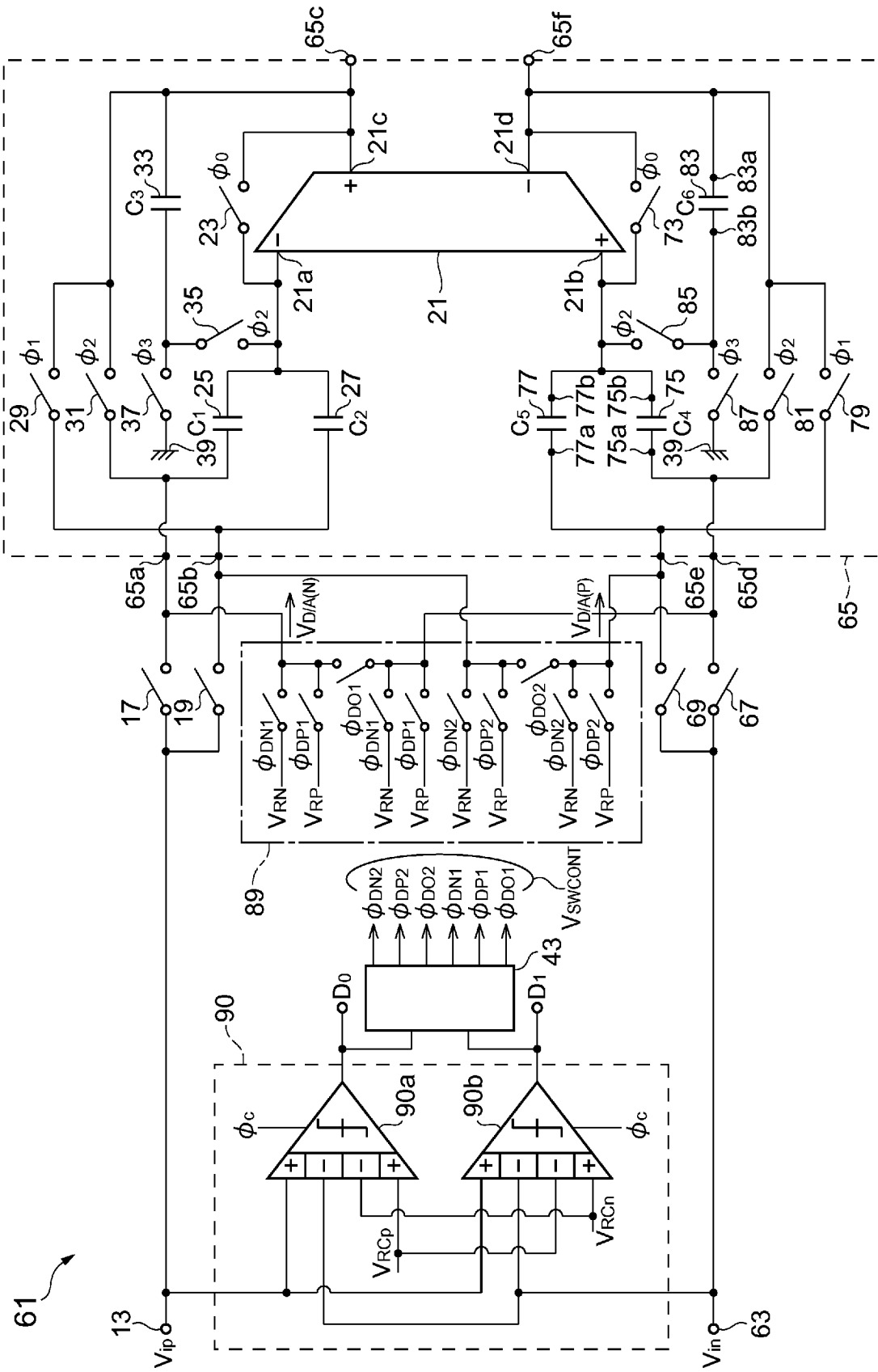
[図4]



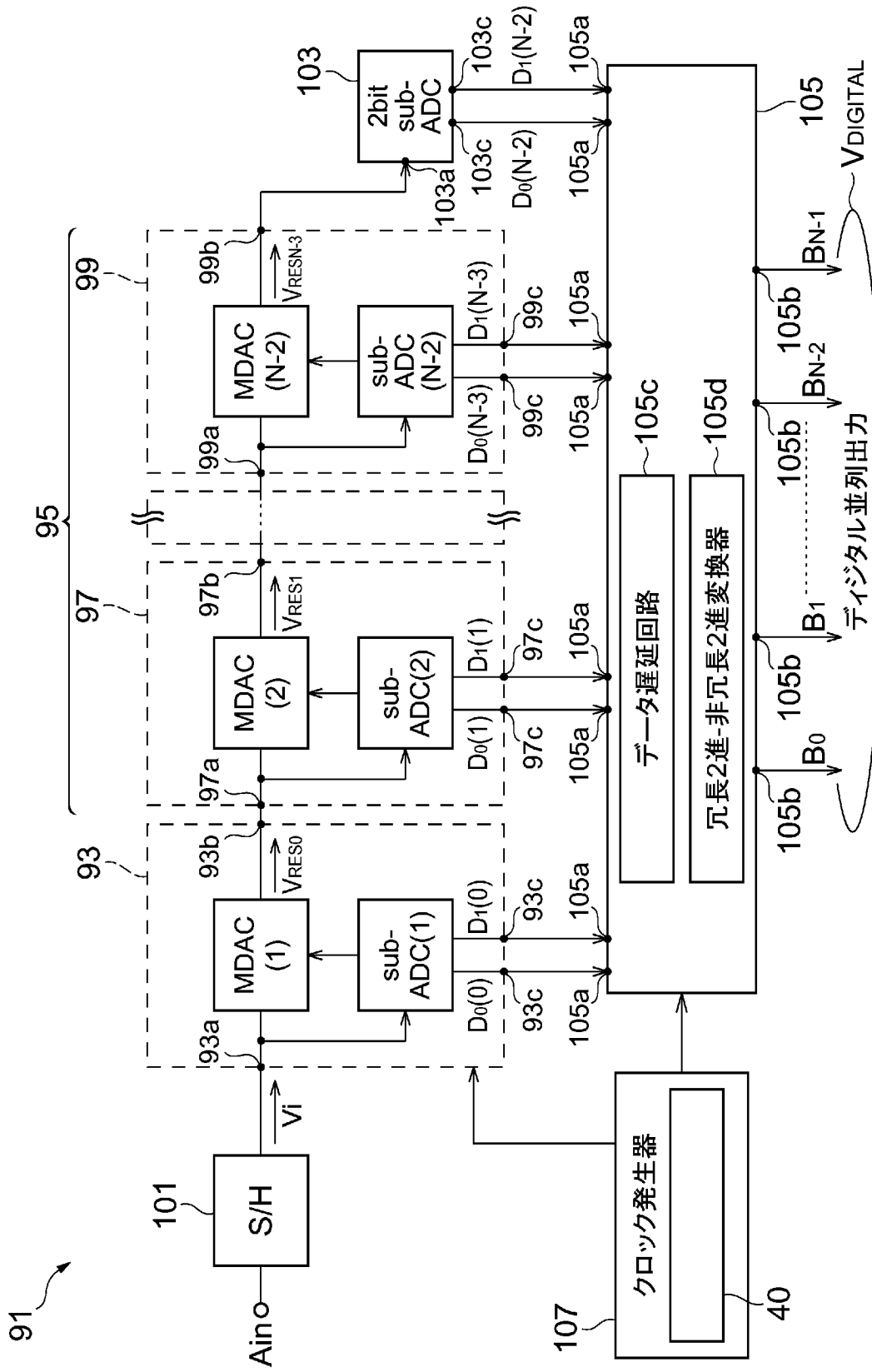
[図5]



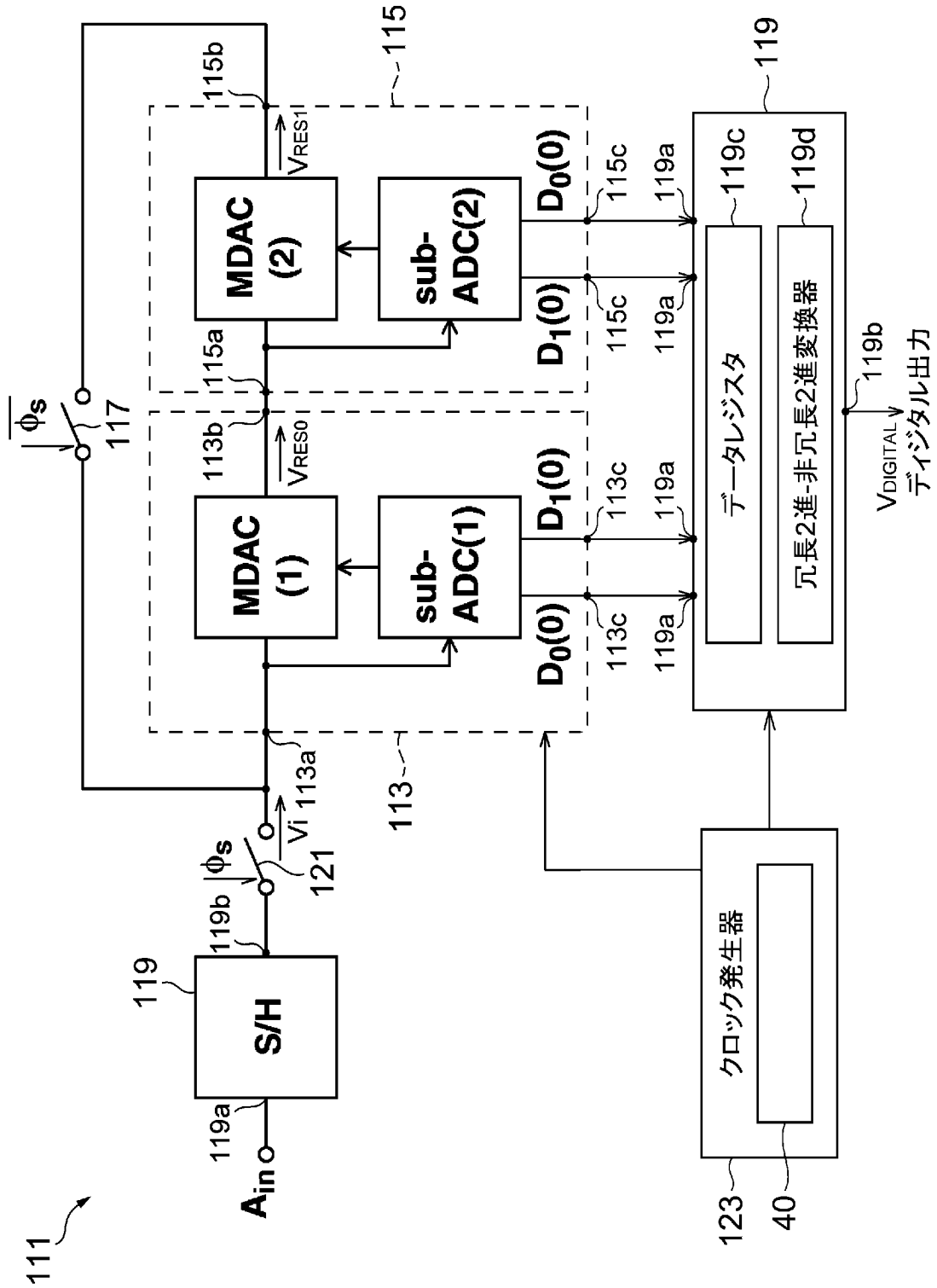
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/061633

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M1/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
IEEE

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	SeongHwan Cho; Sungmin Ock; Sang-Hoon Lee; Joon-Suk Lee; "A low power pipelined analog-to-digital converter using series sampling capacitors", IEEE International Symposium on Circuits and Systems, 2005. ISCAS 2005., Vol.6, 2005, Pages:6178-6181	1-15
A	JP 08-505273 A (VLSI Technology, Inc.), 04 June, 1996 (04.06.96), Page 7, lines 6 to 9; Fig. 3 & US 5594445 A & US 5764176 A & WO 1994/011951 A1 & DE 69308033 C	1-15

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 June, 2007 (20.06.07)	Date of mailing of the international search report 03 July, 2007 (03.07.07)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/14(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/14		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) IEEE		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	SeongHwan Cho; Sungmin Ock; Sang-Hoon Lee; Joon-Suk Lee; " A low power pipelined analog-to-digital converter using series sampling capacitors", IEEE International Symposium on Circuits and Systems, 2005. ISCAS 2005. , Vol. 6, 2005, Pages:6178 - 6181	1-15
A	JP 08-505273 A (ヴェルエルエスアイ テクノロジー インコーポレイテッド) 1996.06.04, 第7頁第6-9行, 第3図 & US 5594445 A & US 5764176 A & WO 1994/011951 A1 & DE 69308033 C	1-15
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 20.06.2007	国際調査報告の発送日 03.07.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 柳下 勝幸 電話番号 03-3581-1101 内線 3596	5 X 9561