

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年3月12日 (12.03.2009)

PCT

(10) 国際公開番号
WO 2009/031377 A1

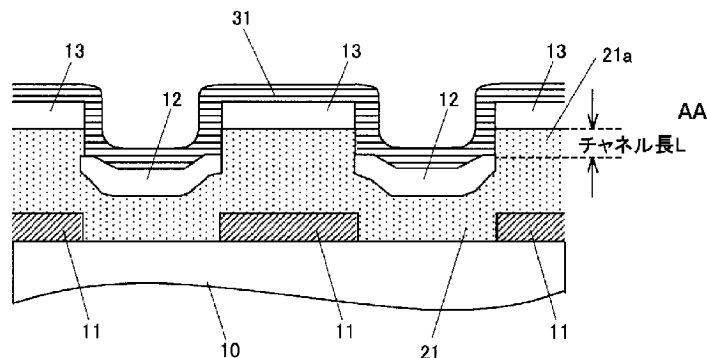
- (51) 国際特許分類: H01L 21/336 (2006.01) H01L 29/786 (2006.01)
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 岡田 裕之 (OKADA, Hiroyuki) [JP/JP]; 〒9308555 富山県富山市五福3190国立大学法人富山大学内 Toyama (JP). 中 茂樹 (NAKA, Shigeki) [JP/JP]; 〒9308555 富山県富山市五福3190国立大学法人富山大学内 Toyama (JP).
- (21) 国際出願番号: PCT/JP2008/063887
- (22) 国際出願日: 2008年8月1日 (01.08.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2007-228080 2007年9月3日 (03.09.2007) JP
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA,
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人富山大学 (NATIONAL UNIVERSITY CORPORATION UNIVERSITY OF TOYAMA) [JP/JP]; 〒9308555 富山県富山市五福3190 Toyama (JP).

[続葉有]

(54) Title: MULTIPLE-CHANNEL SELF-ALIGNMENT TRANSISTOR FABRICATED BY DOUBLE SELF-ALIGNMENT PROCESS AND ITS MANUFACTURING METHOD

(54) 発明の名称: 二重自己整合プロセスによる多重チャネル自己整合トランジスタ及びその製造方法

[図1]



AA CHANNEL LENGTH L

(57) Abstract: A multiple-channel self-alignment transistor fabricated through double self-alignment process by sequentially determining the positions of the gate, drain, and source electrodes by two back exposures, having a vertical structure using a comb gate electrode, and having multiple short channels and its manufacturing method are provided. A multiple-channel self-alignment transistor fabricated by a double self-alignment process comprises opaque gate electrodes (11) of a comb shape formed on a substrate (10), an insulating film (21) formed over the opaque gate electrodes (11), a transparent drain electrode (12) formed by a first back exposure through the substrate (10) between the comb opaque gate electrodes (11), transparent source electrodes (13) formed above an insulating film (21a) formed thereon and the comb opaque gate electrodes (11) by a second back exposure through the substrate (10), and a semiconductor (31) formed thereon.

(57) 要約: 二度の背面露光を用いることで、ゲート、ドレイン及びソース電極の位置を順次決定し、櫛形ゲート電極を用いた縦形構造でマルチ・短チャネル化を図ることができる二重自己整合プロセス

[続葉有]



WO 2009/031377 A1



MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE,
SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:

— 国際調査報告書

スによる多重チャネル自己整合トランジスタとその製造方法を提供する。二重自己整合プロセスによる多重チャネル自己整合トランジスタにおいて、基板(10)上に楕形に加工された不透明ゲート電極(11)と、その上に積層された絶縁膜(21)と、前記楕形に加工された不透明ゲート電極(11)との間に、前記基板(10)側からの1回目の背面露光によって形成される透明ドレイン電極(12)と、その上に積層される絶縁膜(21a)と前記楕形に加工された不透明ゲート電極(11)の上方に前記基板(10)側からの2回目の背面露光によって形成される透明ソース電極(13)と、その上に積層される半導体(31)を有する。

明 細 書

二重自己整合プロセスによる多重チャネル自己整合トランジスタ及びその製造方法

技術分野

[0001] 本発明は、二重自己整合プロセスによる多重チャネル自己整合トランジスタ及びその製造方法に関するものである。

背景技術

[0002] 従来、大面積化可能、超薄型、軽量、フレキシブルの特徴を有する有機エレクトロニクス技術が注目されている。そのスイッチングデバイスとしては有機トランジスタが挙げられ、ペンタセン半導体を持つ有機トランジスタ、有機SIT、自己整合技術を用いた有機トランジスタ等、様々な提案・検討が成されてきた。

特許文献1:特開2005-158775号公報

発明の開示

発明が解決しようとする課題

[0003] そのなかでも、上記特許文献1は、本願発明者らによって提案されたものであり、有機電界効果トランジスタの製造方法が開示されている。そこでは背面露光法を用い、予め形成したゲート電極をマスクとして用いることで、続くソース・ドレイン電極の位置を決定する自己整合方法が採用されている。本手法は、トランジスタの主要部となる三つの電極位置が決定でき、かつその位置を $0.8\mu\text{m}$ 以下のオーバーラップ長で小さく形成することができるため、トランジスタの高性能化を図ることができる。また、フレキシブル基板上にトランジスタを形成した際ゲート電極が湾曲した場合も、続くドレイン・ソース電極のアライメントが可能となる興味深い手法と言える。

[0004] しかしながら、上記特許文献1による有機電界効果トランジスタは、チャネルが基板に対して水平方向に形成されるため、加工技術の観点からチャネル長の短縮が難しく、ひいてはチャネル長短縮による高性能化が難しかった。そのため、ゲート、ドレイン及びソース電極を基板に積層する、縦型構造を持つ自己整合有機トランジスタの実現が望まれていた。

[0005] 本発明は、上記状況に鑑みて、二度の背面露光法を用いることで、ゲート、ドレイン及びソース電極の位置を順次決定し、楕形ゲート電極を用いた縦形構造でマルチ・短チャンネル化を図ることのできるフレキシブル化対応可能な二重自己整合プロセスによる多重チャンネル自己整合トランジスタとその製造方法を提供することを目的とする。

課題を解決するための手段

[0006] 本発明は、上記目的を達成するために、

[1]二重自己整合プロセスによる多重チャンネル自己整合トランジスタにおいて、基板(10)上に楕形に加工された不透明ゲート電極(11)と、その上に積層された絶縁膜(21)と、前記楕形に加工された不透明ゲート電極(11)との間に前記基板(10)側からの1回目の背面露光によって形成される透明ドレイン電極(12)と、その上に積層される絶縁膜(21a, 22)と前記楕形に加工された不透明ゲート電極(11)の上方に前記基板(10)側からの2回目の背面露光によって形成される透明ソース電極(13)と、その上に積層される半導体(31)を有することを特徴とする。

[0007] [2]上記[1]記載の二重自己整合プロセスによる多重チャンネル自己整合トランジスタにおいて、前記楕形に加工された不透明ゲート電極(11)がTaであることを特徴とする。

[0008] [3]上記[1]記載の二重自己整合プロセスによる多重チャンネル自己整合トランジスタにおいて、前記透明ドレイン電極(12)及び前記透明ソース電極(13)がインジウム亜鉛酸化物(IZO)であることを特徴とする。

[0009] [4]上記[1]記載の二重自己整合プロセスによる多重チャンネル自己整合トランジスタにおいて、前記絶縁膜(21, 21a, 22)が Ta_2O_5 であることを特徴とする。

[0010] [5]上記[1]記載の二重自己整合プロセスによる多重チャンネル自己整合トランジスタにおいて、前記絶縁膜(21a, 22)がポリイミドであることを特徴とする。

[0011] [6]上記[1]記載の二重自己整合プロセスによる多重チャンネル自己整合トランジスタにおいて、前記半導体(31)が有機半導体であることを特徴とする。

[0012] [7]上記[6]記載の二重自己整合プロセスによる多重チャンネル自己整合トランジスタにおいて、前記有機半導体がペンタセンであることを特徴とする。

[0013] [8]上記[1]記載の二重自己整合プロセスによる多重チャンネル自己整合トランジスタ

タにおいて、前記半導体(31)が酸化物半導体であることを特徴とする。

- [0014] [9] 上記[8]記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタにおいて、前記酸化物半導体がインジウム亜鉛酸化物(IZO)であることを特徴とする。
- [0015] [10] 二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、基板(10)上に不透明ゲート電極(11)を形成し、該不透明ゲート電極(11)を楕形に加工し、その上に絶縁膜(21)を形成する工程と、フォトレジストを全面にコーティング後、前記基板(10)側から紫外光による1回目の背面露光を行い、現像後、フォトレジストパターン(41)を形成する工程と、透明ドレイン電極(12)を形成する工程と、不要部の電極をフォトレジストパターン(41)ごとリフトオフを行う工程と、絶縁膜(21a, 22)を積層し、次いで透明ソース電極(13)を積層形成し、更には、フォトレジストをコーティング後、前記基板(10)側から紫外光による2回目の背面露光を実施し、フォトレジストパターン(42)を形成する工程と、前記フォトレジストパターン(42)を用い、前記ソース電極(13)及び前記絶縁膜(21a, 22)を加工する工程と、フォトレジストパターン(42)を除去する工程と、半導体(31)を形成する工程とを施すことを特徴とする。
- [0016] [11] 上記[10]記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記楕形に加工された不透明ゲート電極(11)にTaを用いることを特徴とする。
- [0017] [12] 上記[10]記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記透明ドレイン電極(12)及び前記透明ソース電極(13)にインジウム亜鉛酸化物(IZO)を用いることを特徴とする。
- [0018] [13] 上記[10]記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記絶縁膜(21, 21a, 22)に Ta_2O_5 を用いることを特徴とする。
- [0019] [14] 上記[10]記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記絶縁膜(21a, 22)にポリイミドを用いることを特徴とする。

- [0020] [15] 上記[10]記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記半導体(31)に有機半導体を用いることを特徴とする。
- [0021] [16] 上記[15]記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記有機半導体にペンタセンを用いることを特徴とする。
- [0022] [17] 上記[10]記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記半導体(31)に酸化物半導体を用いることを特徴とする。
- [0023] [18] 上記[17]記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記酸化物半導体にインジウム亜鉛酸化物(IZO)を用いることを特徴とする。

発明の効果

- [0024] 本発明によれば、短チャネル、多重チャネルかつ自己整合と高性能化された二重自己整合プロセスによる多重チャネル自己整合トランジスタが実現できる。

図面の簡単な説明

- [0025] [図1]本発明の実施例を示す二重自己整合プロセスによる多重チャネル自己整合トランジスタの断面図である。
- [図2]本発明の第1実施例を示す二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造工程図である。
- [図3]本発明に係るp形有機半導体材料(その1)を示す図である。
- [図4]本発明に係るp形有機半導体材料(その2)を示す図である。
- [図5]本発明に係るp形有機半導体材料(その3)を示す図である。
- [図6]本発明に係る絶縁材料及びn形有機半導体材料を示す図である。
- [図7]本発明の第2実施例を示す二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造工程図である。
- [図8]本発明の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法によって得られたトランジスタの特性を示す図である。

符号の説明

- [0026] 10 基板
11 楕形ゲート電極
12 ドレイン電極
13 ソース電極
21, 21a, 22 絶縁膜
31 有機半導体又は酸化物半導体
41, 42 フォトレジストパターン
L トランジスタのチャンネル長

発明を実施するための最良の形態

- [0027] 本発明の二重自己整合プロセスによる多重チャンネル自己整合トランジスタは、基板(10)上に楕形に加工された不透明ゲート電極(11)と、その上に積層された絶縁膜(21)と、前記楕形に加工された不透明ゲート電極(11)との間に、前記基板(10)側からの1回目の背面露光によって形成される透明ドレイン電極(12)と、その上に積層される絶縁膜(21a, 22)と前記楕形に加工された不透明ゲート電極(11)の上方に前記基板(10)側からの2回目の背面露光によって形成される透明ソース電極(13)と、その上に積層される半導体(31)を有する。

実施例

- [0028] 以下、本発明の実施の形態について詳細に説明する。
- [0029] 図1は本発明の実施例を示す二重自己整合プロセスによる多重チャンネル自己整合トランジスタの断面図、図2は本発明の第1実施例を示す二重自己整合プロセスによる多重チャンネル自己整合トランジスタの製造工程図である。
- [0030] これらの図において、10は基板、11は楕形ゲート電極、12はドレイン電極、13はソース電極、21, 21aは絶縁膜、31は有機半導体又は酸化物半導体、41, 42はフォトレジストパターンである。図1に示すように、トランジスタのチャンネル長Lは、ドレイン電極12とソース電極13の高さの差、すなわち絶縁膜21aの膜厚によって決まる。
- [0031] まず、第1実施例の二重自己整合プロセスによる多重チャンネル自己整合トランジスタの製造工程を図2を参照しながら説明する。
- [0032] まず、図2(a)に示すように、基板10を洗浄した後、不透明ゲート電極を形成して楕

形に加工し、楕形ゲート電極11を得る。その後、絶縁膜21を形成する。続いて、ポジ形フォトレジストを全面にコーティング後、背面露光法を用いて基板10側から紫外光による1回目の背面露光を行い、現像後、図2(b)に示すように、フォトレジストパターン41を得る。ここで、この背面露光法により得られたフォトレジストパターン41は、楕形ゲート電極11の幅より1 μ m前後小さくなるが、楕形ゲート電極11の幅と同等幅のパターン形成が可能となる。続いて、図2(c)に示すように、透明ドレイン電極12を形成する。その後、図2(d)に示すように、不要部の電極をフォトレジストパターン41ごとリフトオフする。そして、図2(e)に示すように、絶縁膜21a(絶縁膜21と同じ材料)、透明ソース電極13を順次積層形成する。更には、フォトレジストをコーティング後、紫外光による2回目の背面露光を実施し、フォトレジストパターン42を形成する。次いで、図2(f)に示すように、このフォトレジストパターン42を用い、ソース電極13及び絶縁膜21aを加工する。その後、図2(g)に示すように、フォトレジストパターン42を除去する。最後に、図2(h)に示すように、有機半導体31を形成することで二重自己整合プロセスによる多重チャネル自己整合トランジスタが完成する。

[0033] この第1実施例では、楕形ゲート電極11にTa、透明ドレイン・ソース電極12, 13にインジウム亜鉛酸化物(IZO)、絶縁膜21, 21aに Ta_2O_5 、有機半導体31に例えば、ペンタセンを用いた。また、有機半導体に代えて酸化物半導体、例えば、インジウム亜鉛酸化物を用いることができる。

[0034] 以下、二重自己整合プロセスによる多重チャネル自己整合トランジスタの各部に用いられる材料について説明する。

[0035] まず、有機材料について説明する。

[0036] p形有機半導体材料を図3～図5に、絶縁材料及びn形有機半導体材料を図6に示す。

[0037] はじめに、p形有機半導体材料について説明する。Pentaceneは最も代表的な有機材料であり、現在では移動度 $1.5\text{cm}^2/Vs$ を超える値が各機関より報告されており、さらに $3\text{cm}^2/Vs$ 程度という単結晶の移動度を超える値も報告され、a-SiFETを超える特性が得られる点は間違いない。低分子材料系であるという観点から、蒸着法に頼っていたのでは、単なるフレキシブル化可能な材料である点がトランジスタの特

徴として残るのみで将来性に乏しかった。しかしながら、最近、加熱1, 2, 4-トリクロロベンゼンや、ジクロロベンゼン溶液化による塗布形成及びインクジェットプリント(IJP)形成の報告もなされた。これらにより、将来的には大面積・フレキシブル応用を目指したトランジスタとしての利用が有望であると考えられる。以下、初期報告と移動度は、polyacetylene、有機色素($1.5 \times 10^{-5} \text{ cm}^2 / \text{Vs}$)、polythiophene($10^{-5} \text{ cm}^2 / \text{Vs}$)、p, p'-biphenol($4 \times 10^{-4} \text{ cm}^2 / \text{Vs}$)、poly(3-hexylthiophene($10^{-4} \text{ cm}^2 / \text{Vs}$)、Polyacetylene($10^{-4} \text{ cm}^2 / \text{Vs}$)、Poly(3-alkylthiophene)($3 \times 10^{-3} \text{ cm}^2 / \text{Vs}$)、poly(1, 4-naphthalene vinylene)とpoly(p-phenylene vinylene)($2 \times 10^{-6} \text{ cm}^2 / \text{Vs}$)、polypyrrole オーミック polythiophene($2 \times 10^{-4} \text{ cm}^2 / \text{Vs}$)、polythienylenevinylene($0.22 \text{ cm}^2 / \text{Vs}$)、oligothiophene置換基($10^{-2} \text{ cm}^2 / \text{Vs}$)、 α -sexithienyl, regioregular poly(3-hexylthiophene)(RR-P3HT)($0.1 \text{ cm}^2 / \text{Vs}$)、quaterthiophene、sexithiopheneとoctithiophene($0.072 \text{ cm}^2 / \text{Vs}$)が報告されている。材料系として、チオフェン系を中心に、かつregioregular化や長鎖化による高配向性の導入により、移動度 $0.1 \text{ cm}^2 / \text{Vs}$ 程度が達成されていた。その後は、1, 4-bis(5'-hexyl-2, 2'-bithiophen-5-yl)benzene(2-dH-TTPPT)($0.02 \text{ cm}^2 / \text{Vs}$)、BTQBT($0.2 \text{ cm}^2 / \text{Vs}$)、アントラセンオリゴマー3A($0.13 \text{ cm}^2 / \text{Vs}$)、oligoselenophene DH5S($0.038 \text{ cm}^2 / \text{Vs}$)、Ovalene(Ov)($0.02 \text{ cm}^2 / \text{Vs}$)、Hexabenzocoronene(Hbc)($5.6 \times 10^{-3} \text{ cm}^2 / \text{Vs}$)、Ddicronylene(Dc)($0.03 \text{ cm}^2 / \text{Vs}$)、スチルベン系 π 共役ポリマー($4.2 \times 10^{-3} \text{ cm}^2 / \text{Vs}$)、ポルフィリン($0.01 \text{ cm}^2 / \text{Vs}$)、benzo-dichalcogenophene($0.17 \text{ cm}^2 / \text{Vs}$)、polyfluorene 誘導体($0.024 \text{ cm}^2 / \text{Vs}$)、C60MC12($0.028 \text{ cm}^2 / \text{Vs}$)、TET($2 \times 10^{-4} \text{ cm}^2 / \text{Vs}$)、Ov($0.07 \text{ cm}^2 / \text{Vs}$)、6T($0.08 \text{ cm}^2 / \text{Vs}$)、含Se材料($0.17 \text{ cm}^2 / \text{Vs}$)、PTAPVポリマー($3.6 \times 10^{-3} \text{ cm}^2 / \text{Vs}$)、ヘキサベンゾコロネン誘導体($0.012 \text{ cm}^2 / \text{Vs}$)、ヘテロアセン化合物($0.02 \text{ cm}^2 / \text{Vs}$)、チオフェン-ピリジン骨格材料($10^{-3} \text{ cm}^2 / \text{Vs}$)、チエニルフランオリゴマー($1.4 \times 10^{-2} \text{ cm}^2 / \text{Vs}$)、ジイミノベンゾセミキノネート配位子($0.038 \text{ cm}^2 / \text{Vs}$)などが報告されている。傾向として、SないしはSe導入による強い分子間相互作用の採用、縮合多環芳香族化合物の検討やアルキル基導入による溶解性向上など、様々

な試みがなされてきた。

[0038] 次に、絶縁膜材料について説明する。

[0039] 絶縁膜材料としては、高い絶縁性、安定性、高い平坦性、親水性、低固定電荷密度、低バンド内準位などの性質から熱酸化SiO₂が代表的絶縁物として用いられてきた。しかしながら、応用上、トランジスタの独立動作のためには、ゲート電極を分離する必要があり、PMMA、PS、PVAなどの高分子系絶縁膜、Ta₂O₅、Al₂O₃、シアノエチルプルラン、アセチル化プルラン、ポリイミド、Poly-p-xylylene (PPX)、塗布型無機絶縁膜SiO₂などが報告されている。ここで、上記無機系Ta₂O₅、Al₂O₃、SiO₂等の絶縁膜は、無機系TFTのpチャンネル半導体材料としても良く使用された材料系となる。また、シアノエチルプルランでは、RR-P3HTとの組合せで移動度0.61cm²/Vsが報告され注目を集めた。シアノエチルプルランでは、分散型無機EL素子用高誘電率バインダとして使用されてきた材料系であり、その誘電特性には興味深いものがあった。反面、プロセス低温化の課題は残るものの、ポリイミド等は材料安定性の点からも注目したい。ポリイミドのなかには、棒状分子を垂直に配向させる能力を持つものもあり、ペンタセンとの組合せで良配向が期待される。PPXは、過去有機EL素子用被覆膜として検討されてきたが低温CVDで形成可能であり、トランジスタ用絶縁膜のみならず、有機デバイス用被覆膜としても検討されている。塗布型SiO₂も同様で、従来半導体プロセスでは酸素プラズマとTetraethyl orthosilicate Tetraethoxysilane (TEOS)を用い400°C程度で完全なSiO₂が実現されてきたが、最近では建材用などを中心に室温で形成できるSiO₂が実用化されており興味深い。その他、HfO₂、ZrO₂、HfAlSiO_x、HfAlSiON、LaAlO_x、LaSiO_xなどの、高k材料もトランジスタに高電流駆動力を与える材料として期待される。

[0040] 次に、透明電極の材料について説明する。

[0041] 透明電極の材料としては、ITO、ZnO系、In₂O₃-ZnO (IZO)系、Ga添加ZnO (GZO)膜、銀添加ITO膜、CuAlO₂、SrCu₂O₂薄膜、SrCu₂O₂薄膜、In₄Sn₃O₁₂膜、InGaZnO₄膜、TiN、AlZnOなどを挙げることができる。

[0042] また、代表的な酸化物半導体としては、インジウム亜鉛酸化物 (IZO)、ITO、ZnO、InGaO₃(ZnO)₅などを挙げることができる。

- [0043] さらに、ゲート電極の材料としては、Ta、Mo、Wなどを用いることができる。これらの材料は(1)テーパ加工ができること、(2)低抵抗であること(抵抗率 $100 \mu \Omega \text{ cm}^2$ 以下である)、(3)プロセス安定性が良いことが特徴として挙げられる。
- [0044] 図7に本発明の第2実施例を示す二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造工程を示す。第2実施例の製造工程は第1実施例とほとんど同様であるが、図7(e)に示すように、二度目に形成する絶縁膜22の材料を変えた点異なる。この実施例では絶縁膜22の材料としてポリイミドを用いた。
- [0045] 図8は本発明の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法によって得られたトランジスタの特性を示す図であり、横軸はドレイン電圧 V_D (V)、縦軸はドレイン電流 I_D ($\mu \text{ A}$)を示している。
- [0046] ここで、トランジスタのチャネル長 L は $0.25 \mu \text{ m}$ とした。一般に、トランジスタをサブミクロンオーダーに短チャネル化すると、飽和特性が悪化する。これは、ゲート電極により制御できないチャネル部の存在、空間電荷制限電流、ドレイン端高電界によるピンチオフ特性の悪化などによると考えられる。本現象は、トランジスタ内の電界を一定とする低電界スケールリングにより改善可能だが、完全とは言えない。
- [0047] 本発明によれば、トランジスタのチャネル長が $0.25 \mu \text{ m}$ と短いにも係わらず、飽和特性を示すトランジスタ特性が得られた。本現象の一因としては、ドレイン及びソース電極でのゲート電界によるチャネル形成の不均一性により、トランジスタがピンチオフしやすい形状となった点や、有機半導体からなるペンタセン厚の薄層化により、良好なトランジスタ特性となったことが考えられる。いずれにせよ、良好な飽和特性を持つトランジスタ特性を得ることができた。
- [0048] なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

産業上の利用可能性

- [0049] 本発明の二重自己整合プロセスによる多重チャネル自己整合トランジスタは、トランジスタの高性能化へ向けた短チャネルトランジスタの自己整合的作製が可能となるトランジスタとして利用可能である。

請求の範囲

- [1] (a) 基板(10)上に楕形に加工された不透明ゲート電極(11)と、
(b)その上に積層された絶縁膜(21)と、
(c)前記楕形に加工された不透明ゲート電極(11)との間に前記基板(10)側からの1回目の背面露光によって形成される透明ドレイン電極(12)と、
(d)その上に積層される絶縁膜(21a, 22)と前記楕形に加工された不透明ゲート電極(11)の上方に前記基板(10)側からの2回目の背面露光によって形成される透明ソース電極(13)と、
(e)その上に積層される半導体(31)を有することを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタ。
- [2] 請求項1記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタにおいて、前記楕形に加工された不透明ゲート電極(11)がTaであることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタ。
- [3] 請求項1記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタにおいて、前記透明ドレイン電極(12)及び前記透明ソース電極(13)がインジウム亜鉛酸化物(IZO)であることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタ。
- [4] 請求項1記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタにおいて、前記絶縁膜(21, 21a, 22)が Ta_2O_5 であることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタ。
- [5] 請求項1記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタにおいて、前記絶縁膜(21a, 22)がポリイミドであることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタ。
- [6] 請求項1記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタにおいて、前記半導体(31)が有機半導体であることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタ。
- [7] 請求項6記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタにおいて、前記有機半導体がペンタセンであることを特徴とする二重自己整合プロセス

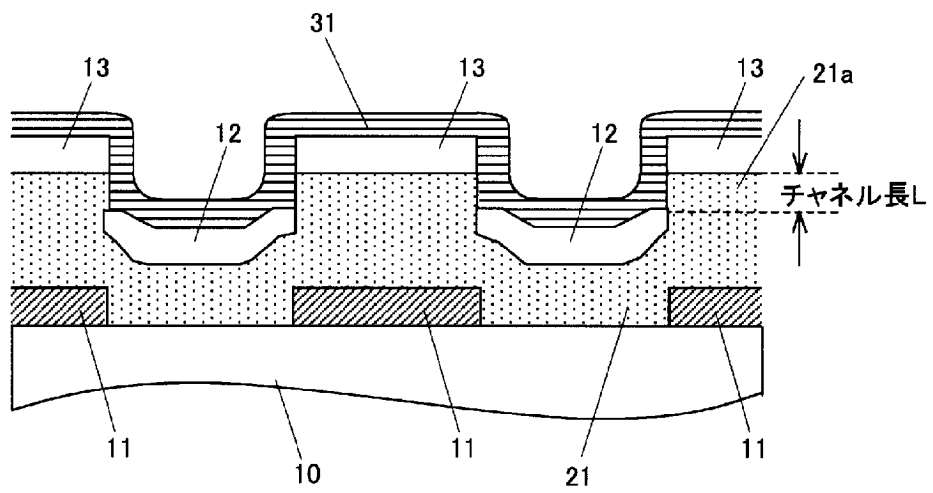
による多重チャネル自己整合トランジスタ。

- [8] 請求項1記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタにおいて、前記半導体(31)が酸化物半導体であることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタ。
- [9] 請求項8記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタにおいて、前記酸化物半導体がインジウム亜鉛酸化物(IZO)であることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタ。
- [10] (a)基板(10)上に不透明ゲート電極(11)を形成し、該不透明ゲート電極(11)を楕円形に加工し、その上に絶縁膜(21)を形成する工程と、
(b)フォトレジストを全面にコーティング後、前記基板(10)側から紫外光による1回目の背面露光を行い、現像後、フォトレジストパターン(41)を形成する工程と、
(c)透明ドレイン電極(12)を形成する工程と、
(d)不要部の電極をフォトレジストパターン(41)ごとリフトオフを行う工程と、
(e)絶縁膜(21a, 22)を積層し、次いで透明ソース電極(13)を積層形成し、更には、フォトレジストをコーティング後、前記基板(10)側から紫外光による2回目の背面露光を実施し、フォトレジストパターン(42)を形成する工程と、
(f)前記フォトレジストパターン(42)を用い、前記ソース電極(13)及び前記絶縁膜(21a, 22)を加工する工程と、
(g)フォトレジストパターン(42)を除去する工程と、
(h)半導体(31)を形成する工程とを施すことを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法。
- [11] 請求項10記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記楕円形に加工された不透明ゲート電極(11)にTaを用いることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法。
- [12] 請求項10記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記透明ドレイン電極(12)及び前記透明ソース電極(13)にインジウム亜鉛酸化物(IZO)を用いることを特徴とする二重自己整合プロセスによる

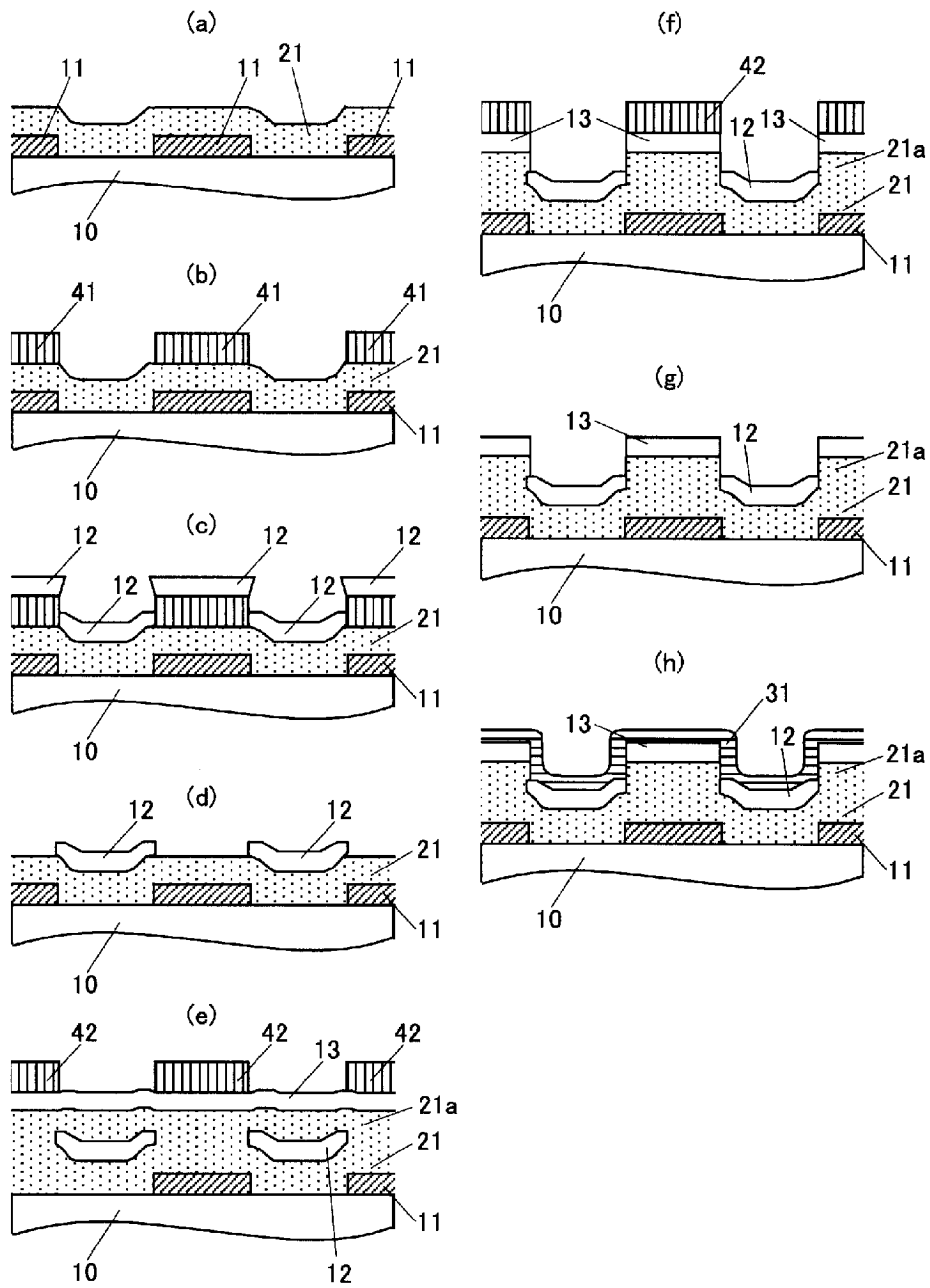
多重チャネル自己整合トランジスタの製造方法。

- [13] 請求項10記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記絶縁膜(21, 21a, 22)に Ta_2O_5 を用いることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法。
- [14] 請求項10記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記絶縁膜(21a, 22)にポリイミドを用いることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法。
- [15] 請求項10記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記半導体(31)に有機半導体を用いることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法。
- [16] 請求項15記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記有機半導体にペンタセンを用いることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法。
- [17] 請求項10記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記半導体(31)に酸化物半導体を用いることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法。
- [18] 請求項17記載の二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法において、前記酸化物半導体にインジウム亜鉛酸化物(IZO)を用いることを特徴とする二重自己整合プロセスによる多重チャネル自己整合トランジスタの製造方法。

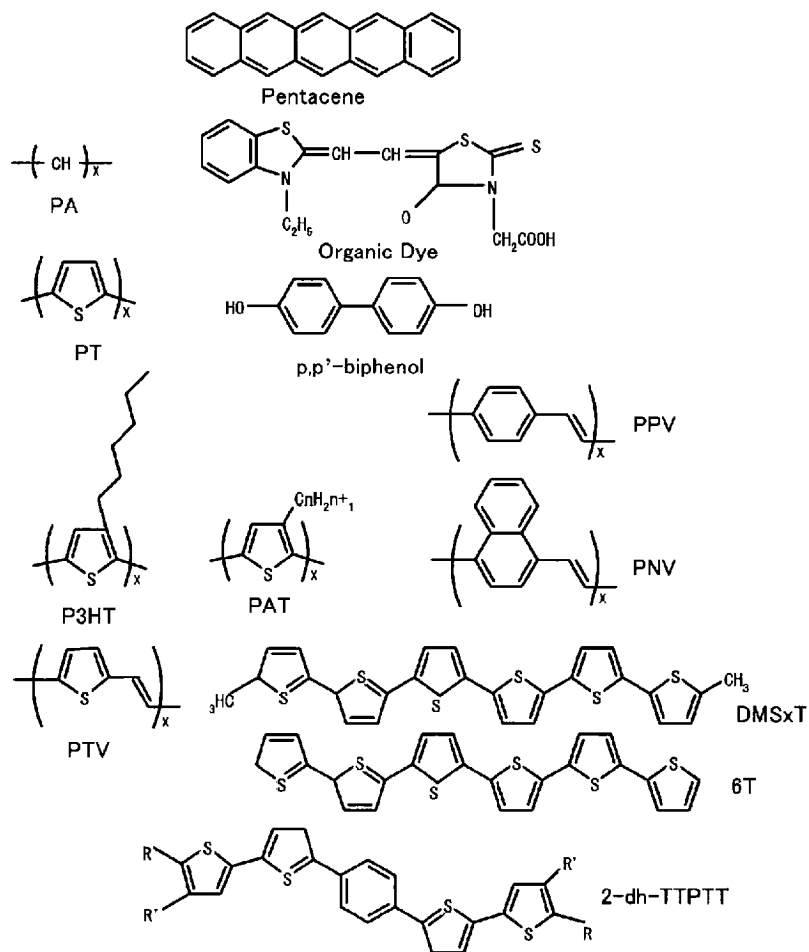
[図1]



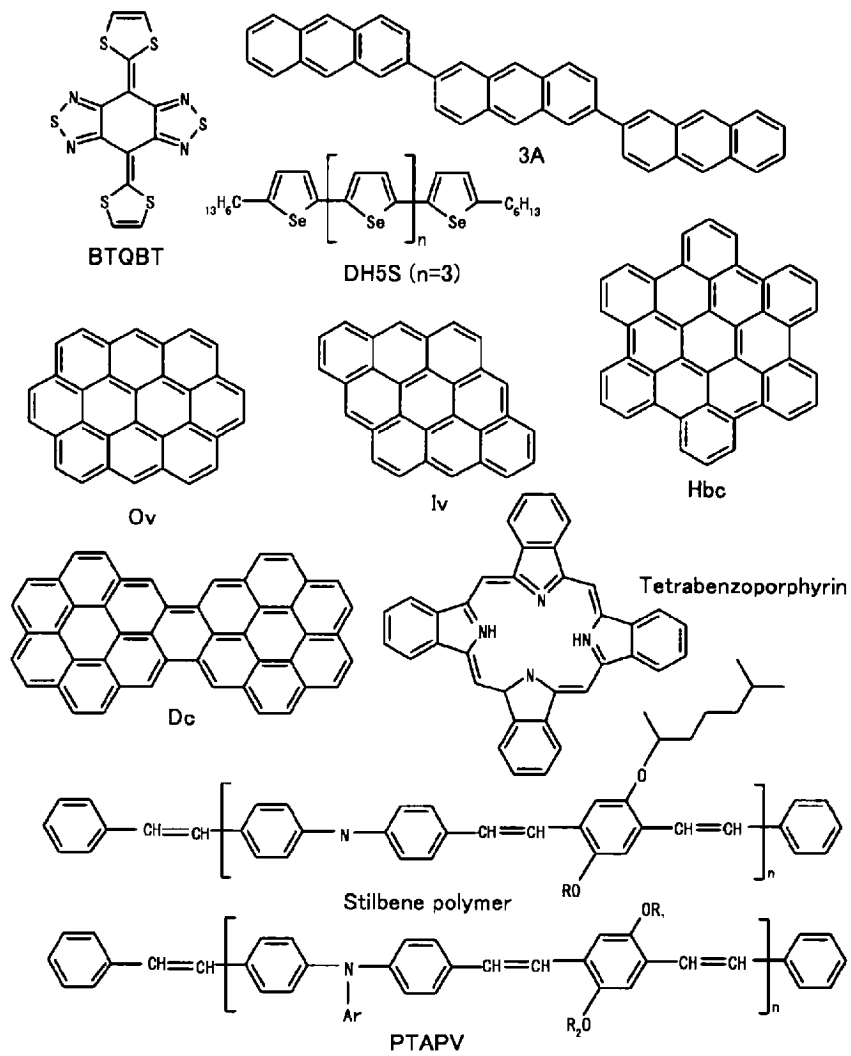
[図2]



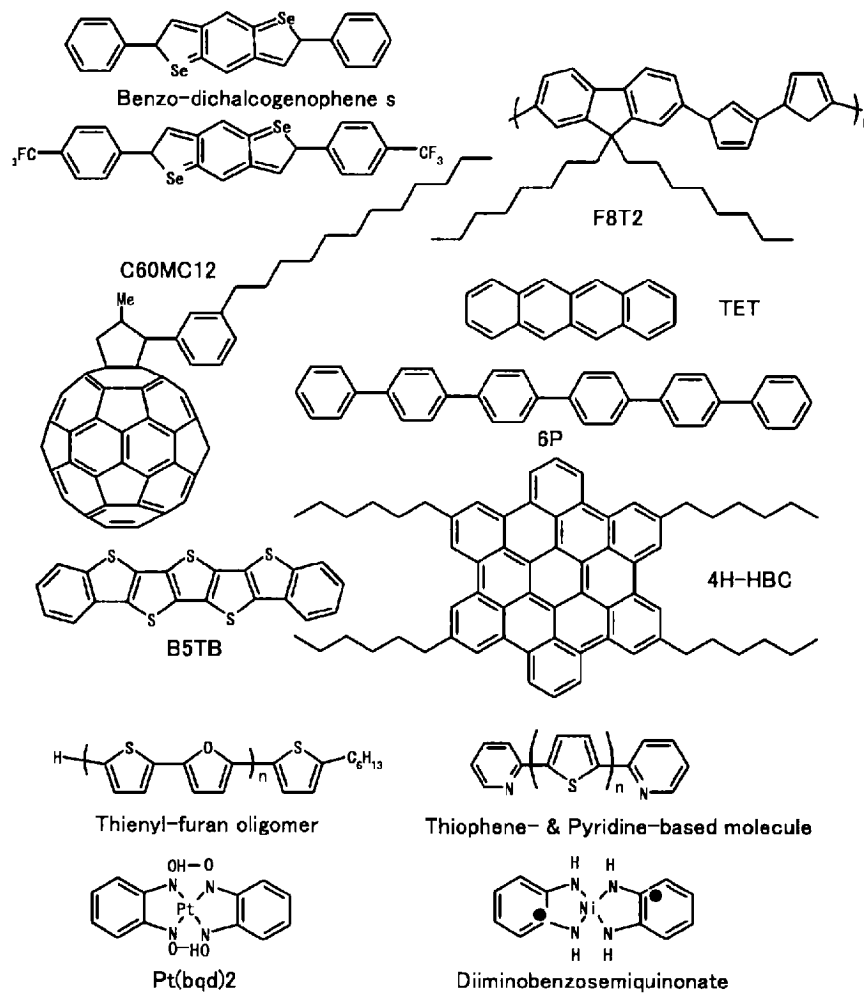
[図3]



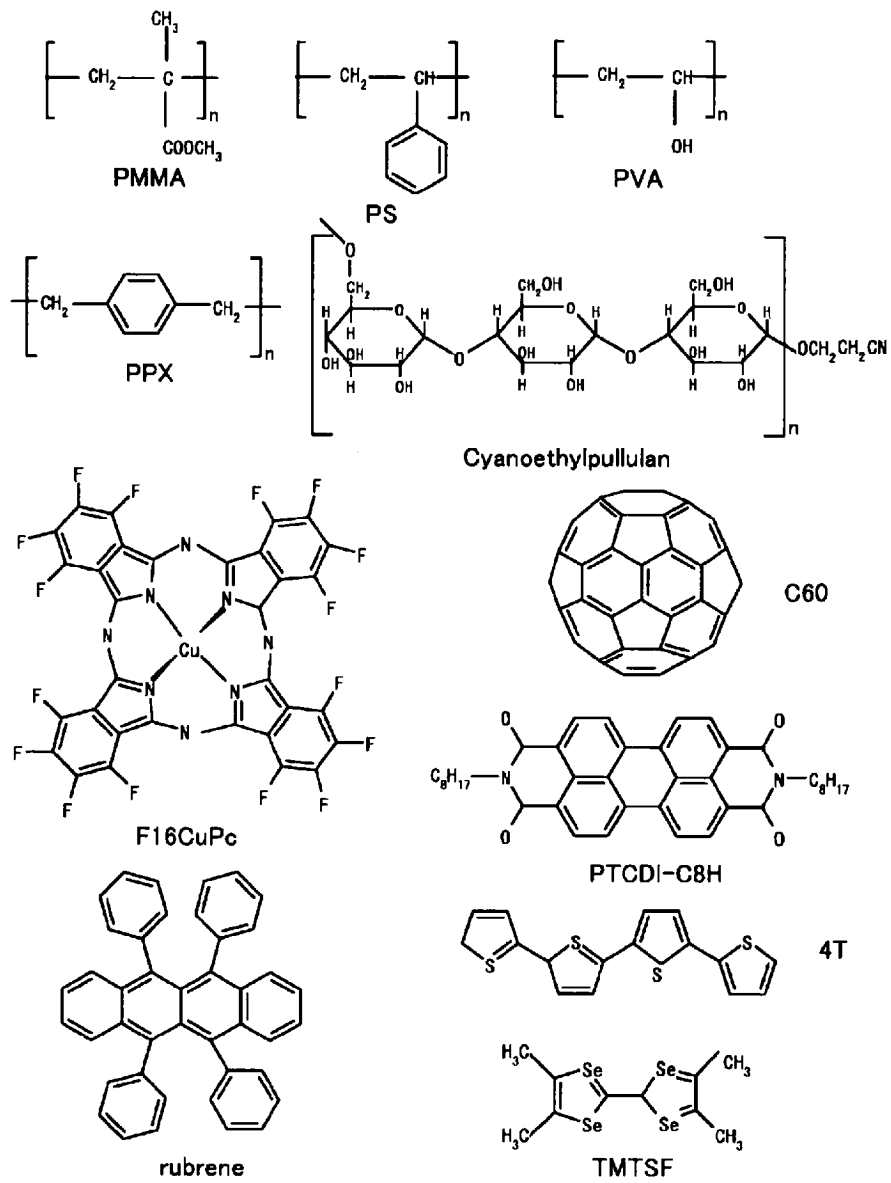
[図4]



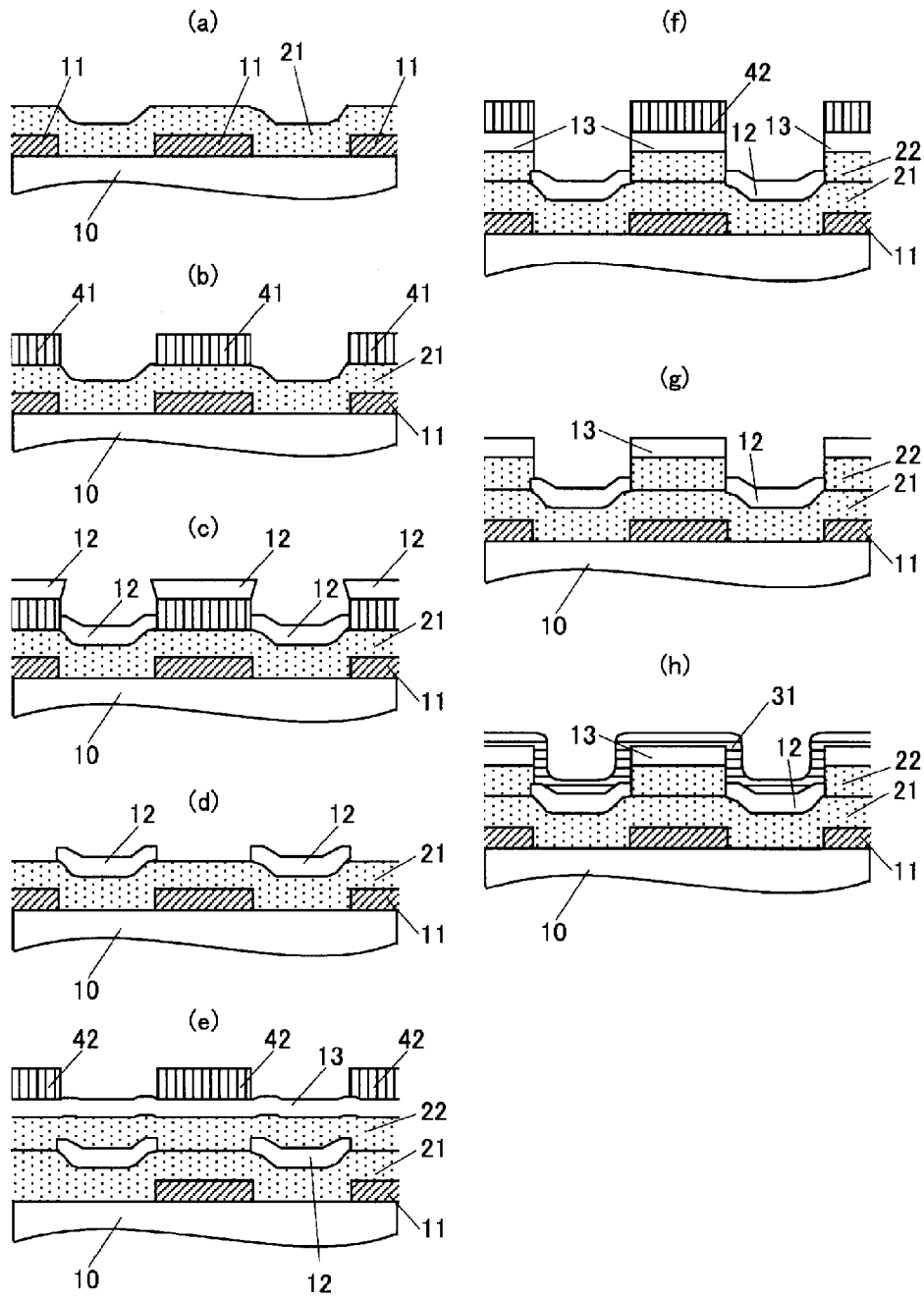
[図5]



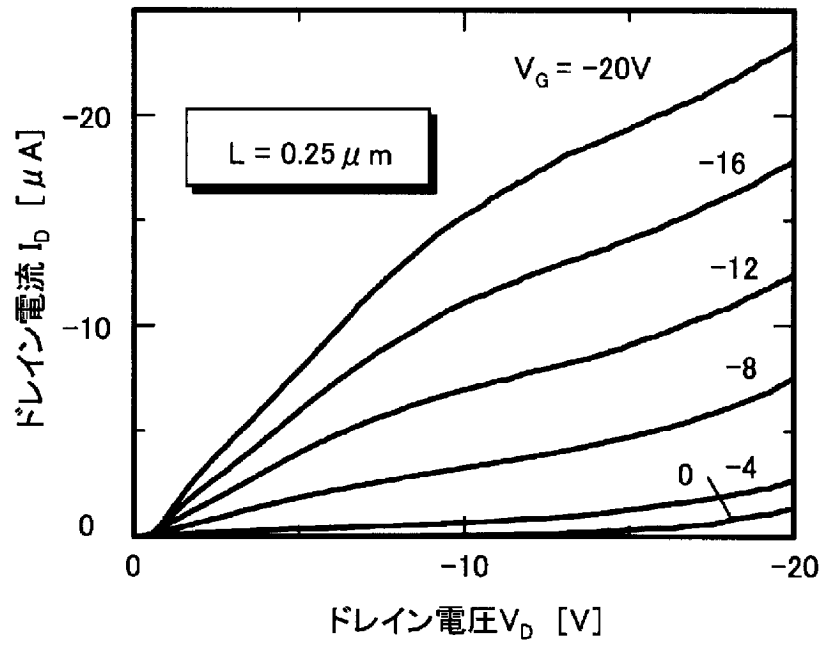
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/063887

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-349292 A (Sony Corp.), 09 December, 2004 (09.12.04), Par. Nos. [0055] to [0064] (Family: none)	1-18
A	JP 2005-19446 A (Sharp Corp.), 20 January, 2005 (20.01.05), Par. Nos. [0063] to [0080] (Family: none)	1-18
A	JP 1-152763 A (National Research Development Corp.), 15 June, 1989 (15.06.89), Page 2, lower left column, line 10 to page 3, upper left column, line 14 & GB 8721193 A0 & EP 308128 A1 & US 4968638 A & CA 1308495 A	1-18

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 October, 2008 (07.10.08)	Date of mailing of the international search report 21 October, 2008 (21.10.08)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2008年
 日本国実用新案登録公報 1996-2008年
 日本国登録実用新案公報 1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-349292 A (ソニー株式会社) 2004. 12. 09, 段落 0055-0064 (ファミリーなし)	1-18
A	JP 2005-19446 A (シャープ株式会社) 2005. 01. 20, 段落 0063-0080 (ファミリーなし)	1-18
A	JP 1-152763 A (ナショナル・リサーチ・デベロップメント・コーポレーション) 1989. 06. 15, 第2頁左下欄第10行-第3頁左上欄第14行 & GB 8721193 A0 & EP 308128 A1 & US 4968638 A & CA 1308495 A	1-18

☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 07. 10. 2008	国際調査報告の発送日 21. 10. 2008
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 綿引 隆 電話番号 03-3581-1101 内線 3462