

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010年5月6日(06.05.2010)

PCT

(10) 国際公開番号  
WO 2010/050515 A1

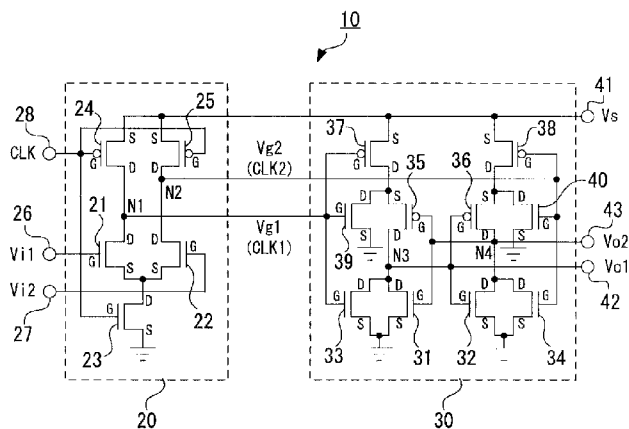
- (51) 国際特許分類:  
H03K 5/08 (2006.01) H03M 1/36 (2006.01)
- (21) 国際出願番号: PCT/JP2009/068514
- (22) 国際出願日: 2009年10月28日(28.10.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2008-282387 2008年10月31日(31.10.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人東京工業大学(Tokyo Institute of Technology) [JP/JP]; 〒1528550 東京都目黒区大岡山2-12-1 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 松澤 昭 (MATSUZAWA Akira) [JP/JP]; 〒1528550 東京都目黒区大岡山2-12-1 国立大学法人東京工業大学内 Tokyo (JP). 宮原 正也(MIYAHARA Masaya) [JP/JP]; 〒1528550 東京都目黒区大岡山2-12-1 国立大学法人東京工業大学内 Tokyo (JP).
- (74) 代理人: 特許業務法人信友国際特許事務所(Shin-yu International Patent Firm); 〒1510073 東京都渋谷区笹塚1-64-8 笹塚サウスビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: COMPARATOR AND ANALOG/DIGITAL CONVERTER

(54) 発明の名称: 比較器及びアナログデジタル変換器

FIG. 1



(57) Abstract: Provided are a comparator and an A/D converter having the comparator which can eliminate the problem of a timing shift between two clock signals of different polarities existing in a conventional comparator and enables a low-power operation. The comparator includes: a differential amplification circuit unit which inputs a first and a second input voltage signal and a clock signal, operates in accordance with the clock signal, and outputs a first and a second output voltage signal amplified and corresponding to the values of the first and the second input voltage signal, respectively; and a differential latch circuit unit which operates in accordance with the first and the second output voltage signal, holds the comparison result between the first and the second input voltage signal, and outputs the comparison result. The A/D converter includes a plurality of the comparators.

(57) 要約:

[続葉有]



WO 2010/050515 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

---

比較器及びそれを備えるA/D変換器において、従来の比較器で存在する極性の異なる2つのクロック信号間のタイミングずれの問題を解消し、且つ、低電力動作を可能にする。第1及び第2入力電圧信号、並びに、クロック信号が入力され、クロック信号に基づいて動作し、第1及び第2入力電圧信号の値にそれぞれ対応し且つ増幅された第1及び第2出力電圧信号を出力する差動増幅回路部と、第1及び第2出力電圧信号に基づいて動作し、第1及び第2入力電圧信号の比較結果を保持し且つ出力する差動ラッチ回路部とを備える比較器、及び、それを複数備えるA/D変換器を提供する。

## 明 細 書

**発明の名称**： 比較器及びアナログデジタル変換器

### 技術分野

[0001] 本発明は、比較器及びそれを備えるA/D変換器に関し、より詳細には、複数のMOSトランジスタを用いて構成した比較器及びそれを備えるA/D変換器に関する。

### 背景技術

[0002] 従来、アナログデジタル（A/D：Analog to Digital）変換器等に用いるための種々の比較器（コンパレータ）が提案されている（例えば、特許文献1及び非特許文献1参照）。ここで、非特許文献1で提案されているような構成の比較器について、図18、19及び20A～20Cを参照しながら説明する。図18は、比較器の動作前（準備段階）の状態を示す図であり、図19は動作時の状態を示す図である。また、図20A～20Cは、それぞれ比較器の出力電圧、比較器内の差動プリアンプ回路部の出力電圧及び比較器を制御するクロック信号の時間変化を示す図である。

[0003] 従来の比較器400は、図18に示すように、入力側（前段）に配置されたダイナミックな差動プリアンプ回路部200と、出力側（後段）に配置された差動ラッチ回路部300とで構成される。なお、図18中の符号G、S及びDは、それぞれMOSトランジスタのゲート端子、ソース端子及びドレイン端子を示している。

[0004] 差動プリアンプ回路部200は、3つのNMOS（Negative channel Metal Oxide Semiconductor）トランジスタ201～203と、2つのPMOS（Positive channel Metal Oxide Semiconductor）トランジスタ204及び205とで構成される。なお、PMOSトランジスタは、チャネル（電流路）の極性がp型であり、そのゲート端子に「L」状態の電圧信号が入力されるとON状態となり、ソース端子からドレイン端子に電流が流れるMOSトランジスタである。一方、NMOSトランジスタは、チャネルの極性がn型で

あり、そのゲート端子に「H」状態の電圧信号が入力されるとON状態となり、ドレイン端子からソース端子に電流が流れるMOSトランジスタである。

[0005] 差動プリアンプ回路部200を構成するこれらのMOSトランジスタは、それぞれのトランジスタが所定の動作を行うように、図18に示すような構成で互いに接続される。また、NMOSトランジスタ201及び202のゲート端子は、それぞれ入力端子206及び207に接続される。NMOSトランジスタ203、並びに、2つのPMOSトランジスタ204及び205のゲート端子は、クロック信号CLKが入力されるクロック端子208に接続される。さらに、PMOSトランジスタ204及び205のソース端子は、電源電圧 $V_s$ の電源端子310に接続される。すなわち、差動プリアンプ回路部200の動作は、NMOSトランジスタ203、並びに、PMOSトランジスタ204及び205のゲート端子に入力されるクロック信号により制御される。

[0006] 差動ラッチ回路部300は、4つのNMOSトランジスタ301~304と、3つのPMOSトランジスタ305~307とで構成される。差動ラッチ回路部300内では、これらのMOSトランジスタは、それぞれのトランジスタが所定の動作を行うように、図18に示すような構成で互いに接続される。

[0007] また、差動ラッチ回路部300内のPMOSトランジスタ307のゲート端子は、クロック端子311に接続され、このクロック端子311には差動プリアンプ回路部200（クロック端子208）に入力されるクロック信号CLKとは逆位相のクロック信号が入力される。PMOSトランジスタ307の動作は、この逆相のクロック信号により制御される。すなわち、2つのNMOSトランジスタ301及び302、並びに、2つのPMOSトランジスタ305及び306からなるラッチ回路の動作の制御は、逆相のクロック信号によりPMOSトランジスタ307をON/OFF制御して行われる。また、PMOSトランジスタ307のソース端子は電源電圧 $V_s$ の電源端子

310に接続される。

[0008] また、差動ラッチ回路部300内のNMOSトランジスタ303及び304のゲート端子は、それぞれ差動プリアンプ回路部200の出力端子（ノード）N1及びN2に接続される。NMOSトランジスタ303及び304は差動プリアンプ回路部200からの出力信号によりON/OFF制御され、ラッチ回路に流れる電流を制御する。すなわち、差動ラッチ回路部300の動作は、PMOSトランジスタ307のゲート端子に入力されるクロック信号、並びに、NMOSトランジスタ303及び304に入力される差動プリアンプ回路部200からの出力電圧信号により制御される。

[0009] 次に、従来の比較器400の動作を、図18、19及び20A~20Cを参照しながらより具体的に説明する。

[0010] 動作の準備段階（以下、状態1という）では、図18に示すように、比較器400のクロック端子208及び311には、それぞれ「L（Low）」状態及び「H（High）」状態のクロック電圧が入力される。この場合、差動プリアンプ回路部200内の2つのPMOSトランジスタ204及び205がON状態になり、NMOSトランジスタ203はOFF状態となる。この際、NMOSトランジスタ203はOFF状態であるので、差動プリアンプ回路部200内に貫通電流は流れないが、PMOSトランジスタ204及び205がON状態であるので、電源電圧 $V_s$ により差動プリアンプ回路部200内のノードN1及びN2の電圧が上昇する。この結果、差動プリアンプ回路部200内のノードN1及びN2からそれぞれ出力される電圧 $V_{g1}$ 及び $V_{g2}$ はともに「H」状態となる。

[0011] 一方、状態1では、差動ラッチ回路部300内のPMOSトランジスタ307のゲート端子には「H」状態のクロック電圧が入力されるので、PMOSトランジスタ307はOFF状態となる。この場合、電源電圧 $V_s$ 側から2つのNMOSトランジスタ301及び302、並びに、2つのPMOSトランジスタ305及び306からなるラッチ回路に電流は流れない。また、状態1では、差動ラッチ回路部300内のNMOSトランジスタ303及び

304のゲート電圧 ( $V_{g1}$  及び  $V_{g2}$ ) は「H」状態であるので、これらのトランジスタはともにON状態となる。これにより、差動ラッチ回路部300内のノードN3及びN4の電位は、アースと同電位、すなわちゼロ電位となる。この結果、比較器400の出力端子312及び313からそれぞれ出力される電圧  $V_{o1}$  及び  $V_{o2}$  はともに「L」状態となる。

[0012] なお、図20A~20Cに示す特性中では時刻  $t_1$  以前の特性が、状態1における比較器400の出力電圧  $V_{o1}$  及び  $V_{o2}$ 、差動プリアンプ回路部200の出力電圧  $V_{g1}$  及び  $V_{g2}$ 、並びに、クロック端子208及び311に入力されるクロック電圧の変化の様子を示している。ただし、図20A~20Cの特性では、「H」状態が1[V]に対応し、「L」状態が0[V]に対応している。

[0013] 次に、比較器400の動作時の状態（以下、状態2という）を、図19を参照しながら説明する。ただし、図19の例では、比較器400の一方の入力端子206に入力される電圧  $V_{i1}$  が、他方の入力端子207に入力される電圧  $V_{i2}$  より大きい ( $V_{i1} > V_{i2}$ ) の場合を考える。

[0014] 状態2では、クロック端子208に入力されるクロック電圧が「H」状態に変化する。これにより、差動プリアンプ回路部200内の2つのPMOSトランジスタ204及び205はOFF状態となり、NMOSトランジスタ203はON状態となる。状態1（準備段階）では、差動プリアンプ回路部200内のノードN1及びN2の電圧値は「H」状態であったので、状態2においてNMOSトランジスタ203がON状態になると、NMOSトランジスタ201~203を介して、アースに電流が流れる。これにより、ノードN1及びN2の電圧値は時間の経過とともに低下し、「L」状態に遷移する。

[0015] ただし、この際、2つのNMOSトランジスタ201及び202には、これらのトランジスタのゲート端子に印加されている入力電圧  $V_{i1}$  及び  $V_{i2}$  に対応した電流が流れる。図19の例では、 $V_{i1} > V_{i2}$  であるので、NMOSトランジスタ201を流れる電流はNMOSトランジスタ202を

流れる電流より大きくなる。その結果、ノードN1における出力電圧 $V_{g1}$ の時間に対する電圧低下率は、ノードN2における出力電圧 $V_{g2}$ の時間に対する電圧低下率より大きくなる。

[0016] この様子を図20Bに示す。比較器400の状態を状態2に切替えた後（時刻 $t_1$ 以降）は、ノードN1における出力電圧 $V_{g1}$ の方が、ノードN2における出力電圧 $V_{g2}$ より早く「L」状態に遷移する。それゆえ、比較器の状態を状態2に切替えてからノードN2における出力電圧 $V_{g2}$ が「L」状態に遷移するまでの期間は、出力電圧 $V_{g2}$ はノードN1における出力電圧 $V_{g1}$ より高くなる。すなわち、ノードN2における出力電圧 $V_{g2}$ の遷移期間中は、差動ラッチ回路部300内のNMOSトランジスタ304のゲート電圧は、NMOSトランジスタ303のゲート電圧より高くなる。

[0017] また、状態2になると、クロック端子311に入力されるクロック電圧が「L」状態に変化し、差動ラッチ回路部300内のPMOSトランジスタ307がON状態となる。これにより、2つのNMOSトランジスタ301及び302、並びに、2つのPMOSトランジスタ305及び306からなるラッチ回路に電流が流れ始める。しかしながら、上述のようにノードN2における出力電圧 $V_{g2}$ の遷移期間中は、NMOSトランジスタ304のゲート電圧は、NMOSトランジスタ303のゲート電圧より高くなるので、ノードN3における電位（ $V_{o1}$ ）がノードN4における電位（ $V_{o2}$ ）よりわずかに高くなる。

[0018] この様子を図20Aに示す。状態2に切替えた後（時刻 $t_1$ 以降）、時間とともにノードN3の出力電圧 $V_{o1}$ （実線）及びノードN4の出力電圧 $V_{o2}$ （破線）はともに上昇するが、時刻 $t_2$ 付近で出力電圧 $V_{o1}$ が出力電圧 $V_{o2}$ より高くなり始める。これにより、2つのNMOSトランジスタ301及び302、並びに、2つのPMOSトランジスタ305及び306からなるラッチ回路内に正帰還が作用する（この動作については、後述する本発明の説明で詳述する）。この結果、図20Aに示すように、時刻 $t_2$ 以降は、ノードN3の出力電圧 $V_{o1}$ は上昇し続け、最終的に「H」状態に固定

される。一方、ノードN4における出力電圧 $V_{o2}$ は低下し続け、最終的には「L」状態に固定される。これにより、入力電圧 $V_{i1}$ 及び $V_{i2}$ の比較状態（比較結果）が差動ラッチ回路部300内で保持されるとともに出力端子312及び313から出力される。

[0019] また、この際、ノードN4にゲート端子が接続されているラッチ回路内のPMOSトランジスタ305はON状態となり、NMOSトランジスタ301はOFF状態となる（図19参照）。一方、ノードN3にゲート端子が接続されているラッチ回路内のPMOSトランジスタ306はOFF状態となり、NMOSトランジスタ302はON状態となる（図19参照）。さらに、2つのNMOSトランジスタ303及び304に印加されるゲート電圧（ $V_{g1}$ 及び $V_{g2}$ ）はともに「L」状態となるので、NMOSトランジスタ303及び304はOFF状態となる。それゆえ、差動ラッチ回路部300内に定常電流（貫通電流）は流れない。従来の比較器400は、上述のようにして動作する。

## 先行技術文献

## 特許文献

[0020] 特許文献1：米国特許第6,084,538号

## 非特許文献

[0021] 非特許文献1：D. Schinkel, E. Mensink, E. Klumperink, E. Van Tuiji, B. Nauta: "A Double-Tail Latch-Type Voltage Sense Amplifier with 18ps Setup+Hold Time", IEEE, ISSCC 2007, Dig. of Tech. Paper, pp.314-315, Feb. 2007

## 発明の概要

## 発明が解決しようとする課題

[0022] 上述した従来の比較器の回路構成では、前段の差動プリアンプ回路部及び後段の差動ラッチ回路部の動作を互いに極性の異なる2つのクロック信号でそれぞれ制御する。それゆえ、クロック回路の消費電力が大きいという問題



がある。

[0023] また、従来の比較器では、極性の異なる2つのクロック信号間のタイミング・スキュー（ずれ）が発生すると、比較器の性能に大きな影響を与える。例えば図18及び19に示す比較器400において、クロック端子208に入力されるクロック信号の立ち上がりのタイミングが、クロック端子311に入力されるクロック信号の立ち下がりのタイミングよりも早い場合、2つのNMOSトランジスタ301及び302、並びに、2つのPMOSトランジスタ305及び306からなるラッチ回路が動作する前に、差動ラッチ回路部300内のNMOSトランジスタ303及び304のゲート電圧が「L」状態となる。この場合、ラッチ回路が動作してもノードN3及びN4間に電位差が生じず、入力電圧値の比較が困難となり、比較器400が誤動作する。

[0024] また、逆に、クロック端子208に入力されるクロック信号の立ち上がりのタイミングが、クロック端子311に入力されるクロック信号の立ち下がりのタイミングよりも遅い場合、ラッチ回路が動作した時点においても、NMOSトランジスタ303及び304のゲート電圧が「H」状態のままである。この場合、NMOSトランジスタ303及び304のゲート電圧がともにON状態となり、ラッチ回路に大きな貫通電流が流れる。

[0025] 上記問題を発生させずに比較器を正常動作させるためには、極性の異なる2つのクロック信号の立ち上がり／立ち下がりのタイミングを非常に精度良く合わせる必要がある。従来の比較器は、上述のように、状態を切替えた直後に発生する差動プリアンプ回路部からの2つの出力電圧の差を利用して動作する。状態を切替えてから差動プリアンプ回路部からの2つの出力電圧に差が生じ始めるまでの時間  $t_d$  は、図20Aに示すように、約50～100 p s e c である。それゆえ、上記問題を解決するためには、極性の異なる2つのクロック信号間のタイミングずれを数 p s e c 程度以内にする必要がある。しかしながら、この手法では、極性の異なる2つのクロック信号間のタイミングを高精度で制御する必要があるため、非常に使い難いという問題が

あった。

[0026] 本発明は、上記問題を解決するためになされたものであり、本発明の目的は、上述した極性の異なる2つのクロック信号間のタイミングずれにより生じる問題を解消し、且つ、低電力動作が可能な比較器及びそれを備えるA/D変換器を提供することである。

### 課題を解決するための手段

[0027] 上記問題を解決するために、本発明の比較器では、第1及び第2入力電圧信号、並びに、クロック信号が入力され、クロック信号に基づいて動作し、第1及び第2入力電圧信号の値にそれぞれ対応し且つ増幅された第1及び第2出力電圧信号を出力する差動増幅回路部を備える構成とした。さらに、本発明の比較器では、第1及び第2出力電圧信号に基づいて動作し、第1及び第2入力電圧信号の比較結果を保持し且つ出力する差動ラッチ回路部を備える構成とした。すなわち、本発明では、差動増幅回路部から出力された第1及び第2出力電圧信号を用いて、差動ラッチ回路部の動作を制御する。

[0028] また、本発明のアナログデジタル変換器では、入力電圧信号、該入力電圧信号と比較する参照電圧信号及びクロック信号が入力され、入力電圧信号と参照電圧信号との比較結果を出力する上記本発明の複数の比較器と、複数の比較器から出力される比較結果に基づいて、入力電圧信号に対応するデジタル信号を出力するエンコーダとを備える構成とした。

### 発明の効果

[0029] 本発明では、差動増幅回路部の動作はクロック信号で制御するが、差動ラッチ回路部の動作は、差動増幅回路部から出力された第1及び第2出力電圧信号により制御する。それゆえ、差動ラッチ回路部の制御する信号（第1及び第2出力電圧信号）の立ち上がり／立ち下りのタイミングは差動増幅回路部に入力されるクロック信号のタイミングに依存しない。したがって、本発明によれば、上述した極性の異なる2つのクロック信号間のタイミングずれにより生じる問題を解消することができる。

[0030] また、本発明によれば、比較器に入力するクロック信号は、差動増幅回路

部に入力するクロック信号のみであるので、従来に比べて低電力で、比較器及びそれを備えたA/D変換器の駆動が可能になる。

### 図面の簡単な説明

- [0031] [図1] 図1は、第1の実施形態の比較器の概略回路構成図である。
- [図2] 図2は、第1の実施形態の比較器の動作前の状態を示す図である。
- [図3] 図3は、第1の実施形態の比較器の動作時の状態を示す図である。
- [図4] 図4Aは、第1の実施形態の比較器の出力信号の変化を示す図であり、図4Bは、差動プリアンプ回路部からの出力電圧の変化を示す図であり、図4Cは、比較器の動作を制御するクロック信号の変化を示す図である。
- [図5] 図5は、比較器の感度特性を示す図である。
- [図6] 図6は、第1の実施形態のA/D変換器の概略構成図である。
- [図7] 図7は、第1の実施形態で用いたNAND回路の入力信号と出力信号との関係を示す真理値表である。
- [図8] 図8は、第2の実施形態の比較器の概略回路構成図である。
- [図9] 図9は、第2の実施形態の比較器のより詳細な概略構成図である。
- [図10] 図10は、第2の実施形態の比較器における補償動作を説明するための図である。
- [図11] 図11は、補償動作のタイミングと、比較動作のタイミングの関係を示す図である。
- [図12] 図12Aは、比較器のオフセット電圧の分布を示す図であり、図12Bは、オフセット電圧の統計分布を示す図である。
- [図13] 図13は、第3の実施形態の比較器の概略回路構成図である。
- [図14] 図14は、第4の実施形態で用いる補間原理の概要を示す図である。
- [図15] 図15は、第4の実施形態のA/D変換器の概略構成図である。
- [図16] 図16は、第4の実施形態の比較器の概略回路構成図である。
- [図17] 図17は、第4の実施形態の比較器で用いるNMOSトランジスタの概略上面図である。
- [図18] 図18は、従来の比較器の動作前の状態を示す図である。

[図19] 図19は、従来の比較器の動作時の状態を示す図である。

[図20] 図20Aは、従来の比較器の出力信号の変化を示す図であり、図20Bは、差動プリアンプ回路部からの出力電圧の変化を示す図であり、図20Cは、比較器の動作を制御するクロック信号の変化を示す図である。

### 発明を実施するための形態

[0032] 以下、本発明の実施形態に係る比較器及びA/D変換器の例を、図面を参照しながら、以下の順で説明する。なお、本発明は以下の例に限定されるものではない。

1. 第1の実施形態：基本構成例
2. 第2の実施形態：オフセット電圧補償回路部を備える第1の構成例
3. 第3の実施形態：オフセット電圧補償回路部を備える第2の構成例
4. 第4の実施形態：補間機能を備える構成例

[0033] < 1. 第1の実施形態 >

#### [比較器の構成]

図1に、本実施形態の比較器の回路構成を示す。比較器10は、主に、入力側（前段）に配置されたダイナミックな差動プリアンプ回路部20と、出力側（後段）に配置された差動ラッチ回路部30とで構成される。なお、図1中の符号G、S及びDはそれぞれトランジスタのゲート端子、ソース端子及びドレイン端子を示している。

[0034] 差動プリアンプ回路部20（差動増幅回路部）は、3つのNMOSトランジスタ21～23と、2つのPMOSトランジスタ24及び25とで構成される。図1に示す本実施形態の比較器10の構成と、図18に示す従来の比較器400の構成との比較から明らかなように、本実施形態の差動プリアンプ回路部20は、従来の差動プリアンプ回路部200と同様の構成である。以下、差動プリアンプ回路部20を構成する各トランジスタ間の接続関係を説明する。

[0035] 正転側のNMOSトランジスタ21（以下、第1MOSトランジスタという）のゲート端子は、一方の入力電圧 $V_{i1}$ の信号（第1入力電圧信号）が

入力される入力端子26に接続される。

[0036] 反転側のNMOSトランジスタ22（以下、第2MOSトランジスタという）のゲート端子は、他方の入力電圧 $V_{i2}$ の信号（第2入力電圧信号）が入力される入力端子27に接続される。

[0037] NMOSトランジスタ23（以下、第3MOSトランジスタという）のゲート端子は、差動プリアンプ回路部20の動作を制御するクロック信号CLKが入力されるクロック端子28に接続される。第3MOSトランジスタ23のドレイン端子（入力側端子）は、第1MOSトランジスタ21及び第2MOSトランジスタ22のソース端子（出力側端子）に接続される。また、第3MOSトランジスタ23のソース端子（出力側端子）は接地される。

[0038] PMOSトランジスタ24（以下、第4MOSトランジスタという）のゲート端子は、クロック端子28に接続される。第4MOSトランジスタ24のソース端子（入力側端子）は電源電圧 $V_s$ の入力端子41に接続される。また、第4MOSトランジスタ24のドレイン端子（出力側端子）は第1MOSトランジスタ21のドレイン端子（入力側端子）に接続される。

[0039] PMOSトランジスタ25（以下、第5MOSトランジスタという）のゲート端子は、クロック端子28に接続される。第5MOSトランジスタ25のソース端子（入力側端子）は電源電圧 $V_s$ に入力端子41に接続される。また、第5MOSトランジスタ25のドレイン端子（出力側端子）は第2MOSトランジスタ22のドレイン端子（入力側端子）に接続される。

[0040] 本実施形態では、クロック端子28に入力されるクロック信号CLKにより第4MOSトランジスタ24及び第5MOSトランジスタ25をON/OFF制御して、第1MOSトランジスタ21及び第2MOSトランジスタの活性/不活性（動作）を制御する。

[0041] また、差動プリアンプ回路部20の一方の出力電圧 $V_{g1}$ は、差動プリアンプ回路部20内の第1MOSトランジスタ21と第4MOSトランジスタ24との接続点N1（第1接続点：以下、ノードN1という）から出力される。ノードN1は、差動ラッチ回路部30内の後述する2つのNMOSトラ

ンジスタ 33 及び 39、並びに、PMOS トランジスタ 37 のゲート端子に接続される。そして、本実施形態では、入力端子 26 に入力された電圧  $V_i$  1 の信号に対応し且つ増幅された出力電圧  $V_g$  1 がノード N1 から出力され、その出力電圧  $V_g$  1 の信号（第 1 出力電圧信号）を差動ラッチ回路部 30 の動作を制御するための一つのクロック信号 CLK1 として用いる。

[0042] 差動プリアンプ回路部 20 の他方の出力電圧  $V_g$  2 は、差動プリアンプ回路部 20 内の第 2 MOS トランジスタ 22 と第 5 MOS トランジスタ 25 との接続点 N2（第 2 接続点：以下、ノード N2 という）から出力される。ノード N2 は、差動ラッチ回路部 30 内の後述する 2 つの NMOS トランジスタ 34 及び 40、並びに、PMOS トランジスタ 38 のゲート端子に接続される。そして、本実施形態では、入力端子 27 に入力された電圧  $V_i$  2 の信号に対応し且つ増幅された出力電圧  $V_g$  2 がノード N2 から出力され、その出力電圧  $V_g$  2 の信号（第 2 出力電圧信号）を差動ラッチ回路部 30 の動作を制御するためのもう一つのクロック信号 CLK2 として用いる。

[0043] 一方、差動ラッチ回路部 30 は、6 つの NMOS トランジスタ 31 ~ 34、39 及び 40 と、4 つ PMOS トランジスタ 35 ~ 38 とで構成される。以下、差動ラッチ回路部 30 を構成する各トランジスタ間の接続関係を説明する。

[0044] NMOS トランジスタ 31（以下、第 6 MOS トランジスタという）のゲート端子は、PMOS トランジスタ 35（以下、第 10 MOS トランジスタという）のゲート端子に接続される。第 6 MOS トランジスタ 31 のドレイン端子（入力側端子）は、第 10 MOS トランジスタ 35 のドレイン端子（出力側端子）に接続される。また、第 6 MOS トランジスタ 31 のソース端子（出力側端子）は接地される。

[0045] NMOS トランジスタ 32（以下、第 7 MOS トランジスタという）のゲート端子は、PMOS トランジスタ 36（以下、第 11 MOS トランジスタという）のゲート端子に接続される。第 7 MOS トランジスタ 32 のドレイン端子（入力側端子）は、第 11 MOS トランジスタ 36 のドレイン端子（

出力側端子)に接続される。また、第7MOSトランジスタ32のソース端子(出力側端子)は、接地される。

[0046] 第6MOSトランジスタ31のドレイン端子と第10MOSトランジスタ35のドレイン端子との接続点N3(第3接続点:以下、ノードN3という)は、第7MOSトランジスタ32のゲート端子と第11MOSトランジスタ36のゲート端子との接続点(第5接続点)、及び、一方の出力電圧 $V_{o1}$ が出力される出力端子42に接続される。

[0047] また、第7MOSトランジスタ32のドレイン端子と第11MOSトランジスタ36のドレイン端子との接続点N4(第4接続点:以下、ノードN4という)は、第6MOSトランジスタ31のゲート端子と第10MOSトランジスタ35のゲート端子との接続点(第6接続点)、及び、他方の出力電圧 $V_{o2}$ が出力される出力端子43に接続される。すなわち、第6MOSトランジスタ31、第7MOSトランジスタ32、第10MOSトランジスタ35及び第11MOSトランジスタ36によりラッチ回路が構成される。

[0048] NMOSトランジスタ33(以下、第8MOSトランジスタという)のゲート端子は、差動プリアンプ回路部20内のノードN1に接続される。第8MOSトランジスタ33のドレイン端子(入力側端子)は、第6MOSトランジスタ31のドレイン端子(入力側端子)に接続される。また、第8MOSトランジスタ33のソース端子(出力側端子)は接地される。

[0049] NMOSトランジスタ34(以下、第9MOSトランジスタという)のゲート端子は、差動プリアンプ回路部20内のノードN2に接続される。第9MOSトランジスタ34のドレイン端子(入力側端子)は、第7MOSトランジスタ32のドレイン端子(入力側端子)に接続される。また、第9MOSトランジスタ34のソース端子(出力側端子)は接地される。

[0050] PMOSトランジスタ37(以下、第12MOSトランジスタという)は、第6MOSトランジスタ31及び第10MOSトランジスタ35からなるインバータの動作を制御するトランジスタである。第12MOSトランジスタ37のゲート端子は、差動プリアンプ回路部20内のノードN1に接続さ

れ、第12MOSトランジスタ37は、ノードN1から出力される電圧 $V_g1$ の信号(CLK1)によりON/OFF制御される。また、第12MOSトランジスタ37のソース端子(入力側端子)は、電源電圧 $V_s$ の入力端子41に接続される。さらに、第12MOSトランジスタ37のドレイン端子(出力側端子)は、第10MOSトランジスタ35のソース端子(入力側端子)に接続される。

[0051] PMOSトランジスタ38(以下、第13MOSトランジスタという)は、第7MOSトランジスタ32及び第11MOSトランジスタ36からなるインバータの動作を制御するトランジスタである。第13MOSトランジスタ38のゲート端子は、差動プリアンプ回路部20内のノードN2に接続され、第13MOSトランジスタ38は、ノードN2から出力される電圧 $V_g2$ の信号(CLK2)によりON/OFF制御される。また、第13MOSトランジスタ38のソース端子(入力側端子)は、電源電圧 $V_s$ の入力端子41に接続される。さらに、第13MOSトランジスタ38のドレイン端子(出力側端子)は第11MOSトランジスタ36のソース端子(入力側端子)に接続される。

[0052] また、NMOSトランジスタ39(以下、第14MOSトランジスタという)のゲート端子は、差動プリアンプ回路部20内のノードN1に接続される。第14MOSトランジスタ39のドレイン端子(入力側端子)は、第10MOSトランジスタ35のソース端子(入力側端子)に接続される。また、第14MOSトランジスタ39のソース端子(出力側端子)は接地される。

[0053] NMOSトランジスタ40(以下、第15MOSトランジスタという)のゲート端子は、差動プリアンプ回路部20内のノードN2に接続される。第15MOSトランジスタ40のドレイン端子(入力側端子)は、第11MOSトランジスタ36のソース端子(入力側端子)に接続される。また、第15MOSトランジスタ40のソース端子(出力側端子)は接地される。

[0054] 本実施形態において、第14MOSトランジスタ39を設ける理由及び効



果は次の通りである。第10MOSトランジスタ35と第12MOSトランジスタ37との接続点に電荷が残っていると、ノイズの影響により比較器10が誤動作する可能性がある。しかしながら、図1に示すように第14MOSトランジスタ39を設けると、第10MOSトランジスタ35と第12MOSトランジスタ37との接続点に残った電荷を第14MOSトランジスタ39により放電することができ、誤動作を確実に防止することができる。また、第15MOSトランジスタ40を設ける理由及び効果も、上述した理由及び効果と同様である。なお、ノイズの影響が小さい場合には、第14MOSトランジスタ39及び第15MOSトランジスタ40を設けなくても良い。

[0055] なお、本発明の比較器の構成は図1の例に限定されず、電源電圧 $V_s$ と接地点とを反転して、図1中のNMOSトランジスタをPMOSトランジスタに置き換え、且つ、図1中のPMOSトランジスタをNMOSトランジスタに置き換えてもよい。

[0056] [比較器の動作]

次に、本実施形態の比較器10の動作を、図2、3及び4A~4Cを参照しながら説明する。図2は、比較器10の動作の前段階（準備段階）の状態（以下、この状態を状態1という）を示す図である。図3は、比較器10の動作時の状態（以下、この状態を状態2という）を示す図である。また、図4A~4Cは、それぞれ比較器10の出力電圧、差動プリアンプ回路部20の出力電圧及び比較器10を制御するクロック信号の時間変化を示す図である。

[0057] 状態1では、クロック端子28に[L]状態のクロック電圧が入力される。これにより、差動プリアンプ回路部20内の第4MOSトランジスタ24及び第5MOSトランジスタ25がON状態となり、第3MOSトランジスタ23はOFF状態となる（図2参照）。

[0058] この場合、第3MOSトランジスタ23はOFF状態であるので、差動プリアンプ回路部20内を貫通する電流は流れないが、第4MOSトランジスタ

タ24及び第5MOSトランジスタ25がON状態であるので、電源電圧 $V_s$ により、差動プリアンプ回路部20内のノードN1及びN2の電圧が上昇する。この結果、差動プリアンプ回路部20内のノードN1及びN2からそれぞれ出力される電圧 $V_{g1}$ 及び $V_{g2}$ はともに「H」状態となる。

[0059] そして、ノードN1から出力される「H」状態の電圧 $V_{g1}$ の信号（CLK1）は、差動ラッチ回路部30内の第8MOSトランジスタ33、第12MOSトランジスタ37及び第14MOSトランジスタ39のゲート端子に入力される。これにより、第12MOSトランジスタ37はOFF状態となり、第8MOSトランジスタ33及び第14MOSトランジスタ39はON状態となる。

[0060] 一方、ノードN2から出力される「H」状態の電圧 $V_{g2}$ の信号（CLK2）は、差動ラッチ回路部30内の第9MOSトランジスタ34、第13MOSトランジスタ38及び第15MOSトランジスタ40のゲート端子に入力される。これにより、第13MOSトランジスタ38はOFF状態となり、第9MOSトランジスタ34及び第15MOSトランジスタ40はON状態となる。

[0061] 上述のように、状態1では、第12MOSトランジスタ37及び第13MOSトランジスタ38はともにOFF状態であるので、第6MOSトランジスタ31、第7MOSトランジスタ32、第10MOSトランジスタ35及び第11MOSトランジスタ36からなるラッチ回路に電源電圧 $V_s$ 側から電流は流れない。また、第8MOSトランジスタ33及び第9MOSトランジスタ34はON状態であるので、差動ラッチ回路部30内のノードN3及びN4の電位は、アースと同電位、すなわちゼロ電位となる。この結果、比較器10の出力端子42及び43からそれぞれ出力される電圧 $V_{o1}$ 及び $V_{o2}$ はともに「L」状態となる（図2参照）。なお、この状態1では、差動プリアンプ回路部20及び差動ラッチ回路部30を貫通する電流は流れない。

[0062] また、状態1では、第14MOSトランジスタ39はON状態となるので

、第10MOSトランジスタ35と第12MOSトランジスタ37との接続点に残っている電荷を完全に放電することができる。また、同様に、状態1では、第15MOSトランジスタ40がON状態となるので、第11MOSトランジスタ36と第13MOSトランジスタ38との接続点に残っている電荷を完全に放電することができる。

[0063] なお、図4A～4Cに示す特性中では時刻 $t_1$ 以前の特性が、状態1における比較器10の出力電圧 $V_{o1}$ 及び $V_{o2}$ 、差動プリアンプ回路部20の出力電圧 $V_{g1}$ 及び $V_{g2}$ 、並びに、クロック電圧の変化の様子を示している。ただし、図4A～4Cの特性では、「H」状態が1[V]に対応し、「L」状態が0[V]に対応している。

[0064] 次に、比較器10の動作時の状態（状態2）を、図3を参照しながら説明する。ただし、図3の例では、比較器10の一方の入力端子26に入力される電圧 $V_{i1}$ が、他方の入力端子27に入力される電圧 $V_{i2}$ より大きい（ $V_{i1} > V_{i2}$ ）の場合を考える。

[0065] 状態2では、クロック端子28に入力されるクロック電圧が「H」状態に変化する。これにより、差動プリアンプ回路部20内の第4MOSトランジスタ24及び第5MOSトランジスタ25はOFF状態となり、第3MOSトランジスタ23はON状態となる。状態1（準備段階）では、差動プリアンプ回路部20内のノードN1及びN2の電圧値は「H」状態であったので、状態2において第3MOSトランジスタ23がON状態になると、第1MOSトランジスタ21、第2MOSトランジスタ22及び第3MOSトランジスタ23を介して、ノードN1及びN2からアースに電流が流れる。この結果、ノードN1及びN2の電圧値は時間の経過とともに低下し、「L」状態に遷移する。

[0066] ただし、この際、第1MOSトランジスタ21及び第2MOSトランジスタ22には、これらのトランジスタのゲート端子に印加されている電圧 $V_{i1}$ 及び $V_{i2}$ に対応した電流が流れる。図3の例では、 $V_{i1} > V_{i2}$ であるので、第1MOSトランジスタ21を流れる電流は第2MOSトランジスタ

タ 2 2 を流れる電流より大きくなる。その結果、ノード N 1 における出力電圧  $V_{g1}$  の時間に対する電圧低下率は、ノード N 2 における出力電圧  $V_{g2}$  の時間に対する電圧低下率より大きくなる。

[0067] この様子を図 4 B に示す。比較器 1 0 の状態を状態 2 に切換えた後（時刻  $t_1$  以降）は、ノード N 1 における出力電圧  $V_{g1}$  の方が、ノード N 2 における出力電圧  $V_{g2}$  より早く「L」状態に遷移する。それゆえ、動作開始から出力電圧  $V_{g2}$  が「L」状態に遷移するまでの期間は、出力電圧  $V_{g2}$ （ $CLK_2$ ）は出力電圧  $V_{g1}$ （ $CLK_1$ ）より高くなる。すなわち、出力電圧  $V_{g2}$  の遷移期間中は、差動ラッチ回路部 3 0 内の第 9 MOS トランジスタ 3 4 のゲート電圧は、第 8 MOS トランジスタ 3 3 のゲート電圧より高くなる。また、状態 2 では、出力電圧  $V_{g1}$  の方が、出力電圧  $V_{g2}$  より早く「L」状態に遷移するので、第 8 MOS トランジスタ 3 3 が、第 9 MOS トランジスタ 3 4 より先に OFF 状態になる。

[0068] また、ノード N 2 における出力電圧  $V_{g2}$  の遷移期間中には、差動ラッチ回路部 3 0 内の第 1 2 MOS トランジスタ 3 7 及び第 1 3 MOS トランジスタ 3 8 のゲート電圧（ $V_{g1}$  及び  $V_{g2}$ ）が低下し始める。これにより、第 1 2 MOS トランジスタ 3 7 及び第 1 3 MOS トランジスタ 3 8 はともに ON 状態に近づくので、第 6 MOS トランジスタ 3 1、第 7 MOS トランジスタ 3 2、第 1 0 MOS トランジスタ 3 5 及び第 1 1 MOS トランジスタ 3 6 からなるラッチ回路に電流が流れ始める。しかしながら、この際、差動ラッチ回路部 3 0 内の第 8 MOS トランジスタ 3 3 は、第 9 MOS トランジスタ 3 4 より先に OFF 状態に近づくので、ノード N 3 における出力電圧  $V_{o1}$  がノード N 4 における出力電圧  $V_{o2}$  よりわずかに高くなる。

[0069] ノード N 2 における出力電圧  $V_{g2}$  の遷移期間中の比較器 1 0 の出力電圧  $V_{o1}$  及び  $V_{o2}$ 、差動プリアンプ回路部 2 0 の出力電圧  $V_{g1}$  及び  $V_{g2}$ 、並びに、クロック電圧の変化の様子を、図 4 A ~ 4 C を参照しながら具体的に説明する。比較器 1 0 の状態を状態 2 に切換えると（時刻  $t_1$  以降）、上記ラッチ回路に電流が流れ始めるので、ノード N 3 及び N 4 の出力電圧  $V$

○ 1 及び  $V_{o2}$  はともに「L」状態から上昇し始める（図 4 A 参照）。しかしながら、ノード N 2 の出力電圧  $V_{g2}$  の遷移期間中には、第 9 MOS トランジスタ 3 4 のゲート電圧（ $V_{g2}$ ）と、第 8 MOS トランジスタ 3 3 のゲート電圧（ $V_{g1}$ ）との間に電位差（ $V_{g2} > V_{g1}$ ）が生じるので（図 4 B 参照）、図 4 A 中の時刻  $t_2$  付近で、ノード N 3 における出力電圧  $V_{o1}$  がノード N 4 における出力電圧  $V_{o2}$  より高くなり始める。なお、状態を切替えてから、ノード N 3 の出力電圧  $V_{o1}$  がノード N 4 の出力電圧  $V_{o2}$  より高くなり始めるまでの期間  $t_d$  は約 50 ~ 100 psec 程度である。

[0070] これにより、ノード N 3 にゲート端子が接続されている第 7 MOS トランジスタ 3 2 の状態は、より ON 状態に近づく。また、ノード N 3 にゲート端子が接続されているもう一方の第 11 MOS トランジスタ 3 6 の状態は、より OFF 状態に近づく。この結果、第 7 MOS トランジスタ 3 2 に電流が流れやすくなり、ノード N 4 の電圧が低下し始める。

[0071] また、この際、ノード N 3 の出力電圧  $V_{o1}$  がノード N 4 の出力電圧  $V_{o2}$  に比べて高くなることにより、ノード N 4 にゲート端子が接続されている第 6 MOS トランジスタ 3 1 の状態は、より OFF 状態に近づく。また、ノード N 4 にゲート端子が接続されているもう一方の第 10 MOS トランジスタ 3 5 の状態は、より ON 状態に近づく。この結果、第 6 MOS トランジスタ 3 1 に電流が流れ難くなり、ノード N 3 の電圧が上昇し始める。

[0072] 差動ラッチ回路部 3 0 内では、ノード N 2 の出力電圧  $V_{g2}$  の遷移期間中に上述のような作用が時間とともに繰り返され、ノード N 3 の出力電圧  $V_{o1}$  は上昇し続け、ノード N 4 の出力電圧  $V_{o2}$  は低下し続ける（図 4 A 参照）。すなわち、ノード N 2 の出力電圧  $V_{g2}$  の遷移期間中は、第 6 MOS トランジスタ 3 1、第 7 MOS トランジスタ 3 2、第 10 MOS トランジスタ 3 5 及び第 11 MOS トランジスタ 3 6 からなるラッチ回路内に正帰還が作用し、最終的にはノード N 3 における出力電圧  $V_{o1}$  が [H] 状態に固定され、ノード N 4 における出力電圧  $V_{o2}$  は [L] 状態に固定される。これにより、入力電圧  $V_{i1}$  及び  $V_{i2}$  の比較状態（比較結果）は、差動ラッチ回

路部30内で保持されるとともに出力端子42及び43から出力される。

[0073] なお、ノードN3及びN4の電圧値（出力電圧）が固定された後、第8MOSトランジスタ33及び第9MOSトランジスタ34に印加されるゲート電圧（ $V_{g1}$ （CLK1）及び $V_{g2}$ （CLK2））はともに「L」状態となり、両トランジスタはOFF状態となるので、差動ラッチ回路部30内に定常電流は流れない。

[0074] 本実施形態の比較器10は、上述のようにして動作する。なお、本実施形態の比較器10において、動作時の出力電圧 $V_{o1}$ 及び $V_{o2}$ の状態（「L」状態または「H」状態）の組み合わせは、入力電圧 $V_{i1}$ 及び $V_{i2}$ の大小関係により変化する。また、比較器10の出力信号としては、出力電圧 $V_{o1}$ 及び $V_{o2}$ の信号のいずれか一方を用いてもよいし、両者の差信号を用いてもよい。

[0075] 上述の動作説明から明らかなように、本実施形態の比較器10は、図18、19及び20A~20Cで説明した従来の比較器400と同様の動作をすることが分かる。ただし、本実施形態では、差動プリアンプ回路部20からの出力信号（ $V_{g1}$ 及び $V_{g2}$ ）を用いて差動ラッチ回路部30の動作を制御しているので、差動ラッチ回路部30の動作を制御する電圧信号（ $V_{g1}$ 及び $V_{g2}$ ）の立ち上がり／立ち下がりタイミングは、差動プリアンプ回路部20に入力されるクロック信号CLKのタイミングに依存しない。それゆえ、本実施形態では、従来の比較器400において極性の異なる2つのクロック信号間のタイミングずれにより生じる問題を解消することができる。したがって、本実施形態の比較器10では、従来に比べてより安定した動作が可能になる。

[0076] さらに、本実施形態では、比較器10に入力するクロック信号は1つであるので、クロック回路を従来より減らすことができるので、従来に比べて低電力で比較器を駆動することができる。

[0077] また、本実施形態の比較器10では、第6MOSトランジスタ31及び第10MOSトランジスタ35からなるインバータ内を流れる電流は、第12

MOSトランジスタ37及び第8MOSトランジスタ33により制御される。本実施形態では、第12MOSトランジスタ37及び第8MOSトランジスタ33のゲート端子に入力される制御信号(V<sub>g1</sub>)が共通であるので、第12MOSトランジスタ37によりインバータ内に電流を押し込む動作と、第8MOSトランジスタ33によりインバータ内に電流を引き込む動作とが同期して行われる。すなわち、これらのトランジスタからなる回路は、プッシュプル型の電流制御回路となっている。また、第13MOSトランジスタ38、第11MOSトランジスタ36、第7MOSトランジスタ32及び第9MOSトランジスタ34で構成されている回路も同様にプッシュプル型の電流制御回路となっている。それゆえ、本実施形態では、この電流のプッシュプル作用により、第6MOSトランジスタ31、第7MOSトランジスタ32、第10MOSトランジスタ35及び第11MOSトランジスタ36からなるラッチ回路の動作速度、すなわち、比較器10の動作速度を早くすることができ、感度を高めることができる。

[0078] ここで、図5に、本実施形態の比較器10及び従来の比較器400の感度特性を示す。図5の特性の横軸は、遷移電圧 $\Delta V_{in}$ （参照電圧と入力電圧の差）から比較器のオフセット電圧 $V_{offset}$ を差し引いた値である。図5中の横軸の0[V]の位置が比較器から出力される信号が「H」状態または「L」状態のいずれであるかを区別する閾値電圧となる。また、図5の縦軸は、比較器が「H」状態の信号を出力する確率Pであり、横軸の電圧値がプラス側に向かうほど比較器が「H」状態の信号を出力する確率Pが高くなる。なお、図5中の菱形印の特性45が本実施形態の比較器10の感度特性であり、四角印の特性46が従来の比較器400の感度特性である。

[0079] なお、理想的な比較器では、横軸の電圧値0[V]を基準にして、それよりプラス側であれば100%の確率で「H」状態の信号が比較器から出力され、それよりマイナス側であれば100%の確率で「L」状態の信号が比較器から出力される。しかしながら、実際の比較器では、回路の熱雑音等の影響により、図5に示すように、電圧値0[V]近傍で傾きを持った感度特性

となり、電圧値 0 [V] 近傍で「H」状態の信号が出力される確率 P は約 50% となる。感度が高く且つ高精度な比較器を得るためには、図 5 に示すような感度特性において、電圧値 0 [V] 近傍における感度特性の傾きをより大きくする必要がある。

[0080] 図 5 から明らかなように、本実施形態の比較器 10 の感度特性 45 の電圧値 0 [V] 近傍における傾きは、従来の比較器 400 のそれより大きくなる。また、図 5 に示す感度特性の標準偏差  $\Delta V_m (\sigma)$  を求めると、本実施形態の標準偏差は  $\Delta V_{in} (\sigma) = 0.66$  [mV] であるのに対して、従来の比較器 400 の標準偏差は  $\Delta V_{in} (\sigma) = 2.1$  [mV] となる。この結果から、本実施形態の比較器 10 の感度は、従来の比較器 10 の感度に比べて約 3 倍向上していることが分かる。

[0081] 以上のことから、本実施形態では、従来の比較器に比べて、低電力で且つより安定した動作が可能であるとともに、高感度（高精度）で動作する比較器を提供することができる。

[0082] [A/D 変換器の構成]

次に、上述した本実施形態の比較器 10 を適用した A/D 変換器の一例を説明する。図 6 に、その A/D 変換器の構成例を示す。図 6 に示す A/D 変換器 13 は、並列型の A/D 変換器であり、主に、並列配置された複数の比較器 10a ~ 10h と、並列配置された複数の NAND 回路 11a ~ 11g と、エンコーダ 12 と、直列接続された複数の抵抗  $R_0 \sim R_8$  とで構成される。

[0083] 比較器 10a ~ 10h の正極側の各入力端子は、各抵抗間の接続点に接続され、電源電圧  $V_{DD}$  を各抵抗  $R_0 \sim R_8$  で抵抗分割した参照電圧 ( $V_{r,1} \sim V_{r,8}$  のいずれか) が入力される。一方、比較器 10a ~ 10h の負極側の各入力端子には、基準電圧と比較すべき入力電圧  $V_{in}$  が入力される。すなわち、抵抗  $R_0 \sim R_8$  で抵抗分割された参照電圧  $V_{r,1} \sim V_{r,8}$  のいずれかが図 1 中の入力電圧  $V_{i1}$  及び  $V_{i2}$  の一方になり、比較すべき入力電圧  $V_{in}$  が他方となる。



[0084] また、NAND回路11a~11gのそれぞれにおいて、2つの入力端子のうち一方は反転している。以下では、反転している入力端子を反転入力端子といい、反転していない方の入力端子を通常入力端子という。そして、NAND回路11a~11gの各反転入力端子は、それぞれ比較器10a~10hの出力端子に接続される。また、NAND回路11a~11gの各通常入力端子は、自身より高電位側に配置された隣のNAND回路の反転入力端子及び比較器の出力端子に接続される。また、NAND回路11a~11gの各出力端子はエンコーダ12に接続される。

[0085] 図7に、一方の入力端子が反転しているNAND回路における入力信号と出力信号との関係を示す真理値表を示す。図7に示すように、本実施形態で用いるNAND回路では、入力信号の組み合わせ[A, B] = [1, 0]の場合のみ信号「0」（「L」状態の信号）を出力し、それ以外の場合には信号「1」（「H」状態の信号）を出力する。

[0086] また、エンコーダ12は、複数のNAND回路11a~11gから出力された信号に基づいて、入力信号に対応する符号化（コード化）されたデジタル信号を出力する。

[0087] [A/D変換器の動作]

次に、本実施形態のA/D変換器13の動作を、図6を参照しながら簡単に説明する。なお、図6に示す比較器10a~10hは、 $V_{in}$ が抵抗分割された参照電圧より大きい場合に信号「0」を出力し、小さい場合に信号「1」を出力するものとする。また、図6の例では、信号「1」が1[V]に対応し、信号「0」が0[V]に対応するものとする。さらに、図6には、 $V_{in}$ が $V_{r,3}$ より小さく且つ $V_{r,4}$ より大きい場合（ $V_{r,3} > V_{in} > V_{r,4}$ ）の例を示す。

[0088] 入力電圧 $V_{in}$ （アナログ信号）がA/D変換器13に入力されると、 $V_{in}$ は $V_{r,3}$ より小さく且つ $V_{r,4}$ より大きいので、比較器10a~10cの出力信号は、「1」となり、比較器10d~10hの出力信号は「0」となる。この結果、NAND回路11a及び11bに入力される信号の組み合わ

せは [1, 1] となり、NAND回路 11a 及び 11b の出力信号は「1」となる。また、NAND回路 11c に入力される信号の組み合わせは [1, 0] となり、NAND回路 11c の出力信号は「0」となる。そして、NAND回路 11d ~ 11g に入力される信号の組み合わせは [0, 0] となり、NAND回路 11d ~ 11g の出力信号は「1」となる。すなわち、NAND回路 11c のみ、出力信号が「0」となり、 $V_{in}$  の範囲が確定する。

[0089] 次いで、エンコーダ 12 は、NAND回路 11a ~ 11g の出力信号に基づいて、入力電圧  $V_{in}$  に対応する符号化されたデジタル信号を出力する。図 6 の例の A/D 変換器 13 は、上述のようにして動作する。図 6 に示す A/D 変換器 13 の構成例では、本実施形態の比較器 10 を利用しているため、安定して動作させることができるとともに、高感度（高精度）で且つ低電力で動作させることができる。

[0090] <第 2 の実施形態>

通常、上述した比較器を構成する NMOS 及び PMOS トランジスタは微小なサイズで作製されるので、これらのトランジスタの閾電圧値にはばらつきが存在する。この場合、比較器に入力される 2 つの電圧間の差に基づいて出力信号を区別するための基準電圧にオフセットが発生する。また、このオフセット電圧は比較器毎に異なる。そして、比較器のオフセット電圧が大きいと誤動作する確率が高くなるので、このオフセット電圧をできる限り小さくすることが望ましい。

[0091] 近年の微細な CMOS トランジスタを用いた比較器のオフセット電圧は、約 30 [mV] になる。しかしながら、分解能  $N$  ビットの A/D 変換器の量子化電圧  $V_{qn}$  は  $V_{qn} = V_{pp} / 2^N$  で表されるので、信号振幅  $V_{pp} = 2$  [V] とし、 $N = 10 \text{ bit}$  とすれば、量子化電圧  $V_{qn}$  は 2 [mV] 程度となる。この場合、基準を  $1/4 \text{ LSB}$  にすれば、0.5 [mV] 以下のオフセット電圧が必要となる。そこで、本実施形態では、第 1 の実施形態の比較器において、さらに、オフセット電圧を、例えば、数 mV 程度以下に抑制するための構成例を説明する。

## [0092] [比較器の構成]

図 8 に、本実施形態の比較器の回路構成を示す。比較器 50 は、主に、入力側（前段）に配置されたダイナミックな差動プリアンプ回路部 20 と、出力側（後段）に配置された差動ラッチ回路部 30 と、差動プリアンプ回路部 20 に接続されたオフセット電圧補償回路部 60 とで構成される。なお、図 8 に示す本実施形態の比較器 50 において、図 1 に示す第 1 の実施形態の比較器 10 と同様の構成部分には、同じ符号を付して説明する。

[0093] 本実施形態の比較器 50 の差動プリアンプ回路部 20 及び差動ラッチ回路部 30 は、第 1 の実施形態と同様の構成とする。それゆえ、ここでは、差動プリアンプ回路部 20 及び差動ラッチ回路部 30 の説明は省略する。なお、図 8 中の符号 G、S 及び D はそれぞれトランジスタのゲート端子、ソース端子及びドレイン端子を示している。

[0094] オフセット電圧補償回路部 60 は、主に、2 つの NMOS トランジスタ 61 及び 62（以下、それぞれ第 1 及び第 2 補償用 MOS トランジスタという）と、これらのトランジスタのゲート電圧を調整する電圧調整部 63 とを備える。なお、第 1 及び第 2 補償用 MOS トランジスタ 61 及び 62 を PMOS トランジスタで構成してもよい。

[0095] また、図 8 では図示しないが、オフセット電圧補償回路部 60 は、電圧調整部 63 内のスイッチ 67 及び 68 の開閉を制御する制御回路部と、比較器 50 のオフセット電圧補償動作と通常の比較動作とを切替える切替部とを備える。

[0096] 電圧調整部 63 は、バイアス電源 64 と、コンデンサ 65 と、2 つのチャージポンプ 66 及び 69（以下、それぞれ第 1 及び第 2 チャージポンプという）と、2 つのスイッチ 67 及び 68 とを備える。

[0097] 第 1 チャージポンプ 66 の出力端子はスイッチ 67 の一方の端子に接続され、スイッチ 67 の他方の端子はスイッチ 68 の一方の端子に接続される。スイッチ 68 の他方の端子は第 2 チャージポンプ 69 の入力端子に接続され、第 2 チャージポンプ 69 の出力端子は接地される。2 つのスイッチ 67 及

び68間の接続点はコンデンサ65の接地されていない方の端子に接続される。

[0098] 第1補償用MOSトランジスタ61のゲート端子は、コンデンサ65の接地されていない方の端子に接続される。第1補償用MOSトランジスタ61のドレイン端子（入力側端子）は、差動プリアンプ回路部20内の第1MOSトランジスタ21及び第4MOSトランジスタ24間の接続点に接続される。また、第1補償用MOSトランジスタ61のソース端子（出力側端子）は、第1MOSトランジスタ21及び第2MOSトランジスタ22のソース端子（出力側端子）に接続される。

[0099] 第2補償用MOSトランジスタ62のゲート端子は、バイアス電源64に接続される。第2補償用MOSトランジスタ62のドレイン端子（入力側端子）は、差動プリアンプ回路部20内の第2MOSトランジスタ22及び第5MOSトランジスタ25間の接続点に接続される。また、第2補償用MOSトランジスタ62のソース端子（出力側端子）は、第1MOSトランジスタ21及び第2MOSトランジスタ22のソース端子（出力側端子）に接続される。

[0100] 図9に、スイッチ67及び68の開閉を制御する制御回路部及びオフセット電圧補償動作と通常の比較動作とを切替える切換え部を含む比較器50のより詳細な構成例を示す。図9中の破線で囲まれた領域72及び78がそれぞれ制御回路部及び切換え部である。なお、図9では、差動プリアンプ回路部20及び差動ラッチ回路部30は、まとめて一つの回路素子51で表示し簡略化している。

[0101] 制御回路部72は、第1AND回路70と、第2AND回路71とで構成される。第1AND回路70には、比較器50の一方の出力電圧 $V_{o1}$ の信号とキャリブレーション信号CALとが入力される。第1AND回路70は、これらの入力信号に基づいて、スイッチ68の開閉を制御する。一方、第2AND回路71には、比較器50の他方の出力電圧 $V_{o2}$ の信号とキャリブレーション信号CALとが入力される。そして、第2AND回路71は、

これらの入力信号に基づいて、スイッチ67の開閉を制御する。

[0102] 切換え部78は、比較器50のオフセット電圧の補償動作と通常の比較動作とを切換えるための5つのスイッチ73~77で構成される。

[0103] スイッチ74は比較器50の入力端子間に設けられており、また、その一方の端子がスイッチ73に接続され、他方の端子がスイッチ75に接続される。そして、スイッチ73及びスイッチ75のスイッチ74と接続されていない方の端子は、オフセット電圧の補償動作時に比較器50を動作させるための駆動バイアス電源 $V_{cm}$ の入力端子に接続される。これらのスイッチ73~75の開閉制御は、第1及び第2AND回路70及び71に入力されるキャリブレーション信号CALにより行われる。

[0104] 一方、スイッチ76は、入力端子26と回路素子51との間に設けられ、スイッチ77は、入力端子27と回路素子51との間に設けられる。これらのスイッチの開閉制御は、キャリブレーション信号CALとは逆位相の信号により制御される。

[0105] また、本実施形態では、比較器50がオフセット電圧の補償動作している際には、スイッチ73~75を閉じ且つスイッチ76及びスイッチ77を開けるように制御する。また、比較器50が通常の比較動作をしている際には、スイッチ73~75を開き且つスイッチ76及びスイッチ77を閉じるように制御する。

[0106] [オフセット電圧の補償動作]

次に、オフセット電圧の補償動作について説明するが、具体的な動作を説明する前に、本実施形態におけるオフセット電圧の補償動作の原理を説明する。

[0107] まず、比較器50の入力端子26及び27間をショートして差動プリアンプ回路部20内の第1MOSトランジスタ21及び第2MOSトランジスタ22のゲート電圧を同電位する。この状態で比較器50を動作させると、第1MOSトランジスタ21（正転側のトランジスタ）及び第2MOSトランジスタ22（反転側のトランジスタ）に電流が流れこむ。この際、比較器5

0にオフセット電圧がある場合には、第1MOSトランジスタ21及び第2MOSトランジスタ22に流れ込む電流の値が異なる（アンバランスになる）。一方、比較器50にオフセット電圧がない場合には、第1MOSトランジスタ21及び第2MOSトランジスタ22に流れ込む電流の値が等しくなる（バランスする）。

[0108] 本実施形態の比較器50の補償動作では、入力端子26及び27間をショートした状態で、第1MOSトランジスタ21及び第2MOSトランジスタ22に流れ込む電流の値が等しくなるように、第1及び第2補償用MOSトランジスタ61及び62のゲート電圧を相対的に調整する。ただし、本実施形態では、第1MOSトランジスタ21及び第2MOSトランジスタ22に流れ込む電流がバランスしているか否かの判定は、補償動作時に比較器50から出力される電圧信号（ $V_{o1}$ 及び/または $V_{o2}$ ）の変化をモニターして判定する。

[0109] 図5に示した比較器の感度特性で説明したように、遷移電圧 $\Delta V_{in}$ （参照電圧と入力電圧の差）から比較器のオフセット電圧 $V_{offset}$ を差し引いた値が0[V]近傍で有る場合には、比較器から「H」状態の信号が出力される確率と「L」状態の信号が出力される確率はともにほぼ50%となる。すなわち、入力電圧差が0[V]であり、第1MOSトランジスタ21及び第2MOSトランジスタ22に流れ込む電流がバランスしている場合（オフセット電圧=0[V]）には、比較器50から「H」状態の信号が出力される確率と、「L」状態の信号が出力される確率は、ほぼ同じになる。

[0110] そこで、本実施形態では、補償動作時に、比較器50から「H」状態の信号が出力される確率と、「L」状態の信号が出力される確率とが同じになるように、第1及び第2補償用MOSトランジスタ61及び62のゲート電圧を相対的に調整する。

[0111] 次に、本実施形態におけるオフセット電圧の補償動作を、図8～10を参照しながら具体的に説明する。なお、図10は、補償動作中のコンデンサ65の電位 $V_c$ 、比較器50の出力電圧 $V_o$ 及び補償動作時のクロック信号の

変化を示す図である。

- [0112] 図10の例では、第2補償用MOSトランジスタ62のゲート端子に印加するバイアス電圧 $V_b$ は所定の値とし、第1補償用MOSトランジスタ61のゲート電圧（コンデンサ65の電位 $V_c$ ）を調整することにより、オフセット電圧を補償する場合を説明する。また、図10の例では、補償動作開始時には、比較器50からは「H」状態の信号（ $V_o = 1$  [V]）が連続して出力される場合を考える（図10中の $V_o$ 参照）。さらに、コンデンサ65の電位 $V_c$ を下げることにより、比較器50からの出力を「L」状態の信号（ $V_o = 0$  [V]）に変えることができるものとする。
- [0113] まず、キャリブレーション信号CALによりスイッチ73~75を閉じて、比較器50を動作させ、オフセット電圧の補償動作を開始する。補償動作開始時には、比較器50からは「H」状態の信号（図10中の $V_o = 1$  [V]）が連続して出力されるので、コンデンサ65の電位 $V_c$ を下げる。この際、制御回路部72によりスイッチ68を閉じて第2チャージポンプ69でコンデンサ65を放電することによりコンデンサ65の電位 $V_c$ を下げる。
- [0114] そして、比較器50から「L」状態の信号（ $V_o = 0$  [V]）が出力されるまで、クロック単位で段階的にコンデンサ65の電位 $V_c$ を下げる（図10中の段階81）。これにより、クロック数が増加するとともに、オフセット電圧が減少する。そして、オフセット電圧が十分に小さくなると、比較器50から「L」状態の信号が出力される。
- [0115] 比較器50から「L」状態の信号が出力された後は、制御回路部72によりスイッチ68を開けて、代わりにスイッチ67を閉じる。これにより、第1チャージポンプ66によりコンデンサ65が充電され、コンデンサ65の電位 $V_c$ が上がる（図10中の段階82）。この結果、比較器50から「H」状態の信号（ $V_o = 1$  [V]）が出力される。
- [0116] 次いで、再度、制御回路部72によりスイッチ67を開けて、代わりにスイッチ68を閉じる。これにより、第2チャージポンプ69によりコンデンサ65が放電され、コンデンサ65の電位 $V_c$ が下がる（図10中の段階8

3)。この結果、比較器50から「L」状態の信号が出力される。このような動作を繰り返すと、図10に示すように、比較器50からは、「H」状態の信号と「L」状態の信号とが交互に出力されるような状態となる。この状態では、比較器50から「H」状態の信号が出力される確率と、「L」状態の信号が出力される確率とがほぼ同じになっており、オフセット電圧が補償されている。

[0117] 本実施形態の比較器50では、上述のようにしてオフセット電圧を補償する。なお、補償動作の期間は、図10に示すように、動作開始から、「H」状態の信号と「L」状態の信号とが比較器50から交互に出力されるまでの時間が必要であり、例えば、約 $1\ \mu\text{sec}$ とすることができる。

[0118] なお、比較器50のオフセット電圧の補償動作は、例えば、通常の比較動作の間に行う。その方法の一例を図11に示す。図11の例では、比較器50のマスタークロック（図11中の上段の波形）を用いて、比較動作のタイミングを制御するクロック信号（中段の波形）と、補償動作のタイミングを制御するクロック信号（下段の波形）とを生成する。具体的には、両クロック信号の周期をマスタークロックの周期の2倍にし、且つ、両クロック信号において、クロック信号が「H」状態になるタイミングが互いに重ならないように位相をずらす。このような比較動作のタイミングを制御するクロック信号及び補償動作のタイミングを制御するクロック信号を用いると、オフセット電圧の補償動作と、通常の比較動作とを交互に行うことができる。

[0119] 図12A及び12Bに、本実施形態のオフセット電圧補償回路部60を含む比較器50のオフセット電圧と、従来の比較器400（オフセット電圧補償回路なし）のオフセット電圧とを比較した図を示す。図12Aは、比較器50を64個並べて各比較器50のオフセット電圧の分布を測定した結果であり、横軸は、比較器の数（並び番号）であり、縦軸は各比較器のオフセット電圧 $V_{offset}$ である。なお、図12A中の実線の分布が、本実施形態の比較器50のオフセット電圧の分布であり、破線の分布は従来の比較器400のオフセット電圧の分布である。また、図12Bは、オフセット電圧の統計



分布を示す図である。

[0120] 図12Aから明らかなように、本実施形態の比較器50では、従来に比べてオフセット電圧の大きさが十分抑制されている。また、図12Bに示すオフセット電圧の統計分布からオフセット電圧の標準偏差を求めると、従来の比較器400のオフセット電圧の標準偏差 $\Delta V_{offset}(\sigma) = 13.7$  [mV]であったのに対して、本実施形態では、標準偏差 $\Delta V_{offset}(\sigma) = 1.69$  [mV]であった。すなわち、本実施形態の比較器50では、オフセット電圧の標準偏差を、従来のそれに比べて約1/8に減少させることができた。

[0121] なお、本実施形態では、コンデンサ65の電位 $V_c$ （第1補償用MOSトランジスタ61のゲート電圧）を調整する例を説明したが、本発明はこれに限定されない。コンデンサ65の電位 $V_c$ だけでなく、バイアス電源64の電圧 $V_b$ （第2補償用MOSトランジスタ62のゲート電圧）も調整し、コンデンサ65の電位 $V_c$ とバイアス電圧 $V_b$ との電圧差を相対的に調整してもよい。

[0122] <3. 第3の実施形態>

第3の実施形態では、オフセット電圧を抑制する機能を有する比較器の別の構成例を説明する。

[0123] [比較器の構成]

図13に、本実施形態の比較器の回路構成を示す。比較器80は、主に、入力側（前段）に配置されたダイナミックな差動プリアンプ回路部20と、出力側（後段）に配置された差動ラッチ回路部30と、その間に設けられたオフセット電圧補償回路部90とで構成される。なお、図13に示す本実施形態の比較器80において、図1に示す第1の実施形態の比較器10と同様の構成部分には、同じ符号を付して説明する。

[0124] 本実施形態の比較器80の差動プリアンプ回路部20及び差動ラッチ回路部30は、第1の実施形態と同様の構成とする。それゆえ、ここでは、差動プリアンプ回路部20及び差動ラッチ回路部30の説明は省略する。

[0125] オフセット電圧補償回路部 90 は、主に、2つの可変容量素子 91 及び 92 と、2つの可変容量素子 91 及び 92 の容量制御を行う制御回路部（不図示）と、比較器 80 のオフセット電圧補償動作と通常の比較動作とを切替える切換え部（不図示）とを備える。なお、制御回路部及び切換え部としては、例えば、第 2 の実施形態と同様の構成（図 9 参照）のものを用いることができる。

[0126] 可変容量素子 91 の一方の端子は、差動プリアンプ回路部 20 内のノード N1 に接続され、他方の端子は接地される。また、可変容量素子 92 の一方の端子は、差動プリアンプ回路部 20 内のノード N2 に接続され、他方の端子は接地される。なお、各可変容量素子の容量の調整は、例えば、容量の異なる複数の容量素子を複数配置しておき、補償動作時にそれらのうちの少なくとも一つを選択するようなスイッチ回路を用いることにより制御することができる。

[0127] [オフセット電圧の補償動作]

本実施形態では、第 2 の実施形態と同様に、入力端子 26 及び 27 間をショートした状態で、ノード N1 及び N2 の電圧降下率が等しくなるように、2つの可変容量素子 91 及び 92 の容量を調整する。

[0128] ノード N1 及び N2 の電圧降下率は、ノード N1 及び N2 に接続される容量の大きさによっても調整することができる。例えば、ノードに接続する容量素子の容量を大きくすると、電圧が降下し難くなり、逆に容量が小さいと電圧が降下し易くなる。すなわち、ノードに接続する容量素子の容量の大きさを変えることにより、ノードでの電圧降下率を制御することができる。

[0129] それゆえ、本実施形態のオフセット電圧補償回路部 90 においても、補償動作時に可変容量素子 91 及び 92 の容量を相対的に調整することにより、第 2 の実施形態と同様にして（図 10 参照）、オフセット電圧を補償することができる。

[0130] また、本実施形態のオフセット電圧補償回路部 90 の可変容量素子 91 及び 92 の容量の絶対値を大きくすると、差動プリアンプ回路部 20 の出力線

上にノイズが加わっても、可変容量素子 9 1 及び 9 2 のフィルタ作用によりそのノイズが吸収され、比較器 8 0 の感度をより向上させることができる。それゆえ、この場合には、より高精度な A/D 変換器を提供することができる。

[0131] < 4. 第 4 の実施形態 >

第 1 の実施形態で説明した A/D 変換器（図 6 参照）のような並列型の A/D 変換器では、参照電圧と同等数の比較器を設ける。このような構成では、A/D 変換器の分解能を  $N$  とすると、約  $2^N$  個の参照電圧が必要となる。例えば、分解能  $N = 10 \text{ bit}$  とすると、1024 個の参照信号が必要となり、同等数（1000 個程度）の比較器を設ける必要がある。A/D 変換器の入力端子に接続される比較器の数が増えると、A/D 変換器の入力側からみた容量が大きくなり、A/D 変換器の周波数特性が劣化する。

[0132] この問題を解決するために、参照電圧の数を減らす必要があるが、その場合には分解能が劣化する。そこで、分解能を維持しつつ参照電圧の数を減らす方法として、抵抗分割等により実際に得られる 2 つの参照電圧間（一補間電圧区間）の参照電圧を補間技術により疑似的に生成して分解能を維持する方法が用いられる。

[0133] 図 1 4 に、実際に得られる 2 つの参照電圧  $V_{r, n-1}$  及び  $V_{r, n}$ 、並びに、その参照電圧間の補償参照電圧と、比較すべき入力電圧とを比較した際に、比較器内の差動プリアンプ回路部から出力される電圧の変化を示す。図 1 4 中の横軸は比較器への入力電圧であり、縦軸は差動プリアンプ回路部からの出力電圧である。図 1 4 中の実線の特性は、差動プリアンプ回路部内の正転側のトランジスタから出力される電圧の変化を示しており、破線の特性の反転側のトランジスタから出力される電圧の変化を示している。

[0134] ここで、例えば、参照電圧  $V_{r, n-1}$  及び  $V_{r, n}$  間（一補間電圧区間）を  $k : m - k$  で分割する補間参照電圧  $V_{r, k}$  と入力電圧とを比較器で比較した際の出力電圧を考える。この場合、差動プリアンプ回路部内の正転側のトランジスタから出力される電圧  $V_k$  は、図 1 4 に示すように、 $V_k = \{ (m - k) \cdot V_n$

$-_1 + k \cdot V_n \} / m$ となる。また、差動プリアンプ回路部内の反転側のトランジスタから出力される電圧 $V_{k\_c}$ は、 $V_{k\_c} = \{ (m-k) \cdot V_{n-1\_c} + k \cdot V_{n\_c} \} / m$ となる。

[0135] なお、上記式中の $V_{n-1}$ 及び $V_{n-1\_c}$ は、参照電圧 $V_{r, n-1}$ と入力電圧とを比較器で比較した際に、差動プリアンプ回路部内の正転側及び反転側のトランジスタからそれぞれ出力される電圧である。また、 $V_n$ 及び $V_{n\_c}$ は、参照電圧 $V_{r, n}$ と入力電圧とを比較器で比較した際に、差動プリアンプ回路部内の正転側及び反転側のトランジスタからそれぞれ出力される電圧である。

[0136] すなわち、補間参照電圧 $V_{r, k}$ と入力電圧とを比較可能な補間型の比較器に、電圧 $V_n$ 、 $V_{n\_c}$ 、 $V_{n-1}$ 及び $V_{n-1\_c}$ の4つの信号を入力すると、その補間型の比較器内の差動プリアンプ回路部からは上記式で表わされる電圧 $V_k$ 及び $V_{k\_c}$ の信号が出力される。本実施形態では、このような補間機能を有する比較器及びそれを用いたA/D変換器の構成例を説明する。

[0137] [A/D変換器の構成]

本実施形態の比較器の構成を説明する前に、上述のような補間機能を有する比較器を備えるA/D変換器の構成例を説明する。図15に、本実施形態のA/D変換器の概略構成を示す。なお、図15は、2つの参照電圧 $V_{r, 1}$ 及び $V_{r, 2}$ を生成する分割抵抗 $R_1$ 及び $R_2$ に接続される部分だけを示す。すなわち、一補間電圧区間に関連する構成部分のみを示す。また、本実施形態では、2つの参照電圧 $V_{r, 1}$ 及び $V_{r, 2}$ 間を $m$ 等分する場合を考える。それゆえ、一補間電圧区間には、補間機能を有する比較器100は、 $m-1$ 個必要となる。

[0138] 本実施形態のA/D変換器150では、補間機能を有する複数の比較器100と分割抵抗( $R_1$ ,  $R_2$ ...)の間に複数の差動増幅器(151, 152...)が設けられる。また、本実施形態では、参照電圧 $V_{r, 1}$ 及び $V_{r, 2}$ 間(一補間電圧区間)を $m$ 等分するので、2つの差動増幅器151及び152の差動出力端子に $m-1$ 個の比較器100を並列接続する。

[0139] また、各比較器100には、一方の差動増幅器151の2つの出力電圧 $V_1$

及び $V_{1\_c}$ 、並びに、他方の差動増幅器 152 の 2 つの出力電圧 $V_2$ 及び $V_{2\_c}$ が入力される。この際、出力電圧 $V_1$ 及び $V_2$ は、比較器 100 内の差動プリアンプ回路部の正転側の MOS トランジスタに入力され、出力電圧 $V_{1\_c}$ 及び $V_{2\_c}$ は、反転側の MOS トランジスタに入力される。なお、2 つの差動増幅器 151 及び 152 の出力電圧 $V_1$ 、 $V_{1\_c}$ 、 $V_2$ 及び $V_{2\_c}$ は、例えば、それぞれ図 14 中の $V_{n-1}$ 、 $V_{n-1\_c}$ 、 $V_n$ 及び $V_{n\_c}$ に対応する。

[0140] このような構成にすることにより、参照電圧を少なくすることができる。この結果、A/D変換器の入力側からみた容量を小さくすることができ、周波数特性の劣化を防ぐことができる。また、参照電圧を生成するために必要な抵抗及びその周辺回路の数が減らすことができる。

[0141] [比較器の構成]

図 16 に、本実施形態の比較器 100 の回路構成を示す。比較器 100 は、主に、入力側（前段）に配置されたダイナミックな差動プリアンプ回路部 120 と、出力側（後段）に配置された差動ラッチ回路部 30 とで構成される。なお、図 16 に示す本実施形態の比較器 100 において、図 1 に示す第 1 の実施形態の比較器 10 と同様の構成部分には、同じ符号を付して説明する。

[0142] 本実施形態の比較器 100 の差動ラッチ回路部 30 は、第 1 の実施形態と同様の構成とする。それゆえ、ここでは、差動ラッチ回路部 30 の説明は省略する。

[0143] 差動プリアンプ回路部 120（差動増幅回路部）は、5 つの NMOS トランジスタ 101～104 及び 23 と、2 つの PMOS トランジスタ 24 及び 25 とで構成される。本実施形態では、差動プリアンプ回路部 120 内の入力差動トランジスタ対の正転側のトランジスタを 2 つの NMOS トランジスタ 101 及び 102 で構成する。また、反転側のトランジスタを 2 つの NMOS トランジスタ 103 及び 104 で構成する。これ以外の構成は、第 1 の実施形態と同様とする。

[0144] 正転側の一方の NMOS トランジスタ 101（第 1 MOS トランジスタ）

のゲート端子は、入力端子111に接続され、入力端子111には差動増幅器151の正転側の出力電圧 $V_1$ の信号（第1入力電圧信号）が入力される。すなわち、差動増幅器151の正転側の出力電圧 $V_1$ が、NMOSトランジスタ101のゲート電圧となる。また、NMOSトランジスタ101のドレイン端子（入力側端子）は、第4MOSトランジスタ24のドレイン端子（出力側端子）に接続される。さらに、NMOSトランジスタ101のソース端子（出力側端子）は、第3MOSトランジスタ23のドレイン端子（入力側端子）に接続される。

[0145] 正転側の他方のNMOSトランジスタ102（第16MOSトランジスタ）のゲート端子は、入力端子112に接続され、入力端子112には差動増幅器152の正転側の出力電圧 $V_2$ の信号（第3入力電圧信号）が入力される。すなわち、差動増幅器152の正転側の出力電圧 $V_2$ が、NMOSトランジスタ102のゲート電圧となる。また、NMOSトランジスタ102のドレイン端子（入力側端子）は、NMOSトランジスタ101のドレイン端子（入力側端子）に接続される。さらに、NMOSトランジスタ102のソース端子（出力側端子）は、NMOSトランジスタ101のソース端子（出力側端子）に接続される。

[0146] また、反転側の一方のNMOSトランジスタ103（第2MOSトランジスタ）のゲート端子は、入力端子113に接続され、入力端子113には差動増幅器151の反転側の出力電圧 $V_{1\_}$ の信号（第2入力電圧信号）が入力される。すなわち、差動増幅器151の反転側の出力電圧 $V_{1\_}$ が、NMOSトランジスタ103のゲート電圧となる。また、NMOSトランジスタ103のドレイン端子（入力側端子）は、第5MOSトランジスタ25のドレイン端子（出力側端子）に接続される。さらに、NMOSトランジスタ102のソース端子（出力側端子）は、第3MOSトランジスタ23のドレイン端子（入力側端子）に接続される。

[0147] 反転側の他方のNMOSトランジスタ104（第17MOSトランジスタ）のゲート端子は、入力端子114に接続され、入力端子114には差動増

幅器 152 の反転側の出力電圧  $V_{2\_c}$  の信号（第 4 入力電圧信号）が入力される。すなわち、差動増幅器 152 の反転側の出力電圧  $V_{2\_c}$  が、NMOS トランジスタ 104 のゲート電圧となる。また、NMOS トランジスタ 104 のドレイン端子（入力側端子）は、NMOS トランジスタ 103 のドレイン端子（入力側端子）に接続される。さらに、NMOS トランジスタ 104 のソース端子（出力側端子）は、NMOS トランジスタ 103 のソース端子（出力側端子）に接続される。

[0148] そして、本実施形態の比較器 100 では、差動プリアンプ回路部 120 内の入力差動トランジスタ対を構成する NMOS トランジスタ 101 ~ 104 のそれぞれのチャンネル幅  $W$ （トランジスタの幅）とチャンネル長  $L$ （トランジスタの長さ）との比（以下、 $W/L$  比という）を変えることにより、入力電圧と、所定の補間参照電圧との比較を可能にしている。

[0149] [比較器の動作原理]

次に、本実施形態の比較器 100 の動作原理を説明する。ここでは、入力差動トランジスタ対を構成する NMOS トランジスタ 101 ~ 104 の各チャンネル幅  $W$  を変えることにより、 $W/L$  比を変化させる場合を考える。また、NMOS トランジスタ 101 ~ 104 のチャンネル長  $L$ 、キャリアの移動量  $\mu$ 、単位ゲート容量  $C_{ox}$  及び閾値電圧  $V_T$  はすべてのトランジスタにおいて等しいものとする。

[0150] 各 NMOS トランジスタ 101 ~ 104 に流れる電流  $I_{ds\_101}$ 、 $I_{ds\_102}$ 、 $I_{ds\_103}$  及び  $I_{ds\_104}$  は、それぞれ、下記数式 1 で表わされる。なお、下記数式 1 中の  $W_{101}$  ~  $W_{104}$  は、それぞれ NMOS トランジスタ 101 ~ 104 のチャンネル幅である。

[0151]

[数1]

$$I_{ds\_101} = \frac{1}{2} \mu C_{ox} \frac{W_{101}}{L} (V_1 - V_T)$$

$$I_{ds\_102} = \frac{1}{2} \mu C_{ox} \frac{W_{102}}{L} (V_2 - V_T)$$

$$I_{ds\_103} = \frac{1}{2} \mu C_{ox} \frac{W_{103}}{L} (V_{1c} - V_T)$$

$$I_{ds\_104} = \frac{1}{2} \mu C_{ox} \frac{W_{104}}{L} (V_{2c} - V_T)$$

[0152] 比較器100の比較動作では、差動プリアンプ回路部120内の正転側の2つのNMOSトランジスタ101及び102にそれぞれ流れる電流を合算した電流と、反転側の2つのNMOSトランジスタ103及び104にそれぞれ流れる電流を合算した電流とを比較する。各合算電流は次式で表わされる。

[0153] [数2]

$$I_{ds\_101} + I_{ds\_102} = \frac{1}{2} \mu C_{ox} \frac{1}{L} \{W_{101} (V_1 - V_T) + W_{102} (V_2 - V_T)\}$$

$$I_{ds\_103} + I_{ds\_104} = \frac{1}{2} \mu C_{ox} \frac{1}{L} \{W_{103} (V_{1c} - V_T) + W_{104} (V_{2c} - V_T)\}$$

[0154] ここで、 $W_{101} = W_{103} = W_1$ 、 $W_{102} = W_{104} = W_2$ とし、 $W_1 : W_2 = (m - k) : k$ とし、上記数式2の両合算電流が等しくなる境界条件を下記数式3により求める。

[0155] [数3]

$$W_1 (V_1 - V_T) + W_2 (V_2 - V_T) = W_1 (V_{1c} - V_T) + W_2 (V_{2c} - V_T)$$

$$\therefore W_1 (V_1 - V_{1c}) = W_2 (V_{2c} - V_2)$$

$$\therefore \frac{m - k}{m} (V_1 - V_{1c}) = \frac{k}{m} (V_{2c} - V_2)$$

[0156] 上記数式3をさらに書き直すと、下記数式4が得られる。



[0157] [数4]

$$\frac{(m-k)V_1 + kV_2}{m} = \frac{(m-k)V_{1_c} + kV_{2_c}}{m}$$

[0158] 上記数式4の両辺の式と、図14で説明した補間参照電圧 $V_{r,k}$ に対して差動プリアンプ回路部から出力される正転側の出力電圧 $V_k$ 及び反転側の出力電圧 $V_{k_c}$ の式とを比較すると分かるように、上記数式4の左辺が差動プリアンプ回路部120の正転側の出力電圧を示しており、右辺が反転側の出力電圧を示している。

[0159] すなわち、本実施形態の比較器100では、電圧 $V_1$ 、 $V_{1_c}$ 、 $V_2$ 及び $V_{2_c}$ の4つの信号が比較器100に入力された際には、差動プリアンプ回路部120内のトランジスタ対の正転側からは上記数式4の左辺で表わされた電圧が出力され、反転側からは上記数式4の右辺で表わされた電圧が出力される。これは、比較器100において、図15中の参照電圧 $V_{r,1}$ 及び $V_{r,2}$ 間を $(m-k) : k$ で分割する補間参照電圧 $V_{r,k}$ により、擬似的に比較動作が行われていることを意味する。それゆえ、本実施形態の比較器100では、NMOSトランジスタ101及び103のチャネル幅 $W1$ とNMOSトランジスタ102のチャネル幅 $W2$ との比を $W1 : W2 = (m-k) : k$ と設定することにより、所定の補間参照電圧 $V_{r,k}$ で比較動作を行うことができる。例えば、 $W1 : W2 = 1 : 1$ とすれば、参照電圧 $V_{r,1}$ 及び $V_{r,2}$ 間の中間の補間参照電圧で比較動作を行うことができる。

[0160] 本実施形態では、上記補償原理に基づいて、各比較器100が所望の補間参照電圧で比較動作が可能になるように、差動プリアンプ回路部内のNMOSトランジスタ101～104の $W/L$ 比を適宜調整する。

[0161] なお、図15に示すA/D変換器150においては、2つの差動増幅器151及び152の差動出力端子に接続された $m-1$ 個の比較器100毎に、差動プリアンプ回路部120内のNMOSトランジスタ101及び103のチャネル幅 $W1$ とNMOSトランジスタ102のチャネル幅 $W2$ との比が異

なるように設定される。なお、上記説明では、各トランジスタのチャンネル幅  $W$  を変えて  $W/L$  比を調整する例を説明したが、本発明はこれに限定されず、チャンネル長  $L$  を変えて  $W/L$  比を調整してもよいし、チャンネル幅  $W$  及びチャンネル長  $L$  の両方を変化させて  $W/L$  比を調整してもよい。

[0162] また、NMOSトランジスタの  $W/L$  比を調整する際、調整の容易さから上述したようにチャンネル幅  $W$  を調整することが好ましい。その調整方法としては、チャンネル幅  $W$  を単に広げても良いが、チャンネル幅  $W$  の最小パターンの MOSトランジスタを LSI チップ上で複数形成し、それらを並列接続しても良い。その一例を図 17 に示す。

[0163] 図 17 は、NMOSトランジスタの概略上面図である。図 17 の例では、電流の流れる方向に沿ってチャンネル幅  $W$  のドレイン領域 (D) 及びソース領域 (S) を複数交互に形成し、各ドレイン領域 (D) 及びソース領域 (S) 間にゲート領域 (G) を形成する。これにより、チャンネル幅  $W$  の最小パターンの MOSトランジスタを複数形成する。そして、ドレイン領域同士、ソース領域同士及びゲート領域同士を接続して、チャンネル幅  $W$  の複数の最小パターンの MOSトランジスタを並列接続する。この結果、NMOSトランジスタ全体では、等価的にチャンネル幅  $W$  が広がったこととなる。このような方法でチャンネル幅  $W$  を調整した場合、チップ上のパターンのレイアウトがよりコンパクトになり、稠密性も向上する。

### 符号の説明

[0164] 10, 10a~10h, 50, 80, 100...比較器、11a~11g... NAND回路、12...エンコーダ、13, 150...A/D変換器、20, 120...差動プリアンプ回路部(差動増幅回路部)、21, 101...第1MOSトランジスタ、22, 103...第2MOSトランジスタ、23...第3MOSトランジスタ、24...第4MOSトランジスタ、25...第5MOSトランジスタ、26, 27...入力端子、28...クロック端子、30...差動ラッチ回路部、31...第6MOSトランジスタ、32...第7MOSトランジスタ、33...第8MOSトランジスタ、34...第9MOSトランジスタ、35...第1

0 MOSトランジスタ、36…第11 MOSトランジスタ、37…第12 MOSトランジスタ、38…第13 MOSトランジスタ、39…第14 MOSトランジスタ、40…第15 MOSトランジスタ、42, 43…出力端子、60, 90…オフセット電圧補償回路部、61…第1補償用MOSトランジスタ、62…第2補償用MOSトランジスタ、63…電圧調整部、72…制御回路部、78…切換え部、91, 92…可変容量素子、102…第16 MOSトランジスタ、104…第17 MOSトランジスタ、151, 152…差動増幅器

## 請求の範囲

[請求項1] 第1及び第2入力電圧信号、並びに、クロック信号が入力され、前記クロック信号に基づいて動作し、前記第1及び第2入力電圧信号の値にそれぞれ対応し且つ増幅された第1及び第2出力電圧信号を出力する差動増幅回路部と、

前記第1及び第2出力電圧信号に基づいて動作し、前記第1及び第2入力電圧信号の比較結果を保持し且つ出力する差動ラッチ回路部とを備える比較器。

[請求項2] 前記差動増幅回路部は、チャンネルの極性が第1の極性である第1～第3MOSトランジスタと、チャンネルの極性が前記第1の極性と異なる第2の極性である第4及び第5MOSトランジスタとを有し、

前記第1MOSトランジスタのゲート端子が前記第1入力電圧信号の入力端子に接続されており、

前記第2MOSトランジスタのゲート端子が前記第2入力電圧信号の入力端子に接続されており、

前記第3MOSトランジスタのゲート端子が前記クロック信号の入力端子に接続され、前記第3MOSトランジスタの入力側端子が前記第1及び第2MOSトランジスタの出力側端子に接続され、且つ、前記第3MOSトランジスタの出力側端子が接地されており、

前記第4MOSトランジスタのゲート端子が前記クロック信号の入力端子に接続され、前記第4MOSトランジスタの入力側端子が電源電圧の入力端子に接続され、且つ、前記第4MOSトランジスタの出力側端子が前記第1MOSトランジスタの入力側端子に接続されており、

前記第5MOSトランジスタのゲート端子が前記クロック信号の入力端子に接続され、前記第5MOSトランジスタの入力側端子が前記電源電圧の入力端子に接続され、且つ、前記第5MOSトランジスタの出力側端子が前記第2MOSトランジスタの入力側端子に接続され

ており、

前記第1MOSトランジスタの入力側端子と前記第4MOSトランジスタの出力側端子との第1接続点から前記第1出力電圧信号が出力され、且つ、前記第2MOSトランジスタの入力側端子と前記第5MOSトランジスタの出力側端子との第2接続点から前記第2出力電圧信号が出力される

請求項1に記載の比較器。

[請求項3]

前記差動ラッチ回路部は、チャンネルの極性が第1の極性である第6～第9MOSトランジスタと、チャンネルの極性が前記第1の極性と異なる第2の極性である第10～第13MOSトランジスタとを有し、

前記第6MOSトランジスタのゲート端子が前記第10MOSトランジスタのゲート端子に接続され、前記第6MOSトランジスタの入力側端子が前記第10MOSトランジスタの出力側端子に接続され、且つ、前記第6MOSトランジスタの出力側端子が接地されており、

前記第7MOSトランジスタのゲート端子が前記第11MOSトランジスタのゲート端子に接続され、前記第7MOSトランジスタの入力側端子が前記第11MOSトランジスタの出力側端子に接続され、且つ、前記第7MOSトランジスタの出力側端子が接地されており、

前記第6MOSトランジスタの入力側端子と前記第10MOSトランジスタの出力側端子との第3接続点、及び、前記第7MOSトランジスタの入力側端子と前記第11MOSトランジスタの出力側端子との第4接続点が、それぞれ、前記第7MOSトランジスタのゲート端子と前記第11MOSトランジスタのゲート端子との第5接続点、及び、前記第6MOSトランジスタのゲート端子と前記第10MOSトランジスタのゲート端子との第6接続点に接続されており、

前記第8MOSトランジスタのゲート端子が前記差動増幅回路部内の前記第1出力電圧信号の出力端子に接続され、前記第8MOSトランジスタの入力側端子が前記第6MOSトランジスタの入力側端子に

接続され、且つ、前記第8 MOS トランジスタの出力側端子が接地されており、

前記第9 MOS トランジスタのゲート端子が前記差動増幅回路部内の前記第2 出力電圧信号の出力端子に接続され、第9 MOS トランジスタの入力側端子が前記第7 MOS トランジスタの入力側端子に接続され、且つ、第9 MOS トランジスタの出力側端子が接地されており、

前記第12 MOS トランジスタのゲート端子が前記差動増幅回路部内の前記第1 出力電圧信号の出力端子に接続され、前記第12 MOS トランジスタの入力側端子が電源電圧の入力端子に接続され、且つ、前記第12 MOS トランジスタの出力側端子が前記第10 MOS トランジスタの入力側端子に接続されており、

前記第13 MOS トランジスタのゲート端子が前記差動増幅回路部内の前記第2 出力電圧信号の出力端子に接続され、前記第13 MOS トランジスタの入力側端子が前記電源電圧の入力端子に接続され、且つ、前記第13 MOS トランジスタの出力側端子が前記第11 MOS トランジスタの入力側端子に接続されており、

前記第3 及び第4 接続点から前記比較結果が出力される  
請求項1 または2 に記載の比較器。

[請求項4]

前記差動ラッチ回路部は、さらに、チャネルの極性が前記第1 の極性である第14 及び第15 MOS トランジスタを有し、

前記第14 MOS トランジスタのゲート端子が前記差動増幅回路部内の前記第1 出力電圧信号の出力端子に接続され、前記第14 MOS トランジスタの入力側端子が前記第10 MOS トランジスタの入力側端子に接続され、且つ、前記第14 MOS トランジスタの出力側端子が接地されており、

前記第15 MOS トランジスタのゲート端子が前記差動増幅回路部内の前記第2 出力電圧信号の出力端子に接続され、前記第15 MOS

トランジスタの入力側端子が前記第 1 MOS トランジスタの入力側端子に接続され、且つ、前記第 1 MOS トランジスタの出力側端子が接地されている

請求項 3 に記載の比較器。

[請求項 5]

さらに、オフセット電圧を補償するオフセット電圧補償回路を備え

、

前記オフセット電圧補償回路は、

入力側及び出力側端子が、前記第 1 MOS トランジスタの入力側及び出力側端子にそれぞれ接続された第 1 補償用 MOS トランジスタと

、

入力側及び出力側端子が、前記第 2 MOS トランジスタの入力側及び出力側端子にそれぞれ接続された第 2 補償用 MOS トランジスタと

、

前記第 1 及び第 2 補償用トランジスタの各ゲート端子に接続され、各ゲート電圧を調整する電圧調整部と、

前記電圧調整部での前記第 1 及び第 2 補償用トランジスタの前記ゲート電圧の調整動作を制御する制御回路部と、

前記第 1 及び第 2 入力電圧信号の比較を行う動作と、前記オフセット電圧を補償する動作とを切換える切換え部とを有する

請求項 2 ～ 4 のいずれか一項に記載の比較器。

[請求項 6]

さらに、オフセット電圧を補償するオフセット電圧補償回路を備え

、

前記オフセット電圧補償回路は、

前記差動増幅回路部内の前記第 1 出力電圧信号の出力端子に接続された第 1 可変容量素子と、

前記差動増幅回路部内の前記第 2 出力電圧信号の出力端子に接続された第 2 可変容量素子と、

前記第 1 及び第 2 可変容量素子の容量の調整制御を行う制御回路部

と、

前記第 1 及び第 2 入力電圧信号の比較を行う動作と、前記オフセット電圧を補償する動作とを切替える切替え部とを有する

請求項 2～4 のいずれか一項に記載の比較器。

[請求項7]

前記差動増幅回路部は、さらに、チャネルの極性が前記第 1 の極性である第 16 及び第 17 MOS トランジスタを有し、

前記第 16 MOS トランジスタの入力側及び出力側端子が前記第 1 MOS トランジスタの入力側及び出力側端子にそれぞれ接続され、且つ、前記第 16 MOS トランジスタのゲート端子が第 3 入力電圧信号の入力端子に接続されており、

前記第 17 MOS トランジスタの入力側及び出力側端子が前記第 2 MOS トランジスタの入力側及び出力側端子にそれぞれ接続され、且つ、前記第 17 MOS トランジスタのゲート端子が第 4 入力電圧信号の入力端子に接続されており、

前記第 1、第 2、第 16 及び第 17 MOS トランジスタのそれぞれのチャネル幅  $W$  とチャネル長  $L$  との比  $W/L$  が、所定の補間電圧で比較動作が行えるように調整されている

請求項 2～6 のいずれか一項に記載の比較器。

[請求項8]

入力電圧信号、該入力電圧信号と比較する参照電圧信号及びクロック信号が入力され、前記入力電圧信号と前記参照電圧信号との比較結果を出力する複数の比較器と、

複数の前記比較器から出力される前記比較結果に基づいて、前記入力電圧信号に対応するデジタル信号を出力するエンコーダとを備え、

前記比較器は、前記クロック信号に基づいて動作し、前記入力電圧信号及び前記参照電圧信号の値にそれぞれ対応し且つ増幅された第 1 及び第 2 出力電圧信号を出力する差動増幅回路部と、前記第 1 及び第 2 出力電圧信号に基づいて動作し、前記入力電圧信号及び前記参照電圧信号との前記比較結果を保持し且つ出力する差動ラッチ回路部とを

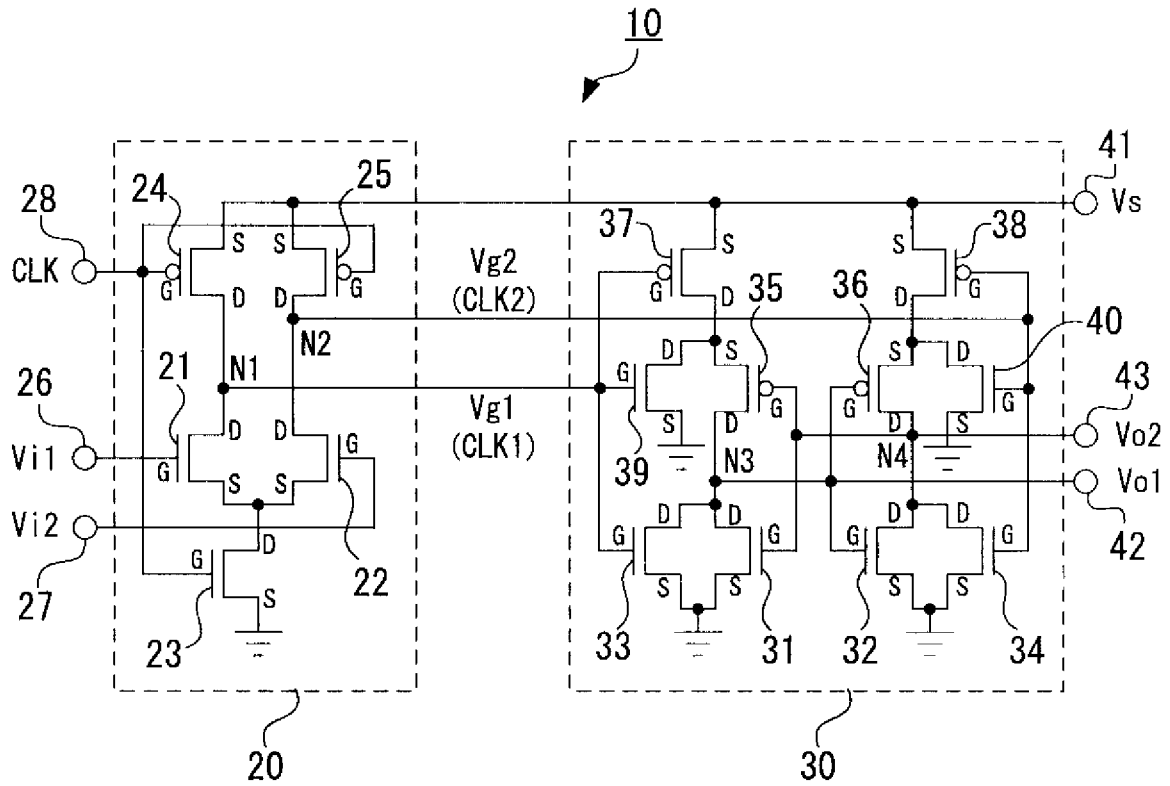


有する

アナログデジタル変換器。

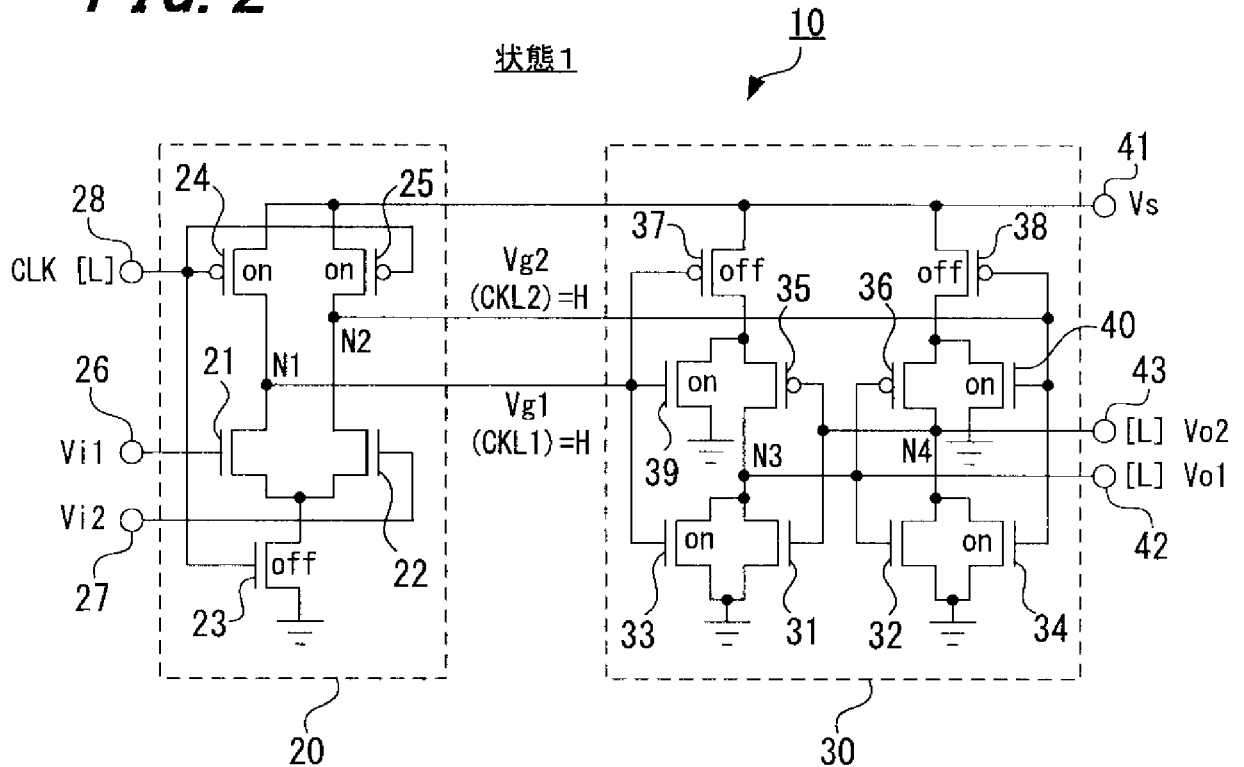
[図1]

**FIG. 1**



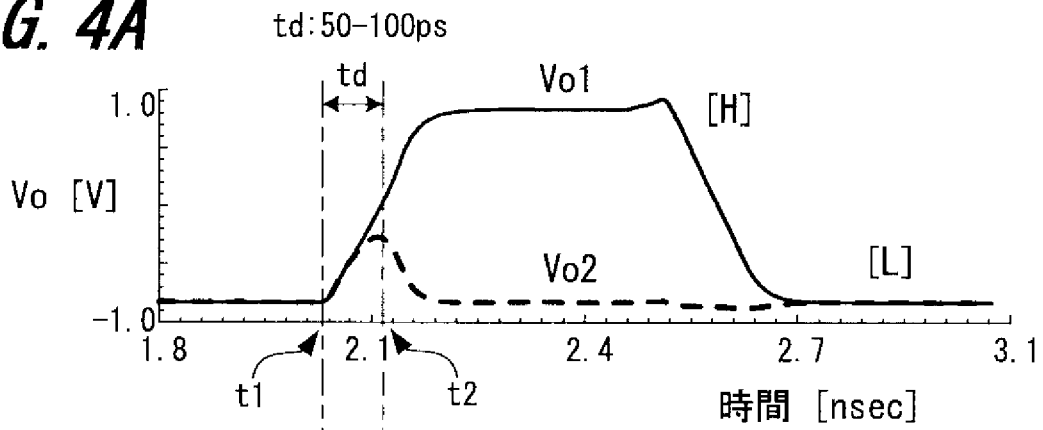
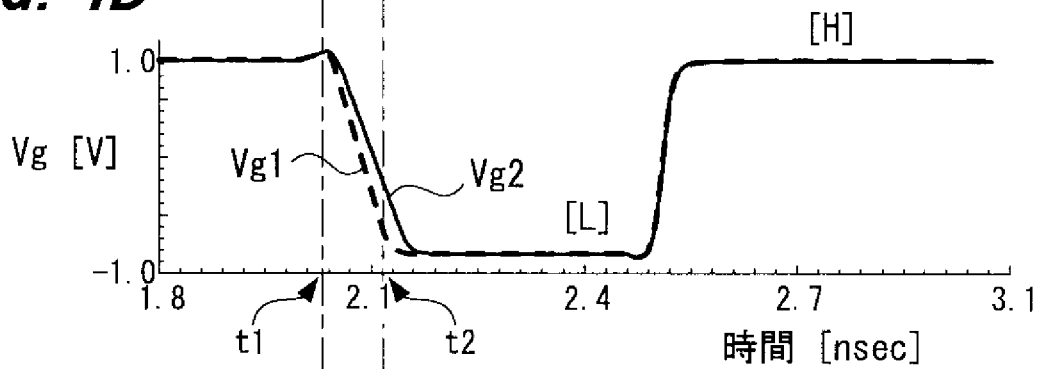
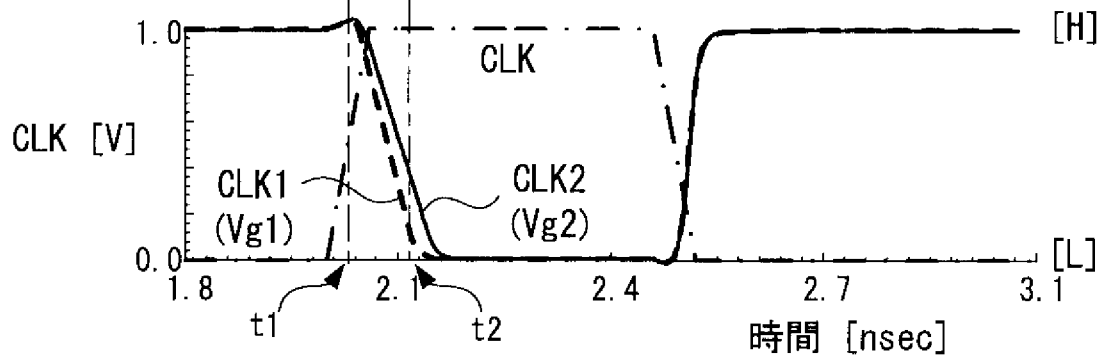
[図2]

**FIG. 2**

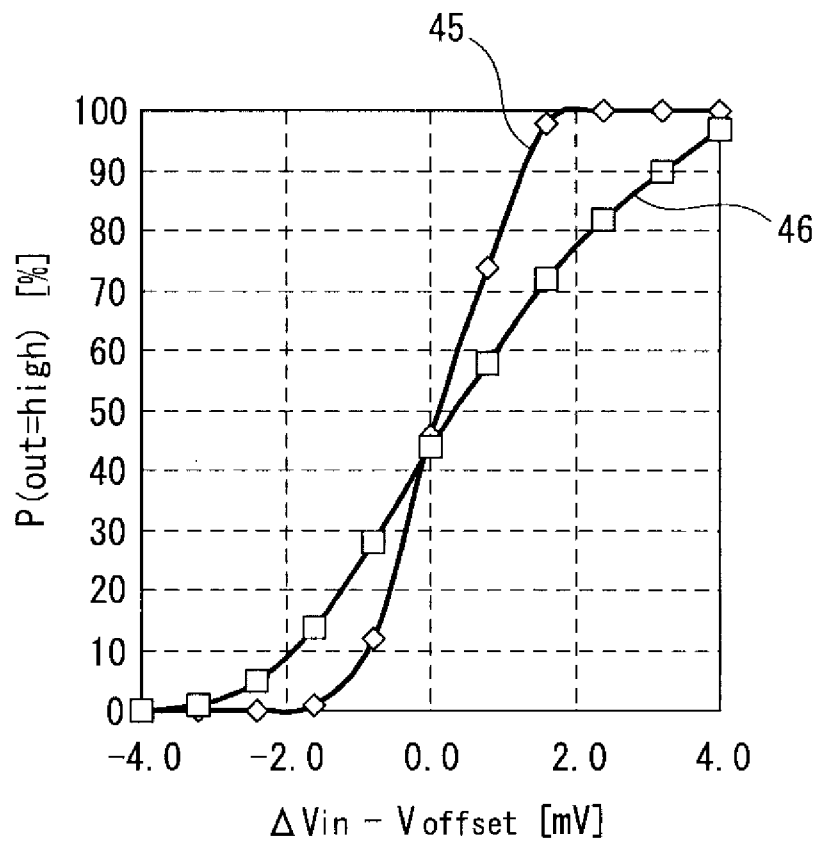




[図4]

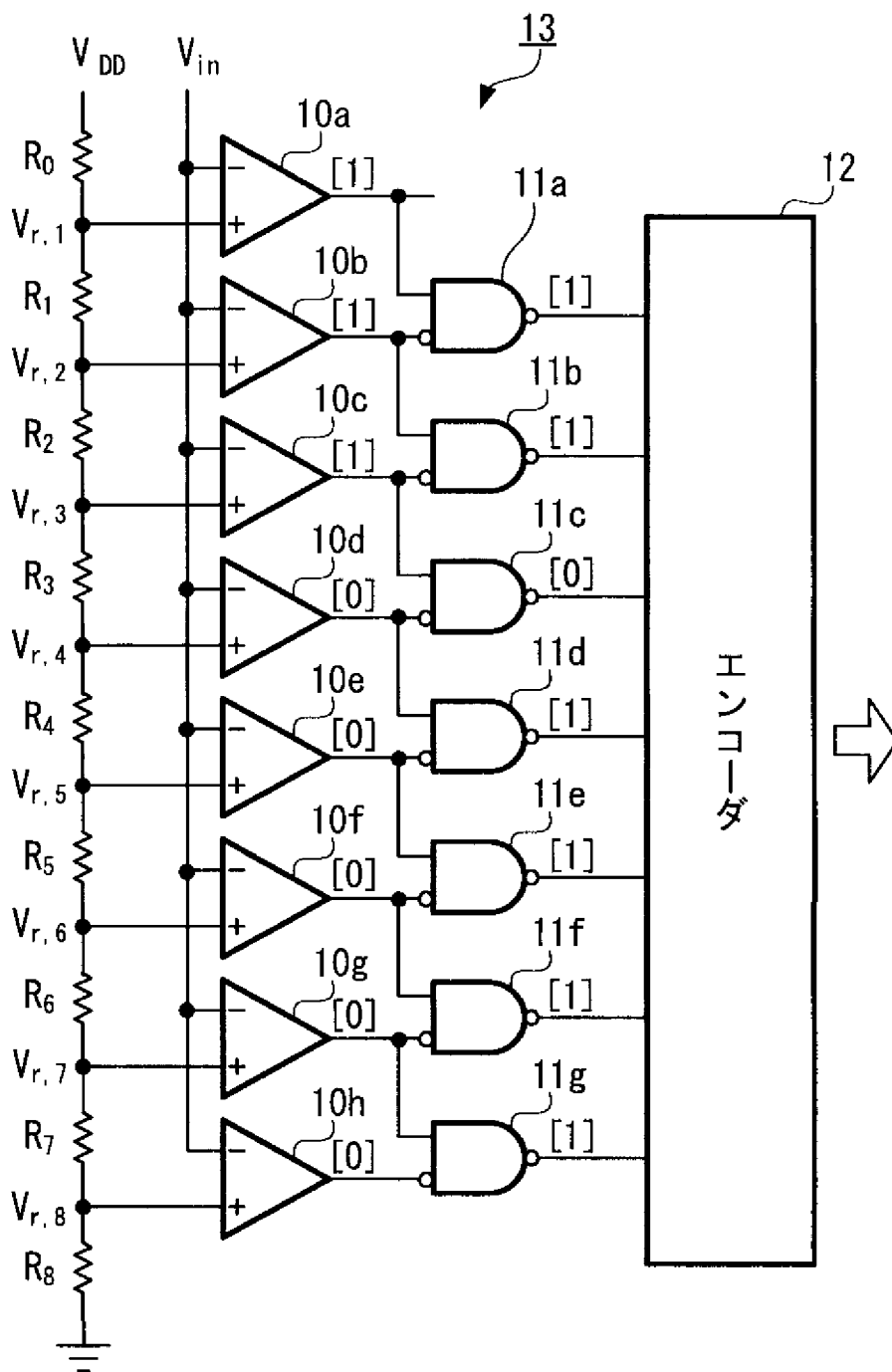
**FIG. 4A****FIG. 4B****FIG. 4C**

[図5]

**FIG. 5**

[図6]

**FIG. 6**



[図7]

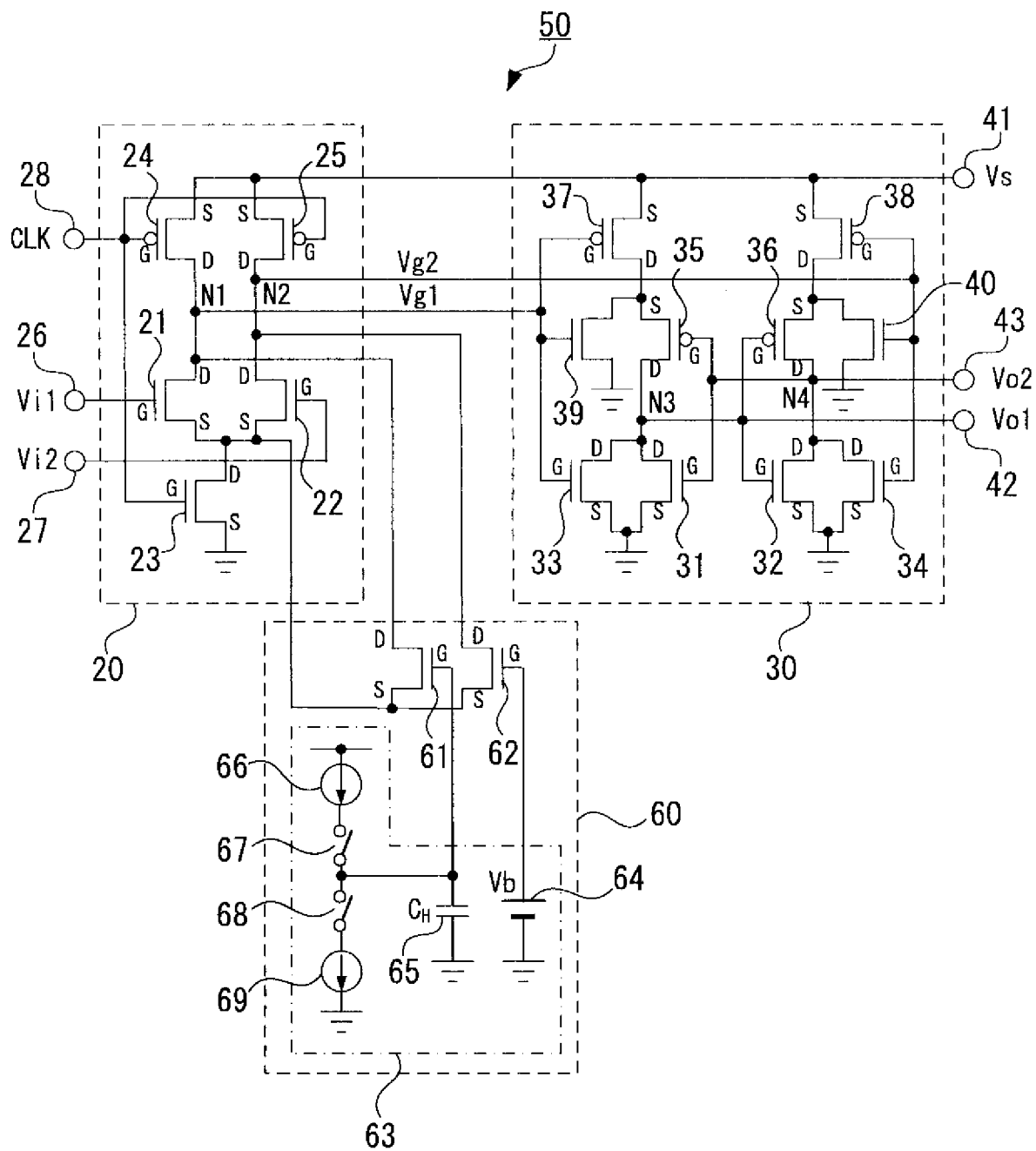
**FIG. 7**



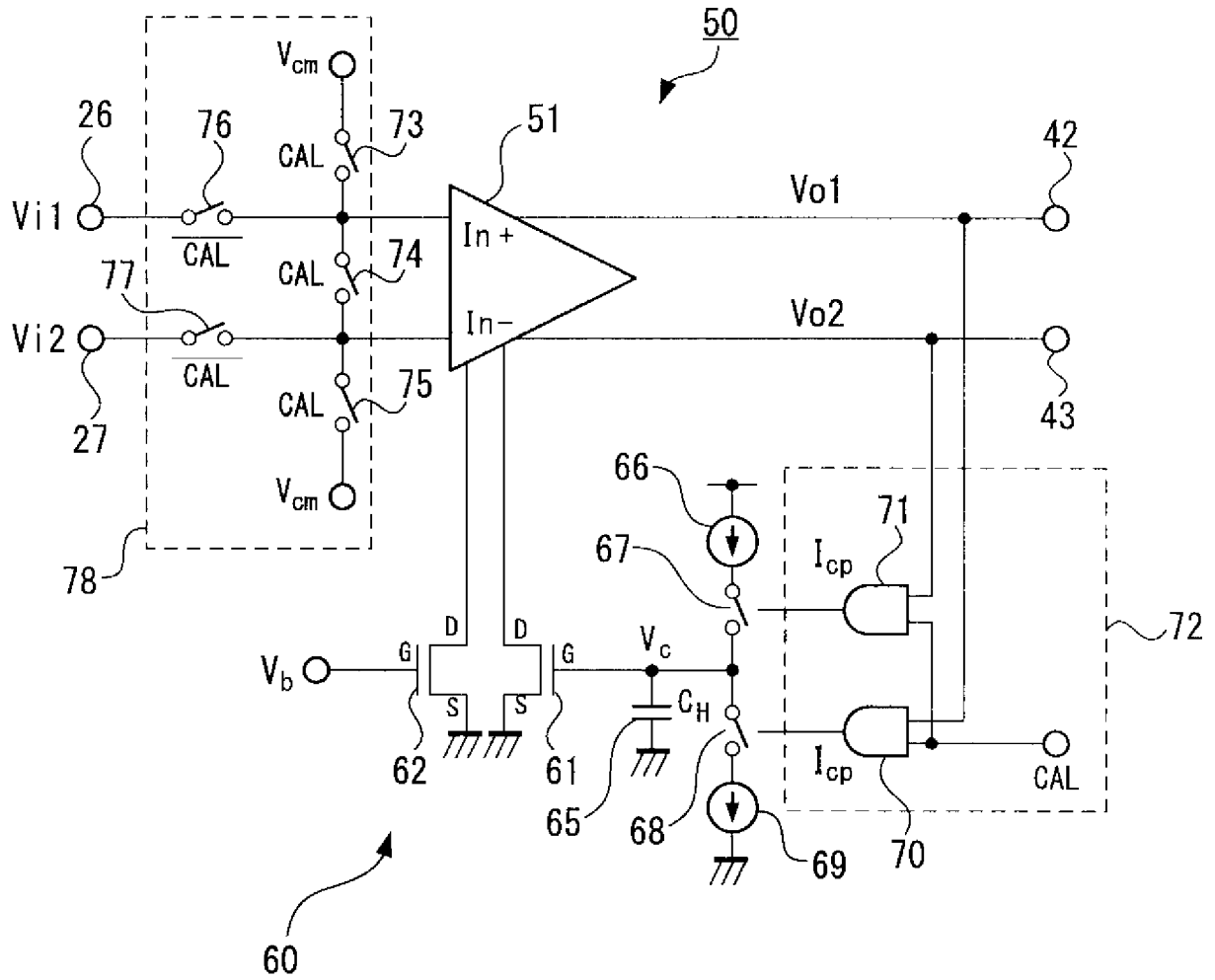
真理値表		
A	B	X
0	0	1
0	1	1
1	0	0
1	1	1

[図8]

FIG. 8

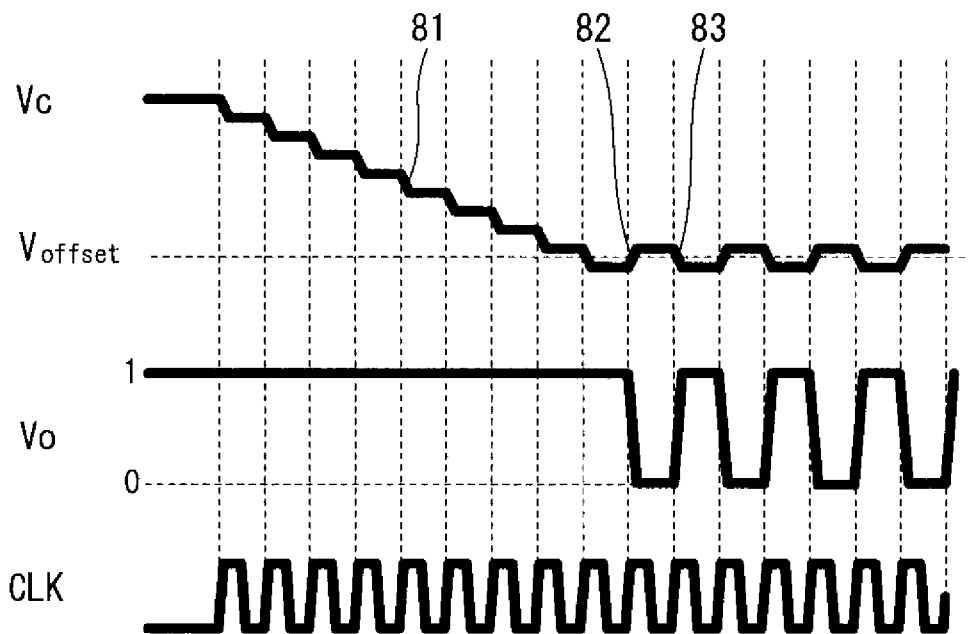


[図9]

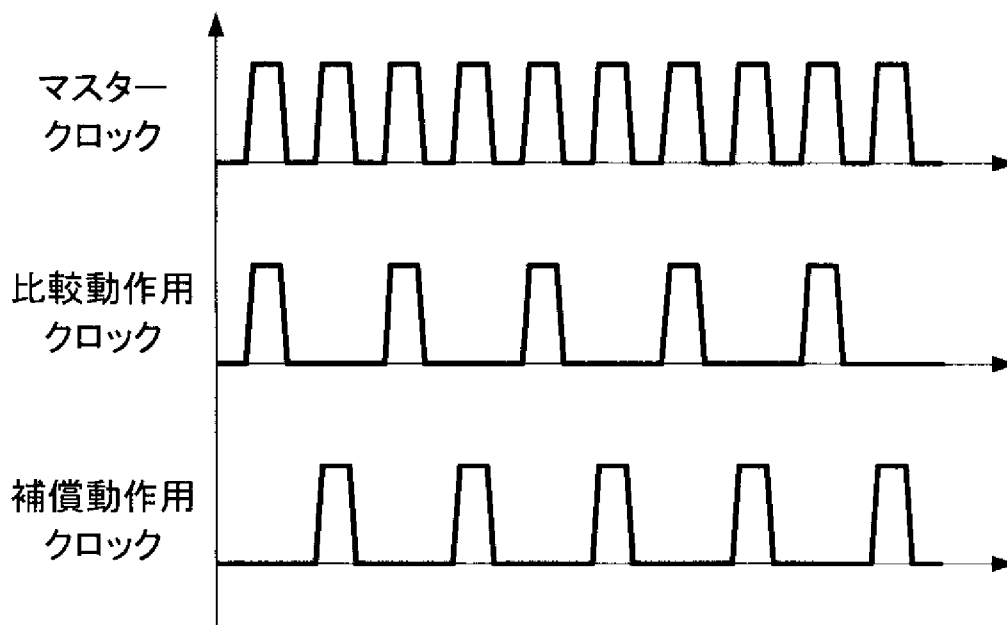
**FIG. 9**



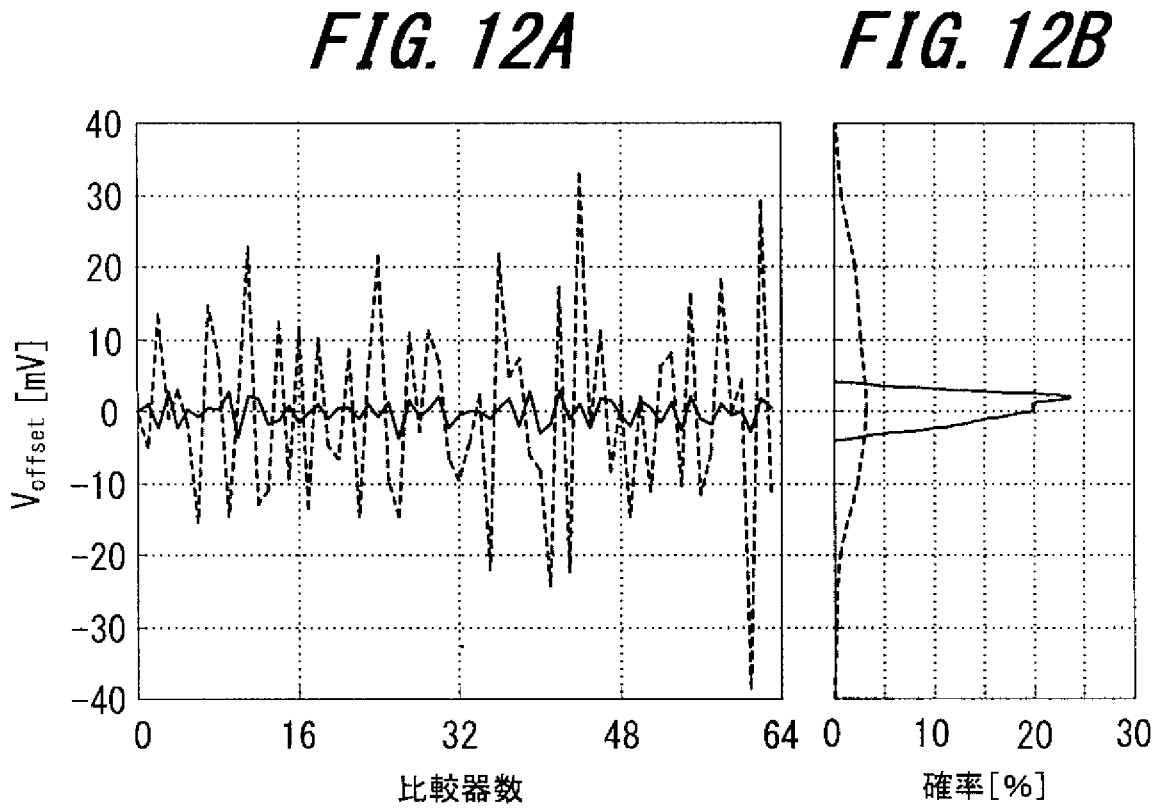
[図10]

**FIG. 10**

[図11]

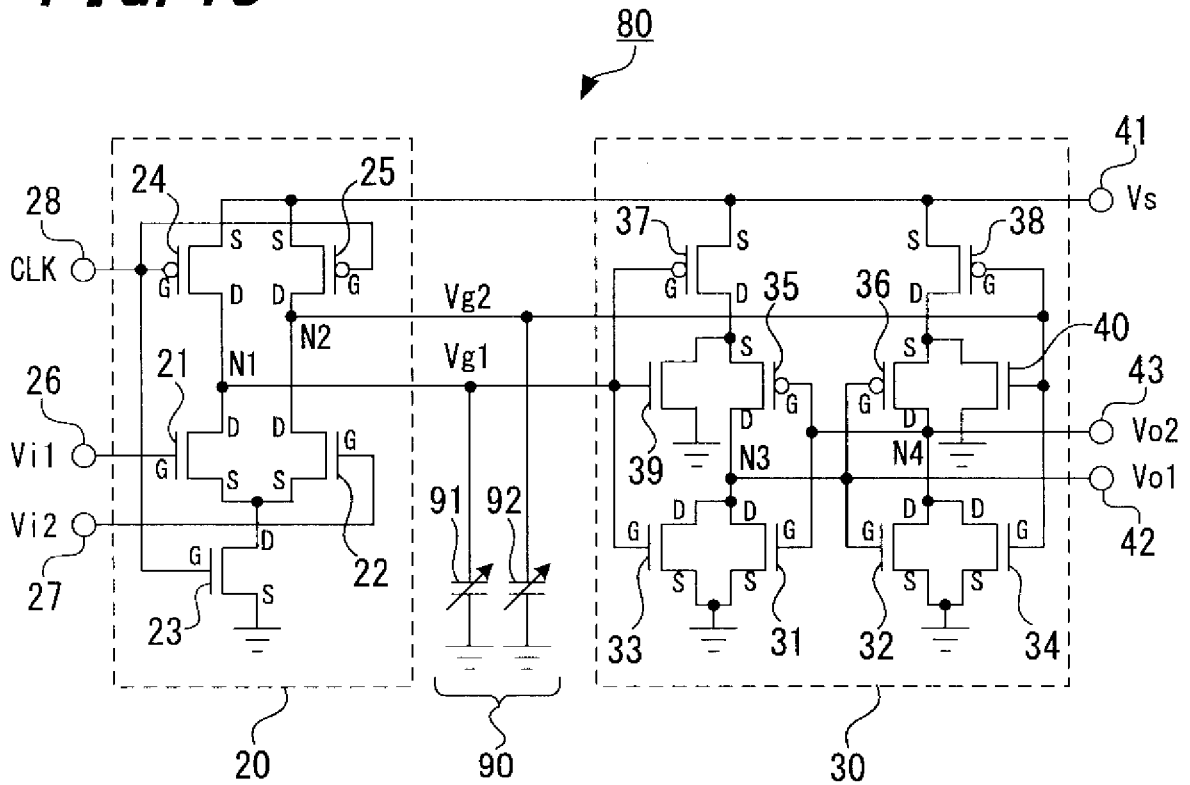
**FIG. 11**

[図12]



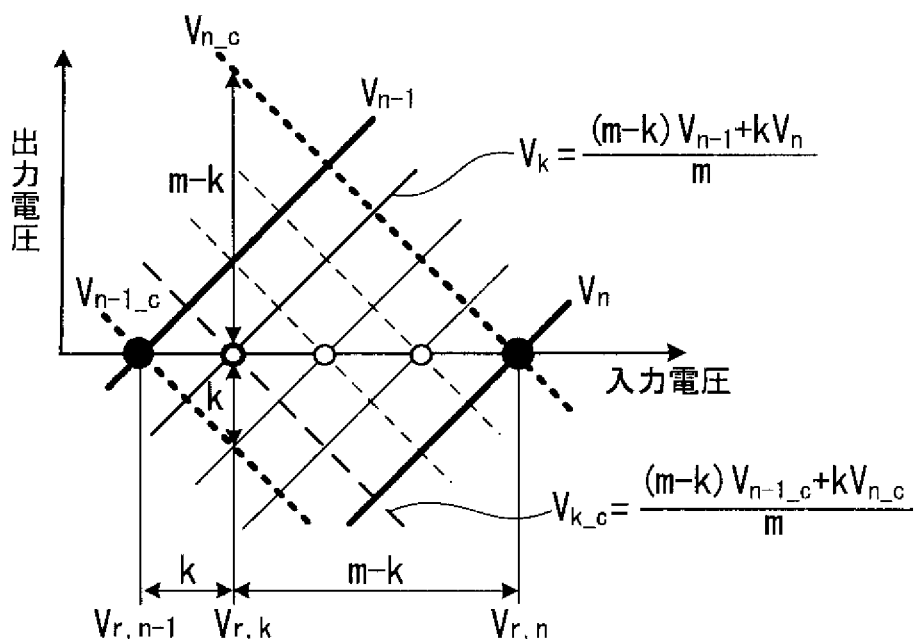
[図13]

**FIG. 13**



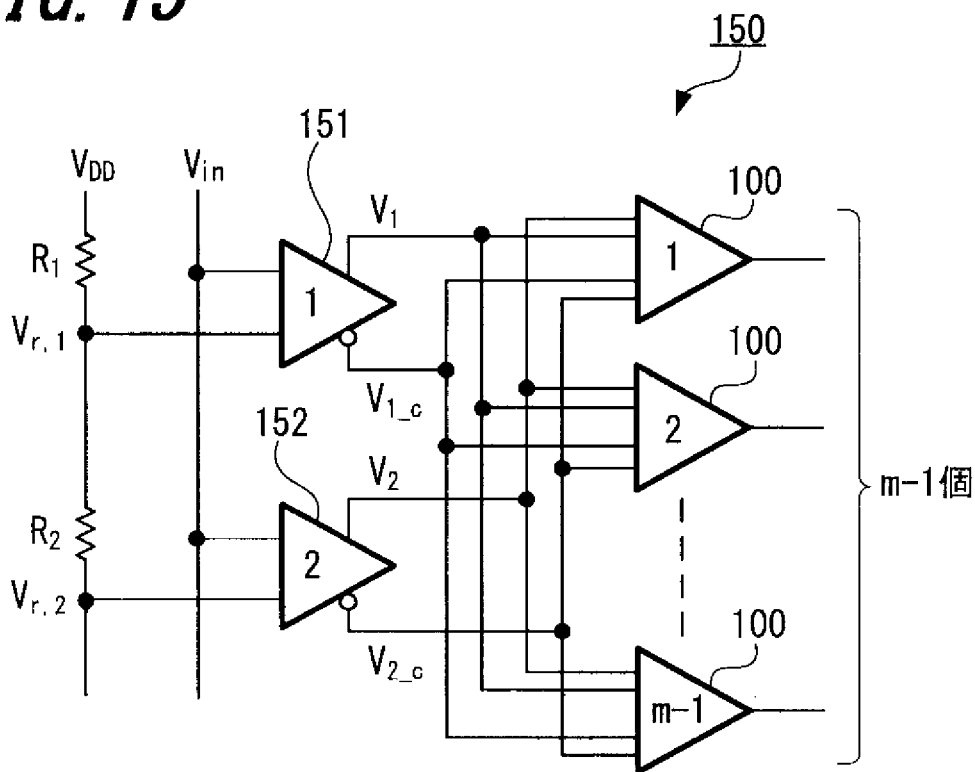
[図14]

**FIG. 14**



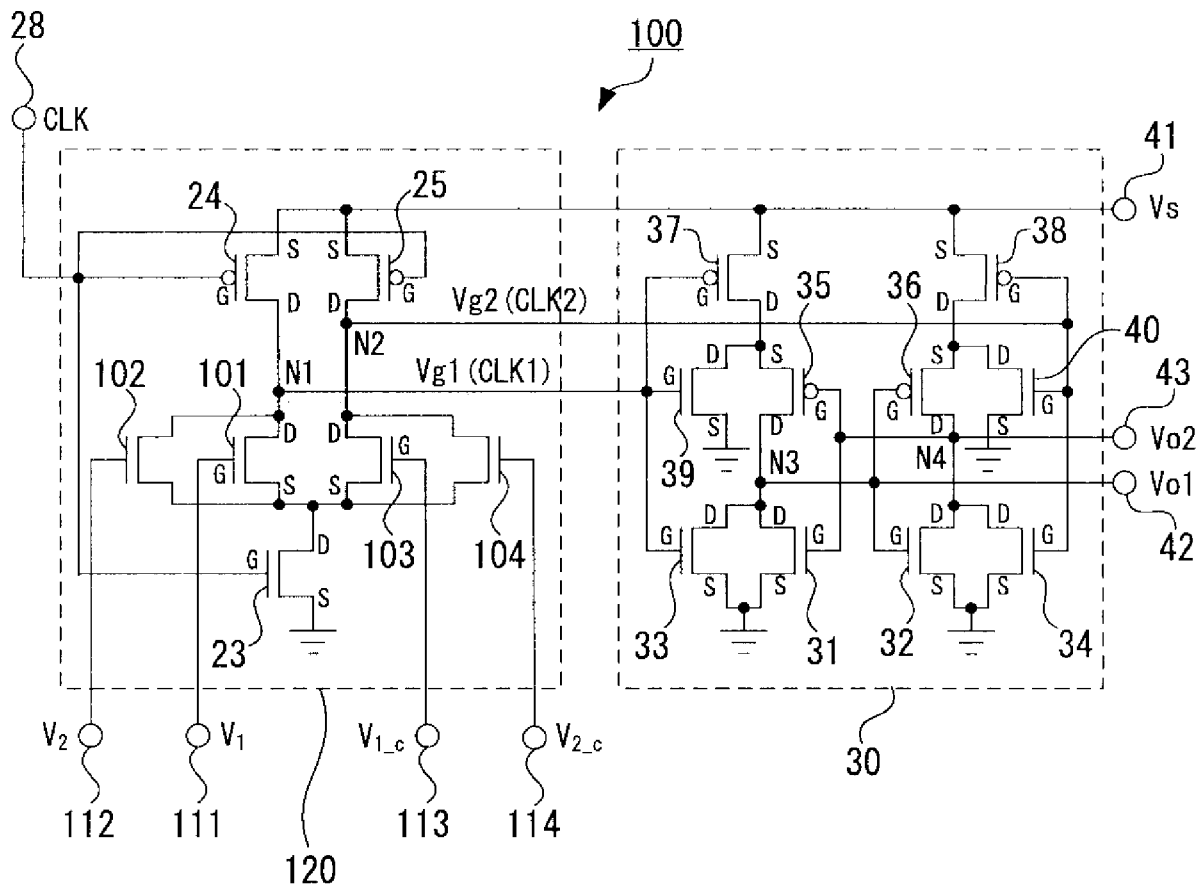
[図15]

**FIG. 15**

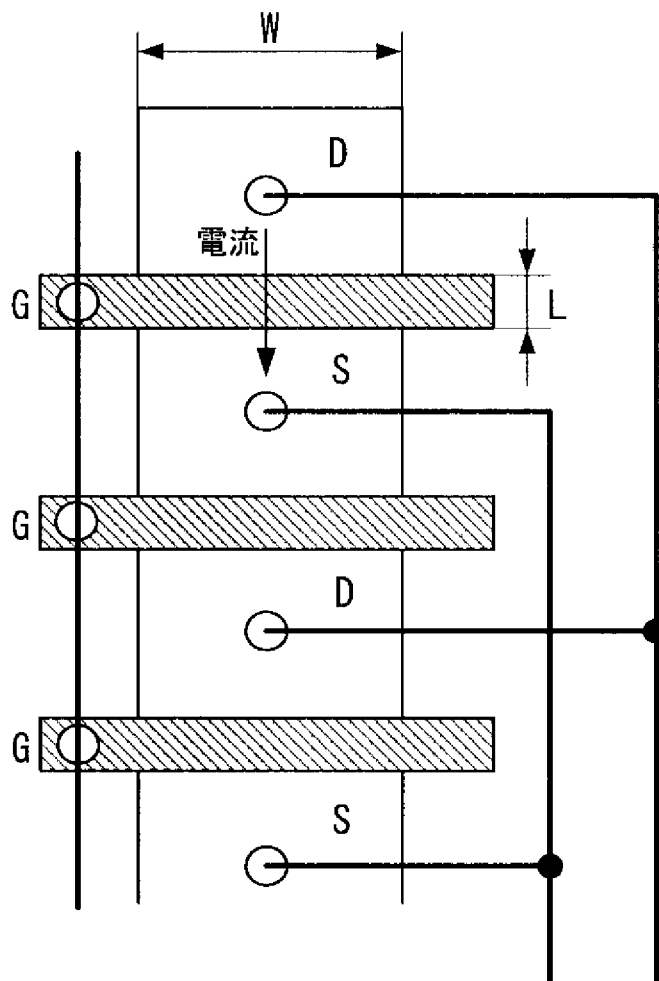


[図16]

FIG. 16

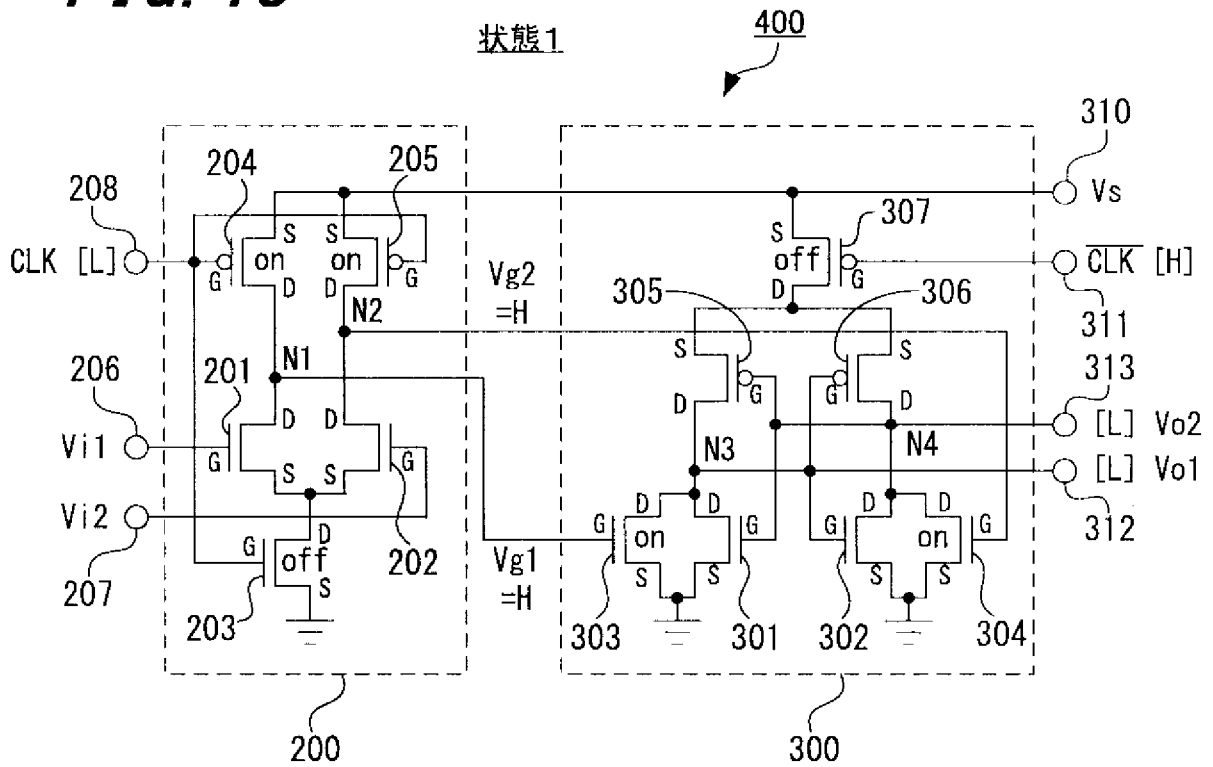


[図17]

**FIG. 17**

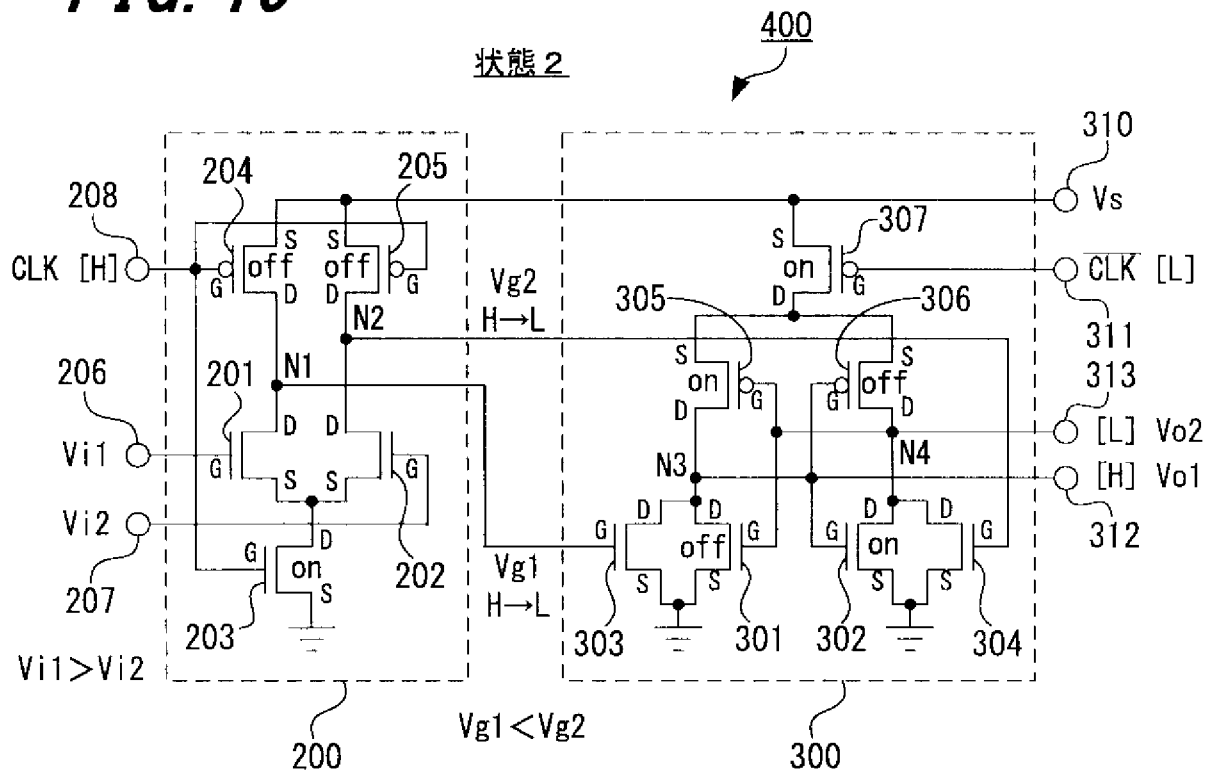
[図18]

**FIG. 18**

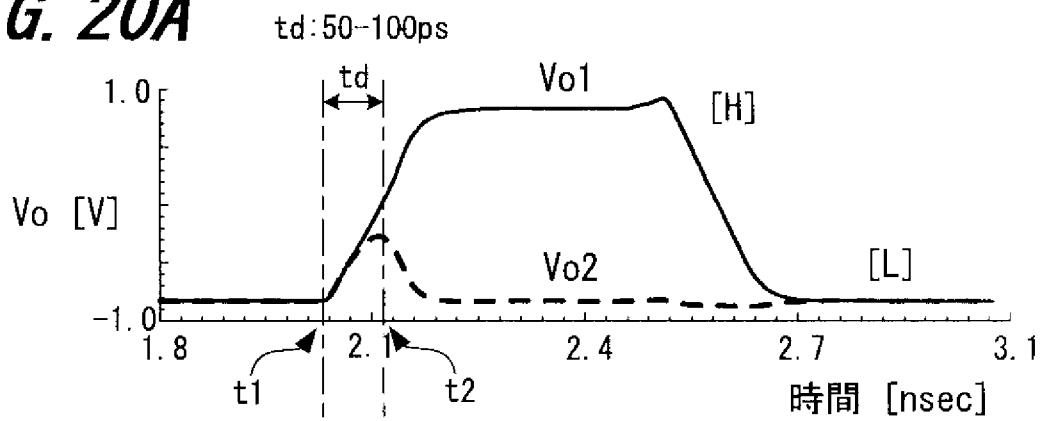
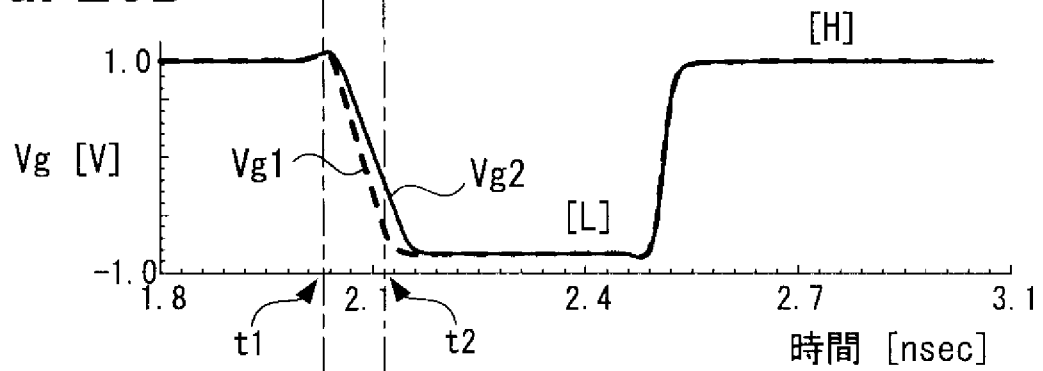
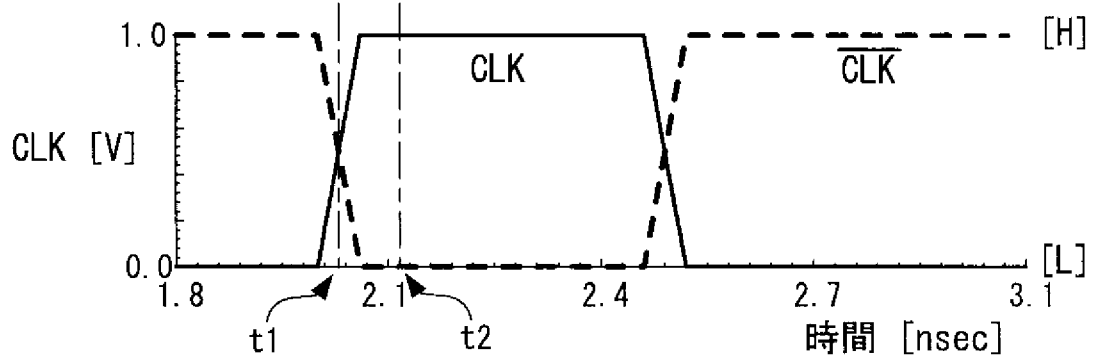


[図19]

**FIG. 19**



[図20]

**FIG. 20A****FIG. 20B****FIG. 20C**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068514

## A. CLASSIFICATION OF SUBJECT MATTER

H03K5/08(2006.01) i, H03M1/36(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K5/08, H03M1/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-237743 A (Sony Corp.), 23 August 2002 (23.08.2002), entire text; fig. 6, 7 (Family: none)	1, 8 2-7
X Y A	JP 4-291090 A (Fujitsu Ltd.), 15 October 1992 (15.10.1992), entire text; fig. 1 (Family: none)	1 8 2-7

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
11 November, 2009 (11.11.09)Date of mailing of the international search report  
24 November, 2009 (24.11.09)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03K5/08(2006.01)i, H03M1/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03K5/08, H03M1/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	J P 2 0 0 2 - 2 3 7 7 4 3 A (ソニー株式会社) 2 0 0 2 . 0 8 . 2 3、全文、図6及び図7 (ファミリーなし)	1、8 2-7
X Y A	J P 4 - 2 9 1 0 9 0 A (富士通株式会社) 1 9 9 2 . 1 0 . 1 5、全文、図1 (ファミリーなし)	1 8 2-7

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

11. 11. 2009

国際調査報告の発送日

24. 11. 2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石田 勝

電話番号 03-3581-1101 内線 3596

5 X

3 5 7 2