

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年3月17日(17.03.2011)

PCT

(10) 国際公開番号

WO 2011/030782 A1

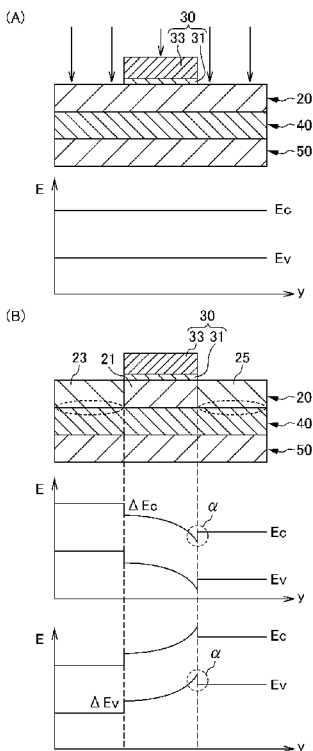
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2010/065397
- (22) 国際出願日: 2010年9月8日(08.09.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-208652 2009年9月9日(09.09.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 学校法人神奈川大学(KANAGAWA UNIVERSITY) [JP/JP]; 〒2218686 神奈川県横浜市神奈川区六角橋3丁目27番1号 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 水野 智久 (MIZUNO, Tomohisa) [JP/JP]; 〒2218686 神奈川県横浜市神奈川区六角橋3丁目27番1号 学校法人神奈川大学内 Kanagawa (JP).
- (74) 代理人: 正林 真之, 外(SHOBAYASHI, Masayuki et al.); 〒1700013 東京都豊島区東池袋1丁目25番8号 タカセビル本館 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,

[続葉有]

(54) Title: METHOD FOR FORMING A SEMICONDUCTOR ELEMENT STRUCTURE AND SEMICONDUCTOR ELEMENT

(54) 発明の名称: 半導体素子構造の形成方法、及び半導体素子

[図1]



(57) Abstract: Disclosed are a method for forming a semiconductor element structure which makes it possible to improve the performance of a semiconductor element, and a semiconductor element with improved performance. The method for forming a semiconductor element structure includes a heterojunction forming step in which a heterojunction is formed between a strained semiconductor layer (21) in which a strained state is maintained, and relaxed semiconductor layers (23, 25). The heterojunction is formed by performing ion implantation from the surface of a substrate (50) which has a strained semiconductor layer (20) partially covered with a covering layer (30) on an insulating oxide film (40), and altering the strained semiconductor layer (20) where there is no shielding from the covering layer (30) to relaxed semiconductor layers (23, 25) by relaxing the strained state of the strained semiconductor layer (20), while maintaining the strained state of the strained semiconductor layer (21) where there is shielding from the covering layer (30).

(57) 要約: 本発明の課題は、半導体素子の性能を向上できる半導体素子構造の形成方法、及び性能の向上した半導体素子を提供することである。本発明に係る半導体素子構造の形成方法は、被覆層30が一部に施された歪半導体層20を絶縁酸化膜40上に有する基板50の面上よりイオン注入を行い、被覆層30で遮蔽された歪半導体層21の歪状態を維持する一方、被覆層30で遮蔽されていない歪半導体層20の歪状態を緩和し緩和半導体層23、25へと変化させることで、歪状態を維持した歪半導体層21と、緩和半導体層23、25との間にヘテロ接合を形成するヘテロ接合形成工程を有する。

WO 2011/030782 A1

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, 添付公開書類:
SN, TD, TG).

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称：半導体素子構造の形成方法、及び半導体素子 技術分野

[0001] 本発明は、半導体素子構造の形成方法、及び半導体素子に関する。

背景技術

[0002] MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) は、LSIの中で最も一般的に使用されている電界効果トランジスタの一種である。

[0003] 図8は、従来のn型MOSFET900の概略構成図である。n型MOSFET900は、緩和SiGeで構成されるソース910及びドレイン930と、歪Siで構成されるチャネル920とを備え、SiGe層とSi層との間にヘテロ接合が形成されている(特許文献1参照)。また、チャネル920の上には、ゲート絶縁膜941を介してゲート電極943が設けられている。かかるn型MOSFETは、ゲート940のゲート電極943に所定電圧を印加すると、超高速で動作できることが期待されている。

先行技術文献

特許文献

[0004] 特許文献1：特表2007-520086号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、従来のn型MOSFET900では、特にソース910中のGe原子がチャネル920へと拡散して、ソース910とチャネル920との間のヘテロ構造の傾斜化により性能が低下する。

[0006] 本発明は、以上の実情に鑑みてなされたものであり、半導体素子の性能を向上できる半導体素子構造の形成方法、及び性能の向上した半導体素子を提供することを目的とする。

課題を解決するための手段

- [0007] 本発明者は、ヘテロ接合を、同じ素材の歪層と緩和層との間に形成することで、異質物原子の拡散による諸問題を解消できることを見出し、本発明を完成するに至った。具体的に、本発明は以下のようなものを提供する。
- [0008] (1) 被覆層が一部に施された歪半導体層を絶縁酸化膜上に有する基板の面上よりイオン注入を行い、前記被覆層で遮蔽された歪半導体層の歪状態を維持する一方、前記被覆層で遮蔽されていない歪半導体層の歪状態を緩和し緩和半導体層へと変化させることで、前記歪状態を維持した前記歪半導体層と、前記緩和半導体層との間にヘテロ接合を形成するヘテロ接合形成工程を有する半導体素子構造の形成方法。
- [0009] (1) の発明によれば、被覆層が一部に施された歪半導体層を絶縁酸化膜上に有する基板の面上よりイオン注入を行うことで、ヘテロ接合が、同じ半導体素材で構成される歪半導体層と緩和半導体層との間に形成される。このため、異質物原子の拡散による諸問題が解消され、半導体素子の性能を向上することができる。
- [0010] (2) 前記被覆層は前記半導体の酸化物で構成される酸化膜を有する (1) 記載の形成方法。
- [0011] (3) 前記被覆層は前記酸化膜を被覆するゲート電極を更に有する (2) 記載の形成方法。
- [0012] (2) 又は (3) の発明によれば、形成された半導体素子構造のうち少なくともゲートの部分が、ゲート電極を形成するだけで又はそのまま半導体素子において使用できる。このため、半導体素子構造の有用性を向上することができる。
- [0013] (4) 前記被覆層は、前記歪半導体層より高い又は低い熱膨張率の素材からなる単層構造を備える (1) から (3) いずれか記載の形成方法。
- [0014] (5) 前記イオン注入は、ドーパントを除く元素を主成分とする又はこの元素からなるイオンの注入である (1) から (4) いずれか記載の形成方法。
- [0015] (6) 前記イオン注入は、前記絶縁酸化膜及び前記歪半導体層を構成す

る元素を主成分とする又はこの元素からなるイオンの注入である（１）から（５）いずれか記載の形成方法。

[0016] （５）又は（６）の発明によれば、半導体層の特性がイオン注入によって悪影響を受けることが抑制されるので、半導体素子の性能を均質化できる。

[0017] （７） 前記歪半導体層は、 Si 又は SiGe で構成される（１）から（６）いずれか記載の形成方法。

[0018] （８） 前記歪半導体層は、引張り歪み Si 、又は圧縮歪み SiGe で構成される（７）記載の形成方法。

[0019] （８）の発明によれば、歪半導体層を引張り歪み Si で構成することで、 n -MOS用の半導体素子構造を、圧縮歪み SiGe で構成することで、 p -MOS用の半導体素子構造を、それぞれ形成することができる。

[0020] （９） 前記イオン注入は、 O 、 Si 及び Ge からなる群より選ばれる１種以上の元素を主成分とする又はこの元素からなるイオンの注入である（７）又は（８）記載の形成方法。

[0021] （１０） 前記イオン注入は、 H 、 He 、 Li 、 Be 及び C からなる群より選ばれる１種以上の元素を主成分とする又はこの元素からなるイオンの注入である（７）又は（８）記載の形成方法。

[0022] （１１） 前記イオン注入の後に行うアニール工程を更に有する（１）から（１０）いずれか記載の形成方法。

[0023] イオン注入時のエネルギーにより、半導体層に大きな損傷が生じ、半導体素子としての機能に悪影響が残る場合がある。

しかし（１１）の発明によれば、イオン注入の後にアニールを行うことで、半導体層の損傷が回復し、半導体素子の機能低下を抑制できる。

[0024] （１２） 前記イオン注入は、前記歪半導体層の表面に対して直交する方向から所定角度をなす方向で行う（１）から（１１）いずれか記載の形成方法。

[0025] （１２）の発明によれば、所定角度の大小に応じ、半導体層のうち被覆層に被覆された箇所から、ドレインになる側に所定距離だけイオン注入から遮

蔽され、緩和が回避される。これにより、半導体素子におけるドレイン側のヘテロ接合がチャンネルとの境界から遠ざかり、その結果、チャンネルとドレインとの境界におけるバンドオフセットが低減するため、動作の更なる高速化が期待できる。

- [0026] (13) 前記所定角度に応じて、イオンを注入するエネルギーを調節する工程を更に有する(12)記載の形成方法。
- [0027] (14) イオンの反跳エネルギー分布のピークが、前記歪半導体層と前記絶縁酸化膜との界面に理論的に位置するようにエネルギーを調節する(1)から(13)いずれか記載の形成方法。
- [0028] 少なくとも理論的に、イオンの反跳エネルギー分布のピークが歪半導体層と絶縁酸化膜との界面に位置されるため、歪半導体層から緩和半導体層への転位が効率的になされ、ヘテロ接合をより確実に形成することができる。また、半導体層における反跳エネルギーがピークよりも小さくなるので、半導体層の損傷を抑制することもできる。
- [0029] (15) 前記歪半導体層、又は前記緩和層及び前記歪み層に、不純物をドーピングすることで、ソース及びドレインを形成する工程を更に有する(1)から(14)いずれか記載の形成方法。
- [0030] (16) MOSFETの製造工程におけるソース拡散層及びドレイン拡散層に用いるイオンを注入する工程の前に、前記ヘテロ接合形成工程を行う(1)から(15)いずれか記載の形成方法。
- [0031] (17) 半導体層と、この半導体層の所定箇所上に位置するゲート絶縁膜と、を備え、
前記半導体層は、前記所定箇所の一部又は全部を含み且つ前記ゲート絶縁層に被覆されていない箇所に所定距離だけ延在する歪み層と、前記歪み層を挟んで位置する緩和層と、を有する半導体素子。
- [0032] (18) 前記半導体層は、Si又はSiGeで構成される(17)記載の半導体素子。
- [0033] (19) 前記歪半導体層は、引張り歪みSi、又は圧縮歪みSiGeで

構成される（１８）記載の半導体素子。

- [0034] （２０） ソース側のヘテロ接合面とチャネルとの距離が、ドレイン側のヘテロ接合面とチャネルとの距離よりも短い（１７）から（１９）いずれか記載の半導体素子。

発明の効果

- [0035] 本発明によれば、被覆層が一部に施された歪半導体層を絶縁酸化膜上に有する基板の面上よりイオン注入を行うことで、ヘテロ接合が、同じ半導体素材で構成される歪半導体層と緩和半導体層との間に形成される。このため、異質物原子の拡散による諸問題が解消され、半導体素子の性能を向上することができる。

図面の簡単な説明

- [0036] [図1]本発明の一実施形態に係る半導体素子構造の形成方法の手順を示す図である。
- [図2]本発明の別の実施形態に係る半導体素子構造の形成方法の手順を示す図である。
- [図3]被覆層が歪半導体層より高い熱膨張率の素材からなる単層構造を備える態様における緩和率の分布を示すグラフである。
- [図4]前記実施形態に係る形成方法が有するヘテロ接合形成工程のイオン注入における反跳エネルギー及びイオン密度の分布を示すグラフである。
- [図5]前記実施形態に係る形成方法が有するヘテロ接合形成工程のイオン注入に用いる原子の種類と、反跳エネルギーの分布との関係を示すグラフである。
- [図6]前記ヘテロ接合形成工程の前（A）、及び後（B）における半導体層のラマンシフトの変化を示すグラフである。
- [図7]前記ヘテロ接合形成工程のイオン注入における反跳エネルギーと、ソース及びチャネルの境界におけるバンドオフセットとの関係を示すグラフである。
- 。
- [図8]従来例に係る半導体素子の概略構成図である。

発明を実施するための形態

- [0037] 以下、本発明の実施形態について、図面を参照しながら説明する。
- [0038] 図1は、本発明の一実施形態に係る半導体素子構造の形成方法の手順を示す図である。この製造方法では、被覆層30が一部に施された歪半導体層20を絶縁酸化膜40上に有する基板50に対し、歪半導体層20の面上よりイオン注入を行い(A)、被覆層30で遮蔽された歪半導体層21の歪状態を維持する一方、被覆層30で遮蔽されていない歪半導体層の歪状態を緩和し緩和半導体層23, 25へと変化させることで、歪状態を維持した歪半導体層21と、緩和半導体層23, 25との間にヘテロ接合を形成する(B)。
- [0039] これにより、結晶構造の異なる緩和半導体層23と歪半導体層21との境界において、バンドギャップ(ΔE_c 又は ΔE_v)が生じるため、緩和半導体層23及び歪半導体層21は半導体素子におけるソース及びチャネルとして機能し得る。ここで、ヘテロ接合は、従来と異なり、同じ半導体素材で構成される歪半導体層21と緩和半導体層23, 25との間に形成されているので、異質物原子の拡散による諸問題が解消され、半導体素子の性能を向上することができる。
- [0040] 本明細書において、「半導体素子構造」とは、半導体素子の一部又は全部を構成する構造を指し、例えば、トランジスタのソース及びチャネルを構成する構造、更にドレイン及び/又はゲートを構成する構造を指す。
- [0041] 被覆層30が、歪半導体層20を構成する半導体の酸化物(例えば SiO_2)で構成される酸化膜31を有する態様は、上記方法によりトランジスタのソース及びチャネルのみならず、ゲート絶縁膜を含む構造が形成されるため、半導体素子構造の有用性を向上することができる。この場合、被覆層30はイオンを遮蔽できる部材を更に備える必要があるが、この部材は酸化膜31を被覆するゲート電極33であることが好ましい。これにより、ゲート絶縁膜及びゲート電極の双方を含む構造が形成されるので、半導体素子構造の有用性を更に向上することができる。なお、ゲート電極の素材は、特に限定されず、例えば多結晶Siであってよい。

[0042] ただし、被覆層は、歪半導体層より高い又は低い熱膨張率の素材からなる単層構造を備えてもよい。この態様では、ヘテロ接合形成工程の後に加熱を行う（例えば後述のアニール工程）と、被覆層が歪半導体層よりも縮み又は伸びて、その分の範囲だけ、歪半導体層を緩和させ又は緩和半導体層を歪ませることができる。これにより、緩和半導体層と歪半導体層との境界におけるバンドギャップ（ ΔE_c 又は ΔE_v ）をより大きくすることができる。図3は、被覆層が歪半導体層より高い熱膨張率の素材からなる単層構造を備える態様における緩和率の分布を示すグラフである。被覆層を SiO_2 単層とすることで、アニール工程時に被覆層が歪半導体層（ Si 層）よりも縮むため、緩和半導体層が被覆層で被覆された箇所まで延在している。これにより、 $88.5 meV$ ものバンドギャップ ΔE_c が実現できた。なお、測定は、従来周知のラマン分光による歪分布測定法に従って行った。

[0043] イオン注入を施される歪半導体層20、絶縁酸化膜40、及び基板50は、特に限定されないが、例えば、基板に高濃度の酸素イオンを注入した後、アニール（熱処理）を行い、歪半導体層20及び基板50に挟まれた絶縁酸化膜40としての埋込酸化膜を形成することで、製造される。この場合には、歪半導体層20及び基板50は同じ成分で構成され、絶縁酸化膜40は歪半導体層20及び基板50を構成する成分の酸化物（例えば SiO_2 ）で構成される。ただし、これに限られず、絶縁酸化膜40を施した基板50の絶縁酸化膜40側を歪半導体層20にはり合わせて一体化し、基板50－絶縁酸化膜40－歪半導体層20の構造を形成することもできる。ここで、歪半導体層20及び基板50の素材は、特に限定されないが、 Si で構成されるのが好ましい。また、 Si で構成される歪半導体層20に Ge イオン注入等をして、歪半導体層20を $SiGe$ で構成してもよい。

[0044] 特に、歪半導体層20は、引張り歪み Si 又は圧縮歪み $SiGe$ で構成されることが好ましい。歪半導体層20が引張り歪み Si で構成されると、 n -MOS用の半導体素子構造を形成することができ、歪半導体層20が圧縮歪み $SiGe$ で構成されると、 p -MOS用の半導体素子構造を形成するこ

とができる。即ち、前者の場合、伝導帯オフセット ΔE_c が歪半導体層21と緩和半導体層23との境界に(図1(B)上側)、後者の場合、価電子帯オフセット ΔE_v が歪半導体層21と緩和半導体層23との境界に(図1(B)下側)にそれぞれ存在するため、適切な不純物(前者の場合、ホウ素等のIII価の物質、後者の場合、リン等のV価の物質)のイオンを注入することで、緩和半導体層23がソース、歪半導体層21がチャネル、緩和半導体層25がドレインとして機能することができる。特に限定されないが、これらのn-MOS及びp-MOSを相補的に配置して組み合わせることで、CMOS(Complementary Metal Oxide Semiconductor)を製造してもよい。

[0045] 注入するイオンは、注入可能なものである限りにおいて特に限定されないが、歪半導体層20及び絶縁酸化膜40に留まったイオンが半導体性能に与える影響を低減できる点で、ドーパントを除く元素、もしくは絶縁酸化膜40及び歪半導体層20を構成する元素を主成分とし、又はこれらの元素からなることが好ましい。例えば、前述のように歪半導体層20がSi又はSiGeで構成され、絶縁酸化膜40がSiO₂で構成される場合には、O、Si及びGeからなる群より選ばれる1種以上の元素を主成分とする又はこの元素からなるイオンを注入することが好ましい。

[0046] ところで、緩和半導体層23、25への変化(転位)は、イオン注入の影響で歪半導体層20が絶縁酸化膜40との界面(図1(B)中、点線で囲んだ部分)において絶縁酸化膜40から滑ることで生じると考えられる。したがって、かかる現象を生じさせるためには、歪半導体層20と絶縁酸化膜40との界面におけるイオンの反跳エネルギーが、少なくとも、歪半導体層20と絶縁酸化膜40との間の結合エネルギーから、歪半導体層20の弾性エネルギーを差し引いた値よりも大きい必要がある。

[0047] 特に、転位を効率的に生じさせる点、及び歪半導体層20中の反跳エネルギーをピークよりも小さくして歪半導体層20の損傷を抑制できる点で、イオンの反跳エネルギー分布のピークが、歪半導体層20と絶縁酸化膜40との界

面に理論的に位置するようにエネルギーを調節することが好ましい。ここで、反跳エネルギー分布のピークが界面に理論的に位置するようエネルギーを調節するとは、歪半導体層20の構成成分、膜厚等を考慮し、理論的にピークが界面に位置するよう算出されたエネルギーにイオンの加速エネルギーを調節することを指し、必ずしも実際の反跳エネルギー分布のピークが界面に位置することを指すものではない。

[0048] 図4は、イオン注入における反跳エネルギー及びイオン密度の分布を示すグラフである。このグラフは、加速エネルギーが60keVであり、歪半導体層20がSiで構成される厚み60nmの膜であり、絶縁酸化膜40がSiO₂で構成されるという条件のもと、シミュレーションソフトウェア「SRIM」を用いて得られたものである。図4中の実線は厚み方向に関するO⁺イオン1個当たりの反跳エネルギーの分布を指し、破線は厚み方向に関するO⁺イオン密度の分布を指し、BOXは埋込酸化膜（絶縁酸化膜の一例）を指す。このシミュレーション結果によれば、反跳エネルギー分布のピークは、イオン密度分布のピークが位置する深さの0.6倍の深さに位置する傾向があることが分かった。したがって、イオン密度分布のピークが、表面から界面までの深さの1/0.6倍の深さに位置するよう加速エネルギーを調節することで、反跳エネルギー分布のピークを、歪半導体層20と絶縁酸化膜40との界面に理論的に位置することができる。なお、この傾向は上記条件に限られず一般的に成立するものである。

[0049] このようなイオン注入を行うと、反跳エネルギーに応じて、歪半導体層20に損傷が生じ、半導体素子としての機能に悪影響が残る場合がある。そこで、イオン注入の後にアニールを行うことが好ましく、これにより歪半導体層20の損傷が回復し、半導体素子の機能低下を抑制できる。アニールは、炉内加熱や熱線処理等の従来公知の方法に従って行ってよい。

[0050] また、反跳エネルギーに応じた歪半導体層20の損傷は、H、He、Li、Be及びCからなる群より選ばれる1種以上の元素を主成分とする又はこの元素からなるイオンを注入することで抑制することもできる。図5はヘテロ

接合形成工程のイオン注入に用いる原子の種類と、反跳エネルギーの分布との関係を示すグラフである。図5に示されるように、イオン注入するイオンの原子量が小さくなるにつれ、反跳エネルギーのピーク値がほぼ同等にもかかわらず、その分布が急峻になり半値幅を小さくすることができ、表面半導体層及び埋込酸化膜（絶縁酸化膜の一例）に与える反跳エネルギーが小さくなること分かる。

[0051] 図1に戻って、イオン注入後に形成されるヘテロ接合は、歪半導体層21と緩和半導体層23との間だけでなく、歪半導体層21と緩和半導体層25との間にも形成される。このため、半導体素子におけるチャンネルとドレインとの間にエネルギー障壁（図1（B）に示す α 部分）が介在してしまい、動作の高速化が妨げられるおそれがある。そこで、図2（A）に示すように、イオン注入は、歪半導体層20の表面に対して直交する方向から所定角度 θ をなす方向で行うことが好ましい。所定角度 θ の大小に応じ、歪半導体層20のうち被覆層30に被覆された箇所から、ドレインになる側（図2における右側）に所定距離だけイオン注入から遮蔽され、緩和が回避される。これにより、半導体素子におけるドレイン側のヘテロ接合がチャンネルとの境界から遠ざかり、エネルギー障壁が低減され（図2（B）に示す γ 部分）、その結果、チャンネルとドレインとの境界におけるバンドオフセットが低減する（図2（B）に示す β 部分）ため、動作の更なる高速化が期待できる。

[0052] 所定角度 θ は、過小であると、上記効果が十分に得られにくい点を考慮して適宜設定されてよい。また、所定角度 θ の値に応じて、イオンを注入するエネルギーを調節する工程を更に有することが好ましい。これにより、任意の所定角度 θ において、十分な反跳エネルギーを歪半導体層20と絶縁酸化膜40との界面に提供することができる。

[0053] このようにして形成される半導体素子構造の半導体層20A'に対し、ソース拡散層及びドレイン拡散層に用いるイオンを注入することで、半導体素子（MOSFET）を製造できる。この半導体素子は、半導体層20A'と、この半導体層20A'の所定箇所上に位置するゲート絶縁膜及びゲート電

極を含む被覆層 30 と、を備え、半導体層 20A' は、所定箇所の一部又は全部を含み且つゲート絶縁層に被覆されていない箇所に所定距離だけ延在する歪み層 21A と、歪み層 21A を挟んで位置する緩和層 23A, 25A と、を有する（図 2（B）参照）。換言すれば、ソース側（図 2（B）中の左側）のヘテロ接合面とチャネルとの距離が、ドレイン側のヘテロ接合面とチャネルとの距離よりも短い。このような半導体素子は、ドレインにおけるエネルギー障壁が低減され（ γ 部分）、しかもチャネルとドレインとの境界におけるバンドオフセットが低減する（ β 部分）ため、動作の更なる高速化が期待できるものである。

[0054] 前述のように、半導体層 20A' は、Si 又は SiGe で構成されるのが好ましく、より好ましくは引張り歪み Si、又は圧縮歪み SiGe で構成される。なお、前述したヘテロ接合形成に用いるイオン注入は、従来周知の方法で行うことができ、例えば中電流イオン注入装置を使用してよい。

[0055] 本発明は前記実施形態に限定されるものではなく、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

実施例

[0056] 図 1 に示す基板（歪半導体層 20 及び基板 50 は Si で、絶縁酸化膜 40 は SiO₂ で構成される。被覆層 30 は SiO₂ 層の上に Si 層が配置された構成を有する。歪半導体層 20 の厚みは 60 nm）に対し、イオン注入機を用い、O⁺ イオンをドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 、加速エネルギー 60 keV にて、歪半導体層 20 に直交する方向で注入した。その後、基板に対し、950 °C で 30 分間に亘り炉アニール処理を行った。

[0057] ラマン散乱分光器を用い、イオン注入を行う前の歪半導体層 20、及び炉アニール処理後における歪半導体層 20' のラマンシフトを得た。これらの結果を図 6（A）、（B）にそれぞれ示す。イオン注入前には 515 cm^{-1} 付近に見られていた引張り歪み Si（図 6（A）の SSOI）のピークが、イオン注入後には 520 cm^{-1} 付近の緩和 Si のピークへと接近していた（図 6（B））。これにより、上記イオン注入を通じて、歪半導体層が緩和半

導体層へと変化したことが確認された。

[0058] 次に、イオン注入を、加速エネルギーを60 keVに固定し、もしくはドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ に固定し、反跳エネルギーを種々変更して行い、それぞれ形成されたソース及びチャネルの境界におけるバンドオフセットを、ラマンシフトから見積もった。また、歪半導体層20にGeイオンを注入し、アニール処理した基板に対し、加速エネルギーを25 keVに固定し、もしくはドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ に固定し、反跳エネルギーを種々に変更して行い、それぞれ形成されたソース及びチャネルの境界におけるバンドオフセットを、ラマンシフトから見積もった。得られたバンドオフセットと、反跳エネルギーとの関係を図7に示す。なお、ラマンシフトからのバンドオフセットの見積もりは、「C. K. Maiti, Strained silicon heterostructures, IEE, 2001」の知見等に基づいた。

[0059] 図7に示されるように、反跳エネルギーを調節することで、n-MOS及びp-MOSの双方ともバンドオフセットを調節できることが確認された。ちなみに本実施例では、反跳エネルギーを最適化することで、n-MOSにおいて70 meV以下、p-MOSにおいて160 meV以下のバンドオフセットが得られることが分かった。

符号の説明

- [0060] 20 歪半導体層
21 歪半導体層
23, 25 緩和半導体層
30 被覆層
40 絶縁酸化膜
50 基板

請求の範囲

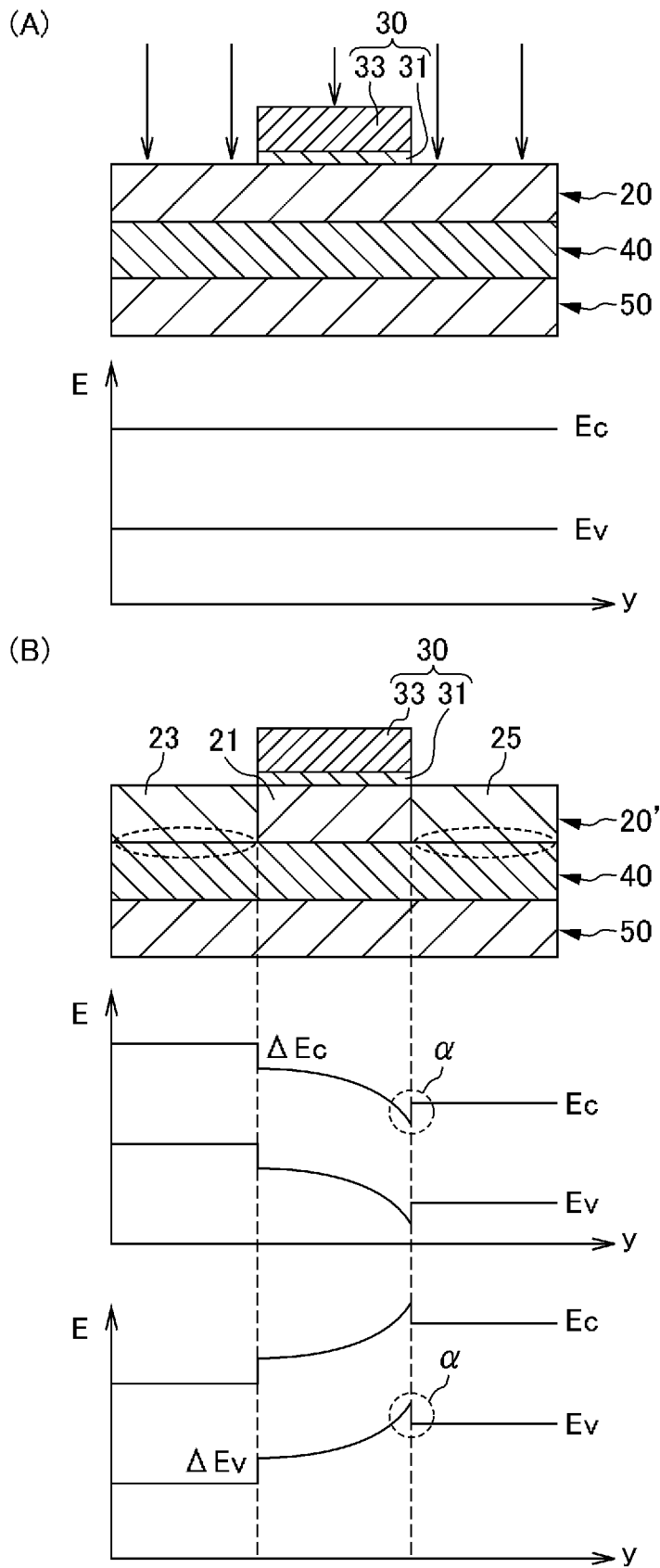
- [請求項1] 被覆層が一部に施された歪半導体層を絶縁酸化膜上に有する基板の面上よりイオン注入を行い、前記被覆層で遮蔽された歪半導体層の歪状態を維持する一方、前記被覆層で遮蔽されていない歪半導体層の歪状態を緩和し緩和半導体層へと変化させることで、前記歪状態を維持した前記歪半導体層と、前記緩和半導体層との間にヘテロ接合を形成するヘテロ接合形成工程を有する半導体素子構造の形成方法。
- [請求項2] 前記被覆層は前記半導体の酸化物で構成される酸化膜を有する請求項1記載の形成方法。
- [請求項3] 前記被覆膜は前記酸化膜を被覆するゲート電極を更に有する請求項2記載の形成方法。
- [請求項4] 前記被覆層は、前記歪半導体層より高い又は低い熱膨張率の素材からなる単層構造を備える請求項1から3いずれか記載の形成方法。
- [請求項5] 前記イオン注入は、ドーパントを除く元素を主成分とする又はこの元素からなるイオンの注入である請求項1から4いずれか記載の形成方法。
- [請求項6] 前記イオン注入は、前記絶縁酸化膜及び前記歪半導体層を構成する元素を主成分とする又はこの元素からなるイオンの注入である請求項1から5いずれか記載の形成方法。
- [請求項7] 前記歪半導体層は、 Si 又は $SiGe$ で構成される請求項1から6いずれか記載の形成方法。
- [請求項8] 前記歪半導体層は、引張り歪み Si 、又は圧縮歪み $SiGe$ で構成される請求項7記載の形成方法。
- [請求項9] 前記イオン注入は、 O 、 Si 及び Ge からなる群より選ばれる1種以上の元素を主成分とする又はこの元素からなるイオンの注入である請求項7又は8記載の形成方法。
- [請求項10] 前記イオン注入は、 H 、 He 、 Li 、 Be 及び C からなる群より選ばれる1種以上の元素を主成分とする又はこの元素からなるイオンの

注入である請求項 7 又は 8 記載の形成方法。

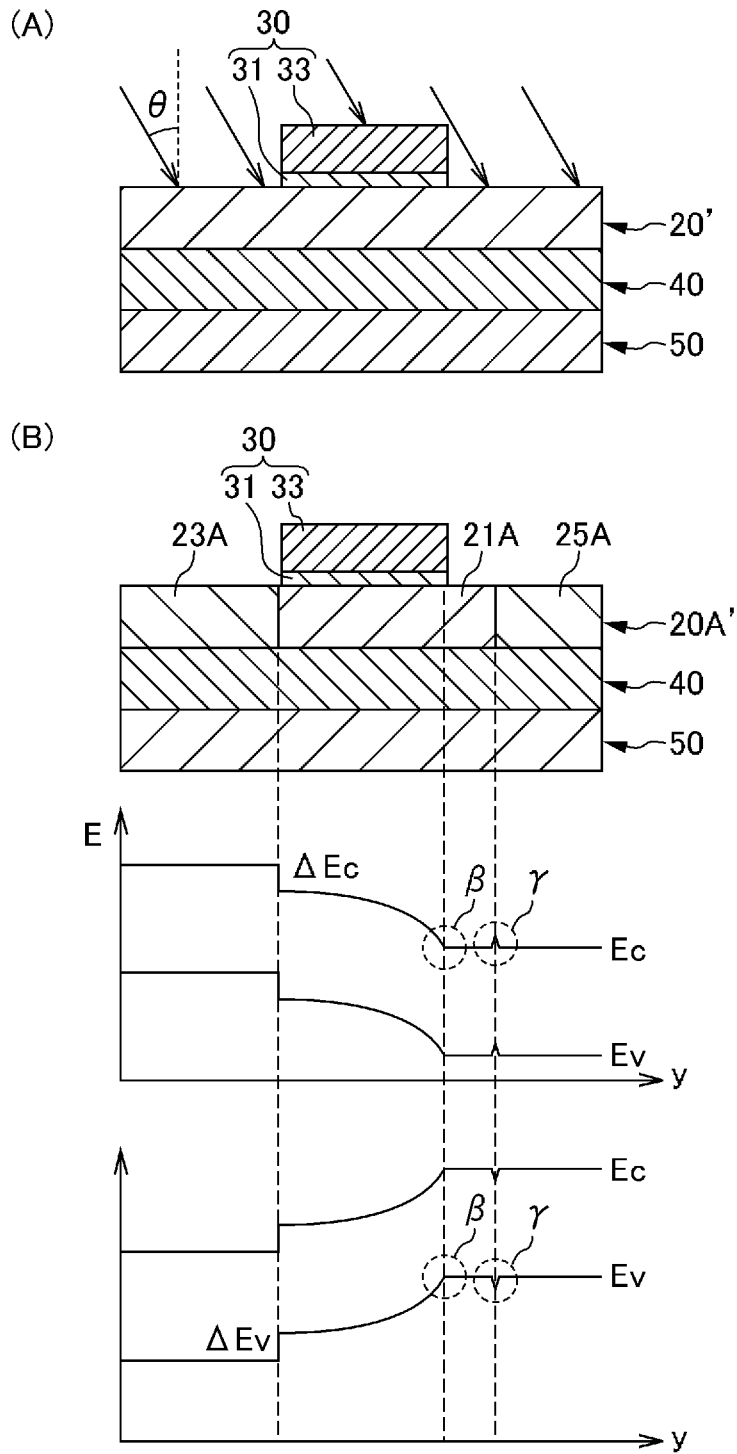
- [請求項11] 前記イオン注入の後に行うアニール工程を更に有する請求項 1 から 10 いずれか記載の形成方法。
- [請求項12] 前記イオン注入は、前記歪半導体層の表面に対して直交する方向から所定角度をなす方向で行う請求項 1 から 11 いずれか記載の形成方法。
- [請求項13] 前記所定角度に応じて、イオンを注入するエネルギーを調節する工程を更に有する請求項 12 記載の形成方法。
- [請求項14] イオンの反跳エネルギー分布のピークが、前記歪半導体層と前記絶縁酸化膜との界面に理論的に位置するようにエネルギーを調節する請求項 1 から 13 いずれか記載の形成方法。
- [請求項15] 前記歪半導体層、又は前記緩和層及び前記歪み層に、不純物をドーピングすることで、ソース及びドレインを形成する工程を更に有する請求項 1 から 14 いずれか記載の形成方法。
- [請求項16] MOSFETの製造工程におけるソース拡散層及びドレイン拡散層に用いるイオンを注入する工程の前に、前記ヘテロ接合形成工程を行う請求項 1 から 15 いずれか記載の形成方法。
- [請求項17] 半導体層と、この半導体層の所定箇所上に位置するゲート絶縁膜と、を備え、
前記半導体層は、前記所定箇所の一部又は全部を含み且つ前記ゲート絶縁層に被覆されていない箇所に所定距離だけ延在する歪み層と、前記歪み層を挟んで位置する緩和層と、を有する半導体素子。
- [請求項18] 前記半導体層は、 S_i 又は S_iGe で構成される請求項 17 記載の半導体素子。
- [請求項19] 前記歪半導体層は、引張り歪み S_i 、又は圧縮歪み S_iGe で構成される請求項 18 記載の半導体素子。
- [請求項20] ソース側のヘテロ接合面とチャネルとの距離が、ドレイン側のヘテロ接合面とチャネルとの距離よりも短い請求項 17 から 19 いずれか

記載の半導体素子。

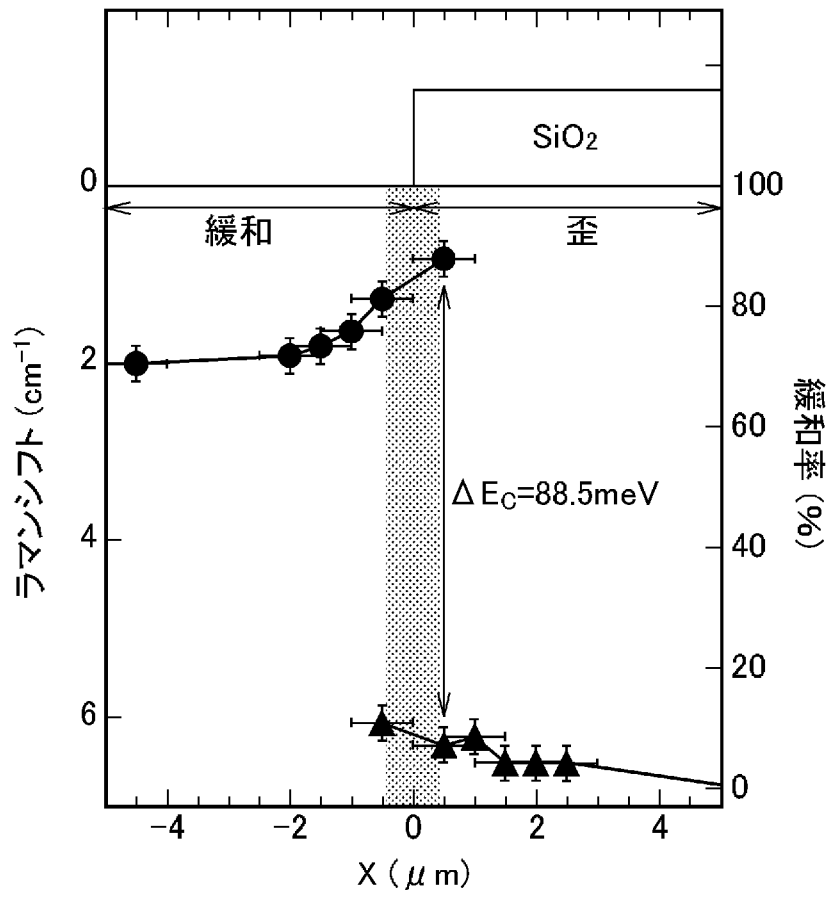
[図1]



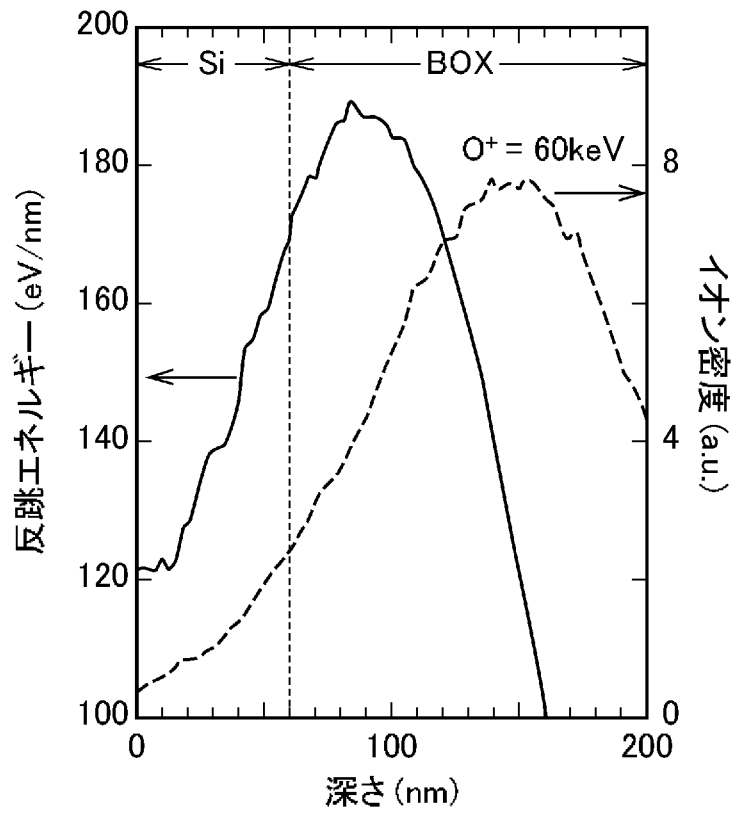
[図2]



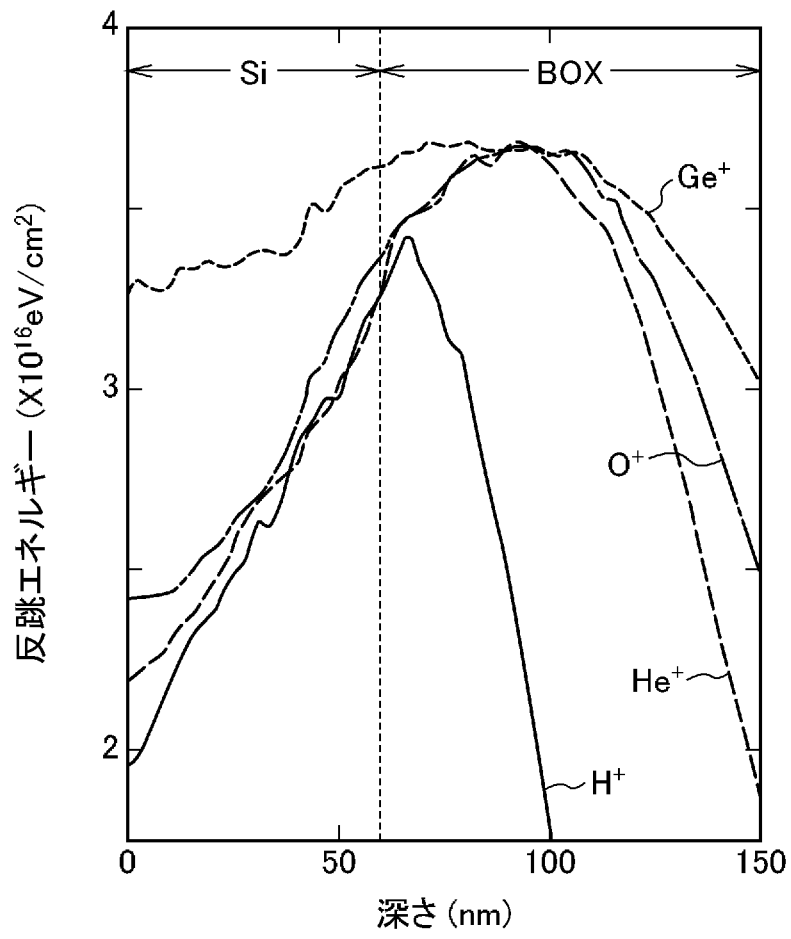
[図3]



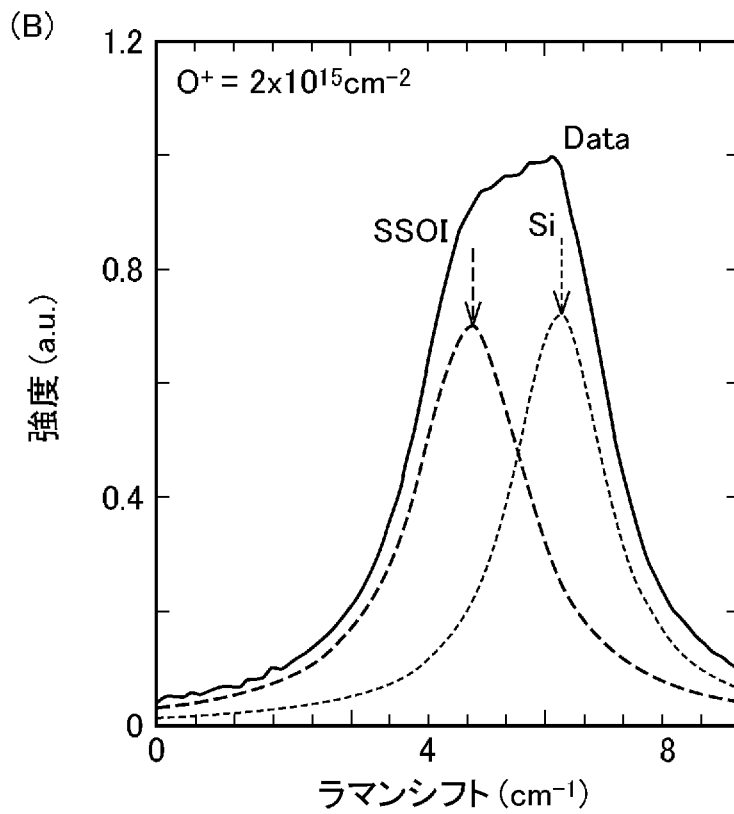
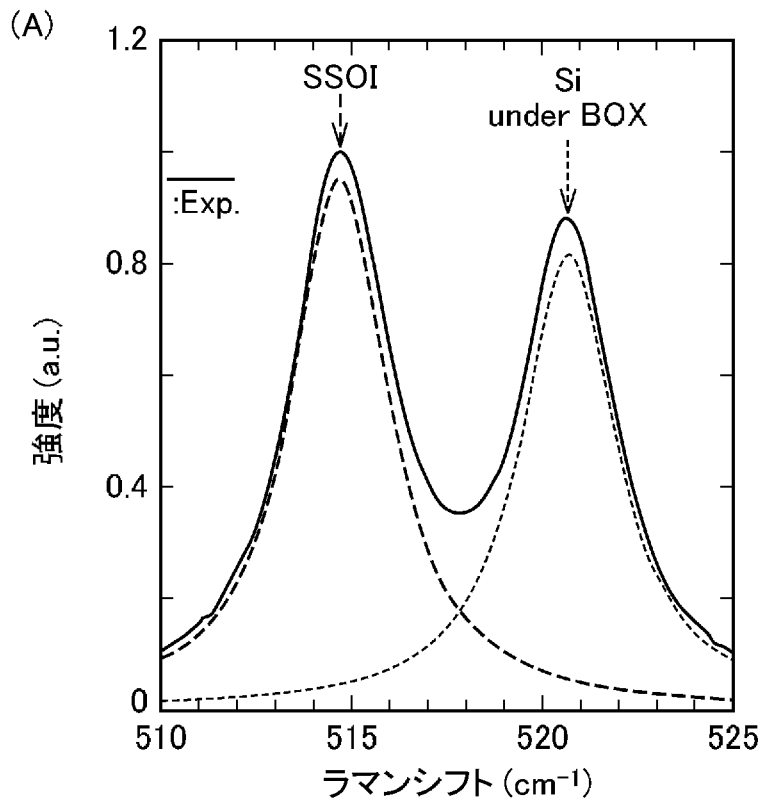
[図4]



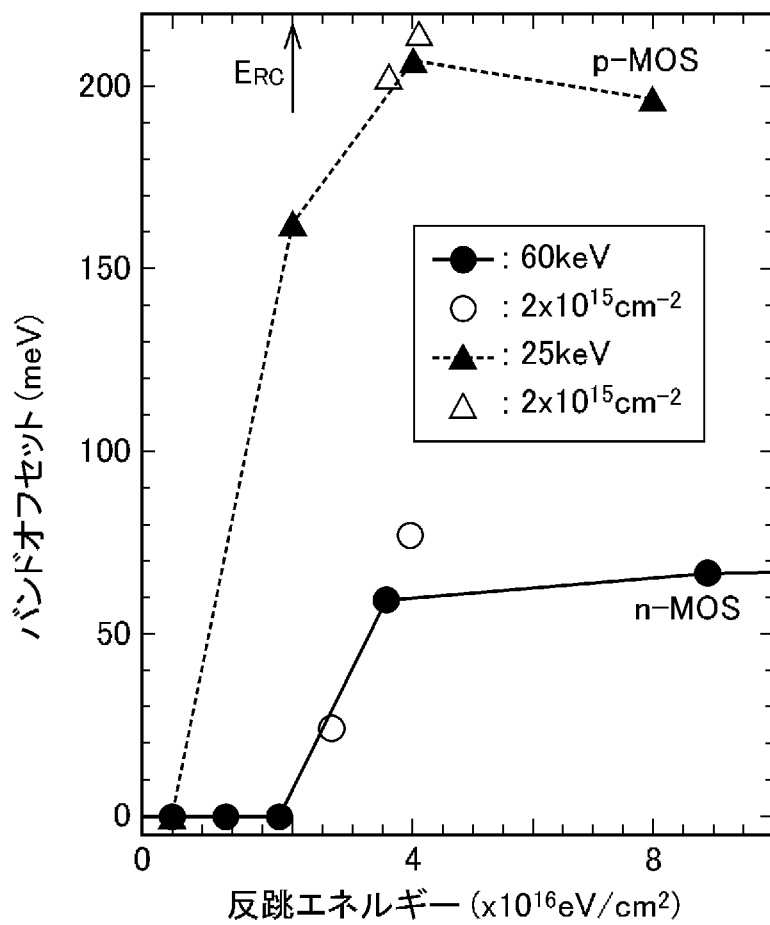
[図5]



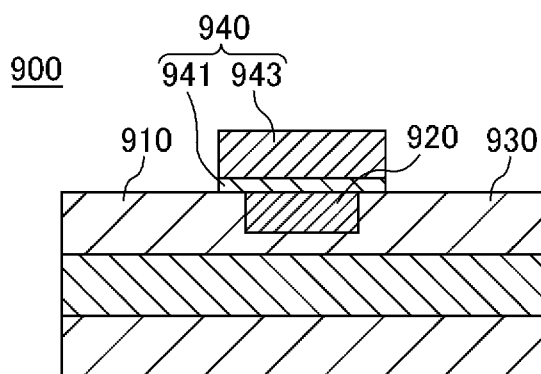
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/065397

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-209453 A (Toshiba Corp.), 07 August 1998 (07.08.1998), paragraphs [0010] to [0063] (Family: none)	1-20
A	WO 2005/067058 A1 (NEC Corp.), 21 July 2005 (21.07.2005), paragraphs [0036] to [0048] & US 2008/0296614 A1	1-20
A	JP 10-012883 A (Toshiba Corp.), 16 January 1998 (16.01.1998), paragraphs [0016] to [0045] (Family: none)	1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
01 December, 2010 (01.12.10)

Date of mailing of the international search report
14 December, 2010 (14.12.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/065397

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-152391 A (Fujitsu Microelectronics Ltd.), 09 July 2009 (09.07.2009), paragraphs [0011] to [0072] (Family: none)	1-20
A	JP 2006-019727 A (International Business Machines Corp.), 19 January 2006 (19.01.2006), paragraphs [0011] to [0045] & US 2005/0285192 A1 & CN 1716554 A	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2010年
 日本国実用新案登録公報 1996-2010年
 日本国登録実用新案公報 1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-209453 A (株式会社東芝) 1998. 08. 07, 段落 0010-0063 (ファミリーなし)	1-20
A	WO 2005/067058 A1 (日本電気株式会社) 2005. 07. 21, 段落 0036-0048 & US 2008/0296614 A1	1-20
A	JP 10-012883 A (株式会社東芝) 1998. 01. 16, 段落 0016-0045 (ファミリーなし)	1-20

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 01. 12. 2010	国際調査報告の発送日 14. 12. 2010
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 綿引 隆 4M 2934 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-152391 A (富士通マイクロエレクトロニクス株式会社) 2009.07.09, 段落 0011-0072 (ファミリーなし)	1-20
A	JP 2006-019727 A (インターナショナル・ビジネス・マシーンズ・ コーポレーション) 2006.01.19, 段落 0011-0045 & US 2005/0285192 A1 & CN 1716554 A	1-20