

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ H01L 27/115 (11) 공개번호 10-2005-0116839
(43) 공개일자 2005년12월13일

(21) 출원번호 10-2005-7018609
(22) 출원일자 2005년09월30일
 번역문 제출일자 2005년09월30일
(86) 국제출원번호 PCT/JP2004/004512 (87) 국제공개번호 WO 2004/088753
 국제출원일자 2004년03월30일 국제공개일자 2004년10월14일

(30) 우선권주장 JP-P-2003-00095600 2003년03월31일 일본(JP)

(71) 출원인 도꾸리쓰교세이호징 가가꾸 기쥬쓰 신키 기꼬
일본 사이따마켄 가와구찌시 혼쵸 4쵸메 1방 8고

(72) 발명자 스가하라, 사또시
일본 231-0821 가나가와켄 요코하마시 나카꾸 혼모꾸하라21-1-603
다나까, 마사아끼
일본 336-0921 사이따마켄 사이따마시 미도리꾸 이누마까따647-6-201

(74) 대리인 장수길
이중희
구영창

심사청구 : 있음

(54) 스핀 의존 전달 특성을 갖는 터널 트랜지스터 및 그것을이용한 불휘발성 메모리

요약

본 발명의 강자성 반도체를 채널 영역에 이용한 MISFET에 의하면, 드레인 전류를 게이트 전압으로 제어할 수 있는 트랜지스터로서 특성을 가질 뿐만 아니라, 그 전달 컨덕턴스를 강자성 채널 영역과 강자성 소스(또는 강자성 드레인 또는 강자성 소스 및 강자성 드레인의 양쪽 모두)의 상대적인 자화의 방향에 의해 제어할 수 있다는 특징적인 특성을 겸비한다. 따라서, 이 상대적인 자화의 방향에 의해 2치의 정보를 기억할 수 있을 뿐만 아니라, 이 상대적인 자화의 방향을 전기적으로 검출할 수 있다. 또한, 강자성 반도체로 이루어지는 채널 영역의 전계 효과에 의한 자성 제어를 이용하면, 정보의 재기입에 필요한 전류의 대폭적인 저감이 가능해진다. 따라서, 상기 MISFET는 고밀도 집적화에 적절한 고성능 불휘발성 메모리 셀을 구성할 수 있다.

대표도

도 15

색인어

트랜지스터, MISFET, 불휘발성 메모리, MTJ, 기억 소자, 스핀 의존 전달 특성

명세서

기술분야

본 발명은 신규 트랜지스터에 관한 것으로, 보다 상세하게는, 스핀 의존 전달 특성을 갖는 트랜지스터와, 그것을 이용한 불휘발성 기억 회로(불휘발성 메모리)에 관한 것이다.

배경기술

최근의 고도 정보화 사회의 발전은 눈부시고, 특히 최근에는 "모바일 기기"를 매개로 하여 급속히 전개해 오고 있다. "모바일 기기"라는 큰 수요는 향후의 반도체 산업의 주요 부분이 될 수 있다고 인식되고 있지만, 이의 대응에는 반도체 집적 회로의 고속화·저소비 전력화·대용량화라는 종래대로의 고성능화 외에, 정보의 불휘발이라고 하는 새로운 요구에 부응할 필요가 생긴다. 이러한 요구에 대해, 불휘발 고밀도 기록으로서 뛰어난 강자성체 스토리지 기술과 반도체 집적 일렉트로닉스 기술을 융합시킨 새로운 메모리 디바이스가 주목을 모으고 있다(예를 들면, 비특허 문헌 1 참조). 이 디바이스는 자기 랜덤 액세스 메모리(magneto-resistive random access memory; 이하, 「MRAM」이라 함)라 불리며, 얇은 절연성의 터널 장벽을 강자성 전극에 끼워 넣은 구조를 갖는 강자성 터널 접합(magnetic tunnel junction; 이하 「MTJ」라 함)을 그 기억 소자로서 이용한다.

MTJ에서는 강자성 전극간의 상대적인 자화의 방향에 따라 터널 저항이 상이한 터널 자기 저항(tunneling magnetoresistance; 이하 「TMR」이라 함) 효과를 갖기 때문에, 이것을 이용하면 강자성체의 자화 상태를 전기적으로 검출하는 것이 가능해진다. 따라서, MTJ의 존재에 의해 강자성체에 의한 정보의 불휘발 스토리지 기술을 반도체 집적 일렉트로닉스에 이상적으로 도입하는 것이 가능해진다.

이하, 도 8을 참조하여 종래 기술의 일례에 대해 설명한다. 도 8에 도시하는 바와 같이, MRAM의 메모리 셀(100)에서는, 1비트의 메모리 셀을 1개의 MTJ(101)와 1개의 MOS 트랜지스터(103)에 의해 구성하는 방법이 주로 이용된다. MTJ(101)는 제1 강자성 전극(105)과, 제2 강자성 전극(107)과, 양자간에 형성된 절연체에 의해 형성된 터널 장벽(108)으로 이루어지는 터널 접합이다.

MOS 트랜지스터(103)의 소스(S)를 접지(GND)하고, 드레인(D)을 MTJ(101)의 한쪽의 강자성 전극(107)에 플러그(PL)등을 이용하여 접속한다. MTJ(101)의 다른 한쪽의 강자성 전극(105)은 비트선(BL)에 접속하고, 재기입용의 워드선(111)은 MTJ(101)의 바로 위 또는 바로 아래에서 MTJ(101) 및 다른 배선과 절연막(115)에 의해 전기적으로 절연된 상태로 비트선(BL)과 교차하도록 배치한다. 판독용 워드선(WL)은 MOS 트랜지스터(103)의 게이트 전극(G)에 접속한다.

강자성체에서는, 자화의 방향을 불휘발로 유지할 수 있으므로, MTJ에서는 강자성 전극간의 상대적인 자화 상태를 평행 자화 또는 반평행 자화로 함으로써, 2치의 정보를 불휘발로 기억할 수 있다. 또한, MTJ에서는 TMR 효과 때문에 2개의 강자성 전극간에서의 상대적인 자화 상태에서 터널 저항이 상이하다. 따라서, 평행 자화, 반평행 자화와 같은 자화 상태에 대응한 터널 저항을 이용하면 MTJ내의 자화 상태를 전기적으로 검출할 수 있다.

정보의 재기입은 MTJ(101)에서의 2개의 강자성 전극(105, 107)의 보자력을 바꾸어 두거나, 한쪽의 강자성 전극의 자화 방향을 고정해 두고, 보자력이 작은 강자성 전극 또는 자화 방향이 고정되어 있지 않은 강자성 전극을 자화 반전시킴으로써 행한다. 이하, 자화 반전을 행하는 강자성체를 프리층, 자화 반전을 행하지 않는 강자성체를 핀층이라 한다. 구체적으로는, 선택 메모리 셀상에서 교차하는 비트선(BL)과 재기입용 워드선(111)의 각각에 전류를 흘려, 각각의 전류에 의해 유기되는 자계의 합성 자계에 의해 선택된 메모리 셀(100)내의 MTJ(101)의 자화 상태만을 평행 자화 또는 반평행 자화로 변화시킨다. 이때, 선택한 메모리 셀과 동일한 비트선(BL) 또는 재기입용 워드선(111)을 갖는 비선택 메모리 셀이 자화 반전하지 않도록, 한쪽의 배선만으로부터의 자계에서는 비선택 메모리 셀의 MTJ(101)가 자화 반전하지 않도록 각각의 배선에 흘리는 전류값을 설정해 둔다.

정보의 판독은, 선택 셀에 접속된 판독용의 워드선(WL)에 전압을 인가하여 MOS 트랜지스터(103)를 도통시키고 나서, 비트선(BL)을 통해 판독용의 구동 전류를 MTJ(101)에 흘린다. MTJ(101)에서는, TMR 효과에 의해 평행 자화 또는 반평행 자화의 자화 상태에 따라 터널 저항이 상이하기 때문에, 판독용의 구동 전류에 의한 MTJ(101)에서의 전압 강하(이하, 「출력 전압」이라 함)를 검출하면 자화 상태를 판정할 수 있다. 이하에, 상기 기술에 관련하는 문헌예를 든다.

- 1) K. Inomata, "Present and future of magnetic RAM technology", IEICE Trans. Electron. Vol. E84-C, pp740-746, 2001.
- 2) H. Ohno, D. Chiba, F. Matsukura, T. Omiya, E. Abe, T. Dietl, Y. Ohno and K. Otani, "Electric-field control of ferromagnetism", Nature 408(2000) 944.(후술)
- 3) D. Chiba, M. Yamanouchi, F. Matsukura and H. Ohno, "Magnetic manipulation of magnetization reversal in a ferromagnetic semiconductor", Science 301(2004) 943.(후술)

발명의 상세한 설명

(1) 정보의 판독

MRAM 정보(데이터)의 판독에서의 과제는 MTJ에 관한 것이 중요하다. MTJ는 터널 장벽을 개재하여 상대하는 강자성 전극의 자화 상태가 평행 자화인지 반평행 자화인지에 대응하여 2치의 저항값을 취한다. 이 2치의 데이터 중 어느 데이터가 기억되어 있는지를 구동 전류로 고감도로 검출하기 위해서는, MTJ 자신의 임피던스(접합 저항)를 조절하여 출력 전압의 크기를 최적화할 필요가 있다.

또한, 정보의 기억 내용을 정확하게 판독하기 위해, 평행 자화와 반평행 자화의 2개의 자화 상태간에서의 출력 신호의 비를 크게 할 필요가 있다. 이를 위해서는, TMR비라 불리는 MTJ가 평행 자화를 갖는 경우와 반평행 자화를 갖는 경우의 각각에서의 TMR의 변화율을 크게 할 필요가 있다. TMR비는 강자성 전극의 스핀 분극률(P)에 의존한다. TMR비를 크게 취하기 위해서는, P의 값이 큰 강자성체를 강자성 전극에 이용하는 것 등이 필요하다.

또한, MTJ에서의 TMR비는, MTJ에 가하는 전압에 크게 의존하여, 이 전압과 함께 급격히 감소한다. 고속으로 정보의 판독을 행하기 위해 큰 구동 전류를 MTJ에 흘리면, MTJ에서의 전압 강하가 커져, TMR비가 감소한다. 따라서, TMR비는 고속성과 트레이드 오프로 된다. 따라서, MTJ에서의 큰 전압 강하가 생겨도 TMR비가 감소하지 않도록, TMR비의 내(耐)바이어스가 필요하게 된다.

따라서, MRAM에 이용하는 기억 소자로서는, 평행 자화 및 반평행 자화와 같은 자화 상태에 크게 의존하는 출력을 발생하여, 적어도 평행 자화 또는 반평행 자화 중 하나의 경우에는, 충분한 크기의 출력을 발생하고, 또한 이 출력이 디바이스에 인가되는 바이어스에 의존하지 않는 것이 바람직하다.

(2) 정보의 재기입

MRAM에서는, 비트선 및 워드선의 전류에 의해 유기되는 자장을 이용하여 MTJ의 자화 상태를 변화시켜 정보의 재기입을 행한다. MRAM에 있어서도, 통상의 반도체 집적 메모리와 마찬가지로 디바이스의 미세화에 의해 고밀도 집적화 및 고성능화를 실현할 수 있지만, MTJ를 미세화하면 강자성 전극의 반자계가 커져, 자화 반전에 필요한 자장 강도가 커진다. 따라서, 재기입에 필요한 전류가 증대한다. 이 전류 증대는 상당히 커서, 배선을 미세화해 가면 실현 가능한 정도로 어스펙트비를 증가시켜도 배선의 신뢰성을 확보할 수 없게 되는 정도에 이른다. 강자성체의 보자력을 작게 하면, 재기입에 필요한 자장의 강도는 감소하지만, 오기입 등의 치명적인 문제가 발생한다.

따라서, 기억 소자에 이용하는 강자성체의 보자력을 낮추는 일 없이, 낮은 전류값에서 발생하는 자장으로 용이하게 자화 정보의 재기입이 가능한 방법이 필요하게 된다.

(3) 고밀도 집적화

MRAM은 구조가 심플하고, 또한 MTJ는 나노 스케일의 사이즈까지 미세화할 수 있기 때문에, 고밀도 집적화에 적절한 메모리이다. 수 기가비트 이상의 고집적도를 실현하려고 하면, MOS 트랜지스터의 채널 길이는 0.1 μ m 정도 이하가 될 것으로 예상되는데, 이러한 미세한 트랜지스터에 맞추어 미세한 MTJ를 집적화하고자 해도, 콘택트, 다층 배선이 셀 면적을 점유하게 되어, 양자를 고밀도로 집적하는 것이 어렵게 된다.

따라서, 고밀도 집적화에 적절한 보다 간단한 구조를 갖는 메모리 셀이 요구된다.

본 발명은, 트랜지스터 내부에 포함되는 강자성체의 자화 상태로 출력 특성을 제어할 수 있는 새로운 트랜지스터를 제공하는 것을 목적으로 한다. 또한, 이 트랜지스터 단체로 1비트의 메모리 셀을 구성함으로써 대용량의 고성능 불휘발성 메모리를 제공하는 것을 목적으로 한다.

본 발명의 제1 관점에 따르면, 전도 캐리어를 주입하는 강자성체로 이루어지는 소스(강자성 소스)와, 그 강자성 소스로부터 주입된 전도 캐리어를 받는 드레인과, 상기 강자성 소스와 상기 드레인 사이에 형성된 강자성체로 이루어지는 터널 장벽(강자성 터널 장벽)과, 상기 강자성 터널 장벽에 대해 형성되고, 그 강자성 터널 장벽에 전계를 인가함으로써 상기 강자성 소스로부터 상기 드레인으로의 캐리어의 전도를 제어하는 게이트 전극을 갖고, 상기 전도 캐리어가 전자인 경우에는 강자성 터널 장벽에서의 전도대의 에너지 밴드단이 스핀 분열하고 있고, 상기 전도 캐리어가 정공인 경우에는 강자성 터널 장벽에서의 가전자대의 에너지 밴드단이 스핀 분열하고 있는 것을 특징으로 하는 트랜지스터가 제공된다.

상기 강자성 터널 장벽은, 상기 강자성 소스에 대한 상기 강자성 터널 장벽의 상대적인 자화의 방향이 동일 방향(평행 자화)인 경우, 또는 상기 강자성 소스의 다수 스핀의 방향과 상기 강자성 터널 장벽에서의 스핀 분열한 에너지 밴드단에서의 스핀 방향이 평행인 경우, 상기 게이트 전극에 대해 인가하는 전압(게이트 전압)에 의해, 상기 강자성 소스의 다수 스핀이 전도 캐리어로서 상기 강자성 터널 장벽을 투과하는 터널 확률을 제어할 수 있는 것이 바람직하다. 예를 들면, 상기 강자성 터널 장벽은, 상기 강자성 소스와 상기 강자성 터널 장벽이 평행 자화인 경우에, 게이트 전압을 상기 강자성 터널 장벽에 대해 인가함으로써, 실효적인 터널 장벽의 두께를 감소시켜, 상기 강자성 소스의 상기 다수 스핀이 상기 강자성 터널 장벽을 터널링하는 것에 기초하는 전류가 발생할 정도의 두께를 갖는다.

한편, 상기 강자성 소스에 대한 상기 강자성 터널 장벽의 상대적인 자화의 방향이 서로 반대 방향(반평행 자화)인 경우, 또는 상기 강자성 소스의 다수 스핀의 방향과 상기 강자성 터널 장벽에서의 스핀 분열한 에너지 밴드단에서의 스핀 방향이 반평행인 경우, 상기 강자성 소스에서의 다수 스핀에 대한 상기 강자성 터널 장벽의 배리어 높이가 상기 에너지 밴드단에서의 스핀 분열의 폭만큼 높아짐으로써, 평행 자화인 경우에 비해 상기 강자성 소스와 상기 드레인 사이에 생기는 터널 전류가 작아진다. 따라서, 이 트랜지스터에서는, 동일 바이어스 하에 있어서도, 강자성 소스와 강자성 터널 장벽의 상대적인 자화의 방향에 따라 상호(전달) 컨덕턴스가 변화한다.

매트릭스 형상으로 배치된 상기 트랜지스터와, 상기 강자성 소스를 각각 접지하는 제1 배선과, 열방향으로 나열되는 상기 트랜지스터의 상기 게이트 전극을 공통으로 접속하는 복수개의 워드선과, 행방향으로 나열되는 상기 트랜지스터의 상기 드레인을 공통으로 접속하는 복수개의 비트선을 갖는 기억 회로가 제공된다.

또한, 상기 트랜지스터 상에서 서로 전기적으로 절연된 상태로 교차하는 제1 별도 배선 및 제2 별도 배선을 형성할 수 있다. 또한, 상기 제1 별도 배선 및 상기 제2 별도 배선, 또는, 상기 제1 별도 배선 또는 상기 제2 별도 배선 중 어느 한쪽에 대신하여, 상기 워드선 및 상기 비트선, 또는, 상기 워드선 또는 상기 비트선 중 어느 한쪽을 이용할 수도 있다.

상기 기억 회로에 있어서, 상기 제1 별도 배선 및 제2 별도 배선, 또는 이들을 치환한 상기 워드선 및 상기 비트선, 또는 상기 제1 별도 배선 또는 제2 별도 배선 중 어느 한쪽을 치환한 상기 워드선 또는 상기 비트선 및 이들로 치환되지 않았던 쪽의 상기 제1 별도 배선 또는 상기 제2 별도 배선에 전류를 흘림으로써 유기되는 자장에 의해, 상기 강자성 소스 또는 강자성 터널 장벽의 자화를 반전시켜, 상기 강자성 소스와 상기 강자성 터널 장벽 사이의 상대적인 자화 상태를 변화시킴으로써 자화의 방향으로서 기억되는 정보의 재기입을 행하는 것이 가능하다.

상기 워드선에 대해 제1 바이어스를 가하고, 상기 제1 배선과 상기 비트선 사이에 제2 바이어스를 가했을 경우의 상기 트랜지스터의 출력 특성에 기초하여 정보의 판독을 행할 수 있다.

또한, 상기 기억 회로의 상기 비트선 일단의 각각에 형성되는 출력 단자와, 그 비트선의 각각으로부터 분기하여 부하를 통해 전원에 접속하는 제2 배선을 갖는 기억 회로가 제공된다. 이 경우에는, 상기 워드선에 대해 제1 바이어스를 인가한 경우에서, 상기 전원과 상기 제1 배선 사이에 생기는 상기 부하와 상기 트랜지스터를 통한 전류에 의한 상기 부하의 전압 강하에 기초하는 출력 전압에 의해, 정보의 판독을 행할 수 있다.

상기 회로를 이용하면, 고밀도로 집적화가 가능하며, 트랜지스터 내의 자화 상태에 따른 출력 전압을 부하와 전원에 의해 설계 가능한 불휘발성 기억 회로를 제공할 수 있다.

이상, 본 발명의 제1 관점에 따른 상기 트랜지스터에서는, 강자성 터널 장벽에서의 스핀 선택률이 높기 때문에, 평행 자화와 반평행 자화에서의 전류의 변화율을 높게 할 수 있다. 또한, 1개의 상기 트랜지스터 자신이 불휘발성 메모리 셀로서 동작한다. 따라서, 상기 트랜지스터를 이용한 기억 회로에 의하면, 상기 데이터의 판독 및 상기 고밀도 집적화에 대한 과제를 해결할 수 있다.

본 발명의 제2 관점에 따르면, 강자성 반도체층과, 그 강자성 반도체층에 캐리어를 주입하는 소스와, 그 강자성 반도체층에 주입된 캐리어를 받는 드레인과, 상기 소스로부터 상기 드레인으로의 캐리어의 전도를 제어하는 전압을 인가하는 게이트 전극을 갖는 것을 특징으로 하는 트랜지스터가 제공된다. 이 트랜지스터에서는, 상기 소스 또는 상기 드레인 중 어느 한 쪽이 상기 반도체층에 접합하는 비자성체로 이루어지는 터널 장벽(이하, 「비자성 터널 장벽」이라 함)과 그 비자성 터널 장벽에 접합하는 강자성체로 이루어지는 전극(이하, 「강자성 전극」이라 함)을 포함하여 구성되는 강자성 소스 또는 강자성 드레인인 것을 특징으로 한다. 상기 소스가 상기 강자성 소스인 경우에는, 상기 드레인은 상기 반도체층에 접합하는 비자성 터널 장벽과 그 비자성 터널 장벽에 접합하는 비자성체로 이루어지는 전극(이하, 「비자성 전극」이라 함)을 포함하여 구성되는 비자성 드레인으로 한다. 또한, 상기 드레인이 상기 강자성 드레인인 경우에, 상기 소스는 상기 반도체층에 접합하는 비자성 터널 장벽과 그 비자성 터널 장벽에 접합하는 비자성 전극을 포함하여 구성되는 비자성 소스로 한다. 또한, 상기 소스 및 상기 드레인의 양쪽 모두가 상기 반도체층에 접합하는 비자성 터널 장벽과 그 비자성 터널 장벽에 접합하는 강자성 전극을 포함하여 구성되는 강자성 소스 및 강자성 드레인이라도 된다. 강자성 소스와 강자성 드레인은 상기 강자성 반도체층에 접합한 강자성체로 이루어지는 터널 장벽(이하, 「강자성 터널 장벽」이라 함)과 그 강자성 터널 장벽에 접합하는 비자성 전극으로 구성되어도 된다. 상기 캐리어가 전자인 경우에는, 상기 강자성 터널 장벽 또는 비자성 터널 장벽에 의한 에너지 장벽은 적어도 전도 밴드층에 생기고, 상기 캐리어가 정공인 경우에는 상기 에너지 장벽은 적어도 가전자 밴드층에 생기도록 한다.

매트릭스 형상으로 배치된 복수의 상기 트랜지스터와, 열방향으로 나열되는 복수의 상기 트랜지스터의 각각의 소스를 공통으로 접속하는 복수개의 접지선과, 열방향으로 나열되는 복수의 상기 트랜지스터의 각각의 게이트 전극을 공통으로 접속하는 복수개의 워드선과, 행방향으로 나열되는 상기 트랜지스터의 각각의 드레인을 공통으로 접속하는 복수개의 비트선을 갖는 기억 회로가 제공된다.

상기 비트선과 상기 접지선에, 상기 강자성 반도체층 내가 보자력이 큰 강자성 상태에서부터 상자성 상태 또는 보자력이 충분히 작은 강자성 상태 중 어느 하나인 제1 상태로 될 정도의 제1 전압을 인가하고, 상기 제1 상태에 있어서 상기 강자성 반도체층의 자화 방향을 변화시킬 수 있을 정도의 자장을 유기하는 전류를 상기 상기 워드선에 흘리고, 상기 제1 전압을 끊거나 또는 상기 강자성 반도체층을 강자성으로 되돌릴 정도의 제2 전압을 인가하여 상기 강자성 반도체층을 보자력이 큰 강자성 상태로 함으로써 상기 워드선과 상기 비트선에 의해 선택되는 트랜지스터의 정보를 재기입할 수 있다.

또한, 상기 비트선과 상기 접지선에 상기 강자성 반도체층이 소자(消磁) 상태로 될 정도의 전압을 인가하고, 상기 강자성 반도체층을 자화할 수 있을 정도의 자장을 유기하는 전류를 상기 워드선에 흘림으로써 초기 자화 특성을 이용하여 정보를 재기입할 수 있다.

상기 접지선을 기준으로, 상기 비트선과 상기 워드선에 대해, 각각 소정의 전압을 인가했을 경우의, 상기 비트선과 상기 접지선 사이에 흐르는 전류의 크기에 기초하여, 상기 워드선과 상기 비트선에 의해 선택되는 선택 트랜지스터 정보의 판독을 행할 수 있다.

또한, 매트릭스 형상으로 배치된 상기의 복수의 트랜지스터와 행방향으로 나열되는 복수의 상기 트랜지스터의 각각의 소스를 공통으로 접속하는 접지선의 복수개의 접지선과, 열방향으로 나열되는 복수의 상기 트랜지스터 각각의 게이트 전극을 공통으로 접속하는 복수개의 워드선과, 행방향으로 나열되는 상기 트랜지스터의 각각의 드레인을 공통으로 접속하는 복수개의 비트선을 갖는 기억 회로가 제공된다. 이 회로에서는, 상기 비트선과 상기 접지선에, 상기 강자성 반도체층이 보자력이 큰 강자성 상태에서부터 상자성 상태 또는 보자력이 충분히 작은 강자성 상태 중 어느 하나인 제1 상태가 될 정도의 제1 전압을 인가하고, 상기 제1 상태에 있어서 상기 강자성 반도체층의 자화 방향을 변화시킬 수 있을 정도의 자장을 유기하는 전류를 복수의 상기 워드선에 함께 흘리고, 상기 제1 전압을 끊거나 또는 상기 채널을 강자성으로 되돌릴 정도의 제2 전압으로 함으로써 상기 강자성 반도체층을 보자력이 큰 강자성 상태로 함으로써, 상기 비트선과 상기 접지선에 접속되는 트랜지스터군의 정보를 일괄하여 재기입할 수 있다. 본 발명의 제2 관점에 따른 상기 트랜지스터를 이용한 상기 기억 회로의 특징을 이하에 기술한다.

1) 정보의 기입

강자성 반도체에서는, 전계를 인가함으로써 강자성 반도체층의 캐리어수를 감소시키면, 강자성에서 상자성으로 자성을 변화시키는 것이 가능하다. 이것은 전계 효과 자성 제어라 불리고 있다(비특허 문헌 2, 3 참조). 본 발명의 제2 관점에 따른 상기 트랜지스터를 이용한 메모리 셀에서는, 소스 및 드레인에 전압을 인가하여 채널 영역의 강자성 반도체층을 강자성에서 상자성(또는 충분히 보자력이 작은 상태)으로 변화시켜, 이 상태를 유지한 채로 자화 반전을 행한다. 따라서, 강자성 상태의 보자력보다 충분히 작은 자장으로 기입이 가능해진다. 또한, 소스와 드레인에 바이어스를 인가해 강자성 반도체의 캐리어수를 감소시키면, 강자성 상태를 소자할 수도 있다. 바이어스를 끊은 후에, 소자된 강자성 반도체에 자장을 인가하면, 강자성 반도체는 초기 자화에 따라 자화되기 때문에, 강자성 상태에서의 보자력보다도 작은 자장에서 자화 정보를 재기입할 수 있다.

2) 정보의 판독

본 발명의 제2 관점에 따른 상기 트랜지스터에서는, 채널에 이용하는 강자성 반도체층과 강자성 소스(또는 강자성 반도체층과 강자성 드레인) 사이의 터널 자기 저항(TMR) 효과와 유사한 전도 현상에 의해 자화 상태를 읽어낸다. 소스와 드레인 사이에 인가한 바이어스는, 소스 접합과 드레인 접합으로 분압한다. 따라서, 본 발명에 따른 디바이스에서는, 평행 자화와 반평행 자화에서의 출력 신호(드레인 전류)의 비는, 통상의 MTJ보다 약한 바이어스 의존성을 갖는다. 본 디바이스에서는 MTJ보다 큰 판독용의 바이어스를 인가하는 것이 가능해진다. 특히, 소스를 강자성체로 했을 경우에는 이 바이어스 의존성은 현저히 약해진다.

3) 고밀도 집적화

본 발명의 제2 관점에 따른 상기 트랜지스터에서는, 1개의 상기 트랜지스터로 1비트의 메모리 셀을 구성한다. 따라서, 배선에 관해서도 매우 단순한 구성으로 할 수 있다. 따라서, 미세화에 적절한 레이아웃을 용이하게 구성할 수 있다.

또한, 종래의 구성에 의한 MRAM의 메모리 셀에서는, 1MTJ, 1트랜지스터, 4배선(도 7 참조)의 구성으로, MTJ 및 기록용 워드선의 존재에 의해 소스를 서로 이웃한 셀에서 공용하여 셀 면적을 작게 하는 등의 고안이 곤란하였지만, 본 발명의 메모리 셀에서는, 서로 이웃한 셀끼리 소스를 공유하는 셀 구조도 가능해진다.

도면의 간단한 설명

도 1은 본 발명의 제1 실시의 형태에 따른 트랜지스터의 개략 구성을 도시하는 단면도.

도 2의 (a)는 강자성 소스가 강자성 금속인 경우의, 도 1의 구조에서의 에너지 밴드도, 도 2의 (b)는 강자성 소스가 n형 강자성 반도체인 경우의 에너지 밴드도, 도 2의 (c)는 강자성 소스가 p형 강자성 반도체인 경우의 에너지 밴드도.

도 3의 (a) 내지 도 3의 (c)는 본 실시의 형태에 따른 트랜지스터의 동작 원리를 에너지 밴드도에 의해 도시하는 도면으로, 도 3의 (a)는 게이트 전압을 인가하지 않는 경우, 도 3의 (b)는 게이트 전압을 인가한 경우로서, 강자성 소스와 강자성 터널 장벽이 평행 자화인 경우, 도 3의 (c)는 게이트 전압을 인가한 경우로서, 강자성 소스와 강자성 터널 장벽이 반평행 자화인 경우의 에너지 밴드 구조를 도시하는 도면.

도 4는, 도 1, 도 2에 나타내는 트랜지스터의 출력 특성을 도시하는 도면.

도 5는 본 발명의 제2 실시의 형태에 따른 트랜지스터의 단면 구조예를 도시하는 도면.

도 6은 본 발명의 제4 실시의 형태에 따른 트랜지스터의 구조 단면예를 도시하는 도면.

도 7의 (a), (b)는 본 발명의 제5 및 제6 실시의 형태에 따른 기억 회로로서, 본 발명의 제1 내지 제4의 각 실시의 형태에 따른 트랜지스터 중 어느 하나를 이용한 기억 회로의 구성예를 도시하는 도면, 도 7의 (c)는 도 7의 (b)에 나타난 기억 회로의 출력 특성을 도시하는 도면.

도 8은 MTJ를 이용한 일반적인 MRAM의 메모리 셀의 단면도.

도 9는 공통의 강자성 소스를 갖는 메모리 셀의 단면 구조예를 도시하는 도면.

도 10은 본 발명의 제4 실시의 형태에 따른 트랜지스터를 이용한 메모리 셀의 단면 구조예를 도시하는 도면.

도 11의 (a)는 본 발명의 제7 실시의 형태에 따른 강자성 반도체층을 채널 영역에 이용한 MISFET의 구조를 도시하는 도면, 도 11의 (b) 내지 도 11의 (d)는 본 발명의 제7 실시의 형태에 따른 MISFET의 열평형시에서의 채널 영역 근방의 밴드 구조예를 도시하는 도면.

도 12는 본 발명의 제8 실시의 형태에 따른 강자성 반도체층을 채널 영역에 이용한 MISFET의 디바이스 구조를 도시하는 도면.

도 13은 본 발명의 제9 실시의 형태에 따른 강자성 반도체층을 채널 영역에 이용한 MISFET의 구조를 도시하는 도면.

도 14는 본 발명의 제10 내지 제13의 실시 형태에 따른 MISFET의 디바이스 구조를 도시하는 도면.

도 15의 (a) 내지 도 15의 (c)는 본 발명의 제7 실시의 형태에 따른 트랜지스터의 동작 원리를 에너지 밴드도에 의해 도시하는 도면으로, 도 15의 (a)는 게이트 전압을 인가하지 않는 경우, 도 15의 (b)는 게이트 전압을 인가한 경우로서, 강자성 소스와 강자성 반도체층이 평행 자화인 경우, 도 15의 (c)는 게이트 전압을 인가한 경우로서, 강자성 소스와 강자성 반도체층이 반평행 자화인 경우의 에너지 밴드 구조를 도시하는 도면.

도 16의 (a) 내지 도 16의 (c)는 본 발명의 제9 실시의 형태에 따른 트랜지스터의 동작 원리를 에너지 밴드도에 의해 도시하는 도면으로, 도 16의 (a)는 게이트 전압을 인가하지 않는 경우, 도 16의 (b)는 게이트 전압을 인가한 경우로서, 강자성 소스와 강자성 반도체층이 평행 자화인 경우, 도 16의 (c)는 게이트 전압을 인가한 경우로서, 강자성 소스와 강자성 반도체층이 반평행 자화인 경우의 에너지 밴드 구조를 도시하는 도면.

도 17은 본 발명의 제14 실시의 형태에 따른 MISFET로서, 요크 구조를 이용한 게이트 전극과 워드선의 복합 구조를 도시하는 도면.

도 18은 본 발명의 제7 내지 제14의 실시 형태에 따른 MISFET를 이용한 불휘발성 메모리 셀의 구성예를 도시하는 도면으로서, 도 18의 (a)는 본 발명의 제15 실시의 형태에 따른 메모리 구성예를 도시하는 도면, 도 18의 (b)는 본 발명의 제16 실시의 형태에 따른 메모리 구성예를 도시하는 도면.

도 19는 강자성 반도체층의 전계 효과 자성 제어를 이용한 메모리 셀의 재기입 동작의 원리를 자화 곡선상에서 설명한 도면.

도 20은 강자성 반도체층의 초기 자화 특성을 이용한 메모리 셀의 재기입 동작의 원리를 자화 곡선상에서 설명한 도면.

도 21의 (a)는 본 발명의 제17 실시의 형태에 따른 메모리 구성예를 도시하는 도면, 도 21의 (b)는 본 발명의 제18 실시의 형태에 따른 메모리 구성예를 도시하는 도면.

실시에

본 발명의 제1 관점에 관한 트랜지스터는, 강자성 소스와 강자성 터널 장벽의 접합에 의한 스핀 의존 터널 효과를 이용한 새로운 트랜지스터이다. 보다 상세하게는, 절연성의 강자성 터널 장벽을 강자성 소스와 드레인에 끼워 넣은 터널 접합과, 이 강자성 터널 장벽에 대해 형성되고 강자성 터널 장벽에 전계를 인가할 수 있는 게이트 전극을 포함하여 구성되는 트랜지스터이다.

또, 「스핀」이라고 하는 용어는, 통상, 스핀 각운동량에 대해 이용되지만, 이하에서는 특정의 스핀 방향을 갖는 캐리어의 의미로 이용하는 경우도 있다. 또한, 강자성 터널 장벽의 자화의 방향은 에너지 밴드단에서의 스핀 밴드의 스핀 방향에 의해 정해지는 것으로 한다(예를 들면 전도대의 밴드단이 스핀 분열하고 있는 경우에는 강자성 터널 장벽의 에너지 밴드단에서의 스핀 밴드의 스핀 방향과 반대 방향이 자화의 방향이 된다).

강자성 터널 장벽의 밴드단에서는, 업 스핀 밴드와 다운 스핀 밴드가 스핀 분열하고 있기 때문에, 강자성 소스로부터 본 터널 장벽의 배리어 높이는 업 스핀과 다운 스핀에서 상이하다. 따라서, 강자성 터널 장벽의 터널 확률은 강자성 소스에서의 캐리어의 스핀 방향에 의존한다. 게이트 전압을 강자성 터널 장벽에 대해 인가하여 강자성 터널 장벽의 포텐셜 형상을 변

화시킴으로써, 터널 확률을 변화시켜 강자성 소스와 드레인 사이에 생기는 터널 전류를 제어한다. 이 때문에 터널 전류의 크기는 강자성 소스에서의 다수 스핀의 스핀 방향에 대한 강자성 터널 장벽의 에너지 밴드단에서의 스핀 밴드의 스핀 방향에 의존한다. 즉, 강자성 소스와 강자성 터널 장벽의 상대적인 자화의 방향에 의존한다.

강자성 소스에서의 다수 스핀의 스핀 방향과 강자성 터널 장벽의 에너지 밴드단에서의 스핀 밴드의 스핀 방향이 일치하는 경우를 평행 자화라 하고, 이들 스핀의 방향이 서로 반대 방향인 경우를 반평행 자화라 한다. 평행 자화의 경우에는, 강자성 소스의 다수 스핀으로부터 본 강자성 터널 장벽의 배리어 높이는 낮고, 게이트 전압에 의해 용이하게 드레인 전류를 얻을 수 있다. 이에 비해, 반평행 자화의 경우에는 강자성 소스의 다수 스핀으로부터 본 강자성 터널 장벽의 배리어 높이는 높고, 평행 자화의 경우와 동일한 바이어스를 인가해도 드레인 전류는 평행 자화의 경우에 비해 작아진다. 따라서, 상기 트랜지스터는 강자성 소스와 강자성 터널 장벽의 상대적인 자화의 방향에 따라 상호(전달) 컨덕턴스가 상이하다.

상기 트랜지스터는, 자장 등에 의해 강자성 소스와 강자성 터널 장벽의 상대적인 자화의 방향을 변화시킴으로써 정보를 기억하고, 트랜지스터의 전달 특성으로부터 트랜지스터 내에 기억된 정보를 전기적으로 읽어낼 수 있다. 따라서, 1개의 상기 트랜지스터만으로 1비트의 불휘발성의 메모리 셀을 구성할 수 있다.

상기 고찰에 기초하여, 이하에 본 발명의 실시 형태에 대해, 도면을 참조하여 설명한다. 우선, 본 발명의 제1 실시의 형태에 따른 트랜지스터에 대해 도면을 참조하여 설명한다.

도 1은 본 발명의 제1 실시의 형태에 따른 트랜지스터의 단면 구조예를 도시하는 도면이다. 도 1에 도시하는 바와 같이, 본 실시의 형태에 따른 트랜지스터(1)는 강자성 소스(3)와 강자성 터널 장벽(7)과 드레인(5)의 접합을 갖는 터널 접합 구조체와, 강자성 터널 장벽(7)에 대해 형성된 게이트 절연막(11)과 게이트 전극(15)을 갖고, 상기 강자성 터널 장벽(7)에 대해 전계를 인가할 수 있는 제어 전극 구조체를 포함해 구성되어, 전체적으로 트랜지스터(1)를 형성한다.

강자성 소스에는 Ni, Co, Fe, 퍼멀로이 등의 강자성 금속이나 GaMnAs나 자성 원소를 포함하는 반도체 등의 전기 전도성의 강자성 반도체가 이용된다. 강자성 터널 장벽에는 EuS 등의 절연성의 강자성 반도체나 가닛(garnet) 등의 강자성 절연체가 이용된다. 또한, 자성 원소를 포함하는 반도체로, 절연성을 나타내는 강자성 반도체를 강자성 터널 장벽에 이용해도 된다. 드레인에는 Al, Au, 비자성 실리콘사이드 등의 비자성 금속이나 도핑한 Si, GaAs 등의 전기 전도성의 비자성 반도체가 이용된다. 단, 강자성 반도체와 비자성 반도체를, 각각 강자성 소스와 드레인에 이용하는 경우에는 양자를 동일한 전도형으로 할 필요가 있다.

전도 캐리어는 강자성 소스에 강자성 금속 또는 n형 강자성 반도체를 이용했을 경우에는 전자로 되고, 강자성 터널 장벽은 전도대의 바닥이 스핀 분열하고 있을 필요가 있다. 또한, 강자성 소스로서 p형 강자성 반도체를 이용했을 경우에는, 전도 캐리어는 정공으로 되고, 강자성 터널 장벽에서의 가전자대의 정상에 스핀 분열하고 있을 필요가 있다.

도 2의 (a)는 도 1에 도시하는 트랜지스터의 강자성 소스와 드레인을, 각각 강자성 금속과 비자성 금속으로 구성했을 경우의 에너지 밴드 구조의 예를 도시하는 도면이다. 강자성 소스(3)와 드레인(5)에서의 실선과 강자성 터널 장벽(7)에서의 파선은, 페르미 에너지(E_f)를 나타낸다. 또한, 강자성 터널 장벽(7)의 전도대 바닥에 있는 근접한 2개의 실선(21, 25)은 각각 업 스핀 밴드와 다운 스핀 밴드의 밴드단을 나타낸다.

도면 중에 나타난 상향과 하향 화살표는 업 스핀과 다운 스핀을 나타낸다. 강자성 소스의 페르미 에너지(E_f) 상에 나타난 화살표는 다수 스핀의 방향을 나타내고, 소수 스핀의 표시는 생략하고 있다. 또한 마찬가지로, 상향과 하향의 화살표를 이용하여 강자성 터널 장벽(7)에서의 업 스핀 밴드단(21)과 다운 스핀 밴드단(25)을 나타낸다. 드레인(5)에서는, 페르미 에너지(E_f) 상에 나타난 상향 및 하향의 2개 나열된 화살표를 이용하여 비자성체인 것을 나타낸다(상기 각 영역에서의 상향과 하향의 화살표에 관해서는, 이하의 도면에서도 마찬가지로의 의미로 이용함).

Δ 는 강자성 터널 장벽(7)에서의 업 스핀 밴드(21)와 다운 스핀 밴드(25)의 스핀 분열폭을 나타낸다. 강자성 소스(3)에 대한 강자성 터널 장벽(7)의 배리어 높이는 업 스핀과 다운 스핀에서 상이한데, 낮은 쪽의 배리어 높이를 Φ 라 한다. 즉, 강자성 소스(3)의 페르미 에너지(E_f)와 강자성 터널 장벽(7)의 전도대에서의 가장 낮은 에너지를 갖는 스핀 밴드의 바닥의 에너지와의 차를 Φ 라 한다.

도 2의 (b)는 도 1에 도시하는 트랜지스터의 강자성 소스(3)와 드레인(5)을, 각각 n형 강자성 반도체 및 n형 비자성 반도체에 의해 구성했을 경우의 에너지 밴드 구조를 도시하는 도면이다. 강자성 소스(3a)와 드레인(5a)에서의 실선(E_c)은 전도대 바닥의 에너지를 나타낸다. 또한, 강자성 소스(3a), 드레인(5a) 및 강자성 터널 장벽(7a)에서의 파선은 페르미 에너지(E_f)를 나타낸다.

도 2의 (a)의 경우와 마찬가지로, Δ 는 강자성 터널 장벽에서의 업 스핀 밴드(21a)와 다운 스핀 밴드(25a)의 스핀 분열폭을 나타내고, 소스 전극(3a)의 전도대 바닥과 강자성 터널 장벽(7a)의 전도대에서의 가장 낮은 에너지를 갖는 스핀 밴드 바닥의 에너지의 차를 Φ 라 한다. 도 2의 (b)에서는, 비축퇴의 강자성 반도체와 비자성 반도체를 이용했을 경우를 나타내고 있지만, 축퇴한 강자성 반도체와 비자성 반도체를 이용해 각각 강자성 소스(3a)와 드레인(5a)을 구성할 수도 있다.

도 2의 (c)는 도 1에 도시하는 트랜지스터의 강자성 소스(3)와 드레인(5)을, 각각, p형 강자성 반도체와 p형 비자성 반도체로 구성했을 경우의 에너지 밴드 구조를 도시하는 도면이다. 강자성 소스(3b)와 드레인(5b)에서의 실선(E_v)은, 가전자대 정상에 에너지를 나타낸다. 또한, 강자성 소스(3b), 드레인(5b)과 강자성 터널 장벽(7b)에서의 파선은 페르미 에너지를 나타낸다. 강자성 터널 장벽(7b)의 가전자대 정상에 존재하는 근접한 2개의 실선은, 업 스핀 밴드(21b)와 다운 스핀 밴드(25b)의 밴드단을 나타낸다. Δ 는 강자성 터널 장벽(7b)에서의 업 스핀 밴드(25b)와 다운 스핀 밴드(21b)의 스핀 분열폭을 나타내고, 강자성 소스(5b)의 가전자대 정상과 강자성 터널 장벽(7b)의 가전자대에서의 가장 높은 에너지를 갖는 스핀 밴드 정상에 에너지의 차를 Φ 라 한다. 도 2의 (c)에 있어서는, 비축퇴의 강자성 반도체와 비자성 반도체를 이용했을 경우를 나타내고 있지만, 축퇴한 강자성 반도체와 비자성 반도체를 이용해 각각 강자성 소스(3b)와 드레인(5b)을 구성할 수도 있다.

도 1에 있어서, 강자성 소스(3)에서의 다수 스핀의 방향과 강자성 터널 장벽(7)의 밴드단이 되는 스핀 밴드의 스핀 방향이 일치하는 경우가 평행 자화로 된다. 또한, 반평행 자화는 이들 스핀의 방향이 서로 반대 방향인 경우로 된다. 강자성 소스의 다수 스핀에 대한 강자성 터널 장벽의 배리어 두께는, 평행 자화의 경우에는 Φ , 반평행 자화의 경우에는 $\Phi + \Delta$ 로 된다. 따라서, 강자성 소스(3)에 대한 터널 장벽(7)의 상대적인 자화의 방향을, 예를 들면 자장을 인가함으로써 평행 자화로부터 반평행 자화로 변화시킴으로써, 강자성 소스의 다수 스핀이 느끼는 배리어 높이를 Φ 에서 $\Phi + \Delta$ 로 증가시킬 수 있다.

게이트 절연막(11)의 두께는, 게이트 전극에 인가한 전압에 의해 강자성 터널 장벽의 포텐셜 형상을 변화시킬 수 있을 정도의 얇기로서, 게이트 전압 인가시에 게이트 전극(15)과 강자성 소스(3) 또는 드레인(5) 사이에 리크 전류(터널 전류 등)가 거의 생기지 않는 정도의 두께를 갖고 있는 것이 바람직하다.

강자성 터널 장벽의 막두께는, 강자성체 소스와 강자성체 터널 장벽이 평행 자화를 갖는 경우에, 강자성 소스(3)와 드레인(5)간의 바이어스(V_{DS})만 인가시에는, 소스로부터 드레인으로 다이렉트 터널이나 Fowler-Nordheim 터널링(이하, 「FN 터널」이라 함) 등의 터널 효과에 의한 전류가 거의 생기지 않는 정도의 두께로 설정해 두어, V_{DS} 의 인가에 의해 생기는 강자성 터널 장벽(7)의 밴드단에서의 포텐셜 형상을 게이트 전극(15)과 강자성 소스 전극(3) 사이의 바이어스(V_{GS})의 인가에 의해 변형시킴으로써, 터널 전류가 생기도록 한다.

이하, 도 2의 (a)에 나타난 강자성 금속을 강자성 소스에 이용하고 전도 캐리어가 전자인 경우를 예로, 도 3을 참조해 본 실시의 형태에 따른 트랜지스터(1)의 동작을 상세하게 설명한다. 강자성 소스(3)와 강자성 터널 장벽(7)이 평행 자화인 경우에는, 강자성 소스(3)의 다수 스핀과 평행한 스핀의 스핀 밴드가 강자성 터널 장벽(7)의 밴드단이 되므로, 강자성 소스의 다수 스핀으로부터 본 배리어 높이는 Φ 로 된다. 소스(3), 드레인(5) 사이에만 바이어스(V_{DS})를 인가하면, 강자성 터널 장벽의 포텐셜 형상은, 도 2의 (a)에 나타내는 직사각형상에서 도 3의 (a)에 나타내는 것 같은 형상 또는 이에 유사한 형상으로 변화한다. 이때, V_{DS} 는 FN 터널에 의한 전류가 거의 흐르지 않는 정도의 크기이다. 즉, V_{DS} 의 인가에 의해 강자성 소스(3)의 페르미 에너지가 강자성 터널 장벽(7)의 밴드단을 횡단하고 있어도, 강자성 소스/강자성 터널 장벽의 계면으로부터 강자성 소스의 페르미 에너지와 강자성 터널 장벽의 밴드단이 교차하기까지의 거리(d)는 FN 터널이 생기지 않을 정도로 길다.

게이트 전극에 바이어스(V_{GS})(>0)를 인가하면, 게이트 전극으로부터 강자성 소스로 향하는 전기력선에 의해, 강자성 소스/강자성 터널 장벽의 계면 근방의 전계가 강해져, 도 3의 (b)에 나타내는 것 같은 포텐셜 형상이 형성된다. 따라서, 포텐셜 장벽의 폭이, 터널이 거의 생기지 않는 d에서 터널이 가능한 d'로 감소하면, 강자성 소스(3)의 다수 스핀은 강자성 터널 장벽(7)을 통과할 수 있다. 따라서, 강자성 소스(3)와 드레인(5) 사이에 드레인 전류가 생긴다. 한편, 강자성 소스(3)의 소

수 스핀에 대한 배리어 높이는 Φ 보다 Δ 만큼 더 높고, 또한, 소수 스핀의 캐리어 밀도가 작기 때문에, 소수 스핀에 의한 드레인 전류는 작다. 따라서, 드레인 전류는 강자성 소스 전극(3)의 다수 스핀과 소수 스핀에 의한 터널 전류의 합이 되지만, 충분한 크기의 Δ 라면, 다수 스핀에 의한 터널 전류가 지배적이 된다.

V_{GS} 에 의한 터널 장벽의 폭의 감소에 대해, 터널 확률은 크게 증가하기 때문에, 미소한 V_{GS} 의 변화에 대해 I_D 는 크게 변화한다. 따라서, 높은 상호(전달) 컨덕턴스를 얻을 수 있다.

도 3의 (c)에 나타내는 바와 같이, 강자성 소스와 강자성 터널 장벽이 반평행 자화를 갖는 경우에는, 강자성 소스의 다수 스핀에 대한 배리어 높이는 $\Phi + \Delta$ 가 되고, 강자성 소스의 소수 스핀에 대한 배리어 높이가 Φ 로 된다. 따라서, 반평행 자화의 경우에는, 다수 스핀의 터널 확률은 도 3의 (b)의 경우와 동일한 바이어스(V_{DS} 와 V_{GS})를 인가해도 낮아, 드레인 전류는 거의 생기지 않는다. 강자성 소스(3)의 소수 스핀에 대한 강자성 터널 장벽(7)의 배리어 높이는 Φ 이기 때문에, 소수 스핀에 대해 터널 확률은 크지만, 소수 스핀의 캐리어 밀도는 작으므로, 소수 스핀의 터널에 의해 생기는 드레인 전류는 작다. 따라서, 반평행 자화의 경우에도 드레인 전류는 강자성 소스의 다수 스핀과 소수 스핀에 의한 전류의 합이 되지만, 그 크기는 평행 자화의 경우에 비해 작다. 따라서, 반평행 자화의 경우의 상호(전달) 컨덕턴스는 작다.

도 4를 참조하여, 도 1 내지 도 3에 나타내는 트랜지스터의 전류-전압 특성에 대해 설명한다. 도 4는 V_{GS} 를 파라미터로 한 트랜지스터(1)의 드레인 전류(I_D)의 V_{DS} 의존성을 나타내는 개념도이다. 강자성 소스(3)와 강자성 터널 장벽(7)이 평행 자화인 경우에, 정해진 어떤 드레인 전류를 일으키는 V_{GS} 를 V_{\uparrow} 라 한다. 평행 자화의 경우에, 게이트 전극에 V_{\uparrow} 이상의 $V_{GS} = V_1 (> V_{\uparrow})$ 인가하면, 전술한 바와 같이 강자성 소스에서의 다수 스핀에 대한 터널 장벽의 배리어 높이가 낮아지고, 및 게이트 전압에 의해 실효적인 터널 장벽의 폭이 좁아지는 것으로 인해, 강자성 소스(3)의 다수 스핀의 터널에 의한 드레인 전류($I_{D\uparrow}$)(35)가 생긴다. V_{GS} 의 크기에 따라, 실효적인 터널 장벽의 폭을 제어할 수 있기 때문에, 드레인 전류(35)는 V_{GS} 에 의해 제어할 수 있다.

또한, V_{GS} 를 인가한 경우에서의 강자성 소스/강자성 터널 장벽 계면 근방의 포텐셜 형상의 변화가, 주로 게이트 전압에 의한 전계 변화에 기인하는 경우에는, 터널 확률은 거의 V_{DS} 에 의존하지 않기 때문에, 도 4에 나타내는 바와 같이 드레인 전류는 V_{DS} 에 대해 포화 특성이 얻어진다.

한편, 강자성 소스와 강자성 터널 장벽이 반평행 자화를 갖는 경우에는, 상기와 같이 강자성 소스의 다수 스핀에 대한 터널 장벽의 배리어 높이는 높고($\Phi + \Delta$), 터널 확률은 낮다. 소수 스핀에 대해서는 배리어 높이는 낮고(Φ) 터널 확률은 높지만, 캐리어 밀도가 낮다. 따라서, 반평행 자화의 경우에는, $V_{GS} = V_1 > V_{\uparrow}$ 의 경우라도, 평행 자화의 경우에 비해 작은 드레인 전류($I_{D\downarrow}$)(33)만을 발생한다.

따라서, 상기 트랜지스터는 드레인 전류를 게이트 전압으로 제어할 수 있는 트랜지스터로서의 성질을 구비할 뿐만 아니라, 강자성 소스(3)와 강자성 터널 장벽(7)의 상대적인 자화가 평행 자화도 갖는 경우에는, 상호 컨덕턴스가 크고, 반평행 자화의 경우에는, 상호 컨덕턴스가 작다고 하는 특징적인 성질을 갖는다.

강자성체에서는, 외부로부터 보자력 이상의 자장이 인가되지 않는 한, 자화의 방향을 안정적으로 유지할 수 있다. 이 때문에, 상기 트랜지스터는, 강자성 소스(3)와 강자성 터널 장벽(7)의 상대적인 자화를 평행 자화 또는 반평행 자화로 함으로써 2치의 정보를 불휘발로 기억할 수 있다. 예를 들면, 강자성 소스(3)와 강자성 터널 장벽(7)에 보자력의 차를 부여하거나, 또는, 한쪽의 자화의 방향을 고정해 두고, 신호선에 의한 자장 등에 의해 강자성 소스(3)와 강자성 터널 장벽(7) 사이를 평행 자화로 하면 "0"의 정보를 기억시킬 수 있고, 반평행 자화로 하면 "1"의 정보를 기억시킬 수 있다. 상기 트랜지스터는, 전술한 바와 같이 드레인 전류의 크기 또는 상호(전달) 컨덕턴스의 크기로부터, 강자성 소스(3)와 강자성 터널 장벽(7) 사이의 상대적인 자화 상태를 전기적으로 검출할 수 있다. 따라서, 1개의 상기 트랜지스터만으로 1비트의 불휘발성 메모리 셀을 구성할 수 있다.

도 5는 본 발명의 제2 실시의 형태에 따른 트랜지스터의 단면 구조예를 도시하는 도면이다. 도 5에 도시하는 바와 같이, 본 실시의 형태에 따른 트랜지스터(51)는 강자성체로 이루어지는 소스(강자성 소스)(53)와 강자성체로 이루어지는 드레인(강자성 드레인)(55)에 의해 강자성 터널 장벽(57)을 끼워 넣은 터널 접합 구조체와, 강자성 터널 장벽(57)에 대해 형성된 게이트 절연막(61)과 게이트 전극(65)을 갖고, 상기 강자성 터널 장벽(57)에 대해 전계를 인가할 수 있는 제어 전극 구조체를 포함해 구성되어, 전체적으로 트랜지스터(51)를 형성한다.

강자성 소스(53)와 강자성 드레인(55)에는, 강자성 금속, 전기 전도성의 강자성 반도체 등의 전기 전도성 강자성체, 강자성 터널 장벽(57)에는, 절연성의 강자성 반도체 등의 절연성 강자성체를 이용한다. 단, 강자성 반도체를 강자성 소스와 강자성 드레인에 이용하는 경우에는 양자를 동일한 전도형으로 할 필요가 있다. 구체적인 재료로서는, 상기한 제1 실시의 형태와 마찬가지로의 것을 생각할 수 있다.

또한, 제1 실시의 형태와 마찬가지로, 전도 캐리어는 강자성 소스(53)에 강자성 금속 또는 n형 강자성 반도체를 이용했을 경우에는 전자가 되고, 강자성 터널 장벽(57)은 전도대의 바닥이 스핀 분열하고 있을 필요가 있다. 또한, 강자성 소스(53)로서 p형 강자성 반도체를 이용했을 경우에는, 전도 캐리어는 정공이 되고, 강자성 터널 장벽(57)에서의 가전자대의 정상이 스핀 분열하고 있을 필요가 있다.

제2 실시의 형태에서의 밴드 구조는, 도 2에서의 밴드 구조의 드레인을 강자성체로 하면 된다. 또한, 제2 실시의 형태에 있어서도 제1 실시의 형태와 마찬가지로 Δ 와 Φ 를 결정할 수 있다. 강자성 소스(53)에서의 다수 스핀의 방향과, 강자성 터널 장벽(57)의 에너지 밴드단에서의 스핀 밴드의 스핀 방향이 일치하는 경우를 평행 자화라 하고, 이들 스핀의 방향이 서로 반대 방향인 경우를 반평행 자화라 한다. 강자성 드레인(55)의 자화는, 핀층과 일치시켜도 프리층과 일치시켜도 된다(강자성 소스 또는 강자성 터널 장벽에 일치시킨다).

특히, 제2 실시의 형태에 따른 트랜지스터에서는, 강자성 소스(53)와 강자성 드레인(55)을 같은 재료로 구성할 수 있기 때문에, 트랜지스터의 제작 프로세스를 크게 간략화할 수 있다고 하는 특징을 갖는다.

다음으로, 본 발명의 제3 실시의 형태에 따른 터널 트랜지스터에 대해 설명한다. 본 실시의 형태에 따른 트랜지스터는, 제1 실시의 형태에 따른 트랜지스터에서의 강자성 소스를 하프 메탈 강자성체(이하, 「하프 메탈」이라 약기함)로 치환한 것이다. 하프 메탈에서는, 한쪽의 스핀에 대해서는 금속적인 스핀 밴드 구조를 취하지만, 다른 한쪽의 스핀에 대해서는 절연체(반도체)적인 스핀 밴드 구조를 갖는다. 따라서, 한쪽의 스핀만이 전도 캐리어로 된다. 하프 메탈에서의 전도 캐리어의 스핀 방향(금속적 스핀 밴드의 캐리어의 스핀 방향)과, 강자성 터널 장벽의 밴드단이 되는 스핀 밴드의 스핀 방향이 일치하는 경우를 평행 자화로 하고, 이들 스핀의 방향이 서로 반대 방향인 경우를 반평행 자화로 한다. 평행 자화의 경우에는, 도 3의 (b)의 경우와 마찬가지로, 강자성 소스의 금속적인 스핀 밴드에 속하는 스핀은 배리어 높이(Φ)의 터널 장벽을 통과하여 드레인 전류를 형성한다. 한편, 반평행 자화의 경우에는, 배리어 높이가 Φ 가 되는 스핀을 갖는 전도 캐리어는, 강자성 소스가 하프 메탈이기 때문에 존재하지 않는다(전술한 바와 같이 통상의 강자성 금속을 이용한 강자성 소스에서는 이 전도 캐리어는 소수 스핀이 된다). 하프 메탈의 절연체적 스핀 밴드의 밴드 갭이 충분히 넓고, 또한, 하프 메탈의 막두께가 충분히 두꺼우면, 외부의 비자성 콘택트로부터 강자성 터널 장벽을 터널링할 수 있는 스핀을 갖는 캐리어의 주입은 거의 생기지 않는다. 하프 메탈의 금속적 스핀 밴드에 속하는 스핀에 대해 강자성 터널 장벽의 배리어 높이는 $\Phi + \Delta$ 가 되기 때문에, 이 스핀에 대한 터널 확률은 낮아, 충분한 크기의 Δ 라면, 이 전도 캐리어에 의한 드레인 전류를 무시할 수 있을 만큼 작게 할 수 있다. 따라서, 강자성 소스에 하프 메탈을 이용하면, 평행 자화와 반평행 자화에서의 드레인 전류비를 비약적으로 크게 할 수 있다. 또한, 제2 실시의 형태에 따른 트랜지스터와 같이, 강자성 소스와 강자성 드레인의 양쪽 모두를 하프 메탈로 할 수도 있다. 하프 메탈로서는, CrO_2 , Fe_3O_4 , 휘슬러 알로이 등을 이용할 수 있다. 또한, 섬아연광 구조를 취하는 MnAs , CrAs , CrSb 나, 하프 메탈로 되는 전자 구조를 갖는 강자성 반도체를 이용할 수도 있다.

다음으로, 본 발명의 제4 실시의 형태에 따른 트랜지스터에 대해 도 6을 참조하여 설명한다. 도 6은 본 발명의 제4 실시의 형태에 따른 트랜지스터의 구조 단면도이다. 제1 내지 제3 실시의 형태에 따른 트랜지스터는, 플래너형 트랜지스터였지만, 제4 실시의 형태에 따른 트랜지스터는 제1 내지 제3 실시의 형태에 따른 트랜지스터를 종형 트랜지스터로 구성한 것이다.

도 6에 도시하는 바와 같이, 본 실시의 형태에 따른 트랜지스터(71)는 기판(70)과, 기판(70)상에 형성된 강자성 소스(73)와, 강자성 터널 장벽(77)과, 강자성 또는 비자성의 드레인(75)의 적층 구조체이며, 적층 구조체의 각각의 구성 요소의 측면의 일부 또는 전부가 게이트 절연막(81)에 의해 덮여 있고, 또한, 이 게이트 절연막(81)과, 게이트 절연막(81)을 통해 강자성 터널 장벽(77)에 대해 전계를 인가할 수 있는 게이트 전극(85)을 갖고 있다.

이 구조는, 기판(70) 표면의 법선 방향으로 적층한 강자성 소스(73)와, 강자성 터널 장벽(77)과, 강자성 또는 비자성의 드레인(75)의 적층 구조체의 구성을 갖고 있기 때문에, 강자성 소스(73)와, 강자성 터널 장벽(77)과, 강자성 또는 비자성의 드레인(75)의 연속한 접합을, 막두께 제어성이 좋은 박막 성장법을 이용해 형성할 수 있다. 따라서, 높은 정밀도로 강자성 터널 장벽(77)을 형성할 수 있다.

이상의 제1 내지 제4 실시의 형태에 따른 트랜지스터에 있어서, 강자성 소스와 강자성 터널 장벽의 사이에 비자성체를 끼워, 강자성 소스와 강자성 터널 장벽의 자기적인 커플링을 막는 것도 가능하다.

다음으로, 상기 제1 내지 제4 중 어느 하나의 실시 형태에 따른 트랜지스터 1개를 기억 소자로서 이용한 기억 회로(불휘발성 메모리)와 그 동작에 대해 도면을 참조하면서 설명한다.

본 발명의 제1 내지 제4의 각 실시의 형태에 따른 트랜지스터는, MOS 트랜지스터 등의 전계 효과 트랜지스터와 마찬가지로 게이트 전압에 의해 드레인 전류를 제어할 수 있는 트랜지스터입과 함께, 트랜지스터 내에 불휘발로 자화 정보를 유지할 수 있는 강자성체와 이 강자성체의 자화 상태에 의존하는 전달 특성(상호 컨덕턴스)도 겸비한다. 따라서, 트랜지스터 단체만으로 1비트의 메모리 셀을 구성할 수 있다. 또한, 트랜지스터의 출력 전압은, 주변 회로(부하와 전원)에 의해 임의로 설계하는 것도 가능하다.

도 7의 (a), (b)는 본 발명의 제5 및 제6 실시의 형태에 따른 기억 회로로서, 본 발명의 제1 내지 제4의 각 실시 형태에 따른 트랜지스터 중 어느 하나를 이용한 기억 회로의 구성예를 도시하는 도면이다. 도 7의 (a)에 나타내는 바와 같이, 본 실시의 형태에 따른 기억 회로는 소스(S)를 접지한 트랜지스터(91)를 다수 매트릭스 형상으로 배치하고, 트랜지스터(91)의 드레인(D)과 게이트(G)를, 각각, 판독용 비트선(BL)과 판독용 워드선(WL)에 접속한다. 또한, 재기입용 워드선과 재기입용 비트선을 상기 트랜지스터 상에서 다른 배선과 전기적으로 절연한 상태로 교차하도록 배치한다. 이 재기입용 워드선과 재기입용 비트선으로서, 상기한 판독용 비트선과 판독용 워드선을 병용하여도 된다. 도 7의 (a), (b)는 이 경우의 셀 구성을 도시하는 도면이다. 이 경우에는, 트랜지스터 단체로 메모리 셀을 구성할 수 있을 뿐만 아니라, 배선에 관해서도 매우 단순한 구성으로 할 수 있다.

다음으로, 본 발명의 제5 실시의 형태에 대해 도면을 참조하면서 설명을 행한다. 종래의 구성에 의한 MRAM에서는, 2소자 4배선(도 8 참조)의 구성이며, 또한 MTJ 및 재기입용 워드선의 존재에 의해, 소스를 서로 이웃한 셀에서 공유하여 셀 면적을 작게 하는 등의 고안이 곤란하였지만, 본 실시 형태에서는, 도 7의 (a)에 나타내는 바와 같이, 가장 단순한 1소자 3배선(또는 1소자 2배선)에 의해 메모리 셀을 구성할 수 있기 때문에, 미세화에 적절한 레이아웃을 용이하게 구성할 수 있다. 예를 들면, 소스를 공통으로 한 구조를 이용하면, 메모리 셀의 사이즈를 한층 더 작게 할 수 있다(후술).

이하, 재기입/판독 비트선 및 재기입/판독용 워드선을 각각 공유하는 경우로서, 단순히 각각, 비트선(BL), 워드선(WL)이라 부른다. 정보의 재기입은 재기입시의 형태에 따른 트랜지스터(91)에서의 강자성 소스 또는 강자성 터널 장벽의 보자력을 바꾸어 두거나, 한쪽의 자화 방향을 고정해 두고 한쪽의 자화를 반전시킴으로써, 강자성 소스와 강자성 터널 장벽 사이의 상대적인 자화를 평행 자화 또는 반평행 자화로 하여 행한다. 이 평행 자화 또는 반평행 자화의 자화 상태를 "0" 또는 "1"의 2치의 정보에 대응시킨다. 구체적으로는, 선택 셀상에서 교차하는 비트선(BL)과 워드선(WL)에 전류를 흘려, 각각의 전류에 의해 유기되는 자계의 합성 자계에 의해 선택된 메모리 셀의 보자력이 작은 강자성체 또는 자화 방향의 고정되어 있지 않은 강자성체의 자화를 반전시켜 정보를 기억한다.

이때, 선택한 메모리 셀과 동일한 비트선(BL) 또는 워드선(WL)에 접속하고 있는 비선택 메모리 셀이 자화 반전하지 않게 하기 위해, 한쪽의 배선만으로서의 자계에서는 자화 반전이 생기지 않도록 각각의 배선에 흘리는 전류값을 설정해 둔다.

정보의 판독은, 선택 셀에 접속된 워드선(WL)에 전압을 인가하여 본 실시의 형태에 따른 트랜지스터를 도통시키고 나서, 비트선(BL)에 전압을 인가해, 드레인 전류의 크기를 검출한다. 본 실시의 형태에 따른 트랜지스터에서는, 강자성 소스와 강자성 터널 장벽의 상대적인 자화 상태가 평행 자화인 경우에는 상호 컨덕턴스가 크고, 큰 드레인 전류를 일으키지만, 반평행 자화인 경우에는 상호 컨덕턴스가 작아 드레인 전류도 작다. 따라서, 드레인 전류의 크기에 기초하여, 강자성 소스 전극과 강자성 터널 장벽의 상대적인 자화 상태를 검출할 수 있다.

통상의 MTJ에 있어서, 평행 자화에서의 전류는 양 강자성 전극에서의 다수 스핀의 상태 밀도간의 터널과 소수 스핀의 상태 밀도간의 터널에 의해 생기고, 반평행 자화의 경우에는 소수 스핀의 상태 밀도로부터 다수 스핀의 상태 밀도로의 터널과 다수 스핀의 상태 밀도로부터 소수 스핀의 상태 밀도로의 터널에 의해 생긴다. 따라서, 강자성 전극의 스핀 분극률이 클수록 평행 자화와 반평행 자화 각각의 경우에서의 전류의 비가 커진다. 그러나, 평행 자화의 경우에 생기는 전류에 소수 스핀에 의한 전류 성분이 포함되므로, 평행 자화와 반평행 자화의 각각의 경우에서의 전류의 비는 용이하게는 크게 할 수 없다.

한편, 본 실시의 형태에 따른 트랜지스터에서는, 강자성 터널 장벽의 밴드단에서의 스핀 분열에 의해, 평행 자화를 갖는 경우에서의 드레인 전류는 강자성 소스의 다수 스핀의 터널만에 의해 생기고, 반평행 자화의 경우에서의 드레인 전류는 강자

성 소스의 소수 스핀의 터널만에 의해 생기도록 할 수 있다. 또한, 강자성 터널 장벽은 큰 스핀 선택성을 갖는다. 따라서, 본 실시의 형태에 따른 트랜지스터에서는, 평행 자화와 반평행 자화의 각각의 경우에서의 전류의 비(드레인 전류비)는, MTJ의 경우에서의 전류비에 비해 크게 할 수 있다. 따라서, 본 실시의 형태에 따른 트랜지스터를 이용하면, 상기 회로에 있어서 용이하게 자화 상태를 검출할 수 있다.

또한, MTJ에서는, TMR비는 바이어스 전압과 함께 급격하게 감소하기 때문에, 회로에 필요한 바이어스 하에서는 TMR비가 크게 감소한다고 하는 문제가 있었지만, 본 실시의 형태에 따른 트랜지스터를 이용하면 이러한 문제는 생기지 않는다. 본 실시의 형태에 따른 트랜지스터에서는, FN 터널에 의한 스핀의 방향에 의존한 터널 효과를 이용하고 있기 때문에, FN 터널을 일으키게 하기 위해 필요한 바이어스를, 터널 장벽의 배리어 높이나 막두께 등에 의해 조절할 수 있다. 따라서, 회로에 필요한 바이어스 하에서 큰 드레인 전류비를 실현할 수 있도록 설계 가능하다.

또한, 강자성 터널 장벽을 강자성 소스와 강자성 또는 비자성의 드레인에 끼워 넣은 터널 구조(제1 내지 제4 실시의 형태에서의 트랜지스터의 게이트 절연체와 게이트 전극이 없는 2단자 디바이스)는, 높은 TMR비가 출현하는 바이어스 전압을 최적화할 수 있는 2단자 자기 저항 소자로서도 이용할 수 있다.

다음으로, 본 발명의 제6 실시의 형태에 대해 도면을 참조하면서 설명을 행한다. 도 7의 (b)는 도 7의 (a)에 나타내는 기억 회로의 비트선(BL)단에 출력 단자(V_O)와 출력 단자(V_O)로부터 분기하여 부하를 통해 전원(V_{DD})에 접속한 기억 회로이다. 도 7의 (c)는 도 7의 (b)에 나타낸 기억 회로의 출력 특성을 도시하는 도면이다. 여기에서는, 부하로서 디프레션 MOS 트랜지스터에 의한 능동 부하를 이용하고 있지만, 순저항을 이용해도 된다. 도 7의 (c)에 나타내는 바와 같이, 정보의 판독시에는 트랜지스터의 게이트 전극에 V_{GS} 를 인가하고, 비트선(BL)에 부하를 통해 전원(V_{DD})을 인가하면, 부하에 의한 동작점은 강자성 소스/강자성 터널 장벽간의 자화 상태에 따라 도 7의 (c) 중의 부하 곡선상을 움직인다(도면 중의 P11과 P12). 따라서, 평행 자화와 반평행 자화의 경우의 출력 신호(V_O)는, 각각 도면 중의 $V_{O\uparrow}$ 와 $V_{O\downarrow}$ 로 된다. 각각의 출력 신호의 절대치 및 비($V_{O\uparrow}/V_{O\downarrow}$)는, 부하, V_{DD} 등의 주변 회로에 의해 적정화할 수 있다. 예를 들면, 부하 곡선을 최적화함으로써, 드레인 전류비($I_{D\uparrow}/I_{D\downarrow}$)가 작은 경우에도 큰 출력 신호비를 얻을 수 있다. 또한, $I_{D\uparrow}$ 와 $I_{D\downarrow}$ 의 값이 메모리 셀에 따라 불규칙하게 분포하고 있어도, 능동 부하의 포화 전류가 $I_{D\downarrow}$ 보다 크고 $I_{D\uparrow}$ 보다 작으면, 출력 전압은 거의 변동하지 않는다. 또한, 정보의 판독에 센스 앰프를 이용하지 않기 때문에, 고속의 판독이 가능해진다. 따라서, 본 실시의 형태에 따른 기억 회로에서는, 원하는 크기의 출력 신호를 용이하게 얻을 수 있어, 더욱 고속의 판독이 가능하게 된다고 하는 이점을 갖는다.

또한, 제1 내지 제3 실시의 형태에 따른 2개의 트랜지스터의 소스를 1개의 소스로 공통으로 하여 고밀도로 집적화가 가능한 메모리 셀 구조를 형성하는 것도 가능하다. 도 9는 공통 소스 구조를 갖는 메모리 셀의 단면 구성예를 도시하는 도면이다. 도 9에 도시하는 메모리 셀 구조는, 서로 인접하는 2개의 상기 트랜지스터 중 제1 트랜지스터(Tr_1)와 제2 트랜지스터(Tr_2)와, 제1 트랜지스터(Tr_1)의 게이트 전극(G_1)과 제2 트랜지스터(Tr_2)의 게이트 전극(G_2)을 공통 접속하는 워드 배선(WL)과, 제1 트랜지스터(Tr_1)의 제1 드레인(D_1)과 접속하는 제1 비트선(BL1)과, 제2 트랜지스터의 제2 드레인(D_2)과 접속하는 제2 비트선(BL2)과, 제1 및 제2 트랜지스터(Tr_1, Tr_2)에 공통의 강자성 소스(S)와, 이를 접지(GND)하는 배선을 갖는다. 상기 구조의 메모리 셀을 매트릭스 형상으로 배치하면, 한층 더 고밀도 집적화가 가능해진다.

도 10은 제4 실시의 형태(도 6)에 나타내는 트랜지스터를 복수 이용한 메모리 셀 구조의 단면 구조예이다. 기판 또는 기판상에 형성된 콘택트층과 매트릭스 형상으로 배치된 상기 트랜지스터의 각각의 강자성 소스(S)가 공통으로 접속함과 함께 접지(GND)하며, 행방향으로 나열되는 복수의 트랜지스터에서는, 각각의 트랜지스터가 갖는 드레인(D)을 공통으로 접속하는 비트선에 의해 접속되고 있고, 열방향으로 나열되는 복수의 트랜지스터에서는, 각각의 트랜지스터가 갖는 게이트 전극(G)을 공통으로 접속하는 워드선에 의해 접속되고 있다. 상기 구조에 의하면, 집적 밀도를 한층 높게 할 수 있다.

이상, 강자성 터널 장벽과, 강자성 금속, 강자성 반도체, 하프 메탈을 강자성 소스 또는 강자성 소스 및 강자성 드레인에 이용한 트랜지스터에 대해 나타냈지만, 강자성 터널 장벽과, 비자성 전기 전도체로 이루어지는 소스와, 강자성 금속, 강자성 반도체, 하프 메탈을 강자성 드레인에 이용하여 트랜지스터를 구성하여도 마찬가지로의 효과를 기대할 수 있다.

단, 전술한 비자성 소스와, 강자성 터널 장벽과, 강자성 드레인으로 구성되는 트랜지스터의 경우에서는, 평행 자화와 반평행 자화에서의 각각의 전류의 비는, 소스·드레인 간의 바이어스에 의해 감소하게 되는 것이 예상된다.

본 발명의 제2 관점에 따른 트랜지스터와 그 불휘발성 메모리로서의 응용에 대해 설명한다. 이 트랜지스터는 채널 영역에 강자성 반도체를 이용한, 금속-절연체-반도체 전계 효과 트랜지스터(MISFET)이다. 소스와 드레인은 채널 영역에 이용하는

강자성 반도체층에 접합하는 터널 장벽과 이것에 접합하는 전극을 포함해 구성되고, 소스와 드레인 중 적어도 한쪽에 강자성체를 포함하는 것을 특징으로 한다. 이하, 강자성체를 포함하여 구성되는 소스 및 드레인을, 각각 강자성 소스 및 강자성 드레인이라 하고, 비자성체만으로 구성되는 소스 및 드레인을 각각 비자성 소스 및 비자성 드레인이라 부르기로 한다. 강자성 소스 및 강자성 드레인은, 비자성체로 이루어지는 터널 장벽(비자성 터널 장벽)과 강자성체로 이루어지는 전극(강자성 전극)을 포함해 구성된다. 또한, 강자성체로 이루어지는 터널 장벽(강자성 터널 장벽)과 비자성체로 이루어지는 전극(비자성 전극)을 포함해 구성할 수도 있다. 이들 MISFET는, 강자성 소스와 강자성 드레인의 구조에 의해 본 발명의 제7 내지 제9 실시의 형태로 대별할 수 있다(하기 (1) 내지 (3)).

(1) 강자성 전극/비자성 터널 장벽 구조

도 11의 (a)는 본 발명의 제7 실시의 형태에 따른 MISFET의 구조를 도시하는 도면이다. 도 11의 (a)에 도시하는 바와 같이, 제7 실시의 형태에 따른 MISFET에서는, 게이트 전극(215)과, 게이트 절연막(211)과, 강자성 반도체층(207)을 갖는 MIS 구조(이 적층 구조에는 강자성 반도체가 이용되고 있는데, 금속-절연체-반도체의 경우와 마찬가지로, MIS 구조라 부르기로 함)와, 강자성 반도체층에 접합하는 비자성 터널 장벽(203b)과 이것에 접합하는 강자성 전극(203a)으로 이루어지는 강자성 소스(203)와, 강자성 반도체층에 접합하는 비자성 터널 장벽(205b)과 이것에 접합하는 비자성 전극(205a)으로 이루어지는 비자성 드레인(205)으로 구성된다. 도 11의 (a)에서는 강자성 소스와 비자성 드레인의 조합을 도시하였지만, 드레인을 비자성 터널 장벽과 강자성 금속으로 이루어지는 강자성 드레인으로 하고, 소스를 비자성 터널 장벽과 비자성 전극으로 이루어지는 비자성 소스로 하여도 된다. 또한, 소스와 드레인이 각각 강자성 소스와 강자성 드레인이라도 된다.

채널 영역을 형성하는 강자성 반도체층(207)은, 모재가 되는 반도체에 자성 원소를 고농도로 포함한 강자성 반도체로 구성되고, 미도시의 반도체 기판 상(또는 반도체층상)에 성장하거나, 또는, 열확산이나 이온 주입 등에 의해 반도체 내에 자성 원자를 도입함으로써 형성할 수 있다. 이 강자성 반도체층(207)은, 축퇴하는 정도로 자성 원소를 도핑하고 있어도 되고, 혹은 축퇴하지 않는 정도로 자성 원소를 도핑하여도 된다. 강자성 반도체층(207)의 구체적 재료로서 Si나 Ge 등의 반도체에 자성 원소를 고농도로 도핑한 강자성 반도체, $Si_{1-x}M_x$, $Ge_{1-x}M_x$, $(SiGe)_{1-x}M_x$ (M=자성 원소) 등을 이용할 수 있다.

강자성 소스 또는 강자성 드레인(또는 양쪽 모두)에 이용하는 강자성 전극에는 통상의 강자성 금속(Fe, Ni, 퍼멀로이, CoFe 합금, CoFeB 합금 등) 외, 고농도로 자성 원소를 도핑한 강자성 반도체($Si_{1-x}M_x$, $Ge_{1-x}M_x$, $(SiGe)_{1-x}M_x$ (M=자성 원소) 등)나 하프 메탈 강자성체(마그네타이트, 휘슬러 알로이, CrO_2 , 섬아연광 구조를 취하는 MnAs, CrAs, MnSb 등)를 이용할 수 있다. 이러한 강자성 소스 및 강자성 드레인에 이용하는 강자성 전극은, 강자성 반도체층(207)상에 성장 또는 퇴적하여도 되지만, 열확산 또는 이온 주입에 의해 반도체 내에 자성 원자를 도입함으로써 형성하여도 된다. 비자성 전극을 형성하는 경우에는, 비자성 금속(Al, PdSi 합금, ErSi 합금 등)이나 전도 제어한 비자성 반도체(Si, Ge, SiGe 합금)를 이용할 수 있다. 비자성 터널 장벽으로서, 비자성 절연체(Si 산화물, Si 질화물, Al 산화물, Ta 산화물 등)나 비자성 반도체(SiC 등)를 이용한다. MIS 구조로서는, 강자성 반도체층의 표면을 산화한 MOS 구조를 이용하거나, 강자성 반도체(207)상에 절연체층(Si 산화물, Al 산화물, Hf 산화물 등)(211)을 성장 또는 퇴적하여 MIS 구조로 할 수 있다. 기판으로서, 통상의 반도체 기판이나 SOI 기판을 이용할 수 있다. 본 실시의 형태에 따른 MISFET(201)에서는, 채널 영역을 형성하는 강자성 반도체(207)와 동일한 전도형의 캐리어를 전도 캐리어로 하는 축적 채널형으로 동작한다. 캐리어로서는, 전자 또는 정공의 모두를 이용 가능하지만, 이하에서는 n채널형 디바이스를 예로 들어 에너지 밴드 구조의 설명을 행한다. p채널형 디바이스에 대해서도 마찬가지로 구성할 수 있다.

도 11의 (b) 내지 도 11의 (d)는, 본 발명의 제7 실시의 형태에 따른 MISFET의 열평형시에서의 채널 영역 근방의 밴드 구조예를 도시하는 도면이다. 여기에서는, 강자성 전극에 강자성 금속을, 비자성 전극에 비자성 금속을 이용한 경우를 예로서 설명한다. 도 11의 (b)에서는, 강자성 전극(203a-1)과 비자성 터널 장벽(203b-1)으로 이루어지는 강자성 소스(203-1)와 비자성 전극(205a-1)과 비자성 터널 장벽(205b-1)으로 이루어지는 비자성 드레인(205-1)을 갖고 있다. 도 11의 (c)에서는, 비자성 전극(203a-2)과 비자성 터널 장벽(203b-2)으로 이루어지는 비자성 소스(203-2)와, 강자성 전극(205a-2)과 비자성 터널 장벽(205b-2)으로 이루어지는 강자성 드레인(205-2)을 갖고 있다. 도 11의 (d)에서는 강자성 전극(203a-3)과 비자성 터널 장벽(203b-3)으로 이루어지는 강자성 소스(203-3)와 강자성 전극(205a-3)과 비자성 터널 장벽(205b-3)으로 이루어지는 강자성 드레인(205-3)을 이용했을 경우를 각각 나타낸다. 또한, 간단히 하기 위해, 열평형시에서의 플랫 밴드 상태를 가정한다. 강자성 소스(203) 및 강자성 드레인(205)에 나타낸 실선과, 강자성 반도체층(207)과 비자성 터널 장벽(203b, 205b)에 나타낸 점선은 페르미 에너지(E_F)를 나타낸다. E_G 는 강자성 반도체의 밴드 갭을 나타낸다. E_C 와 E_V 는, 각각 반도체의 전도 밴드의 바닥과 가전자대의 정상을 나타낸다. 이하에 있어서도 마찬가지로 이들을 나타내기 위해 E_F , E_G , E_C , E_V 를 이용한다. 도 11에서의 채널 영역의 강자성 반도체층(207)은 축퇴하고 있지 않지만, 전술한 바와 같이 축퇴할 정도로 자성 원소를 도핑하고 있어도 된다. n채널형 디바이스에서는, 소스 및 드레인의 비자성 터널

장벽에 의해, 적어도 소스의 강자성(또는 비자성) 전극 및 드레인의 강자성(또는 비자성) 전극으로부터 본 장벽의 높이가 각각 Φ_S 와 Φ_D 가 되는 에너지 장벽을 전도대측에 생기도록 한다. p채널형 디바이스에서는, 적어도 가전자대측에 에너지 장벽이 생기도록 한다.

강자성 전극(203a) 또는 비자성 전극(205a)의 페르미 에너지(E_f)상에 나타난 화살표는, 각각의 영역에서의 다수 스핀의 방향을 나타내며, 상향이면 업 스핀을 나타내고, 하향이면 다운 스핀을 나타낸다. 또한, 소수 스핀의 표시는 생략하였다. 마찬가지로, 강자성 반도체층에서는 E_C 상에 나타난 화살표에 의해 다수 스핀의 방향을 나타내었다. 비자성 전극은 상향과 하향의 화살표를 함께 나타냄으로써 표현하고 있다. 이하에서도 밴드도 상의 화살표를 마찬가지로의 의미로 사용한다.

(2) 강자성 전극/진성 반도체 터널 장벽

도 12의 (a)는 본 발명의 제8 실시의 형태에 따른 MISFET의 디바이스 구조를 도시하는 도면이다. 본 발명의 제8 실시의 형태에 따른 MISFET에서는, 본 발명의 제7 실시의 형태에 따른 MISFET에서의 비자성 터널 장벽(203b, 205b)을 진성 반도체(또는 적당히 불순물을 도핑한 반도체)로 치환한 구조를 갖는다. 본 발명의 제7 실시의 형태에 따른 MISFET와 마찬가지로 소스와 드레인의 적어도 한쪽에 강자성 전극을 이용한다. 도 12의 (a)에서는, 강자성 소스와 비자성 드레인의 경우를 나타냈다. 채널 영역에 이용하는 강자성 반도체층, 강자성 전극, 비자성 전극, 기판의 구성 및 재료는, 본 발명의 제7 실시의 형태에 따른 MISFET와 마찬가지로이다. 비자성 터널 장벽(223b, 225b)은 채널 영역에 이용하는 강자성 반도체층(227)의 호스트 재료가 되는 반도체로 구성되어 있어도 된다. 예를 들면, 채널 영역의 강자성 반도체층을 $Si_{1-x}M_x$ (M=자성 원소)로 구성했을 경우, 비자성 터널 장벽은 언도프의 Si로 된다(또한, 적당히 불순물을 도핑한 반도체라도 된다).

본 발명의 제8 실시의 형태에 따른 MISFET도 축적 채널형으로 동작하고, 캐리어로서는 전자 및 정공 모두 이용 가능하지만, 이하에서는 n채널형 디바이스에 대해 밴드 구조를 설명한다. p채널형 디바이스에 대해서도 마찬가지로 구성할 수 있다.

도 12의 (b) 내지 도 12의 (d)에 본 발명의 제8 실시의 형태에 따른 MISFET의 열평형시에서의 채널 영역 근방의 밴드 구조를 나타낸다. 여기에서는, 강자성 전극에 강자성 금속을, 비자성 전극에 비자성 금속을 이용한 경우를 나타낸다. 도 12의 (b)에서는, 강자성 전극(223a-1)과 비자성 터널 장벽(223b-1)으로 이루어지는 강자성 소스(223-1)와 비자성 전극(225a-1)과 비자성 터널 장벽(225b-1)으로 이루어지는 비자성 드레인(225-1)을 갖고 있다. 도 12의 (c)에서는 비자성 전극(223a-2)과 비자성 터널 장벽(223b-2)으로 이루어지는 비자성 소스(223-2)와 강자성 전극(225a-2)과 비자성 터널 장벽(225b-2)으로 이루어지는 강자성 드레인(225-2)을 갖고, 도 12의 (d)는 강자성 전극(223a-3)과 비자성 터널 장벽(223b-3)으로 이루어지는 강자성 소스(223-3)와, 강자성 전극(225a-3)과 비자성 터널 장벽(225b-3)으로 이루어지는 강자성 드레인(225-3)을 이용한 경우를 각각 나타낸다. n채널형 디바이스에서는, 소스 및 드레인의 진성 반도체에 의해 도면에 도시하는 바와 같은 장벽이 형성되고(단, 강자성 반도체층과 진성 반도체층의 계면에 생기는 포텐셜의 공백은 미도시), 장벽 높이가 각각 Φ_S , Φ_D 가 되는 에너지 장벽을 전도대측에 생기도록 한다. p채널형 디바이스에서는 가전자대측에 에너지 장벽이 생기도록 한다.

(3) 비자성 전극/강자성 터널 장벽

도 13의 (a)는 본 발명의 제9 실시의 형태에 따른 MISFET의 구조를 도시한다. 본 발명의 제9 실시의 형태에 따른 MISFET에서는, 본 발명의 제7 실시의 형태에 따른 MISFET의 비자성 터널 장벽(203b, 205b)(도 11)을 각각 강자성 터널 장벽(243b)과 비자성 터널 장벽(245b)으로 치환하고, 강자성 전극(203a)과 비자성 전극(205a)(도 11)을 각각 비자성 전극(243a, 245a)으로 치환한 구조를 갖는다. 도 13의 (a)에서는 소스 및 드레인이 각각 강자성 소스와 비자성 드레인인 경우를 나타냈지만, 소스와 드레인의 적어도 한쪽에 강자성 터널 장벽을 이용하면 된다. 소스 또는 드레인의 한쪽에만 강자성 터널 장벽을 이용하는 경우에는, 다른 한쪽에는 비자성 터널 장벽을 이용한다.

채널 영역이 형성되는 강자성 반도체층(247)과, 비자성 전극(243a, 245a), 기판의 구성, 재료는 본 발명의 제7 실시의 형태에 따른 MISFET와 마찬가지로이다. 강자성 터널 장벽(243b)에는 절연성을 나타내는 강자성체나 강자성 반도체를 이용할 수 있다. 구체적 재료로서는, EuS나 Gd_2O_3 등을 이용할 수 있다. 이 본 발명의 제9 실시의 형태에 따른 MISFET도 축적 채널형으로 동작하고, 캐리어로서는 전자 및 정공 모두 이용 가능하지만, 이하에서는 n채널형 디바이스에 대해 밴드 구조를 설명한다. p채널형 디바이스에 대해서도 마찬가지로 구성할 수 있다.

도 13의 (b) 내지 도 13의 (d)에, 제3 디바이스 구조에서의 열평형시의 채널 영역 근방의 밴드 구조를 나타낸다. 여기에서는, 강자성 전극에 강자성 금속을, 비자성 전극에 비자성 금속을 이용한 경우를 나타낸다. 도 13의 (b)에 도시하는 구조에서는 비자성 전극(243a-1)과 강자성 터널 장벽(243b-1)으로 이루어지는 강자성 소스(243-1)와, 비자성 전극(245a-1)과 비자성 터널 장벽(245b-1)으로 이루어지는 비자성 드레인(245-1)을 포함하고, 도 13의 (c)에 도시하는 구조에서는, 비자성 전극(243a-2)과 비자성 터널 장벽(243b-2)으로 이루어지는 비자성 소스(243-2)와, 비자성 전극(245a-2)과 강자성 터널 장벽(245b-2)으로 이루어지는 강자성 드레인(245-2)을 포함하고, 도 13의 (d)에 도시하는 구조에서는 비자성 전극(243a-3)과 강자성 터널 장벽(243b-3)으로 이루어지는 강자성 소스(243-3)와, 비자성 전극(245a-3)과 강자성 터널 장벽(245b-3)으로 이루어지는 강자성 드레인(245-3)을 이용하고 있다. 강자성 터널 장벽(243b-1, 245b-2, 243b-3, 245b-3)의 밴드단에서는, 업 스핀 밴드와 다운 스핀 밴드의 스핀 분열에 의해, 각각 접합하는 비자성 전극으로부터 본 장벽 높이가 스핀에 의존한다. n채널형 디바이스에서는, 강자성 터널 장벽의 전도대의 바닥이 스핀 분열하고 있을 필요가 있다. p채널형 디바이스에서는, 강자성 터널 장벽의 가전자대의 정상에 스핀 분열하고 있을 필요가 있다. 도면 중의 강자성 터널 장벽에서의 2개의 근접하는 실선은 업 스핀 밴드와 다운 스핀 밴드의 밴드단을 나타내고, Δ_S 및 Δ_D 는 각각 소스, 드레인에 강자성 터널 장벽을 이용했을 경우의 강자성 터널 장벽에서의 업 스핀 밴드와 다운 스핀 밴드의 스핀 분열폭을 나타낸다. 또한, 이들 실선상에 나타난 상향 화살표와 하향 화살표는, 각각 업 스핀 밴드단과 다운 스핀 밴드단을 나타낸다. 소스에서의 Φ_S 는 소스의 비자성 전극으로부터 본 강자성 터널 장벽의 낮은 쪽의 장벽 높이 또는 비자성 터널 장벽의 장벽 높이이고, 드레인에서의 Φ_D 는 드레인의 비자성 전극으로부터 본 강자성 터널 장벽의 낮은 쪽의 장벽 높이 또는 비자성 터널 장벽의 장벽 높이이다.

이상이 본 발명의 제7 내지 제9 실시의 형태에 따른 MISFET의 기본 구조를 도시하는 도면이다. 이들 기본 구조는, 도 14의 (a) 내지 도 14의 (d)의 구체적인 구조에 의해 실현될 수 있다. 도 14 중의 소스와 드레인의 전극과 터널 장벽을 적절하게 강자성체로 하면, 도 11 내지 도 13에 도시한 본 발명의 제7 내지 제9 실시의 형태에 따른 MISFET를 실현할 수 있다.

도 14는 본 발명의 제10 내지 제13 실시의 형태에 따른 MISFET의 실현 형태를 도시하는 도면이다. 도 14의 (a)는 본 발명의 제10의 실시 형태에 따른 MISFET의 구조를 도시하는 도면이다. 도 14의 (a)에 도시하는 바와 같이, 본 실시의 형태에 따른 MISFET(300)는 기판(301)상에 아일랜드 형상으로 형성된 강자성 반도체층(307)과, 강(비)자성 터널 장벽(303b, 305b)에 의해, 강자성 반도체층(307)과 기판(301)을 분리된 강(비)자성 전극(303a, 305a)에 의한 소스와 드레인으로 구성된다.

도 14의 (b)는 본 발명의 제11의 실시 형태에 따른 MISFET의 제2 실현 형태를 도시하는 도면으로, 미리 형성한 강자성 반도체층/강(비)자성 터널 장벽/강(비)자성 전극의 3층 구조를 이용한 구성예이다. 본 실시의 형태에 따른 MISFET(320)는, 기판(321)상에 형성되고 기판(321)측부터 차례로 강자성 반도체(323)와, 강(비)자성 터널 장벽(325)과, 강(비)자성 전극(327)의 3층 구조에, 리소그래피 등에 의해 에칭을 행한 3층 구조의 어느 한 방향으로부터 본 단면이, 오목형, U자형, V자형 등의 형상으로 되는 오목부를 형성한다. 이 오목부에 노출된 강자성 반도체, 강(비)자성 터널 장벽, 강(비)자성 전극의 표면에 형성된 절연막(331)과, 게이트 전극(335)을 갖고 있다.

도 14의 (c)는 본 발명의 제12 실시 형태에 따른 MISFET의 제3 실현 형태를 도시하는 도면으로, SOI 기판을 이용한 구조예를 도시하는 도면이다. 도 14의 (c)에 도시하는 바와 같이, 본 실시의 형태에 따른 MISFET(340)는 기판(341)과 그 위에 형성된 매립 산화막(342)으로 이루어지는 SOI 구조상에 형성된 아일랜드 형상의 강자성 반도체(347)와, 이 강자성 반도체층(347)이 대향하는 측면에 각각 형성되는 강(비)자성 터널 장벽과 이것에 접합하는 비자성 전극에 의해 형성되는 소스와 드레인과, 또한, 강자성 반도체(347)상에 형성되는 게이트 절연막(351)과, 그 위에 형성되는 게이트 전극(355)을 갖고 있다. 매립 산화막(342)을 이용하기 때문에, 터널 장벽(343b, 345b)은 강자성 반도체(347)의 측면에만 형성하면 된다.

도 14의 (d)는 본 발명의 제13 실시 형태에 따른 MISFET의 제4 실현 형태를 도시하는 도면으로, 종형 트랜지스터에 의한 구성예를 도시하는 도면이다. 도 14의 (d)에 도시하는 바와 같이, 제4 구성예에서는 기판(361) 위에, 소스(363)와 강자성 반도체(367)와 드레인(355)의 아일랜드 형상의 적층 구조를 형성하고, 그 측면에 게이트 절연막(371)과 게이트 전극(373)을 형성한 구성을 갖고 있다.

다음으로, 본 발명의 제2 관점에 따른 MISFET의 동작 원리에 대해 도면을 참조하면서 설명을 행한다. 본 발명의 제7 내지 제13 실시 형태에 나타난 MISFET의 채널 영역은, 강자성 반도체층으로 구성되어 있지만, 소스와 드레인의 조합에 관해서는, 상기와 같이 (i)강자성 소스와 비자성 드레인, (ii)비자성 소스와 강자성 드레인, (iii)강자성 소스와 강자성 드레인의 경우가 존재한다. 또한, 강자성 소스와 강자성 드레인은 각각 (a)강자성 전극/비자성 터널 장벽 접합, (b)강자성 전극/진성 반도체 장벽 접합 또는 (c)비자성 전극/강자성 터널 장벽 접합으로 구성된다.

이하, 강자성 전극/비자성 터널 장벽 접합 또는 비자성 전극/강자성 터널 장벽 접합으로 이루어지는 강자성 소스를 갖는 n 채널형 디바이스를 예로 들어 동작 원리의 설명을 행한다. 강자성 전극/진성 반도체 장벽 접합으로 이루어지는 강자성 소스를 갖는 MISFET의 동작 원리는, 강자성 전극/비자성 터널 장벽 접합을 이용한 경우와 마찬가지로이다. 또한, 이하, p 채널형 디바이스에 대해서도 마찬가지로 동작한다. 또한, 강자성 소스에 대한 강자성 채널 영역의 상대적인 자화의 방향이 동일 방향인 경우를 평행 자화라 하고, 이들의 상대적인 자화의 방향이 서로 반대 방향인 경우를 반평행 자화라 한다. 강자성 터널 장벽을 이용하는 경우에는, 강자성 반도체층의 다수 스핀의 방향과 강자성 터널 장벽에서의 밴드단을 구성하는 스핀 밴드의 스핀 방향이 평행인 경우를 평행 자화라 하고, 서로 반대 방향인 경우를 반평행 자화라 한다. 또한 게이트 전압에 의해 유기되는 라슈바 효과를 무시한다. 채널 길이는 스핀의 완화 거리보다 충분히 짧은 것으로 한다.

이하에, 제7 실시의 형태에 따른 MISFET의 동작 원리에 대해 설명한다. 도 15는 강자성 전극(403a)/비자성 터널 장벽(403b)으로 이루어지는 강자성 소스(403)를 갖는 MISFET(401)의 밴드 구조를 도시하는 도면이다. 도 15의 (a)는 게이트·소스간 바이어스(V_{GS})를 $V_{GS}=0$ 으로 하고, 드레인·소스간에 바이어스(V_{DS})(>0)를 인가했을 경우의 밴드 구조를 도시하는 도면이다. V_{DS} 의 인가에 의해, 도 15의 (a)에 도시하는 바와 같은 포텐셜 형상이 형성된다. 드레인 근방에 근접하고 있는 게이트 전극을 영전위로 하고 있기 때문에, 드레인에서의 터널 장벽의 포텐셜 강하가 소스의 터널 장벽보다 크다. 이때, 강자성 소스의 터널 장벽에서의 장벽폭(d)을 적절히 두껍게 설정해 두면, 터널 효과에 의해 강자성 소스로부터 채널 영역에 전자의 주입은 거의 생기지 않는다. 또한, 강자성 소스에서의 강자성 전극의 전도 캐리어가 높이(Φ_S)의 장벽을 열적으로 타고 넘는 것에 유래하는 전류가 생길 가능성이 있지만, Φ_S 를 적절히 선택함으로써 이 전류를 충분히 작게 할 수 있다. 따라서, $V_{GS}=0$ 의 상태에서는, MISFET는 차단(오프) 상태로 된다. 이 차단 상태는 강자성 소스와 강자성 채널 사이의 상대적인 자화의 방향에 의존하지 않는다.

게이트 전극에 바이어스 $V_{GS}(>0)$ 를 인가하면, 게이트 전극으로부터 강자성 소스로 향하는 전기력선에 의해, 강자성 소스층의 터널 장벽 근방의 전계가 강해져, 도 15의 (b)와 같이 터널 장벽의 장벽폭이 감소한다(도면 중 d'). 따라서, 강자성 소스에서의 전자는 이 포텐셜 장벽(Φ_S)을 터널 효과에 의해 투과하여, 게이트 절연막 바로 아래의 채널 영역내에 주입된다. 주입된 전자는 V_{GS} 에 의해 절연체/반도체 계면에 끌려 당겨지면서, V_{DS} 에 의해 드레인까지 수송되어 드레인 전류를 형성한다. 이때, 본 실시의 형태에 따른 MISFET(401)의 전달(상호) 컨덕턴스 및 드레인 전류는, 강자성 소스(403)와 강자성 채널 영역(407)의 상대적인 자화의 방향에 의존한다.

이 전자의 터널 장벽을 통한 강자성 소스(403)로부터 강자성 채널 영역(407)으로의 터널에 있어서는, 터널 자기 저항(TMR) 효과와 마찬가지로 효과가 작용한다(간단히 하기 위해, 이하에서는 이 효과도 단순히 TMR 효과라고 부르기로 함). 따라서, 강자성 소스(403)와 강자성 채널 영역(407)이 평행 자화인 경우에는 터널 저항이 작고, 반평행 자화인 경우에는 터널 저항이 커진다. 또한, 이러한 TMR 효과의 영향이 작은 경우에도, 강자성 소스(403)로부터는 소스의 강자성체의 스핀 분극률에 의존한 스핀 편극률을 갖는 전자를 주입할 수 있다. 이 때문에, 강자성 채널 영역(407)과 강자성 소스(403)의 상대적인 자화 상태에 의해, 전자는 강자성 채널 영역(407)내에서 스핀 의존 산란을 일으킨다. 따라서, 이 터널 주입시의 TMR 효과 및 강자성 채널 영역에서의 스핀 의존 산란에 의해, 강자성 소스(403)와 강자성 채널 영역(407)의 상대적인 자화의 방향에 의존하여, 전달 컨덕턴스가 변화한다.

도 15의 (b)에 도시하는 바와 같이, 강자성 소스(403)와 강자성 채널 영역(407)이 평행 자화이면, 전달 컨덕턴스는 커지고 드레인 전류도 커지지만, 도 15의 (c)에 도시하는 바와 같이, 강자성 소스(403)와 강자성 채널 영역(407)이 반평행 자화이면, 전달 컨덕턴스는 작아 드레인 전류는 작다.

이상으로 설명한 바와 같이, 본 실시의 형태에 따른 MISFET에서는, 동일 바이어스 하에 있어도, 강자성 소스(403)와 강자성 채널 영역(407)의 상대적인 자화의 방향에 따라 전달 컨덕턴스를 제어할 수 있다. 또한, 본 실시의 형태에 따른 MISFET(401)는, 채널 영역에 주입되는 캐리어의 수를 V_{GS} 에 의해 제어할 수 있기 때문에, 드레인 전류는 V_{GS} 에 의해 제어할 수 있다. 따라서, 본 실시의 형태에 따른 MISFET는 드레인 전류를 게이트 전압으로 제어할 수 있는 통상의 트랜지스터로서의 성질을 구비할 뿐만 아니라, 강자성 소스(403)와 강자성 채널 영역(407)의 상대적인 자화의 방향에 따라 전달 컨덕턴스를 제어할 수 있다. 진성 반도체에 의해 강자성 소스의 터널 장벽을 구성한 경우의 MISFET에서도, 마찬가지로 동작한다.

다음에 본 발명의 제9 실시의 형태에 따른 트랜지스터 MISFET의 동작 원리에 대해 설명한다. 도 16은 비성 전극/강자성 터널 장벽 접합으로 이루어지는 강자성 소스를 갖는 MISFET의 밴드 구조를 도시하는 도면이다. 도 16의 (a)는 $V_{GS}=0$ 으로

로 하고, $V_{DS}(>0)$ 를 인가한 경우의 밴드 구조를 도시하는 도면이다. 드레인 근방에 근접하고 있는 게이트 전극을 영전위로 하고 있기 때문에, 드레인에서의 터널 장벽의 포텐셜 강하가 소스의 강자성 터널 장벽보다 크다. 소스에서의 강자성 터널 장벽(423b)의 스핀 분열 때문에, 소스의 비자성 전극(423a)의 전자로부터 보면 스핀의 방향에 따라 장벽 높이가 상이하다. 도 16의 (a)에서는, 소스에서의 비자성 전극의 업 스핀 전자는 다운 스핀 전자에 비해 낮은 장벽 높이를 느끼는데, 강자성 소스의 터널 장벽에서의 장벽폭(d)을 적절히 설정하고 있다면, $V_{GS}=0$ 의 경우에는 $V_{DS}(>0)$ 를 인가하여도 터널 효과에 의해 강자성 소스로부터 채널 영역을 향한 업 스핀 전자의 주입이 거의 생기지 않도록 할 수 있다. 또한, 강자성 소스에서의 비자성 전극(423a)의 캐리어가 강자성 터널 장벽(423b)을 열적으로 넘는 것에 유래하는 전류가 생길 가능성이 있지만, 장벽 높이(Φ_S)를 적절히 선택함으로써, 이 전류를 충분히 작게 할 수 있다. 따라서, $V_{GS}=0$ 의 상태에서는 MISFET는 차단(오프) 상태로 된다. 이 차단 상태는, 강자성 소스(423)와 강자성 채널 영역 사이의 상대적인 자화의 방향에 의존하지 않는다.

게이트 전극에 $V_{GS}(>0)$ 를 인가하면, 게이트 전극으로부터 강자성 소스(423)로 향하는 전기력선에 의해, 소스측의 강자성 터널 장벽(423b) 근방의 전계가 강해져, 업 스핀 전자에 대한 터널 장벽(423b)의 장벽폭이 감소한다(도 16의 (b) 중의 d'). 따라서, 강자성 소스의 강자성 전극(423a)에서의 업 스핀 전자는 이 포텐셜 장벽을 터널 효과에 의해 투과하여, 게이트 절연막 바로 아래의 채널내에 주입된다. 한편, 비자성 전극(423a)의 다운 스핀 전자에 관해서는, 장벽 높이(Φ_S)가 스핀 분열폭(Δ)만큼 높기 때문에, 터널 주입할 수 없다. 따라서, 강자성 소스(423)로부터는, 강자성 터널 장벽(423b)에 의해 업 스핀 전자만을 주입할 수 있다.

주입된 전자는 V_{GS} 에 의해 절연체/반도체 계면으로 끌려 당겨지면서, V_{DS} 에 의해 비자성 드레인(425)까지 수송되어 드레인 전류를 형성한다. 이때, 본 실시의 형태에 따른 MISFET(421)의 전달(상호) 컨덕턴스 및 드레인 전류는, 강자성 소스(423)의 강자성 터널 장벽(423b)과 강자성 채널 영역(427)의 상대적인 자화의 방향에 의존한다.

강자성 소스(423)의 비자성 전극(423a)에서부터의 강자성 터널 장벽(423b)을 통한 강자성 채널 영역(427)으로의 터널에 있어서는, 터널 자기 저항(TMR) 효과와 마찬가지로 효과가 작용한다(간단히 하기 위해, 이하에서는 이 효과를 단순히 TMR 효과라 부르기로 함). 따라서, 강자성 소스(423)와 강자성 채널 영역(427)이 평행 자화의 경우에는 터널 저항이 작고, 반평행 자화의 경우에는 터널 저항이 커진다. 또한, 이러한 TMR 효과의 영향이 작은 경우에도, 강자성 소스(423)로부터는 강자성 소스(423)의 스핀 분열폭에 의존한 스핀 편극률을 갖는 전자를 주입할 수 있다. 이 때문에, 강자성 채널 영역(427)과 강자성 소스(223)의 상대적인 자화 상태에 의해, 전자는 강자성 채널 영역(427)내에서 스핀 의존 산란을 일으킨다. 따라서, 이 터널 주입시의 TMR 효과 및 강자성 채널 영역(427)에서의 스핀 의존 산란에 의해, 강자성 소스(423)와 강자성 채널 영역(427)의 상대적인 자화의 방향에 의존해 전달 컨덕턴스가 변화한다.

도 16의 (b)에 도시하는 바와 같이, 강자성 소스(423)와 강자성 채널 영역(427)이 평행 자화이면, 전달 컨덕턴스는 커지고 드레인 전류도 커지지만, 도 16의 (c)에 도시하는 바와 같이, 강자성 소스(423)와 강자성 채널 영역(427)이 반평행 자화이면, 전달 컨덕턴스는 작고 드레인 전류는 작다.

이상으로 설명한 바와 같이, 본 실시의 형태에 따른 MISFET에서는, 동일 바이어스 하에 있어도, 강자성 소스와 강자성 채널 영역의 상대적인 자화의 방향에 따라 전달 컨덕턴스를 제어할 수 있다. 또한, 채널 영역에 주입되는 캐리어의 수를 V_{GS} 에 의해 제어할 수 있기 때문에, 드레인 전류는 V_{GS} 에 의해 제어할 수 있다. 따라서, 본 실시의 형태에 따른 MISFET는 드레인 전류를 게이트 전압으로 제어할 수 있는 통상의 트랜지스터로서의 성질을 구비할 뿐만 아니라, 강자성 소스와 강자성 채널 영역의 상대적인 자화의 방향에 따라 전달 컨덕턴스를 제어할 수 있다.

다음으로, 본 발명의 제14 실시 형태에 따른 MISFET를 이용한 메모리 셀에 대해 도면을 참조하면서 설명을 행한다. 도 17은 본 실시의 형태에 따른 메모리 셀 구조로서, 요크 구조를 이용한 게이트 전극과 워드선의 복합 구조를 도시하는 도면이다. 도 17은 본 발명의 제7 내지 제13 실시 형태 중 어느 하나에 기재된 MISFET의 단면을 소스측 또는 드레인측으로부터 본 도면이다. 도 17에 도시하는 바와 같이, 본 실시의 형태에 따른 메모리 셀 구조(431)는 채널 영역(433)과, 그 위에 형성된 게이트 산화막(435)과, 그 위에 형성된 게이트 전극(437)과, 그 위에 형성된 워드선(441)을 갖는 적층 구조체와, 이 적층 구조체를 외측으로부터 덮는 요크(445)를 갖고 있다. 요크(445)는 고투자율의 재료에 의해 구성하는 것이 바람직하다. 도 17에 도시하는 구조를 이용하면, 워드선(441)의 전류에 의해 발생하는 자장을 강자성 채널 영역(433)에 대해 유효하게 인가할 수 있기 때문에, 메모리에서의 기입 전류를 저감하는 것이 가능해진다.

다음으로, 상기 각 실시의 형태에 있어서 설명한 MISFET를 이용한 불휘발성 메모리에 대해 설명한다. 상기 각 MISFET는 강자성 소스(또는 강자성 드레인)와 강자성 채널 영역(강자성 반도체층)의 상대적인 자화 상태를 평행 자화 또는 반평행 자화로 함으로써 2치의 정보를 기억하고, 이들의 자화 상태에 대응한 출력(드레인 전류)으로부터 자화 상태를 검출할 수 있기 때문에, 불휘발성 메모리를 구성할 수 있다. 1개의 MISFET를 이용하는 것만으로 1비트의 메모리 셀을 구성할 수 있기 때문에, 고밀도 집적화가 가능하다. 또한, 채널 영역에 이용하는 강자성 반도체의 전계 효과에 의한 자성 제어(예를 들면, 비특히 문헌 2, 3)를 적극적으로 이용하여, 종래의 MRAM에서의 큰 문제점인 재기입 전류의 저감을 가능하게 한다.

이하, 강자성 소스를 갖는 n채널형의 MISFET를 이용하여, 상기 불휘발성 메모리의 동작 원리에 대해 설명하지만, 전술의 다른 구성예를 갖는 MISFET 및 p채널형 디바이스를 이용하여도, 마찬가지로 메모리 동작을 시킬 수 있다. 여기에서, 강자성 소스를 자화의 방향을 고정된 편층으로 하고, 강자성 채널 영역을 자화의 방향을 변화시키는 프리층으로 한다.

도 18의 (a)는 본 발명의 제15 실시 형태에 따른 불휘발성 메모리의 셀 구성예를 도시하는 도면이다. 도 18의 (a)에 나타내는 바와 같이, 본 실시의 형태에 따른 메모리 셀군(471)은, 상기의 각 실시의 형태에 따른 MISFET(473)로 이루어지는 메모리 셀과, MISFET(473)의 게이트 전극(G)에 접속되는 워드선(WL)과, 드레인(D)에 접속되는 비트선(BL)과, 소스(S)에 접속되는 접지선(GND)을 갖고 있다. 이 메모리 셀의 재기입 동작에 있어서는, 선택 셀에 접속되고 있는 비트선(BL)과 접지선(GND)에, (기관 전위 또는 게이트 전극에 대해) 비교적 큰 바이어스 전압을 가해, 채널 영역의 강자성이 소멸하여 상자성(또는 보자력이 충분히 작아지는 상태)으로 될 정도까지 캐리어수를 감소시키거나, 공핍화시킨다. 도 18의 (a)에 나타내는 바와 같이, 비트선(BL)과 접지선(GND)을 직교하도록 배치하면, 선택 셀에서만 소스(S)와 드레인(D)에 바이어스가 인가되고, 이 비트선(BL) 또는 접지선(GND)에 접속된 다른 비선택 셀에서는, 드레인(D) 또는 소스(S)에만 바이어스가 가해진다. 따라서, 한쪽의 바이어스만으로는 채널 전체에 걸쳐서 강자성을 소멸할 수 없는 정도로 상기 바이어스를 설정해 두면(예를 들면 소스(S)에서 중심 정도까지의 영역, 또는, 드레인(D)에서 중심 정도까지의 영역이 공핍화하도록 하면), 비선택 셀의 자화 정보가 없어지지 않도록 할 수 있다(예를 들면, 채널 영역의 체적을 단자구 구조가 용이하게 실현될 수 있는 정도의 크기로 해 둔다).

이 상태에 있어서, 워드선(WL)에 비교적 작은 전류를 흘려, 자장을 유기하여 상자성 상태의 채널 영역의 자화 방향을 변화시키고, 계속하여 비트선(BL)과 접지선(GND) 사이의 바이어스를 끊음으로써, 채널 영역을 강자성 상태로 되돌려 정보를 재기입한다.

도 19는 상기의 재기입 동작의 원리를 자화 곡선상에서 설명한 도면이다. 우선 처음에, 강자성 반도체층으로 이루어지는 채널 영역의 자화는 자화 곡선상의 A점에 있는 것으로 한다. 이 상태에서부터, 도 19의 E점에 재기입을 행하는 것을 생각한다. 우선, A점 상태에서부터 비트선(BL)과 접지선(GND)에 바이어스를 가하여, 선택 셀의 강자성을 상자성으로 변화시킨다. 이때, 채널 영역의 자화는 B점이 된다. 계속하여, 채널 영역 바로 위의 게이트 전극(G)에 접속하는 워드선(WL)에 전류를 흘리면, 이 전류에 의해 유기되는 자장의 세기가 강자성 상태에 있던 채널 영역의 보자력(H_C) 이하라도, 도 19의 C점과 같이 자화 반전시킬 수 있다. 계속하여, 게이트 전극(G)에 전류를 흘리는 채로, 소스(S)와 드레인(D)의 바이어스를 끊으면, 채널 영역은 강자성 상태로 돌아온다. 이때의 자화의 방향은, 도 19의 D점과 같이 상자성 상태의 자화의 방향이 보존된다. 이 상태에서부터 워드선(WL)의 전류를 끊으면, 재기입이 완료한다(도 19의 E점).

본 실시의 형태에 따른 메모리 셀에서는, 강자성 상태에 있는 채널 영역의 보자력(H_C)보다 작은 자장에 의해 자화 반전시킬 수 있기 때문에, 자화 반전에 필요한 전류를 크게 감소시킬 수 있다. 또한, 상자성 상태로 된 선택 셀에 대해서만 재기입을 행하기 때문에, 오기입이 생기기 어렵다.

또한, 정보의 재기입에는 초기 자화 특성을 이용함으로써도 저전류 기입이 가능해진다. 강자성 반도체에서는, 전계 효과에 의해 캐리어를 감소시켜 강자성을 소실시키면, 강자성 반도체의 자화를 소자할 수 있다. 이 상태에 있어서 자장을 인가하면, 자화 곡선은 초기 자화 곡선을 그리면서 자화하므로 이를 이용한다. 도 20은 이 재기입 동작의 예를 자화 곡선상에 나타낸 도면이다. 먼저, 채널 영역의 자화는 자화 곡선상의 A'점에 있었다고 가정한다. 이 상태에서부터, 도 20의 E'점에 재기입을 행하는 것을 생각한다. 우선, A'점의 상태에서부터 비트선(BL)과 접지선(GND)에 바이어스를 가해 강자성 반도체층의 캐리어를 감소시켜, 선택 셀의 강자성 채널 영역을 소자한다. 채널 영역의 자화는, B'점으로 된다. 비트선(BL)과 접지선(GND)의 바이어스를 끊은 후, 채널 영역 바로 위의 게이트 전극(G)에 접속하는 워드선(WL)에 전류를 흘리면, 이 전류에 의해 유기되는 자장의 세기가 강자성 상태에 있던 채널 영역의 보자력(H_C) 이하라도 도 20의 C'점을 통과하는 초기 자화 곡선에 따라 자화한다. 따라서, H_C 이하의 자장이라도 자화 반전시킬 수 있다(도 20의 D'점). 마지막으로, 게이트 전극(G)의 전류를 끊으면 재기입이 완료한다(도 10의 E점).

정보의 판독 동작에서는, 선택 셀에 통상의 트랜지스터 동작에 필요한 바이어스를 인가하여, 드레인 전류의 크기에 의해 강자성 소스와 강자성 채널 영역의 상대적인 자화 상태를 검출한다. 워드선(WL)과 비트선(BL)을 직교시켜 배치하고 있기 때문에, 선택 셀에 관해서만 기억 내용을 읽어낼 수 있다. 또, 판독 동작에서는, 프리차지에 의해 필요한 바이어스를 가해도 된다.

다음으로, 본 발명의 제16 실시 형태에 따른 MISFET를 이용한 메모리 셀에 대해 도면을 참조하면서 설명을 행한다. 도 18의 (b)는 본 실시의 형태에 따른 메모리 셀 구성으로서, 상기 각 실시의 형태에 따른 MISFET를 이용한 메모리 셀 구성을 도시하는 도면이다. 본 실시의 형태에 따른 메모리 셀(481)은, 상기 제7 내지 제14의 각 실시의 형태에 따른 MISFET(483a 및 483b)의 열방향에 인접하는 MISFET 쌍으로 이루어지는 메모리 셀(483)과, MISFET(483a, 483b)의 양쪽 모두의 게이트 전극(G)에 접속되는 워드선(WL)과, MISFET(483a)의 드레인(D)에 접속되는 제1 비트선(BL1)과, MISFET(483b)의 드레인(D)에 접속되는 제2 비트선(BL2)과, 소스(S)에 공통 접속되는 접지선(GND)을 갖고 있다. 본 실시의 형태에 따른 MISFET를 이용한 메모리 셀 구조에 의하면, 소스를 서로 이웃하는 MISFET에서 공유하는 구조이기 때문에, 셀의 점유 면적의 축소에 유효하다.

다음으로, 본 발명의 제17 실시 형태에 따른 불휘발성 메모리에 대해 도면을 참조하면서 설명을 행한다. 도 21의 (a)는 본 실시의 형태에 따른 불휘발성 메모리로서, 복수의 메모리 셀을 일괄 소거/재기입할 수 있는 불휘발성 메모리의 셀 구성을 도시하는 도면이다. 본 실시의 형태에 따른 메모리 셀은, 본 발명의 제7 내지 제14의 각 실시의 형태에 따른 MISFET와, 워드선(WL)과, 비트선(BL)과, 접지선(GND)을 갖고 있다. 단, 드레인에 접속되는 비트선(BL)과 소스에 접속되는 접지선(GND)이, 서로 평행이 되도록 배치되어 있다. 도 21의 (a)에 나타내는 셀 구조에서는, 평행 방향으로 나열된, 선택한 비트선에 접속되고 있는 모든 MISFET의 자화 정보를 함께 소거해 재기입하는 것이 가능하다.

재기입 동작에서는, 선택한 비트선(BL)과 이에 접속된 MISFET에 접속하고 있는 접지선(GND)에 바이어스를 인가하고, 이 비트선(BL)과 접지선(GND)에 접속된 모든 MISFET의 채널 영역을, 강자성에서 상자성(또는 보자력이 충분히 작아지는 상태)으로 변화시킨다. 다음으로, 이들 MISFET의 게이트에 접속되는 각각의 워드선(WL)에, 재기입 내용에 부합한 방향의 전류를 흘려, 상자성 상태의 채널 영역의 자화 방향을 변화시킨다. 다음으로, 비트선(BL)과 접지선(GND)의 바이어스를 끊음으로써, 마지막에 각 워드선으로의 전류를 끊어 각각의 MISFET의 채널 영역을 강자성으로 되돌리고, 마지막의 각 워드선의 전류를 끊어 정보를 재기입한다. 본 실시의 형태에 따른 메모리 셀에서는, 각각의 메모리 셀의 재기입에 필요한 전류가 작은 것을 이용하여 다수의 워드선(WL)에 함께 재기입 전류를 흘릴 수 있기 때문에, 1개의 비트선(BL)에 접속되는 다수의 MISFET의 자화 정보를 함께 재기입하는 것이 가능하다. 따라서, 재기입의 고속화가 가능하다. 상기의 셀 구성에 있어서도, 워드선(WL)과 비트선(BL)을 직교한 배치로 하고 있기 때문에, 선택 셀에 통상의 트랜지스터의 바이어스를 인가하면, 자화 상태에 대응한 드레인 전류에 기초하여 선택 셀의 자화 상태를 검출할 수 있다. 또한, 이 셀 구성에서도, 프리차지에 의한 판독이 가능하다.

또한, 상기의 메모리 셀 구성에 있어서도, 도 20을 참조하여 설명한 초기 자화 특성을 이용함으로써 저전류 기입이 가능해진다. 이 경우에서는, 선택된 비트선(BL)에 접속되는 다수의 메모리 셀의 내용을 일괄하여 소거하고, 1비트씩 기입하는 것이 가능해진다. 따라서, 이 경우에는 플래시 메모리와 유사한 재기입 방법을 이용할 수 있다. 보다 구체적으로는, 비트선(BL)과 접지선(GND)에 바이어스를 가하고, 선택한 비트선(BL)에 접속되고 있는 메모리 셀의 강자성 채널 영역을 일괄하여 소자한다. 다음으로, 비트선(BL)과 접지선(GND)의 바이어스를 끊은 후, 소자된 메모리 셀의 게이트 전극(G)에 접속하는 복수의 워드선(WL)에 순차적으로 전류를 흘려 가면, 1비트씩 재기입을 행할 수 있다. 이 재기입 방법에서는, 1비트씩 재기입하기 때문에, 한번에 흘리는 전류를 작게 할 수 있다고 하는 이점이 있다.

다음으로, 본 발명의 제18 실시 형태에 따른 불휘발성 메모리에 대해 도면을 참조하면서 설명을 행한다. 도 21의 (b)는, 도 21의 (a)에 나타내는 메모리 셀과 유사한 구성을 갖고 있지만, 열방향으로 인접하는 2개의 MISFET(463a, 463b)의 소스(S)를 공유하는 구조를 갖고, 공통 소스(S)에 접지선(GND)이 접속되어 있다. 소스(S)를 공통으로 하는 2개의 MISFET(463a, 463b)의 각각의 드레인(D)은 상이한 비트선(BL1, BL2)에 접속되어 있다. 도 21의 (b)에 나타내는 구성에서는, 셀의 점유 면적을 축소할 수 있어 집적 회로의 점유 면적을 저감할 수 있다고 하는 이점이 있다.

이상, 실시의 형태에 따라 본 발명을 설명하였지만, 본 발명은 이것들로 제한되는 것은 아니다. 그 외, 여러 가지의 변경, 개량, 조합이 가능한 것은 당업자에게 자명한 일이다.

본 발명의 강자성 반도체를 채널 영역에 이용한 MISFET에 의하면, 드레인 전류를 게이트 전압으로 제어할 수 있는 트랜지스터로서 특성을 가질 뿐만 아니라, 그 전달 컨덕턴스를 강자성 채널 영역과 강자성 소스(또는 강자성 드레인 또는 강자성 소스 및 강자성 드레인의 양쪽 모두)의 상대적인 자화의 방향에 의해 제어할 수 있다고 하는 특징적인 특성을 겸비한다.

따라서, 이 상대적인 자화의 방향에 의해 2치의 정보를 기억할 수 있을 뿐만 아니라, 이 상대적인 자화의 방향을 전기적으로 검출할 수 있다. 또한, 강자성 반도체로 이루어지는 채널 영역의 전계 효과에 의한 자성 제어를 이용하면, 정보의 재기입에 필요한 전류의 대폭적인 저감이 가능해진다. 따라서, 상기 MISFET는 고밀도 집적화에 적절한 고성능 불휘발성 메모리 셀을 구성할 수 있다.

이상, 본 발명의 실시 형태에 대해 설명했지만, 본 발명은 이것들로 제한되는 것은 아니다. 그 외, 여러 가지의 변경, 개량, 조합이 가능한 것은 당업자에게는 자명한 일이다.

산업상 이용 가능성

본 발명은 불휘발성 메모리 장치에 있어서, 고집적화와 저소비 전력화가 가능하며, 여러 가지의 전자 기기, 특히 휴대용 전자 기기용의 불휘발성 메모리 장치로서 응용이 가능하다.

(57) 청구의 범위

청구항 1.

캐리어를 주입하는 강자성체로 이루어지는 소스(이하, 「강자성 소스」라 함)와,

그 강자성 소스로부터 주입된 캐리어를 받는 드레인과,

상기 강자성 소스와 상기 드레인 사이에 형성되고 강자성체로 이루어지는 터널 장벽(이하, 「강자성 터널 장벽」이라 함)과,

상기 강자성 터널 장벽에 대해 형성되고, 그 강자성 터널 장벽에 전계를 인가함으로써 상기 강자성 소스로부터 상기 드레인으로의 캐리어의 전도를 제어하는 게이트 전극을 갖고,

상기 캐리어가 전자인 경우에는 상기 강자성 터널 장벽에서의 전도대의 에너지 밴드단이 스핀 분열하고 있고,

상기 캐리어가 정공인 경우에는 상기 강자성 터널 장벽에서의 가전자대의 에너지 밴드단이 스핀 분열하고 있는 것을 특징으로 하는 트랜지스터.

청구항 2.

제1항에 있어서,

상기 강자성 터널 장벽과 상기 게이트 전극 사이에 형성된 게이트 절연막을 갖는 것을 특징으로 하는 트랜지스터.

청구항 3.

제1항 또는 제2항에 있어서,

상기 강자성 터널 장벽은, 상기 강자성 소스에 대한 상기 강자성 터널 장벽의 상대적인 자화의 방향이 동일한 방향인 경우 또는 상기 강자성 소스의 다수 스핀의 방향과 상기 강자성 터널 장벽의 상기 에너지 밴드단에서의 스핀 밴드의 스핀 방향이 동일한 경우(이하, 「평행 자화」라 함)에, 상기 강자성 소스의 다수 스핀에 대한 터널 장벽이 낮게 형성되고,

상기 강자성 소스에 대한 상기 강자성 터널 장벽의 상대적인 자화의 방향이 서로 반대 방향(인 경우 또는 상기 강자성 소스의 다수 스핀의 방향과 상기 강자성 터널 장벽의 상기 에너지 밴드단에서의 스핀 밴드의 스핀 방향이 상이한 경우, 이하 「반평행 자화」라 함)에는, 상기 강자성 소스의 다수 스핀에 대한 터널 장벽이 높게 형성되는 것을 특징으로 하는 트랜지스터.

청구항 4.

제1항 또는 제2항에 있어서,

상기 강자성 터널 장벽은, 상기 강자성 소스와 상기 강자성 터널 장벽이 평행 자화인 경우에, 상기 게이트 전극에 대해 인가하는 전압(이하, 「게이트 전압」이라 함)에 의해, 상기 강자성 소스의 다수 스핀에 대한 상기 강자성 터널 장벽의 터널 확률을 제어할 수 있는 것을 특징으로 하는 트랜지스터.

청구항 5.

제1항 또는 제2항에 있어서,

상기 강자성 터널 장벽은, 상기 강자성 소스와 상기 강자성 터널 장벽이 평행 자화인 경우에, 게이트 전압을 상기 강자성 터널 장벽에 대해 인가함으로써, 상기 강자성 소스의 다수 스핀이 상기 강자성 터널 장벽을 터널링하는 것에 의한 전류를 발생시킬 정도의 두께를 갖는 것을 특징으로 하는 트랜지스터.

청구항 6.

제1항 또는 제2항에 있어서,

상기 강자성 소스와 상기 강자성 터널 장벽이 평행 자화인 경우에, 게이트 전압의 인가에 의해 상기 강자성 소스와 상기 드레인 사이에, 정해진 임의의 전류를 발생시키게 하는 게이트 전압으로서 정의되는 임계값을 갖는 것을 특징으로 하는 트랜지스터.

청구항 7.

제1항 또는 제2항에 있어서,

상기 강자성 소스와 상기 강자성 터널 장벽이 반평행 자화인 경우에는, 상기 강자성 소스의 다수 스핀에 대한 상기 강자성 터널 장벽의 배리어 높이가 상기 에너지 밴드단에서의 스핀 분열의 폭만큼 높아짐으로써 상기 강자성 소스와 상기 강자성 드레인 사이에 생기는 전류가 평행 자화의 경우에 비해 작아지는 것을 특징으로 하는 트랜지스터.

청구항 8.

제1항 또는 제2항에 있어서,

동일 바이어스 하에서, 상기 강자성 소스와 상기 강자성 터널 장벽의 상대적인 자화의 방향에 따라 상호 컨덕턴스를 제어할 수 있는 것을 특징으로 하는 트랜지스터.

청구항 9.

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 소스 또는 소스 및 드레인이 하프 메탈 강자성체에 의해 구성되어 있는 것을 특징으로 하는 트랜지스터.

청구항 10.

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 강자성 소스와 상기 강자성 터널 장벽 사이에 비자성체가 더 형성되어 있는 것을 특징으로 하는 트랜지스터.

청구항 11.

제1항 내지 제8항 및 제10항 중 어느 한 항에 있어서,

상기 드레인이, 비자성체 또는 강자성체 중 어느 하나인 것을 특징으로 하는 트랜지스터.

청구항 12.

캐리어를 주입하는 비자성체로 이루어지는 비자성 소스와,

그 비자성 소스로부터 주입된 캐리어를 받는 강자성 드레인과,

상기 비자성 소스와 상기 강자성 드레인 사이에 형성되고 강자성체로 이루어지는 강자성 터널 장벽과,

그 강자성 터널 장벽에 대해 형성되고, 그 강자성 터널 장벽에 전계를 인가함으로써 상기 비자성 소스로부터 상기 강자성 드레인으로의 캐리어의 전도를 제어하는 게이트 전극을 갖고,

상기 캐리어가 전자인 경우에는 상기 강자성 터널 장벽에서의 전도대의 에너지 밴드단이 스핀 분열하고 있고,

상기 캐리어가 정공인 경우에는 상기 강자성 터널 장벽에서의 가전자대의 에너지 밴드단이 스핀 분열하고 있는 것을 특징으로 하는 트랜지스터.

청구항 13.

기관과,

그 기관 상에 형성된 접합 구조체로서, 캐리어를 주입하는 강자성 소스와, 그 강자성 소스로부터 주입된 캐리어를 받는 드레인과, 상기 강자성 소스와 상기 드레인 사이에 형성된 강자성 터널 장벽과의 접합 구조체와,

상기 강자성 터널 장벽에 전계를 인가함으로써 상기 강자성 소스로부터 상기 드레인으로의 캐리어의 전도를 제어하는 게이트 전극을 갖고,

상기 캐리어가 전자인 경우에는 상기 강자성 터널 장벽에서의 전도대 바닥의 에너지 밴드단이 스핀 분열하고 있고,

상기 캐리어가 정공인 경우에는 상기 강자성 터널 장벽에서의 가전자대 정상의 에너지 밴드단이 스핀 분열하고 있고,

상기 접합 구조체의 접합면이, 상기 기관의 법선 방향과 거의 같은 방향인 것을 특징으로 하는 트랜지스터.

청구항 14.

제13항에 있어서,

상기 게이트 절연막은, 상기 접합 구조체에서의 접합면의 노출하는 부분에 형성되어 있는 것을 특징으로 하는 트랜지스터.

청구항 15.

기판과,

그 기판 상에 형성된 접합 구조체로서, 캐리어를 주입하는 강자성 소스와, 그 강자성 소스로부터 주입된 캐리어를 받는 드레인과, 상기 강자성 소스와 상기 드레인 사이에 형성된 강자성 터널 장벽의 접합 구조체와,

상기 강자성 터널 장벽에 전계를 인가함으로써 상기 강자성 소스로부터 상기 드레인으로의 캐리어의 전도를 제어하는 게이트 전극을 갖고,

상기 캐리어가 전자인 경우에는 상기 강자성 터널 장벽에서의 전도대 바닥의 에너지 밴드단이 스핀 분열하고 있고,

상기 캐리어가 정공인 경우에는 상기 강자성 터널 장벽에서의 가전자대 정상 에너지 밴드단이 스핀 분열하고 있고,

상기 접합 구조체의 접합면이, 상기 기판면과 평행한 방향과 거의 같은 방향인 것을 특징으로 하는 트랜지스터.

청구항 16.

제15항에 있어서,

상기 게이트 절연막은, 상기 접합 구조체에서의 접합면의 노출하는 측면에 형성되어 있는 것을 특징으로 하는 트랜지스터.

청구항 17.

제1항 내지 제16항 중 어느 한 항의 1개의 트랜지스터를 이용하고, 상기 강자성 소스와 상기 강자성 터널 장벽의 상대적인 자화의 방향에 따라 정보를 기억하고, 상기 강자성 소스와 상기 강자성 터널 장벽의 상대적인 자화의 방향에 의존하는 트랜지스터의 상호 컨덕턴스에 기초하는 출력 특성으로부터 상기 트랜지스터 내에 기억된 정보를 검출하는 것을 특징으로 하는 기억 소자.

청구항 18.

제1항 내지 제16항 중 어느 한 항의 1개의 트랜지스터와, 상기 강자성 소스를 접지하는 제1 배선과, 상기 드레인과 접속하는 제2 배선과, 상기 게이트 전극과 접속하는 제3 배선을 갖는 기억 소자.

청구항 19.

제1항 내지 제16항 중 어느 한 항의 1개의 트랜지스터와, 상기 강자성 소스를 접지하는 제1 배선과, 상기 드레인과 접속하는 제2 배선과, 상기 게이트 전극과 접속하는 제3 배선과, 상기 제2 배선의 일단에 형성되는 출력 단자와, 상기 제2 배선으로부터 분기하여 부하를 통해 전원과 접속하는 제4 배선을 갖는 기억 소자.

청구항 20.

제18항 또는 제19항에 있어서,

상기 트랜지스터 상에서 서로 전기적으로 절연된 상태로 교차하는 제1 별도 배선 및 제2 별도 배선을 더 갖는 것을 특징으로 하는 기억 소자.

청구항 21.

제20항에 있어서,

상기 제1 별도 배선 및 상기 제2 별도 배선, 또는 상기 제1 별도 배선 또는 상기 제2 별도 배선 중 어느 한쪽 대신에, 상기 제2 배선 및 상기 제3 배선, 또는 상기 제2 배선 또는 상기 제3 배선 중 어느 한쪽을 이용하는 것을 특징으로 하는 기억 소자.

청구항 22.

제20항 또는 제21항에 있어서,

상기 제1 별도 배선 및 제2 별도 배선, 또는 이들을 치환한 상기 제2 배선 및 상기 제3 배선, 또는 상기 제1 별도 배선 또는 제2 별도 배선 중 어느 한쪽을 치환한 상기 제2 배선 또는 상기 제3 배선과, 이것들로 치환되지 않았던 쪽의 상기 제1 별도 배선 또는 상기 제2 별도 배선에 전류를 흘림으로써 유기되는 자장에 의해, 상기 강자성 소스 또는 상기 강자성 터널 장벽의 자화를 반전시켜, 상기 강자성 소스에 대한 강자성 터널 장벽의 상대적인 자화 상태를 변화시킴으로써 정보의 재기입을 행하는 것을 특징으로 하는 기억 소자.

청구항 23.

제20항 또는 제21항에 있어서,

상기 제3 배선에 대해 제1 바이어스를 가하고, 상기 제1 배선과 제2 배선 사이에 제2 바이어스를 가했을 경우의 상기 트랜지스터의 출력 특성에 기초하여 정보의 판독을 행하는 것을 특징으로 하는 기억 소자.

청구항 24.

제19항 내지 제23항 중 어느 한 항에 있어서,

상기 제3 배선에 대해 제1 바이어스를 인가한 경우에, 상기 전원과 상기 제1 배선 사이에 생기는 상기 부하와 상기 트랜지스터를 통하는 전류에 의한 상기 부하의 전압 강하에 기초하여 얻어지는 출력 전압에 의해, 정보의 판독을 행하는 것을 특징으로 하는 기억 소자.

청구항 25.

매트릭스 형상으로 배치된 제1항 내지 제16항 중 어느 한 항의 트랜지스터와, 상기 강자성 소스를 각각 접지하는 제1 배선과, 열방향으로 나열되는 상기 트랜지스터의 상기 게이트 전극을 공통으로 접속하는 복수개의 워드선과, 행방향으로 나열되는 상기 트랜지스터의 상기 강자성 드레인을 공통으로 접속하는 복수개의 비트선을 갖는 기억 회로.

청구항 26.

매트릭스 형상으로 배치된 제1항 내지 제16항 중 어느 한 항의 트랜지스터와, 상기 강자성 소스를 각각 접지하는 제1 배선과, 열방향으로 나열되는 상기 트랜지스터의 상기 게이트 전극을 공통으로 접속하는 복수개의 워드선과, 행방향으로 나열되는 상기 트랜지스터의 상기 드레인을 공통으로 접속하는 복수개의 비트선과, 그 비트선의 각각의 일단에 형성되는 출력 단자와, 그 비트선의 각각으로부터 분기하여 부하를 통해 전원에 접속하는 제2 배선을 갖는 기억 회로.

청구항 27.

제25항 또는 제26항에 있어서,

상기 트랜지스터 상에서 서로 전기적으로 절연된 상태로 교차하는 제1 별도 배선 및 제2 별도 배선을 더 갖는 것을 특징으로 하는 기억 회로.

청구항 28.

제27항에 있어서,

상기 제1 별도 배선 및 상기 제2 별도 배선, 또는 상기 제1 별도 배선 또는 상기 제2 별도 배선 중 어느 한쪽 대신에, 상기 워드선 및 상기 비트선, 또는 상기 워드선 또는 상기 비트선 중 어느 한쪽을 이용하는 것을 특징으로 하는 기억 회로.

청구항 29.

제27항 또는 제28항에 있어서,

상기 제1 별도 배선 및 제2 별도 배선, 또는 이들을 치환한 상기 워드선 및 상기 비트선, 또는 상기 제1 별도 배선 또는 제2 별도 배선 중 어느 한쪽을 치환한 상기 워드선 또는 상기 비트선과, 이것들로 치환되지 않았던 쪽의 상기 제1 별도 배선 또는 제2 별도 배선에 전류를 흘림으로써 유기되는 자장에 의해, 상기 강자성 소스 또는 강자성 터널 장벽의 자화를 반전시켜, 상기 강자성 소스에 대한 상기 강자성 터널 장벽의 상대적인 자화 상태를 변화시킴으로써 정보의 재기입을 행하는 것을 특징으로 하는 기억 회로.

청구항 30.

제25항 또는 제26항에 있어서,

상기 워드선에 대해 제1 바이어스를 가하고, 상기 제1 배선과 상기 비트선 사이에 제2 바이어스를 가했을 경우의 상기 트랜지스터의 출력 특성에 기초하여 정보의 판독을 행하는 것을 특징으로 하는 기억 회로.

청구항 31.

제26항 내지 제29항 중 어느 한 항에 있어서,

상기 워드선에 대해 제1 바이어스를 인가한 경우에, 상기 전원과 상기 제1 배선 사이에 생기는 상기 부하와 상기 트랜지스터를 통하는 전류에 의한 상기 부하의 전압 강하에 기초하여 얻어지는 출력 전압에 의해, 정보의 판독을 행하는 것을 특징으로 하는 기억 회로.

청구항 32.

제1항 내지 제16항 중 어느 한 항의 제1 및 제2의 2개의 트랜지스터와, 상기 제1 및 상기 제2 트랜지스터에 공통의 강자성 소스를 접지하는 제1 배선과, 상기 제1 트랜지스터가 갖는 드레인과 상기 제2 트랜지스터가 갖는 드레인을 각각 접속하는 제2 및 제3 배선과, 상기 제1 트랜지스터가 갖는 게이트 전극과 상기 제2 트랜지스터가 갖는 게이트 전극을 접속하는 제4 배선을 갖는 기억 회로.

청구항 33.

매트릭스 형상으로 배치된 제1항 내지 제11항, 제15항 또는 제16항 중 어느 한 항의 복수의 트랜지스터로서, 상기 기판 또는 상기 기판측에 형성된 콘택층과 상기 트랜지스터의 각각의 강자성 소스가 공통으로 접속되어 접지되고 있는 트랜지스터와, 행방향으로 나열되는 복수의 상기 트랜지스터가 갖는 드레인을 공통으로 접속하는 비트선과, 열방향으로 나열되는 복수의 상기 트랜지스터가 갖는 게이트 전극을 공통으로 접속하는 워드선을 갖는 기억 회로.

청구항 34.

캐리어를 주입하는 강자성 소스와,

그 강자성 소스로부터 주입된 캐리어를 받는 드레인과,

상기 강자성 소스와 상기 드레인 사이에 형성된 강자성 터널 장벽을 갖고,

상기 캐리어가 전자인 경우에는 강자성 터널 장벽에서의 전도대의 에너지 밴드단이 스핀 분열하고 있고,

상기 전도 캐리어가 정공인 경우에는 강자성 터널 장벽에서의 가전자대의 에너지 밴드단이 스핀 분열하고 있는 것을 특징으로 하는 2단자 자기 저항 소자.

청구항 35.

강자성 반도체층과,

그 강자성 반도체층에 캐리어를 주입하는 소스와,

상기 강자성 반도체층에 주입된 캐리어를 받는 드레인과,

상기 소스로부터 상기 드레인으로의 캐리어의 전도를 제어하는 전압을 인가하는 게이트 전극을 갖는 것을 특징으로 하는 트랜지스터.

청구항 36.

제35항에 있어서,

상기 소스 또는 상기 드레인 중 한쪽이, 상기 강자성 반도체층에 접합하는 비자성체로 이루어지는 터널 장벽(이하, 「비자성 터널 장벽」이라 함)과 그 비자성 터널 장벽에 접합하는 강자성체로 이루어지는 전극(이하, 「강자성 전극」이라 함)을 포함하여 구성되는 강자성 소스 또는 강자성 드레인인 것을 특징으로 하는 트랜지스터.

청구항 37.

제35항 또는 제36항에 있어서,

상기 소스가 상기 강자성 소스인 경우에, 상기 드레인층은 상기 강자성 반도체층에 접합하는 비자성 터널 장벽과 그 비자성 터널 장벽에 접합하는 비자성체로 이루어지는 전극(이하, 「비자성 전극」이라 함)을 포함하여 구성되는 비자성 드레인인 것을 특징으로 하는 트랜지스터.

청구항 38.

제35항 또는 제36항에 있어서,

상기 드레인이 상기 강자성 드레인인 경우에, 상기 소스가 상기 강자성 반도체층에 접합하는 비자성 터널 장벽과 그 비자성 터널 장벽에 접합하는 비자성 전극을 포함하여 구성되는 비자성 소스인 것을 특징으로 하는 트랜지스터.

청구항 39.

제35항에 있어서,

상기 소스 및 상기 드레인의 양쪽 모두가 상기 강자성 반도체층에 접합하는 비자성 터널 장벽과 그 비자성 터널 장벽에 접합하는 강자성 전극을 포함하여 구성되는 것을 특징으로 하는 트랜지스터.

청구항 40.

제35항 내지 제39항 중 어느 한 항에 있어서,

상기 비자성 터널 장벽이 상기 강자성 반도체층의 모재(母材)로 한 반도체에 의해 형성되어 있는 것을 특징으로 하는 트랜지스터.

청구항 41.

제35항에 있어서,

상기 소스 또는 상기 드레인 중 어느 한쪽이 상기 강자성 반도체층에 접합하는 강자성체로 이루어지는 터널 장벽(이하, 「강자성 터널 장벽」이라 함)과 그 강자성 터널 장벽에 접합하는 비자성 전극을 포함하여 구성되는 강자성 소스 또는 강자성 드레인인 것을 특징으로 하는 트랜지스터.

청구항 42.

제35항 또는 제41항에 있어서,

상기 소스가 상기 강자성 소스인 경우에, 상기 드레인층은 상기 강자성 반도체층에 접합하는 비자성 터널 장벽과 그 비자성 터널 장벽에 접합하는 비자성 전극을 포함하여 구성되는 비자성 드레인인 것을 특징으로 하는 트랜지스터.

청구항 43.

제35항 또는 제41항에 있어서,

상기 드레인이 상기 강자성 드레인인 경우에, 상기 소스가 상기 강자성 반도체층에 접합하는 비자성 터널 장벽과 그 비자성 터널 장벽에 접합하는 비자성 전극을 포함하여 구성되는 비자성 소스인 것을 특징으로 하는 트랜지스터.

청구항 44.

제35항에 있어서,

상기 소스 및 상기 드레인의 양쪽 모두가 상기 강자성 반도체층에 접합하는 강자성 터널 장벽과 그 강자성 터널 장벽에 접합하는 비자성 전극을 포함하여 구성되는 강자성 소스 및 강자성 드레인인 것을 특징으로 하는 트랜지스터.

청구항 45.

제35항 내지 제44항 중 어느 한 항에 있어서,

상기 캐리어가 전자인 경우에는, 상기 강자성 터널 장벽 또는 비자성 터널 장벽에 의한 에너지 장벽은 적어도 전도 밴드층에 생기고, 상기 캐리어가 정공인 경우에는 상기 에너지 장벽은 적어도 가전자 밴드층에 생기는 것을 특징으로 하는 트랜지스터.

청구항 46.

제35항 내지 제45항 중 어느 한 항에 있어서,

상기 강자성 반도체층은 반도체에 자성 원소를 첨가한 강자성 반도체에 의해 형성되는 것을 특징으로 하는 트랜지스터.

청구항 47.

제35항 내지 제46항 중 어느 한 항에 있어서,

상기 강자성 소스 또는 상기 강자성 드레인은 상기 강자성 전극으로서 강자성 금속 또는 강자성 반도체 또는 하프 메탈 강자성체 중 어느 하나를 포함하는 것을 특징으로 하는 트랜지스터.

청구항 48.

제35항 내지 제46항 중 어느 한 항에 있어서,

상기 강자성 소스 또는 상기 강자성 드레인은, 상기 강자성 터널 장벽으로서 절연성 강자성체를 포함하며, 상기 캐리어가 전자인 경우에는 적어도 상기 절연성 강자성체의 전도대의 밴드단이 스핀 분열하고 있고, 상기 캐리어가 정공인 경우에는 적어도 상기 절연성 강자성체의 가전자대의 밴드단이 스핀 분열하고 있는 것을 특징으로 하는 트랜지스터.

청구항 49.

제35항 내지 제48항 중 어느 한 항에 있어서,

상기 강자성 전극에 이용하는 강자성 반도체는 반도체에 자성 원소를 첨가한 강자성 반도체인 것을 특징으로 하는 트랜지스터.

청구항 50.

제35항 내지 제47항 중 어느 한 항에 있어서,

상기 강자성 전극이 하프 메탈 강자성체인 경우에, 상기 비자성 터널 장벽 또는 상기 강자성 터널 장벽이 상기 하프 메탈 강자성체의 금속적 스핀 밴드에 대해 에너지 장벽을 형성하는 것을 특징으로 하는 트랜지스터.

청구항 51.

제35항 내지 제50항 중 어느 한 항에 있어서,

상기 게이트 전극과 상기 강자성 반도체층 사이에 절연체층이 형성되어 있는 것을 특징으로 하는 트랜지스터.

청구항 52.

제51항에 있어서,

상기 절연체층은 상기 강자성 반도체층의 표면을 산화함으로써 형성된 표면 산화층을 포함하는 것을 특징으로 하는 트랜지스터.

청구항 53.

제51항에 있어서,

상기 절연체층은 상기 강자성 반도체층 상에 성장 또는 퇴적된 절연체층인 것을 특징으로 하는 트랜지스터.

청구항 54.

제35항 내지 제53항 중 어느 한 항에 있어서,

반도체로 이루어지는 기판 또는 반도체층을 형성한 기판 또는 절연체층을 형성한 기판 상에 형성되어 있는 것을 특징으로 하는 트랜지스터.

청구항 55.

제54항에 있어서,

상기 기판 상에 형성된 상기 트랜지스터로서, 상기 소스 및 상기 드레인에서의 상기 게이트 전극 근방의 접합 계면이, 상기 기판의 주면에 수직이며, 상기 소스로부터 상기 드레인으로 향하는 캐리어의 흐름이 상기 기판의 주면과 거의 평행한 면내에 있는 것을 특징으로 하는 트랜지스터.

청구항 56.

제54항 또는 제55항에 있어서,

상기 강자성 전극 또는 상기 비자성 전극이, 상기 비자성 터널 장벽 또는 상기 강자성 터널 장벽에 의해, 상기 강자성 반도체 층 및 상기 기판과 분리되는 것을 특징으로 하는 트랜지스터.

청구항 57.

제54항에 있어서,

상기 기판에 형성된 상기 트랜지스터로서, 상기 소스 및 상기 드레인에서의 상기 강자성 반도체의 접합 계면이 상기 기판의 주면에 거의 평행이고, 상기 소스로부터 상기 드레인으로 향하는 캐리어가 상기 기판의 주면에 거의 수직인 방향으로 흐르는 것을 특징으로 하는 트랜지스터.

청구항 58.

제54항 또는 제57항에 있어서,

상기 기판의 주면에 거의 평행으로 적층되는 상기 소스와, 상기 강자성 반도체와, 상기 드레인의 적층 구조와, 그 적층 구조의 측면에 형성되는 게이트 절연막 및 게이트 전극을 갖는 것을 특징으로 하는 트랜지스터.

청구항 59.

제58항에 있어서,

상기 기판에 형성한 도전성의 반도체층을 상기 소스로의 콘택트층으로 하는 것을 특징으로 하는 트랜지스터.

청구항 60.

제58항에 있어서,

상기 기판에 형성한 도전성의 반도체층을 상기 소스로의 공통의 콘택트층으로 하는 것을 특징으로 하는 복수의 트랜지스터.

청구항 61.

제54항에 있어서,

상기 기판 상에 형성된 상기 트랜지스터로서, 상기 소스 및 상기 드레인에서의 상기 게이트 전극 근방에서의 상기 강자성 반도체와의 접합 계면이, 상기 기판의 주면과 거의 평행이며, 상기 소스로부터 상기 드레인으로 향하는 캐리어의 흐름이, 상기 기판의 주면과 거의 평행한 면내를 통과하는 것을 특징으로 하는 트랜지스터.

청구항 62.

제61항에 있어서,

상기 기판 상에, 강자성 반도체층과 비자성 터널 장벽과 강자성 전극의 순서로 적층한 구조 또는 강자성 반도체층과 강자성 터널 장벽과 비자성 전극의 순서로 적층한 구조에 그 강자성 반도체층 또는 그 강자성 반도체층 내부까지 도달하는 깊이의 저부를 갖는 오목부를 형성하고, 그 오목부의 내면에, 게이트 절연막과 게이트 전극을 형성한 것을 특징으로 하는 트랜지스터.

청구항 63.

제35항 내지 제62항 중 어느 한 항에 있어서,

상기 강자성 반도체층의 자화의 방향을 바꿈으로써 그 강자성 반도체층과, 상기 강자성 소스 또는 상기 강자성체 드레인에 포함되는 상기 강자성 전극 또는 상기 강자성 터널 장벽의 자화 상태를 평행 자화 또는 반평행 자화로 제어할 수 있는 것을 특징으로 하는 트랜지스터.

청구항 64.

제54항 내지 제62항 중 어느 한 항에 있어서,

상기 강자성 소스 및 상기 강자성체 드레인에 포함되는 강자성체간의 자화 상태를 평행 자화로 고정하고, 상기 강자성 반도체층의 자화의 방향을 바꿈으로써, 그 강자성 반도체층과, 그 강자성 소스 및 그 강자성 드레인에 포함되는 상기 강자성 전극 또는 상기 강자성 터널 장벽의 자화 상태를 평행 자화 또는 반평행 자화로 제어할 수 있는 것을 특징으로 하는 트랜지스터.

청구항 65.

제35항 내지 제62항 중 어느 한 항에 있어서,

상기 강자성 소스 또는 상기 강자성체 드레인에 포함되는 상기 강자성 전극 또는 상기 강자성 터널 장벽의 자화의 방향을 바꿈으로써, 상기 강자성 소스 또는 상기 강자성체 드레인에 포함되는 상기 강자성 전극 또는 상기 강자성 터널 장벽과, 상기 강자성 반도체층의 자화 상태를 평행 자화 또는 반평행 자화로 제어할 수 있는 것을 특징으로 하는 트랜지스터.

청구항 66.

제54항 내지 제62항 중 어느 한 항에 있어서,

상기 강자성 소스 및 상기 강자성체 드레인에 포함되는 상기 강자성 전극 또는 상기 강자성 터널 장벽의 자화의 방향을 바꿈으로써, 상기 강자성 소스 및 상기 강자성체 드레인에 포함되는 상기 강자성 전극 또는 상기 강자성 터널 장벽과, 상기 강자성 반도체층의 자화 상태를, 평행 자화 또는 반평행 자화로 제어할 수 있는 것을 특징으로 하는 트랜지스터.

청구항 67.

제35항 내지 제66항 중 어느 한 항에 있어서,

상기 게이트 전극과 상기 강자성 소스 또는 상기 비자성 소스의 사이에 전압을 인가하지 않는 상태에서, 상기 강자성 소스 또는 상기 비자성 소스와 상기 강자성 반도체층의 접합에서의 상기 강자성 터널 장벽 또는 상기 비자성 터널 장벽에 의해 상기 소스로부터 상기 강자성 반도체층으로의 캐리어의 주입이 억제되는 것을 특징으로 하는 트랜지스터.

청구항 68.

제35항 내지 제67항 중 어느 한 항에 있어서,

상기 게이트 전극과 상기 강자성 소스 또는 상기 비자성 소스의 사이에 전압을 인가함으로써, 상기 캐리어가 상기 강자성 터널 장벽 또는 상기 비자성 터널 장벽을 통과함으로써 상기 강자성 반도체층에 주입되는 것을 특징으로 하는 트랜지스터.

청구항 69.

제35항 내지 제68항 중 어느 한 항에 있어서,

상기 강자성 소스 또는 상기 강자성 드레인 혹은 상기 강자성 소스 및 상기 강자성 드레인과, 상기 강자성 반도체층의 자화 상태가 평행 자화인 경우에 대해, 상기 자화 상태가 반평행 자화인 경우에는, 드레인 전류가 작아지는 것을 특징으로 하는 트랜지스터.

청구항 70.

제35항 내지 제69항 중 어느 한 항에 있어서,

동일 바이어스 하에서, 상기 강자성 소스 또는 상기 강자성 드레인 혹은 상기 강자성 소스 및 상기 강자성 드레인과, 상기 강자성 반도체층의 상대적인 자화의 방향에 따라 전달 컨덕턴스를 제어할 수 있는 것을 특징으로 하는 트랜지스터.

청구항 71.

제35항 내지 제70항 중 어느 한 항에 있어서,

상기 강자성 소스 또는 상기 강자성 드레인 혹은 상기 강자성 소스 및 상기 강자성 드레인과, 상기 강자성 반도체층이 평행 자화를 갖는 경우에, 상기 게이트 전극에 대해 인가하는 전압에 의해 상기 강자성 소스와 상기 강자성 드레인 사이에 정해진 임의의 전류를 발생시키게 하는 게이트 전압으로서 정의되는 임계값을 갖는 것을 특징으로 하는 트랜지스터.

청구항 72.

제35항 내지 제71항 중 어느 한 항에 있어서,

상기 강자성 소스 또는 상기 강자성 드레인 혹은 상기 강자성 소스 및 상기 강자성 드레인과 상기 강자성 반도체층의 상대적인 자화의 방향에 따라 정보를 기억하고, 상기 강자성 소스 또는 상기 강자성 드레인 혹은 상기 강자성 소스 및 상기 강자성 드레인과 상기 강자성 반도체층의 상대적인 자화의 방향에 의존하는 트랜지스터의 전달 컨덕턴스에 기초하여 상기 트랜지스터 내에 기억된 정보를 검출하는 것을 특징으로 하는 트랜지스터.

청구항 73.

제72항에 있어서,

상기 강자성 반도체층에 대해, 상기 소스 및 상기 드레인에 상기 강자성 반도체층이 상자성 상태가 되도록 바이어스를 인가하고, 상기 강자성 반도체층에 대해 자장을 인가함으로써 상자성 상태가 된 상기 강자성 반도체층의 자화 방향을 변화시

킨 후에, 자장의 인가를 계속하는 상태에서 상기 소스와 상기 드레인의 상기 바이어스의 인가를 끊거나 또는 상기 강자성 반도체층을 강자성 상태로 되돌릴 정도의 바이어스를 인가함으로써 상기 강자성 반도체층을 강자성 상태로 함으로써 정보를 재기입하는 것을 특징으로 하는 트랜지스터.

청구항 74.

제72항에 있어서,

상기 강자성 반도체층에 대해, 상기 소스 및 상기 드레인에 상기 강자성 반도체층이 보자력이 충분히 작은 강자성 상태로 되도록 바이어스를 인가하고, 상기 강자성 반도체층에 대해 자장을 인가함으로써 보자력이 충분히 작은 강자성 상태로 된 상기 강자성 반도체층의 자화 방향을 변화시킨 후에, 자장의 인가를 유지한 상태에서 상기 소스와 상기 드레인의 상기 바이어스의 인가를 끊거나 또는 상기 강자성 반도체층을 강자성 상태로 되돌릴 정도의 바이어스를 인가함으로써 상기 강자성 반도체층을 보자력이 큰 강자성 상태로 함으로써 정보를 재기입하는 것을 특징으로 하는 트랜지스터.

청구항 75.

제72항에 있어서,

상기 강자성 반도체층에 대해, 상기 소스 및 상기 드레인에 바이어스를 인가하여 상기 강자성 반도체층을 소자하고, 상기 강자성 반도체층에 대해 자장을 인가하여 초기 자화 상태를 이용함으로써 정보를 재기입하는 것을 특징으로 하는 트랜지스터.

청구항 76.

제72항에 있어서,

상기 소스를 기준으로 하여 상기 드레인과 상기 게이트 전극에 대해, 각각 소정의 전압을 인가했을 경우의 상기 드레인과 상기 게이트 전극 사이에 흐르는 전류의 크기에 기초하여, 정보의 판독을 행하는 것을 특징으로 하는 트랜지스터.

청구항 77.

제35항 내지 제76항 중 어느 한 항의 1개의 트랜지스터와, 상기 게이트 전극과 접속하는 제1 배선과, 상기 드레인과 접속하는 제2 배선과, 상기 소스를 접지하는 제3 배선을 갖는 기억 소자.

청구항 78.

제77항에 있어서,

상기 제2 배선과 상기 제3 배선에, 상기 강자성 반도체층이 보자력이 큰 강자성 상태에서부터 상자성 상태로 될 정도의 제1 전압을 인가하고, 상기 강자성 반도체층의 자화 방향을 변화시킬 수 있을 정도의 자장을 유지하는 전류를 상기 제1 배선에 흘리고, 상기 제1 전압을 끊거나 또는 상기 강자성 반도체층을 강자성으로 되돌릴 정도의 제2 전압을 인가해 상기 강자성 반도체층을 강자성 상태로 함으로써 정보를 재기입하는 정보 재기입 수단을 갖는 것을 특징으로 하는 기억 소자.

청구항 79.

제77항에 있어서,

상기 제2 배선과 상기 제3 배선에, 상기 강자성 반도체층이 보자력이 큰 강자성 상태에서 보자력이 충분히 작은 강자성 상태로 될 정도의 제1 전압을 인가하고, 상기 강자성 반도체층의 자화 방향을 변화시킬 수 있을 정도의 자장을 유기하는 전류를 상기 제1 배선에 흘리고, 상기 제1 전압을 끊거나 또는 상기 강자성 반도체층을 강자성으로 되돌릴 정도의 제2 전압을 인가해 상기 강자성 반도체층을 보자력이 큰 강자성 상태로 함으로써 정보를 재기입하는 정보 재기입 수단을 갖는 것을 특징으로 하는 기억 소자.

청구항 80.

제77항에 있어서,

상기 제2 배선과 상기 제3 배선에, 상기 강자성 반도체층이 소자 상태로 되도록 제1 전압을 인가하고, 상기 제1 인가 전압을 끊은 후에 상기 강자성 반도체층을 초기 자화 특성을 이용하여 자화할 수 있을 정도의 자장을 유기하는 전류를 상기 제1 배선에 흘림으로써, 정보를 재기입하는 정보 재기입 수단을 갖는 것을 특징으로 하는 기억 소자.

청구항 81.

제77항에 있어서,

상기 제3 배선을 기준으로 하고, 상기 제2 배선과 상기 제1 배선에 대해, 각각 소정의 전압을 인가했을 경우의 상기 제2 배선과 상기 제3 배선 사이에 흐르는 전류의 크기에 기초하여, 정보의 판독을 행하는 것을 특징으로 하는 기억 소자.

청구항 82.

제35항 내지 제76항 중 어느 한 항의 복수의 트랜지스터와, 복수의 상기 트랜지스터 중에서 선택되는 제1군의 트랜지스터의 소스를 공통으로 접지하는 접지선과, 상기 제1군의 트랜지스터의 게이트를 공통으로 접속하는 워드선과, 상기 제1군의 트랜지스터의 드레인과 개별적으로 접속될 뿐만 아니라, 상기 제1군에 속하지 않는 트랜지스터를 포함하는 제2군의 트랜지스터의 드레인을 공통으로 접속하는 비트선을 갖는 기억 회로.

청구항 83.

제35항 내지 제76항 중 어느 한 항의 복수의 트랜지스터와, 한 방향으로 연장하는 복수의 상기 트랜지스터로 이루어지는 트랜지스터열에 속하는 트랜지스터의 소스를 공통으로 접지하는 접지선과, 상기 트랜지스터열에 속하는 트랜지스터의 게이트를 공통으로 접속하는 워드선과, 상기 트랜지스터열의 드레인을 개별적으로 접속하는 복수의 비트선을 갖는 기억 회로.

청구항 84.

매트릭스 형상으로 배치된 제35항 내지 제76항 중 어느 한 항의 복수의 트랜지스터와, 열방향으로 나열되는 복수의 상기 트랜지스터의 각각의 소스를 공통으로 접속하는 복수개의 접지선과, 열방향으로 나열되는 복수의 상기 트랜지스터의 각각의 게이트 전극을 공통으로 접속하는 복수개의 워드선과, 행방향으로 나열되는 복수의 상기 트랜지스터의 각각의 드레인을 공통으로 접속하는 복수개의 비트선을 갖는 기억 회로.

청구항 85.

제35항 내지 제76항 중 어느 한 항의 서로 인접하는 제1 및 제2의 2개의 트랜지스터와, 상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극을 공통 접속하는 워드선과, 상기 제1 트랜지스터의 드레인과 접속하는 제1 비트선 및 상기 제2 트랜지스터의 드레인과 접속하는 제2 비트선과, 제1 및 제2 트랜지스터에 공통의 소스와, 그 공통의 소스를 접지하는 배선으로서, 상기 비트선과 직교하는 방향으로 연장되는 배선을 갖는 기억 회로.

청구항 86.

제83항 내지 제85항 중 어느 한 항에 있어서,

상기 비트선과 상기 접지선에, 상기 강자성 반도체층이 강자성 상태에서부터 상자성 상태로 될 정도의 제1 전압을 인가하고, 상기 강자성 반도체층의 자화 방향을 변화시킬 수 있을 정도의 자장을 유기하는 전류를 상기 워드선에 흘리고, 상기 제1 전압을 끊거나 또는 상기 강자성 반도체층을 강자성으로 되돌릴 정도의 제2 전압을 인가해 상기 강자성 반도체층을 상자성 상태로 함으로써 상기 워드선과 상기 비트선에 의해 선택되는 선택 트랜지스터의 정보를 재기입하는 정보 재기입 수단을 갖는 것을 특징으로 하는 기억 회로.

청구항 87.

제82항 내지 제85항 중 어느 한 항에 있어서,

상기 비트선과 상기 접지선에, 상기 강자성 반도체층이 보자력이 큰 강자성 상태에서 보자력이 충분히 작은 강자성 상태로 될 정도의 제1 전압을 인가하고, 상기 강자성 반도체층의 자화 방향을 변화시킬 수 있을 정도의 자장을 유기하는 전류를 상기 워드선에 흘리고, 상기 제1 전압을 끊거나 또는 상기 강자성 반도체층을 강자성으로 되돌릴 정도의 제2 전압을 인가해 상기 강자성 반도체층을 강자성 상태로 함으로써 상기 워드선과 상기 비트선에 의해 선택되는 선택 트랜지스터의 정보를 재기입하는 정보 재기입 수단을 갖는 것을 특징으로 하는 기억 소자.

청구항 88.

제83항 내지 제85항 중 어느 한 항에 있어서,

상기 비트선과 상기 접지선에 상기 강자성 반도체층이 소자 상태로 될 정도의 제1 전압을 인가하고, 상기 제1 전압 인가를 끊은 후에 상기 강자성 반도체층을 초기 자화 특성을 이용해 자화할 수 있을 정도의 자장을 유기하는 전류를 상기 워드선에 흘림으로써 정보를 재기입하는 정보 재기입 수단을 갖는 것을 특징으로 하는 기억 회로.

청구항 89.

제82항 내지 제85항 중 어느 한 항에 있어서,

상기 접지선을 기준으로 하고, 상기 비트선과, 상기 워드선에 대해, 각각 소정의 전압을 인가했을 경우의, 상기 비트선과 상기 접지선 사이에 흐르는 전류의 크기에 기초하여, 상기 워드선과 상기 비트선에 의해 선택되는 선택 트랜지스터의 정보의 판독을 행하는 것을 특징으로 하는 기억 회로.

청구항 90.

제35항 내지 제76항 중 어느 한 항의 복수의 트랜지스터와, 복수의 상기 트랜지스터 중에서 선택되는 제1군의 트랜지스터의 소스를 공통으로 접지하는 접지선과, 상기 제1군의 트랜지스터의 드레인을 공통으로 접속하는 비트선과, 상기 제1군의 트랜지스터의 게이트와 개별적으로 접속됨과 함께, 상기 제1군에 속하지 않는 트랜지스터를 포함하는 제2군의 트랜지스터의 게이트를 공통으로 접속하는 워드선을 갖는 기억 회로.

청구항 91.

제35항 내지 제76항 중 어느 한 항의 복수의 트랜지스터와, 한 방향으로 연장하는 복수의 상기 트랜지스터로 이루어지는 트랜지스터행에 속하는 트랜지스터의 소스를 공통으로 접지하는 접지선과, 상기 트랜지스터행에 속하는 트랜지스터의 드레인을 공통으로 접속하는 비트선과, 상기 트랜지스터행의 게이트와 개별적으로 접속되는 복수의 워드선을 갖는 기억 회로.

청구항 92.

매트릭스 형상으로 배치된 제35항 내지 제76항 중 어느 한 항의 복수의 트랜지스터와, 행방향으로 나열되는 복수의 상기 트랜지스터의 각각의 소스를 공통으로 접속하는 접지용의 복수개의 접지선과, 열방향으로 나열되는 복수의 상기 트랜지스터의 각각의 게이트 전극을 공통으로 접속하는 복수개의 워드선과, 행방향으로 나열되는 상기 트랜지스터의 각각의 드레인을 공통으로 접속하는 복수개의 비트선을 갖는 기억 회로.

청구항 93.

매트릭스 형상으로 배치된 제35항 내지 제76항 중 어느 한 항의 복수의 트랜지스터와, 행방향으로 나열되는 복수의 상기 트랜지스터의 각각의 소스를 공통으로 접속하는 접지용의 복수개의 접지선과, 열방향으로 나열되는 복수의 상기 트랜지스터의 각각의 게이트 전극을 공통으로 접속하는 복수개의 워드선과, 행방향으로 나열되는 상기 트랜지스터의 각각의 드레인을 공통으로 접속하는 복수개의 비트선을 갖고, 상기 접지선 중 열방향으로 인접하는 접지선이 공통화된 1개의 배선에 의해 형성되어 있는 것을 특징으로 하는 기억 회로.

청구항 94.

제35항 내지 제76항 중 어느 한 항의 서로 인접하는 제1 및 제2의 2개의 트랜지스터와, 상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극을 공통 접속하는 워드선과, 상기 제1 트랜지스터의 드레인과 접속하는 제1 비트선 및 상기 제2 트랜지스터의 드레인과 접속하는 제2 비트선과, 제1 및 제2 트랜지스터에 공통의 소스와, 그 공통의 소스를 접지하는 배선으로서, 상기 비트선과 평행하는 방향으로 연장하는 배선을 갖는 기억 회로.

청구항 95.

제90항 내지 제94항 중 어느 한 항에 있어서,

상기 비트선과 상기 접지선에, 상기 강자성 반도체층이 보자력이 큰 강자성 상태로부터 상자성 상태로 될 정도의 제1 전압을 인가하고, 상기 강자성 반도체층의 자화 방향을 변화시킬 수 있을 정도의 자장을 유기하는 전류를 복수의 상기 워드선에 함께 흘리고, 상기 제1 전압을 끊거나, 또는 상기 강자성 반도체층을 강자성으로 되돌릴 정도의 제2 전압을 인가해 상기 강자성 반도체층을 강자성 상태로 함으로써, 상기 비트선과 상기 접지선에 접속됨과 함께 전류를 흘린 복수의 상기 워드선에도 접속되는 트랜지스터군의 정보를 일괄하여 재기입하는 정보 재기입 수단을 갖는 것을 특징으로 하는 기억 회로.

청구항 96.

제90항 내지 제94항 중 어느 한 항에 있어서,

상기 비트선과 상기 접지선에, 상기 강자성체 반도체층이 보자력이 큰 강자성 상태에서 보자력이 충분히 작은 강자성 상태로 될 정도의 제1 전압을 인가하고, 상기 강자성 반도체층의 자화 방향을 변화시킬 수 있을 정도의 자장을 유기하는 전류를 복수의 상기 워드선에 함께 흘리고, 상기 제1 전압을 끊거나, 또는 상기 강자성 반도체층을 강자성으로 되돌릴 정도의 제2 전압을 인가해 상기 강자성 반도체층을 강자성 상태로 함으로써, 상기 비트선과 상기 접지선에 접속됨과 함께 전류를 흘린 복수의 상기 워드선에도 접속되는 트랜지스터군의 정보를 일괄하여 재기입하는 정보 재기입 수단을 갖는 것을 특징으로 하는 기억 회로.

청구항 97.

제90항 내지 제94항 중 어느 한 항에 있어서,

상기 접지선과 상기 비트선에, 상기 강자성 반도체층이 소자 상태로 되도록 제1 전압을 인가하고, 상기 제1 전압 인가를 끊은 후에 상기 강자성 반도체층을 초기 자화 특성을 이용해 자화할 수 있을 정도의 자장을 유기하는 전류를 상기 워드선에 흘려, 정보를 재기입하는 정보 재기입 수단을 갖는 것을 특징으로 하는 기억 회로.

청구항 98.

제90항 내지 제93항 중 어느 한 항에 있어서,

상기 접지선을 기준으로 하고, 상기 비트선과 상기 워드선에 대해, 각각 소정의 전압을 인가했을 경우의, 상기 비트선과 상기 접지선 사이에 흐르는 전류의 크기에 기초하여, 상기 워드선과 상기 비트선에 의해 선택되는 선택 트랜지스터의 정보의 판독을 행하는 것을 특징으로 하는 기억 회로.

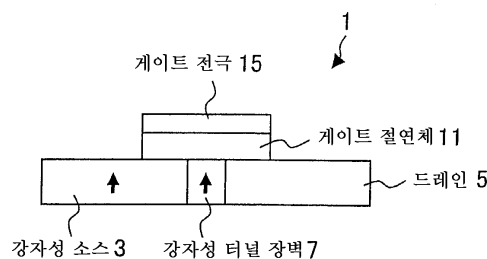
청구항 99.

제77항 내지 제98항 중 어느 한 항에 있어서,

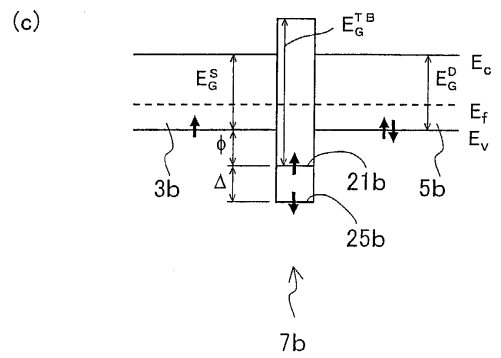
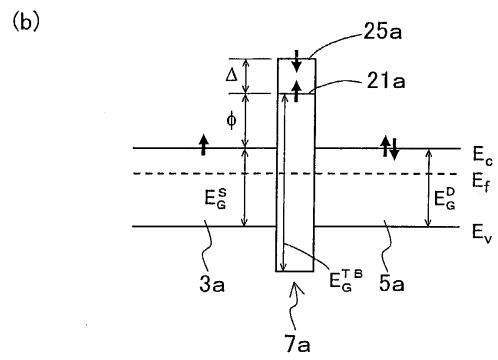
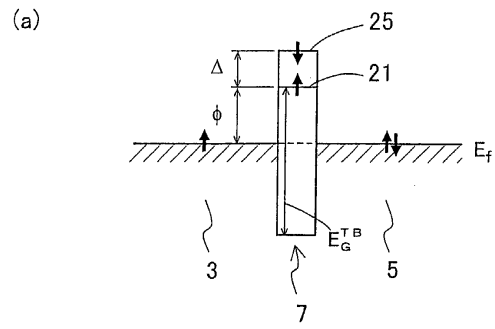
상기 워드선 또는 상기 제1 배선의 외주를 둘러싸는 요크를 구비하는 것을 특징으로 하는 기억 소자 또는 기억 회로.

도면

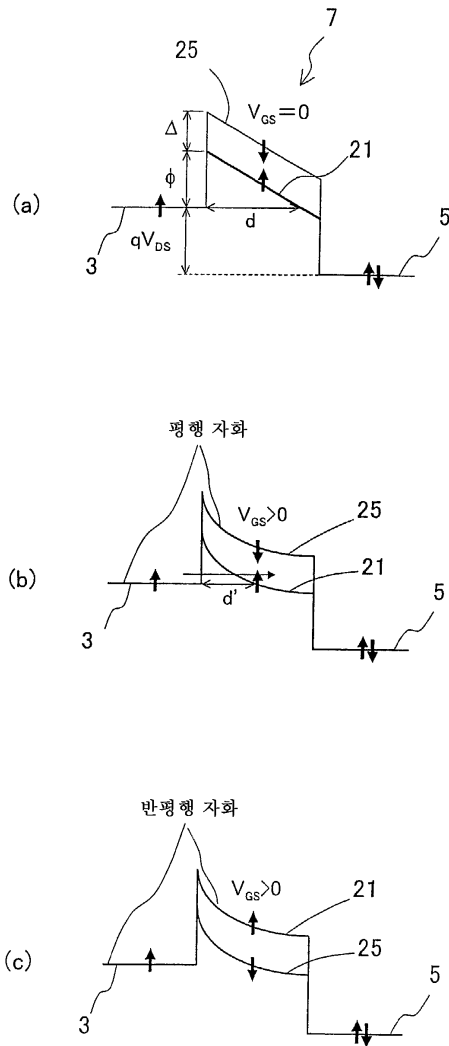
도면1



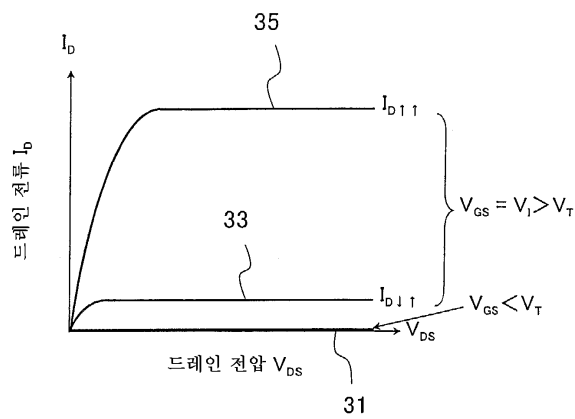
도면2



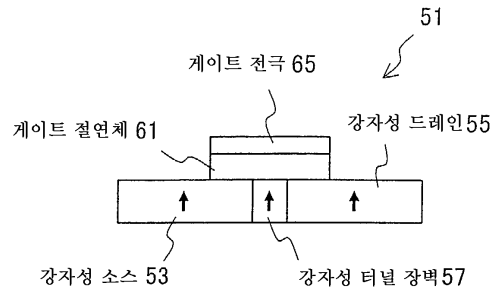
도면3



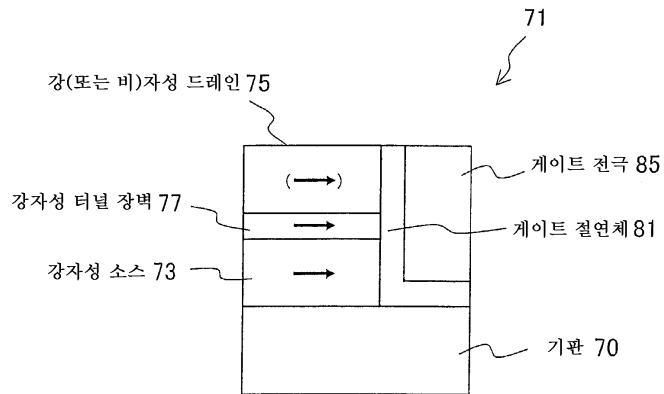
도면4



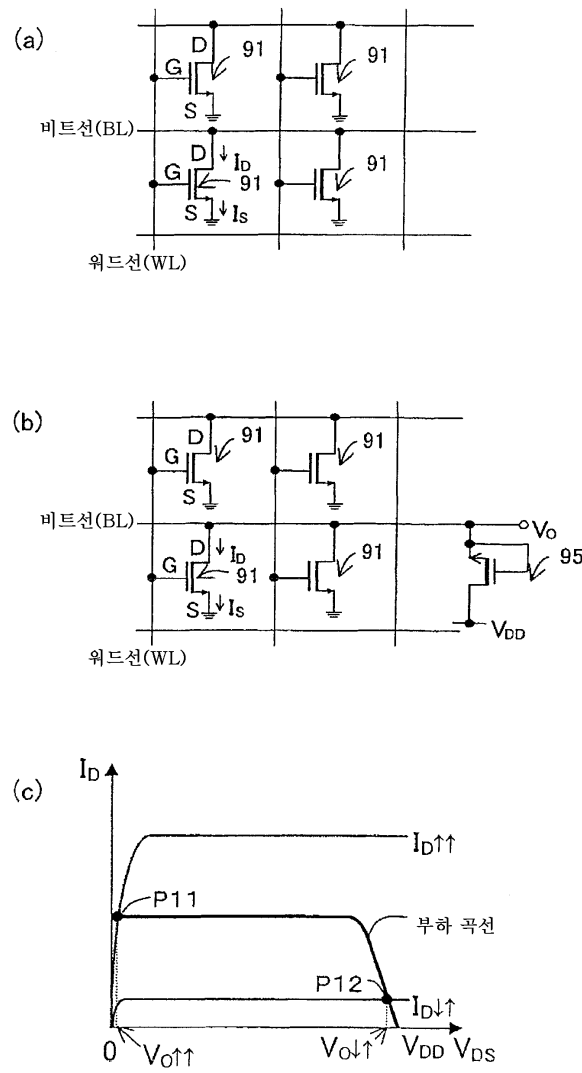
도면5



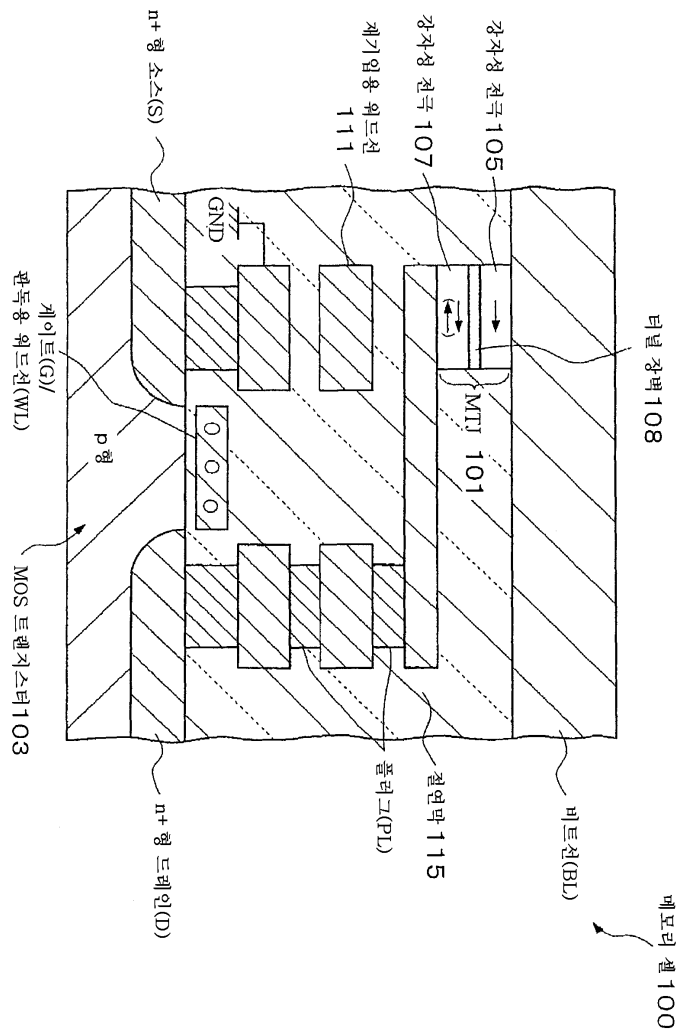
도면6



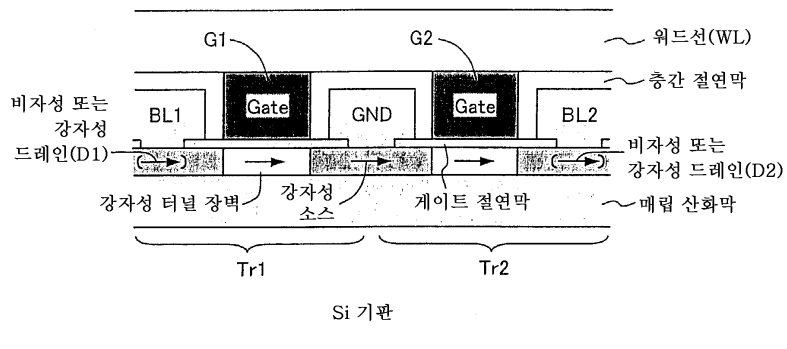
도면7



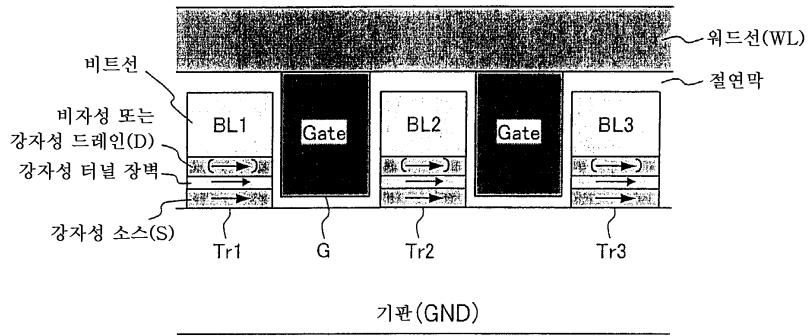
도면8



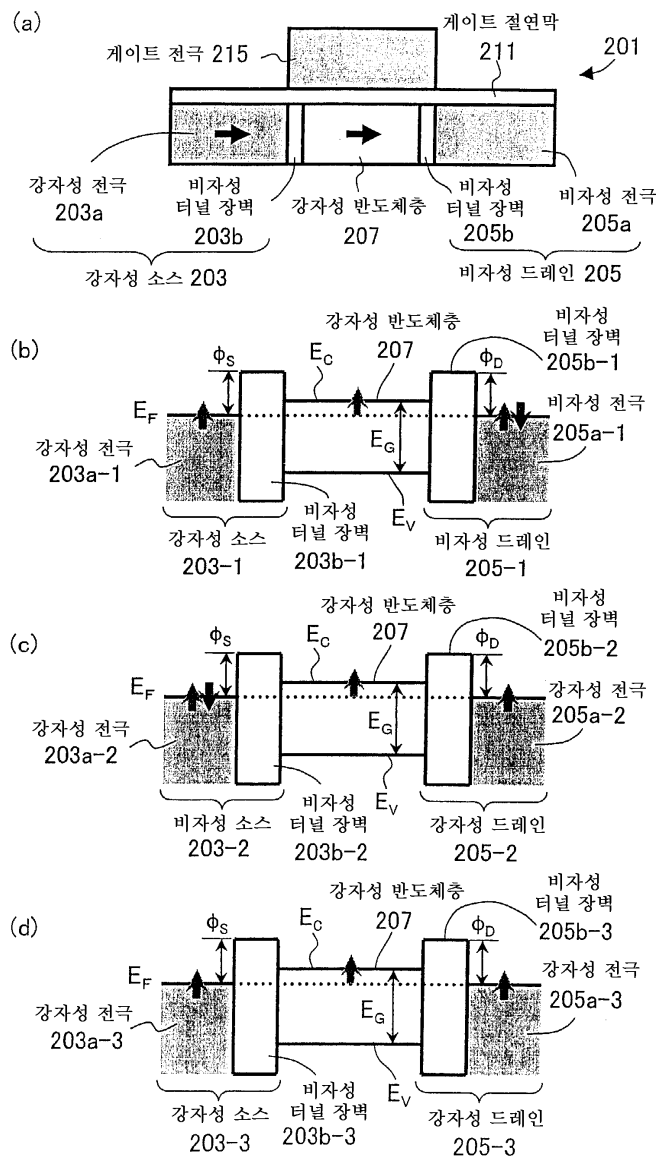
도면9



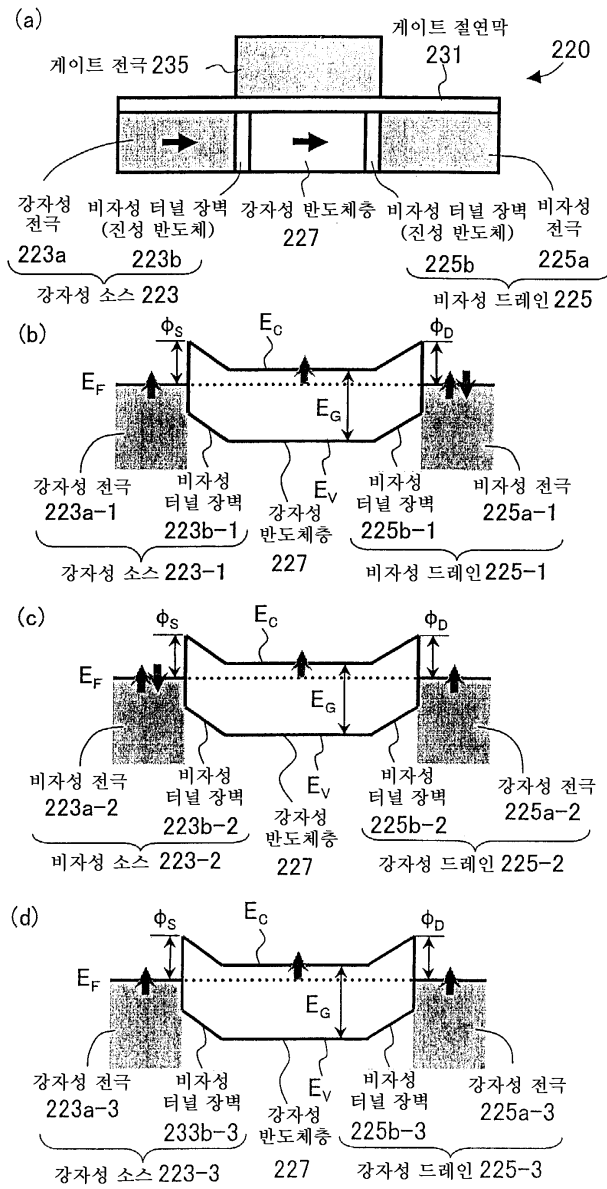
도면10



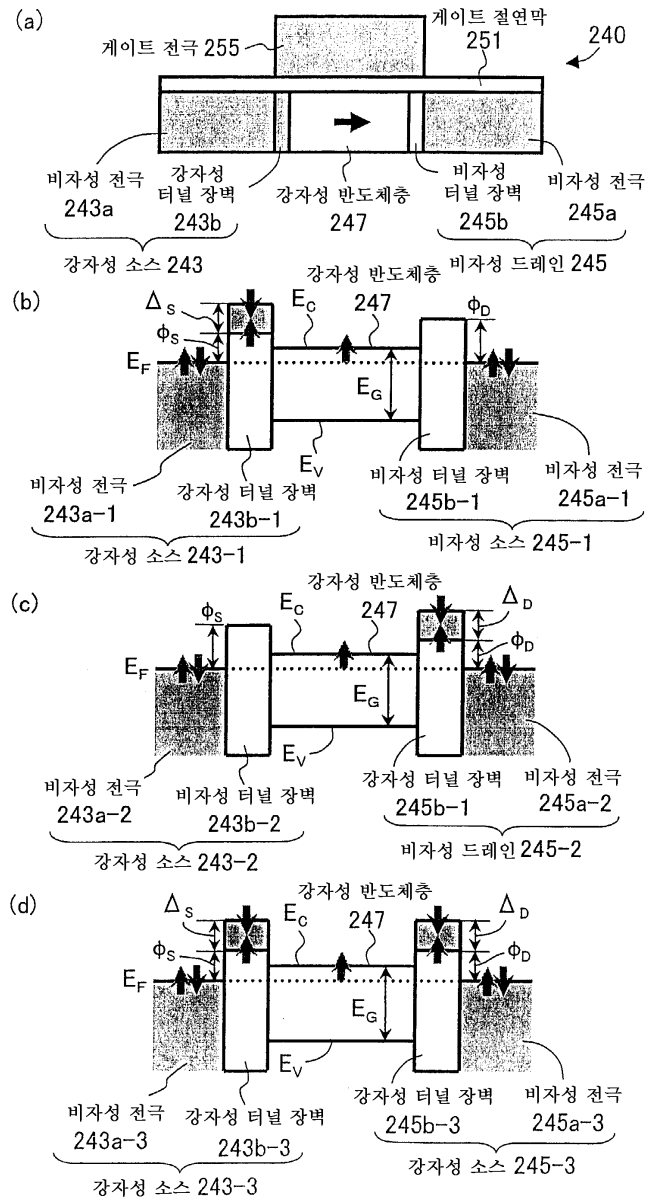
도면11



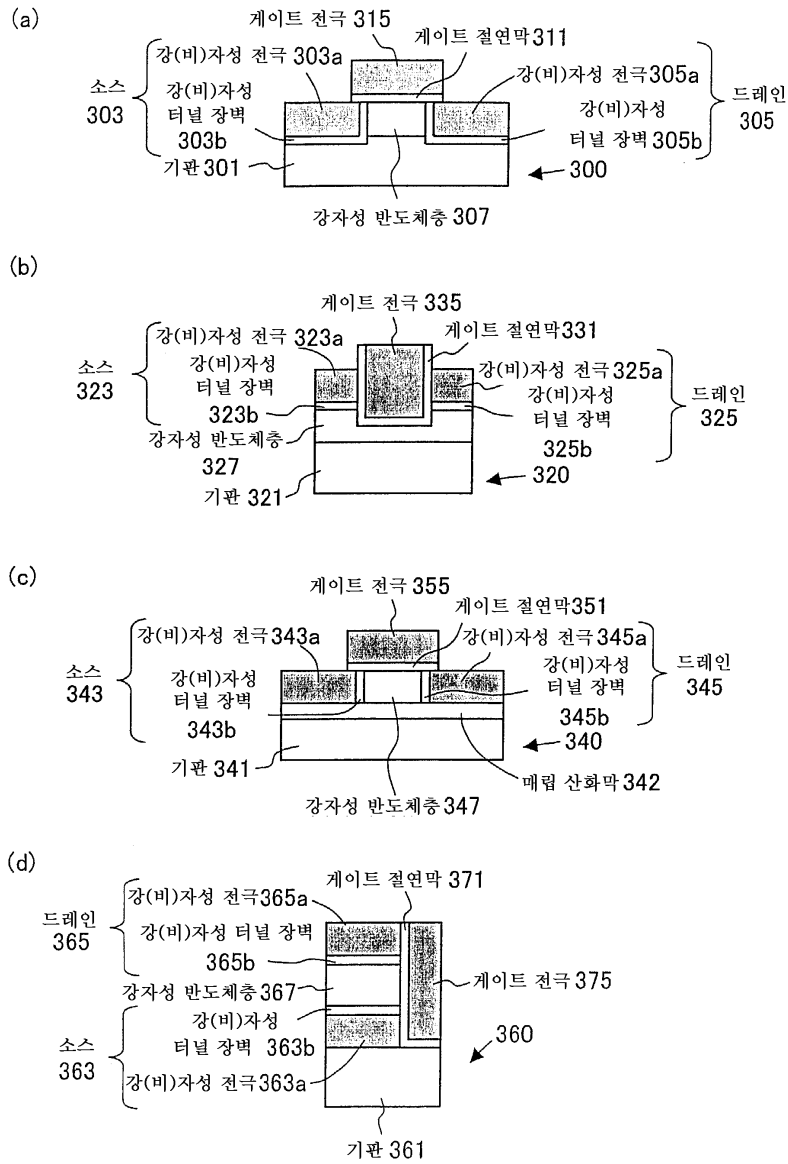
도면12



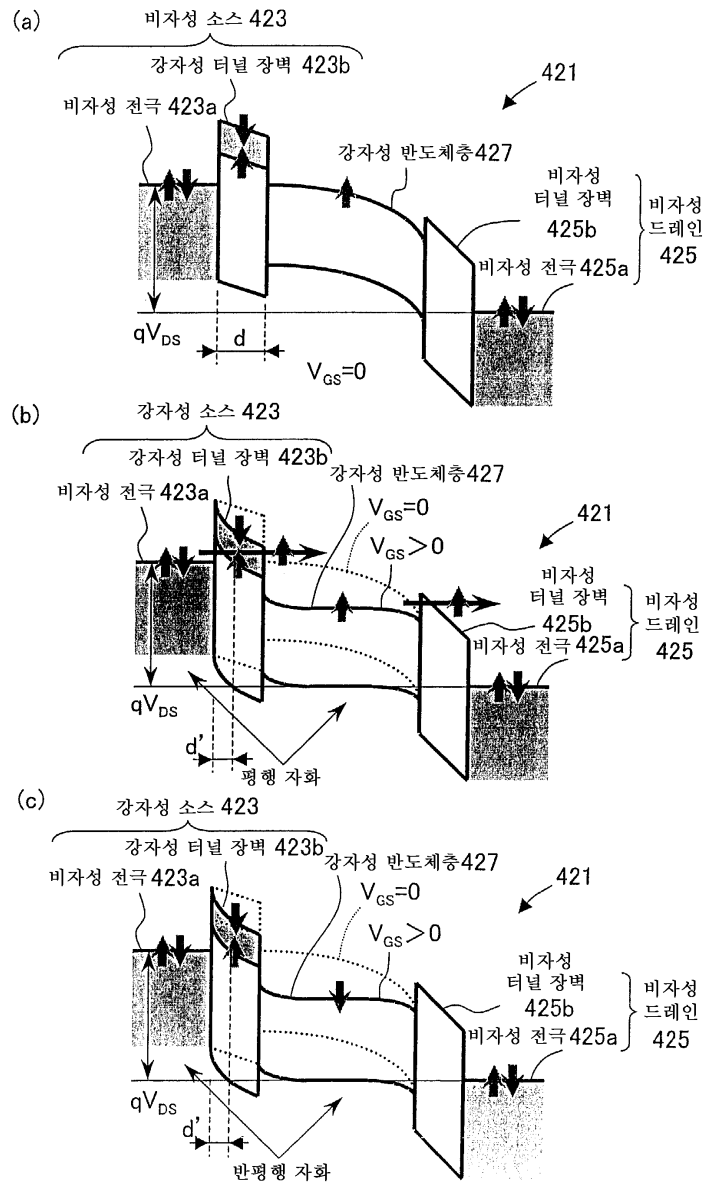
도면13



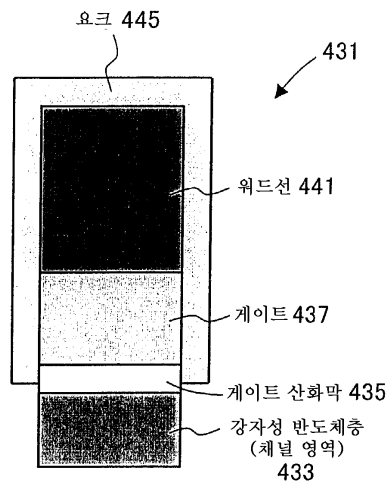
도면14



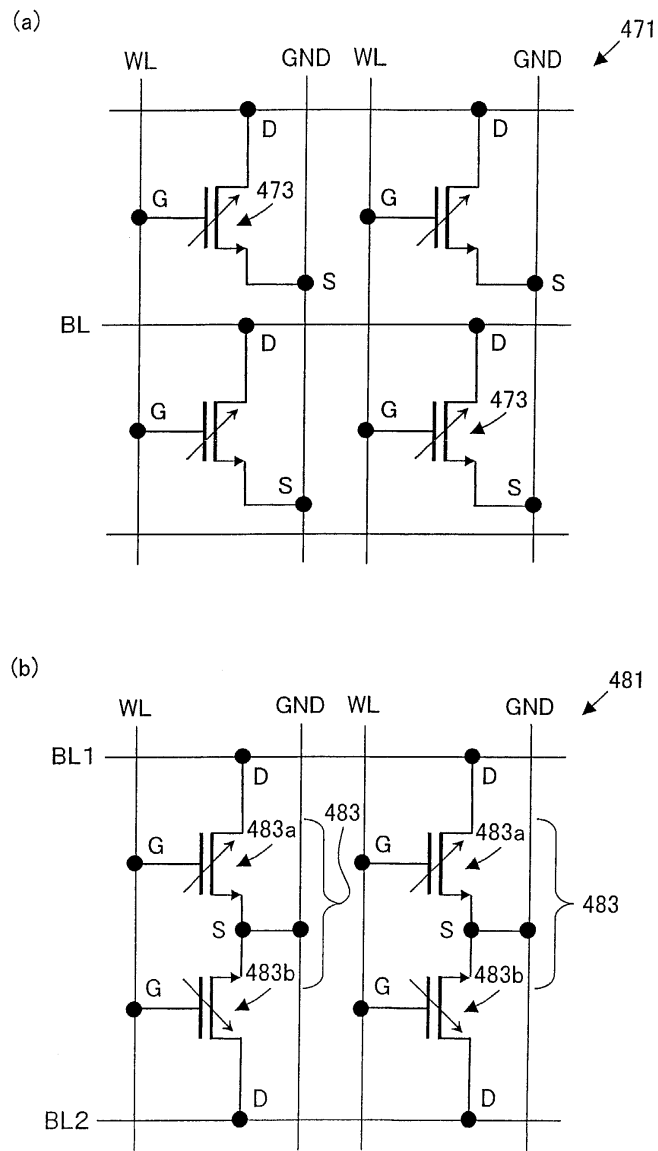
도면16



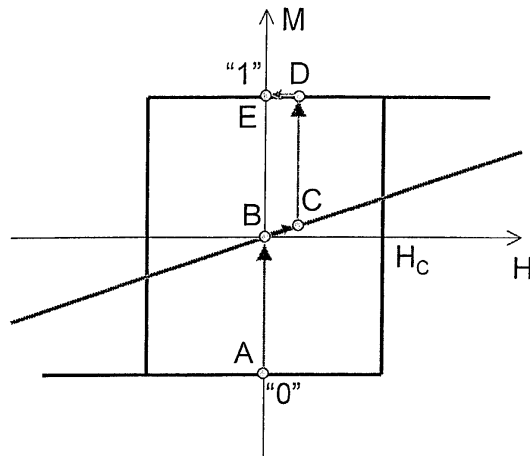
도면17



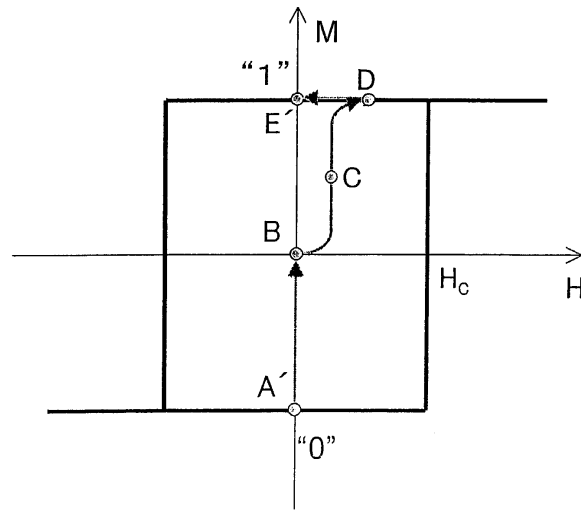
도면18



도면19



도면20



도면21

