

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.<sup>7</sup> (11) 공개번호 10-2005-0111398  
H03K 19/20 (43) 공개일자 2005년11월24일

(21) 출원번호 10-2005-7017848  
(22) 출원일자 2005년09월23일  
    번역문 제출일자 2005년09월23일  
(86) 국제출원번호 PCT/JP2004/004379 (87) 국제공개번호 WO 2004/086625  
    국제출원일자 2004년03월26일                      국제공개일자 2004년10월07일

(30) 우선권주장 JP-P-2003-00086499    2003년03월26일                      일본(JP)

(71) 출원인                      도꾸리쓰교세이호징 가가꾸 기쥬쓰 신키 기꼬  
                                    일본 사이따마켄 가와구찌시 혼쵸 4쵸메 1방 8고

(72) 발명자                      스가하라, 사또시  
                                    일본 231-0821 가나가와켄 요코하마시 나카꾸 혼모꾸하라21-1-603  
                                    마쯔노, 도모히로  
                                    일본 114-0023 도쿄도 기따꾸 다끼노가와 1-21-6 111번  
                                    다나까, 마사아끼  
                                    일본 336-0921 사이따마켄 사이따마시 미도리꾸 이누마까따647-6-201

(74) 대리인                      장수길  
                                    구영창  
                                    이중희

심사청구 : 있음

(54) 스핀 의존 전달 특성을 갖는 트랜지스터를 이용한 재구성가능한 논리 회로

요약

불휘발로 재구성 가능한 논리 회로를 구성한다. 스핀 MOSFET를 이용한 CMOS 구성에 의한 재구성 가능한 논리 회로이다. 스핀 MOSFET인 Tr1, Tr2, Tr5, Tr8의 자화 상태에 따라 각각의 트랜지스터의 전달 특성을 변화시킴으로써 AND/OR/XOR/NAND/NOR/XNOR/"1"/"0"의 전 2입력 대칭 함수가 재구성 가능하다. 불휘발이면서 적은 소자 수로 논리 기능을 구성할 수 있기 때문에, 칩 면적의 축소화가 가능하고, 고속·저소비 전력 동작을 기대할 수 있다.

대표도

도 30

색인어

논리 회로, 불휘발성, 스핀 MOSFET, CMOS 구성, 스핀 의존 전달 특성

명세서

기술분야

본 발명은 기능을 재구성 가능한 논리 회로에 관한 것으로, 보다 상세하게는, 내부에 강자성체를 포함하여 강자성체의 자화 상태에 의존하는 전달 특성을 갖는 트랜지스터(이하, 「스핀 트랜지스터」라고 함)를 이용한 재구성 가능한 논리 회로에 관한 것이다.

배경기술

최근, 유저의 프로그램에 의해 기능을 재구성 가능(리컨피규러블(reconfigurable) 또는 리프로그래머블(reprogrammable))한 논리 회로가 주목받고 있다. 예를 들면, 이것을 LSI 기술로 실현한 Field Programmable Logic Array(FPGA)가 이용되는 경우가 많다(예를 들면 S. Trimberger, Proc. IEEE 81 (1993) 1030., S. Hauck, Proc. IEEE 86 (1998) 625., 및 末吉 敏則 : 프로그래머블 로직 디바이스, 전자 정보 통신 학회 기술 연구 보고, Vol.101, No.633, (2002) 17. 참조). 종래는, FPGA는 제품의 시작이나 일부 한정된 제품에 이용되어 왔지만, 최근에는 빠른 납기와 제품 출하 후의 기능의 개서가 가능한 것이 주목받고 있어, 제품 개발의 사이클이 짧은 휴대 전화기 등 모바일 기기에서의 최종 부품으로서도 내장되고 있다. 또한, 연산마다 하드웨어를 재구성하는 새로운 아키텍처의 정보 기기로서도 연구가 행해지고 있다.

FPGA의 구성에는 몇 가지가 있지만, 그 중에서도 비교적 대규모화가 가능하며 유연성도 높은, SRAM에 의한 진리값표 참조형(Look Up Table(LUT) 방식)이 많이 채용되고 있다. 이 구성은, 임의의 함수를 실현할 수 있는 LUT로 이루어지는 소규모의 논리 블록을 매트릭스 형상으로 배치하고, 그 블록끼리를 스위치(예를 들면 패스 트랜지스터)에 의해 변경 가능한 배선으로 접속하는 것이다(도 56의 (A) 참조).

LUT의 레지스터에 기입하는 값과 배선의 스위치를 개서함으로써 원하는 논리 회로를 실현한다. 논리 블록은 LUT와 동기를 취하기 위한 플립플롭(FD)으로 이루어진다(도 56의 (B)). LUT에는, 주어진 입력 패턴과 어드레스를 대응시키기 위한 디코더 회로, 그 어드레스의 레지스터에 값을 기억하기 위한 메모리(SRAM 셀)가 포함된다. 도 56의 (C)에는 2입력 대칭 함수를 실현할 수 있는 LUT 회로의 예를 도시하였다.

SRAM은 휘발성 메모리로서, 전원을 끊으면 기억 정보가 없어진다. 따라서, 데이터의 보유를 위해, 외부에 불휘발성 메모리(예를 들면, 플래시 메모리)를 준비해 두어, 전원을 재투입할 때마다 그 정보를 로드하여 이용한다.

최근, LUT 방식의 FPGA와는 완전히 다른 원리에 기초하는 재구성 가능한 논리 회로로서, 논리 회로 블록에 뉴론 MOS(이하, 「vMOS」라고 함) 구조를 응용한 회로의 연구가 이루어지고 있다(예를 들면, T. Shibata and T. Ohmi : IEEE Trans. Electron Dev. ED-39 (1992) 1444, and IEEE Trans. Electron Dev. ED-40 (1993) 750., 및 澤田宏, 青山一生, 名古屋彰, 中島 和夫: 뉴론 MOS를 가변 논리부에 이용한 재구성 가능 디바이스에 관한 검토, 전자 정보 통신 학회 기술 연구 보고, Vol.99, No.481, (1999) 79. 참조). vMOS를 이용하면, 대칭 함수를 효율 좋게 실현할 수 있다. LUT 방식에 비해 기능은 한정되지만, 논리 설계에서는 대칭 함수가 많이 출현하는 등의 이유로 주목받고 있다.

도 56은 2입력 대칭 함수를 실현 가능한 논리 회로의 구성예를 도시하는 도면이다. 이 논리 회로는 vMOS 구조를 이용한 3개의 프리 인버터(201, 203, 205)와, vMOS 구조를 이용한 1개의 메인 인버터(207)를 갖고 있다. 입력부로 되는 프리 인버터에서는, 복수의 동일한 용량을 통해 복수의 디지털값이 입력된다. 또한, 각 인버터(201, 203, 205 및 207)에서는 논리 임계치가 서로 달라, 도면 중,  $V_k/n$ 라고 기재되어 있는 경우에는, 그 인버터로의 입력 수가 n이고, 논리 임계치가 “1” 논리 레벨에 대해  $V_k/n$ 인 것을 나타내고 있다.

A, B가 입력이고,  $C_k(k=0, 1, 2)$ 가 제어 신호의 입력이다. 이  $C_k$ 에 의해, 메인 인버터(207)로의 입력을 조작함으로써, 임의의 대칭 함수를 실현한다. 이 회로의 동작은,  $C_k=“1”$ 이라고 하면, 입력 중 “1”의 수가 k개일 때에만 출력이 “0”으로 되고, 그 이외의 경우는 출력이 “1”로 된다. 예를 들면,  $C_0=C_2=“1”$ ,  $C_1=“0”$ 이라고 하면, “1”의 수가 0개(A=B=“0”)이고 “1”의 수가 2개(A=B=“1”)일 때 출력이 “0”이고, “1”의 수가 1개(A or B=“1”)일 때 출력이 “1”의 XOR 논리 회로로 된다.

## 발명의 상세한 설명

이상에 설명한 FPGA의 논리 블록에는 이하에 설명하는 문제가 있다. 즉, LUT 방식, vMOS를 이용한 논리 블록에는, 특히 논리 기능의 휘발성에 관하여 과제가 있다. 또한, 소자 수(점유 면적)에 관해서도 이하와 같은 과제가 생기는 경우가 있다.

우선, LUT 방식의 논리 블록의 과제에 관하여 설명한다. LUT 방식에서는, 회로의 기능 자체에는 논리를 재구축하기 위한 개서 능력은 없고, 레지스터의 값을 참조하는 것이다. LUT에는 SRAM을 이용하기 때문에, SRAM의 휘발성에 유래하는 문제점이 존재한다. LUT의 내용, 즉 논리 기능은 전원을 끊으면 없어진다. 제품에 내장하는 경우에는, 데이터를 보유하기 위해 외부에 방대한 기억 용량의 불휘발성 메모리가 필요하여, 칩 전체의 면적이 크게 될 뿐만 아니라, 전원 재투입 시의 기동 시간이 길게 되어, 소비 전력에도 영향을 준다.

또한, 논리 블록 내부에도, 예를 들어 디코더 및 복수개의 트랜지스터로 이루어지는 SRAM 셀로 구성되기 때문에 많은 소자(2입력 대칭 함수의 경우, 예를 들면, 도 56의 (C)의 회로이면, 40개 정도의 트랜지스터)가 필요하여, 논리 블록의 점유 면적이 크게 된다고 하는 문제점도 있다.

다음으로, vMOS를 이용한 논리 블록의 과제에 대해 설명한다. 이 논리 블록은, LUT 방식과 달리, 제어 신호에 의해 회로의 동작을 개서할 수 있다. 2입력에서는, 소자 수는 8개의 MOSFET 및 14개의 커패시터로 구성되어, LUT 방식에 비해 절반 정도의 소자 수로 동등한 회로를 구성하는 것이 가능하다. 그러나, vMOS에 이용하는 커패시터의 점유 면적은 작지 않다. 또한, 회로의 기능을 유지하기 위해, 사용 중에는 항상 제어 신호를 계속해서 주어야 한다. 전원 전압 이외의 크기의 제어 신호와 이를 제어하기 위한 제어 회로(컨트롤러)도 필요하다. 또한, 불휘발로 기능을 기억할 수 없기 때문에, LUT 방식과 마찬가지로 논리 기능의 불휘발 보유에 문제가 있다.

본 발명의 목적은, 불휘발이며 재구성 가능한 회로를 적은 소자 수로 실현함으로써, 회로의 소형화, 저소비 전력화를 도모하는 것이다.

본 발명에 따른 회로에서는, 전도 캐리어의 스핀의 방향 또는 트랜지스터의 내부에 포함되는 강자성체의 자화 상태에 의존하는 전달 특성을 갖는 트랜지스터(이하, 「스핀 트랜지스터」라고 함)를 이용하고, 그 입력부에 vMOS를 이용한다. 스핀 트랜지스터의 자화 상태를 제어하여 트랜지스터의 구동력을 변화시킴으로써, 회로의 동작점을 조작하여 기능을 개서한다. 소자의 특성을 변화시킨다고 하는 점에서, 완전히 하드웨어적으로 기능이 개서되는 새로운 개념에 기초하는 회로이다. 불휘발로 논리 기능을 보유할 수 있는 것 및 논리 기능의 절환에 제어 신호를 필요로 하지 않다는 점이, vMOS만을 이용한 논리 블록과는 다르다. 게다가, 스핀 트랜지스터 내의 강자성체에 의해 회로의 기능을 불휘발적으로 기억할 수 있다. 본 발명의 논리 회로를 이용함으로써, FPGA에서의 상기의 과제를 해결할 수 있다.

불휘발성에 관하여 설명한다. 회로의 기능은, 스핀 트랜지스터에 포함되는 강자성체의 자화 상태에 따라 결정된다. 따라서, 전원을 끊어도 자화 상태는 바뀌지 않기 때문에 논리 기능은 불휘발로 유지된다. 이 때문에, 종래의 FPGA에서 필요한 외부의 불휘발성 메모리 중, 논리 블록부에 관한 부분이 불필요하게 된다. 칩 사이즈의 축소에 대하여 유리하고, 또한, 논리 기능을 로드하기 위한 시간을 필요로 하지 않기 때문에, 기동에 필요로 하는 시간도 단축된다.

논리 블록에 포함되는 소자 수는, 본 발명에 따른 회로에서는, 9~11개의 MOSFET와 2개의 커패시터로 구성되어, 소자 수는 LUT 방식의 3분의 1 이하로 감소한다. vMOS만을 이용하는 논리 블록에 비해서도 절반 정도의 소자 수이다. 외부의 불휘발성 메모리는 배선부에 관한 것만으로 되기 때문에, 전체적으로 소자의 수는 종래의 회로에 비해 매우 적게 된다.

또한, 논리 블록간을 접속하는 배선의 선택에 이용하는 스위치로서 스핀 트랜지스터를 이용할 수도 있다. 특히, 이 스위치로서 하기에 설명하는 스핀 MOSFET를 이용함으로써, 논리 블록간의 상호 배선도 불휘발로 기억할 수 있다. 이 경우에는, 배선부에 관해서도 불휘발성 메모리가 소용없게 된다. 스위치에 이용하는 스핀 MOSFET로서는 인헨스먼트형 외에 디플렉션형도 사용할 수 있다. 또한, p채널형 및 n채널형 스핀 MOSFET로 구성된 트랜스퍼 게이트도 사용할 수 있다.

본 발명의 한 관점에 따르면, 전도 캐리어의 스핀의 방향 또는 트랜지스터 내부에 포함되는 강자성체의 자화 상태에 의존하는 전달 특성을 갖는 스핀 트랜지스터를 포함하는 회로로서, 상기 전도 캐리어의 스핀의 방향 또는 상기 강자성체의 자화 상태를 바꿈으로써 변화하는 상기 트랜지스터의 전달 특성을 변화시킴으로써 동작점을 변화시켜 기능을 재구성할 수 있는 회로가 제공된다.

상기 회로의 출력 단자에, A/D 컨버터를 접속하여 출력 단자에서의 아날로그의 동작점을 디지털 논리 레벨로 변환한다. 또한, 상기 A/D 컨버터에 스핀 트랜지스터를 포함함으로써, 스핀 트랜지스터의 자화 상태에 따라 제어할 수 있는 임계치를 설정함으로써도 기능을 재구성할 수 있다.

또, 상기 스핀 트랜지스터 대신에, 다른 전달 특성 가변의 트랜지스터를 이용하여 회로를 구성할 수도 있다. 이 경우에서도, 상기 트랜지스터의 전달 특성을 변화시킴으로써 동작점을 이동시켜 기능을 재구성할 수 있다. 또, 여기에서 말하는 전달 특성 가변이란, 예를 들면  $V_{ds}$ 나  $V_{gs}$  등의 바이어스 이외의 물성량을 변화시킴으로써, 트랜지스터의 전달 특성을 불휘발적으로 변화시킬 수 있다는 것을 의미한다. 이에 따라, 동일한 조건에서 바이어스를 가하여도 출력 특성이 다르다. 이와 같은 트랜지스터는, 예를 들면 강자성체나 강유전체를 이용하는 것이나 플로팅 게이트 기술(플로팅 게이트에 캐리어를 주입하여, 임계치를 변화시키는 등)을 이용함으로써 실현할 수 있다. 상술한 스핀 트랜지스터는 이러한 전달 특성 가변의 트랜지스터의 하나이다.

### 도면의 간단한 설명

도 1의 (A), (B)는 각각 본 발명에 따른 회로의 기본 구성을 도시하는 블록도.

도 2의 (A)는 MOSFET형 스핀 트랜지스터(이하, 「스핀 MOSFET」라고 함)의 구조예를 도시하는 도면, 도 2의 (B)는 vMOS(B)의 구조예를 도시하는 도면.

도 3의 (A)는 스핀 MOSFET의 이상화된 정(靜)특성을 도시하는 도면, 도 3의 (B)는 드레인 전류의 게이트 전압 의존성을 도시하는 도면.

도 4는 도 2의 (B)에 도시하는 MOS 트랜지스터의 정특성을 도시하는 도면으로서, 입력 A, B가 디지털값인 경우의 정특성을 도시하는 도면.

도 5의 (a), (b), (c)는 각각 E/E 구성, E/D 구성, CMOS 구성의 인버터 구조를 이용한 AND/OR 재구성 가능 논리 회로를 도시하는 도면.

도 6은 입력에 CMOS 인버터를 이용한 NAND/NOR 재구성 가능 논리 회로의 구성예를 도시하는 도면.

도 7은 디플렉션형의 n채널형 스핀 MOSFET를 이용한 AND/OR 회로를 도시하는 도면.

도 8은 디플렉션형의 n채널형 스핀 MOSFET를 이용한 AND/OR 회로의 동작 곡선을 도시하는 도면.

도 9는 디플렉션형의 n채널형 스핀 MOSFET를 이용한 AND/OR 회로의 진리값표를 도시하는 도면.

도 10은 도 7에 도시하는 회로에 XNOR 기능을 더한 회로를 도시하는 도면.

도 11은 도 10에 도시하는 회로의 제1 동작을 도시하는 도면.

도 12는 AND/OR 기능에 대해 설명하는 도면으로서, 도 12의 (A)는 동작 곡선을 도시하는 도면, 도 12의 (B)는 OR 회로를 도시하는 도면, 도 12의 (C)는 AND 회로의 진리값표를 도시하는 도면.

도 13은 XNOR 기능의 동작 곡선(A)과 진리값표(B)를 도시하는 도면.

도 14의 (A)는 도 10에 도시하는 회로의 제3 동작을 도시하는 도면, 도 14의 (B)는 그 진리값표를 도시하는 도면.

도 15는 모든 2입력 대칭 함수가 재구성 가능한 회로의 회로 구성을 도시하는 도면.

도 16의 (A)는 임계치 가변 인버터의 회로 구성을 도시하는 도면, 도 16의 (B)는 그 동작예를 도시하는 도면.

도 17은 통상의 CMOS 인버터의 임계치를 pMOS의  $\beta$ 와 nMOS의  $\beta$ 의 비의 함수로서 플롯한 도면.

- 도 18은 AND/OR 회로의 회로 구성예를 도시하는 도면.
- 도 19는 도 18에 도시하는 회로의 제1 동작(A)과 진리값표(B)를 도시하는 도면.
- 도 20은 도 18에 도시하는 회로의 제2 동작(A)과 진리값표(B)를 도시하는 도면.
- 도 21은 AND/OR 회로의 회로 구성예를 도시하는 도면.
- 도 22의 (A)는 도 21에서의 가변 임계치 인버터의 특성을 도시하는 도면, 도 22의 (B)는 진리값표를 도시하는 도면.
- 도 23은 도 22의 (A), (B)에 대응하는 도면으로서, 임계치를 변화시킨 경우의 동작과 진리값표를 도시하는 도면.
- 도 24는 AND/OR/XNOR 회로의 회로 구성예를 도시하는 도면.
- 도 25는 도 24에 도시하는 회로의 Vin\_n의 동작 곡선을 도시하는 도면.
- 도 26의 (A)는 도 24에 도시하는 회로의 제1 동작을 도시하는 도면, 도 26의 (B)는 진리값표를 도시하는 도면.
- 도 27의 (A)는 도 24에 도시하는 회로의 제2 동작을 도시하는 도면, 도 27의 (B)는 진리값표를 도시하는 도면.
- 도 28의 (A)는 도 24에 도시하는 회로의 제3 동작을 도시하는 도면, 도 28의 (B)는 진리값표를 도시하는 도면.
- 도 29의 (A)는 도 24에 도시하는 회로의 제4 동작을 도시하는 도면, 도 29의 (B)는 진리값표를 도시하는 도면.
- 도 30은 AND/OR/XOR/XNOR 회로의 구성예를 도시하는 도면.
- 도 31은 도 30에 도시하는 회로의 Vin\_p의 동작점의 동작을 도시하는 도면.
- 도 32의 (A)는 도 30에 도시하는 회로의 제1 동작을 도시하는 도면, 도 32의 (B)는 그 진리값표를 도시하는 도면.
- 도 33의 (A)는 도 30에 도시하는 회로의 제2 동작을 도시하는 도면, 도 33의 (B)는 그 진리값표를 도시하는 도면.
- 도 34의 (A)는 도 30에 도시하는 회로의 제3 동작을 도시하는 도면, 도 34의 (B)는 그 진리값표를 도시하는 도면.
- 도 35의 (A)는 도 30에 도시하는 회로의 제4 동작을 도시하는 도면, 도 35의 (B)는 그 진리값표를 도시하는 도면.
- 도 36은 스핀 MOSFET를 이용한 재구성 가능 논리 회로의 구성예를 도시하는 도면.
- 도 37은 NAND/NOR 회로의 회로 구성을 도시하는 도면.
- 도 38은 도 37에 도시하는 회로의 동작점과 인버터의 특성을 도시하는 도면.
- 도 39는 도 37에 도시하는 회로의 진리값표를 도시하는 도면.
- 도 40은 NAND/NOR/XNOR 회로의 회로도.
- 도 41은 도 40에 도시하는 회로의 Vin\_n의 동작점을 도시하는 도면.
- 도 42의 (A)는 도 40에 도시하는 회로의 제1 동작을 도시하는 도면, 도 42의 (B)는 그 진리값표를 도시하는 도면.
- 도 43의 (A)는 도 40에 도시하는 회로의 제2 동작을 도시하는 도면, 도 43의 (B)는 그 진리값표를 도시하는 도면.
- 도 44는 NAND/NOR/XNOR/XOR 회로의 회로도.

도 45는 도 44에 도시하는 회로의  $V_{in\_p}$ 의 동작점을 도시하는 도면.

도 46의 (A)는 도 44에 도시하는 회로의 제1 동작을 도시하는 도면, 도 46의 (B)는 그 진리값표를 도시하는 도면.

도 47의 (A)는 도 44에 도시하는 회로의 제2 동작을 도시하는 도면, 도 47의 (B)는 그 진리값표를 도시하는 도면.

도 48은 NAND/NOR 회로의 구성예를 도시하는 도면(E/E 구성).

도 49는 도 48에 도시하는 회로의 동작을 도시하는 도면.

도 50은 도 48에 도시하는 NOR 회로와 NAND 회로의 진리값표를 도시하는 도면.

도 51의 (A)는 NAND/NOR/XNOR 회로의 구성예를 도시하는 도면, 도 51의 (B)는  $V_{in\_n}$ 의 동작점을 도시하는 도면.

도 52의 (A)는 도 51의 (A)에 도시하는 회로의 제1 동작을 도시하는 도면, 도 52의 (B)는 도 52의 (A)의 진리값표를 도시하는 도면.

도 53의 (A)는 도 51의 (A)에 도시하는 회로의 제2 동작을 도시하는 도면, 도 53의 (B)는 도 53의 (A)의 진리값표를 도시하는 도면.

도 54의 (A)는 도 51의 (A)에 도시하는 회로의 제3 동작을 도시하는 도면, 도 54의 (B)는 도 51의 (A)의 진리값표를 도시하는 도면.

도 55는 모든 2입력 대칭 함수가 재구성 가능한 회로의 회로 구성을 도시하는 도면.

도 56은 2입력 대칭 함수가 실현 가능한 논리 회로의 구성예를 도시하는 도면.

도 57의 (A)는 임의의 함수를 실현할 수 있는 LUT와 기억 소자로 이루어지는 소규모의 논리 블록을 매트릭스 형상으로 배치하고, 그 블록끼리를 스위치(예를 들면 패스 트랜지스터)에 의해 변경 가능한 배선으로 접속하는 회로를 도시하는 도면, 도 57의 (B)는 LUT와 동기를 취하기 위한 플립플롭(FF)으로 이루어지는 회로를 도시하는 도면, 도 57의 (C)는 2입력 대칭 함수를 실현할 수 있는 LUT 회로의 예를 도시하는 도면.

## 실시에

도 1의 (A), (B)를 참조하여 본 발명에 따른 회로의 기본 구성에 대해 우선 설명을 행한다. 도 1의 (A), (B)에 도시하는 바와 같이, 본 발명에 따른 회로는, 단자  $V_m$ (이하에서는 " $V_m$ "을 단자명으로서도 이용하지만, 그 전위로서도 이용하는 경우가 있음)와, 그 단자  $V_m$ 에서의 기생 용량 및 다음 단의 입력 용량을 충전하기 위한 회로군 P와, 방전하기 위한 회로군 Q와, 아날로그 전압  $V_m$ 을 디지털 논리 레벨로 증폭하는 A-D 컨버터를 주요 구성 요소로 한다.  $V_m$ 은 입력 신호 A, B의 값에 의해 정해지며, 다음 단의 회로에는 의존하지 않고 정해진다.

도 1의 (A)에 도시하는 바와 같이, 회로군 P와 회로군 Q 중 적어도 한쪽에 스핀 트랜지스터가 포함되고, 스핀 트랜지스터의 자화 상태에 따라 전류 구동 능력을 제어할 수 있다. 이 때문에, 입력 A, B가 동일한 값이어도, 스핀 트랜지스터의 자화 상태에 따라 다른  $V_m$ 을 취한다. 스핀 트랜지스터의 자화 상태에 따라 생기는  $V_m$ 의 변화를, 임의의 일정한 논리 임계치를 갖는 A/D 컨버터에서 디지털 논리 레벨로 증폭함으로써, 재구성 가능한 논리 회로로 된다. 또는, 스핀 트랜지스터를 이용한 논리 임계치를 가변할 수 있는 A/D 컨버터에 의해, 재구성 가능 논리 회로를 구성할 수도 있다.

도 1의 (B)에 도시하는 회로는, 입력에 동일하게 가중치 부여된 2입력의 vMOS 구조를 이용하고 있다. 대칭 함수에서는, 입력 신호 A, B는 각각 구별할 필요가 없기 때문에, 동일하게 가중치 부여된 2입력의 vMOS 구조를 이용함으로써, 효율 좋게 회로군에 입력할 수 있다. A와 B를 구별할 필요가 있는 경우에는, 입력 용량의 가중치 부여를 A와 B에서 변경함으로써 실현할 수 있다.

본 발명에 따른 회로는, 강자성 금속 등의 강자성체를 내부에 포함하고, 전도 캐리어의 스핀의 방향 또는 강자성체의 자화 상태에 따라 전달 특성을 제어할 수 있는 스핀 트랜지스터를 이용한 불휘발성의 재구성 가능한 회로, 주로 논리 회로이다. 스핀 트랜지스터를 이용하여 적은 소자 수로 2입력의 대칭 함수를 실현할 수 있다.

우선, 스핀 트랜지스터에 대해 설명한다. 스핀 트랜지스터는, 자화의 방향을 자장 등에 의해 독립적으로 제어할 수 있는 강자성체(프리층)와 자화의 방향을 고정된 강자성체(핀층)를 적어도 1개씩 갖고, 프리층의 자화의 방향을 바꿈으로써 프리층과 핀층의 상대적인 자화 상태를 평행 자화 또는 반평행 자화로 할 수 있는 트랜지스터이다.

스핀 트랜지스터에서는, 스핀 의존 산란, 스핀 의존 터널 효과, 스핀 필터 효과 등의 캐리어의 스핀의 방향과 강자성체의 자화의 방향에 의존한 전도 현상에 의해 트랜지스터 내의 자화 상태에 따른 출력 특성을 실현할 수 있다. 따라서, 스핀 트랜지스터에서는, 동일 바이어스 하에서라도 스핀 트랜지스터 내에 포함되는 프리층과 핀층의 상대적인 자화의 방향에 따라 트랜지스터의 전달 특성을 제어할 수 있다.

이하, 스핀 트랜지스터에 대해, MOSFET형 스핀 트랜지스터(이하, 「스핀 MOSFET」라고 함)를 예로 하여 설명한다. 스핀에 의존하는 전도 현상을 포함하지만, 트랜지스터 동작은 통상의 MOSFET와 동등한 동작 원리에 기초한다고 하고, 특히, 그 출력 특성은 그래뉴얼 채널 근사로 표현할 수 있는 것으로 한다.

도 2의 (A)는 스핀 MOSFET의 구조예를 도시하는 도면이다. 도 2의 (A)에 도시하는 바와 같이, 스핀 MOSFET(A)는 반도체(기판)(1) 상에 형성되어 있고, 소스 전극(3)과 드레인 전극(5)이 강자성체로 형성되어 있다는 점 이외에는, 게이트 절연막(11) 상에 게이트 전극(7)이 형성되어 있는 점을 포함하여 통상의 MOSFET와 마찬가지로 구조를 갖고 있다. 이하, 강자성체의 소스 전극과 강자성의 드레인 전극을, 각각 강자성 소스(3)와 강자성 드레인(5)이라고 약기한다. 또, 도면에서, FM은 강자성 금속을 나타내지만, 다른 전기 전도성 강자성체를 이용하여도, 소스와 드레인을 구성할 수 있다.

강자성 소스(3)는 스핀 편극 캐리어를 반도체(1) 내의 게이트 아래에 형성된 채널에 주입하는 스핀 인젝터로서 작용한다. 또한, 강자성 드레인(5)은 채널에 주입된 스핀의 방향을 전기 신호로서 검출하는 스핀 애널리저로서 작용한다. 강자성체로서 강자성 금속(FM)을 이용하는 경우에는, 반도체(기판)(1)와의 쇼트 키 접합을 이용하여 강자성 소스(3)와 강자성 드레인(5)을 형성한다. 게이트 전극(7)에 대해 게이트 전압을 인가함으로써, 쇼트 키 장벽을 통해 강자성 소스(3)로부터 채널에 스핀 편극 캐리어를 주입한다.

주입되는 스핀 편극 캐리어는 채널을 지나 강자성 드레인(5)에 도달한다(간단히 하기 위해, 채널에 주입된 스핀 편극 캐리어의 게이트 전계에 의한 Rashba 효과를 무시함). 소스-드레인 사이가 평행 자화를 갖는 경우에는, 강자성 드레인(5)에 주입된 스핀 편극 캐리어는 스핀 의존 산란을 받는 일 없이 드레인 전류로 되지만, 반평행 자화를 갖는 경우에는, 강자성 드레인(5)에서 스핀 의존 산란에 의한 저항을 받는다. 따라서, 이 스핀 MOSFET에서는 소스-드레인 간의 상대적인 자화의 방향에 따라 전류 구동력이 다르다.

도 3의 (A) 및 도 3의 (B)에 스핀 MOSFET의 이상화된 정특성을 도시한다. 임계치 이하의 게이트 전압( $V_{gs} < V_{th}$ )에서는, 통상의 MOS 트랜지스터의 경우와 마찬가지로 스핀 MOSFET는 OFF 상태이다. 이는 스핀 MOSFET의 자화 상태에 의존하지 않는다. 임계치 이상의 게이트 전압을 인가하면( $V_{gs} = V_{gs1} > V_{th}$ ), 스핀 MOSFET는 ON 상태로 되지만, 동일한 게이트 전압을 인가한 경우라도, 스핀 MOSFET 내에 포함되는 강자성체의 자화 상태에 따라 흐르는 드레인 전류  $I_d$ 는 다르다. 평행 자화의 경우에는 큰 드레인 전류  $I_{d\uparrow\uparrow}$ 가 흐르고, 반평행 자화의 경우에는 작은 드레인 전류  $I_{d\uparrow\downarrow}$ 만이 흐른다. 스핀 MOSFET의 드레인 전류가 통상의 MOSFET와 마찬가지로 게인 계수를 이용하여 표현할 수 있다고 가정하면, 이는 평행 자화의 경우에는 게인 계수가 크고, 반평행 자화에서는 게인 계수가 작은 것을 의미한다. 이하에서는, 스핀 MOSFET 및 MOSFET의 게인 계수를 나타내는 상대적인 파라미터  $\beta$ 를 도입한다. 즉, 회로에 포함되는 스핀 MOSFET 및 MOSFET의 게인 계수를  $\beta_{G1}, \beta_{G2}, \dots, \beta_{GN}$ 이라고 하면(스핀 MOSFET에서는 평행 자화와 반평행 자화의 게인 계수를 각각 별도로 정의함), 1개의 게인 계수  $\beta_{G1}$ 을 이용하여, 각 스핀 MOSFET 및 MOSFET의 게인 계수는  $\beta_{G1} = \beta_1 \beta_{G1}, \beta_{G2} = \beta_2 \beta_{G1}, \beta_{G3} = \beta_3 \beta_{G1} \dots \beta_{GN} = \beta_N \beta_{G1}$ 으로 쓸 수 있다. 이 계수  $\beta_1 (=1), \beta_2, \dots, \beta_N$ 을 이용하여 각 트랜지스터 간의 게인 계수의 대소 관계를 표현한다. 또한, 각  $\beta_1, \beta_2, \dots, \beta_N$ 의 대소 관계를 적당한 숫자를 이용하여 표현하지만, 이 수치는  $\beta$ 의 대소 관계를 표현하기 위한 예시이며, 이들 수치 자체가 발명을 한정하는 것은 아니다. 또한, 이들  $\beta_1, \beta_2, \dots, \beta_N$ 의 대소 관계는, 스핀 MOSFET의 출력 특성이 통상의 MOSFET의 출력 특성을 이용하여 표현할 수 없는 경우도 포함하여, MOSFET 및 스핀 MOSFET에 동일한 바이어스를 가했을 때의 출력 전류의 대소 관계를 예시하고 있는 것으로 한다.

다음으로, vMOS 구조에 대해 도 2의 (B) 및 도 4를 참조하면서 설명한다. 도 2의 (B)에 도시하는 바와 같이, vMOS 구조를 이용한 MOSFET(B)는 반도체(11)에 대해 형성된 소스(13) 및 드레인(15)과, 게이트 절연막(20)을 개재하여 플로팅 게이트(21)와, 분할된 2개의 게이트 전극(17a, 17b)을 갖고 있다. 상술한 바와 같이, vMOS의 게이트(17a, 17b)에 입력, 예를 들면, 도면의 A와 B가 게이트 전극과 플로팅 게이트의 입력 용량을 통해 입력된다. 이 게이트 전극과 플로팅 게이트 간의 크기를 바꿈으로써 입력에 가중치를 부여할 수 있다. 여기에서는, 모든 입력 용량이 동일한 경우를 예로 들어 설명한다.

도 2의 (B)에 도시하는 2입력의 vMOS 구조에서, 플로팅 게이트(21)의 전위  $V_{fg}$ 는 게이트 용량을 무시할 수 있는 경우에는 커패시턴스의 커플링에 의해  $V_{fg}=(A+B)/2$ 로 되어 입력의 평균치로 표시된다. 마찬가지로, 2입력 이상의 다입력(n입력 ( $n>2$ ))의 경우에는, vMOS에 n입력의 평균이 플로팅 게이트에 입력되는 것과 등가라고 생각해도 무방하다. 입력 A, B가 디지털값인 경우의 정특성도 도 4에 도시한다. 입력이 아날로그이어도 무방하다. 도 4에 도시하는 바와 같이,  $A=B=“0”$ 인 경우에는, 드레인 전류  $I_d$ 는 거의 흐르지 않는다.  $A=B=“1”$ 의 경우에는, 드레인 전류  $I_d$ 가 흐른다. A 및 B 중 어느 한쪽만이 “1”인 경우에는, 상기 경우의 약 절반의 게이트 전압이 인가되었을 경우의 드레인 전류가 흐른다. 대칭 함수에서는, 입력 신호 A, B는 각각 구별할 필요가 없기 때문에, 동일하게 가중치 부여된 2입력 vMOS를 이용함으로써 효율 좋게 회로군에 입력할 수 있다.

vMOS 구조를 이용한 입력과, 회로군 P와 회로군 Q의 회로 구성으로서, 스핀 MOSFET와 MOSFET로 이루어지는 E/E 구성, E/D 구성, CMOS 구성의 인버터 구조를 이용하면, AND/OR 재구성 가능 논리 회로를 실현할 수 있다. 도 5의 (a), (b), (c)는 각각 E/E 구성, E/D 구성, CMOS 구성의 인버터 구조를 이용한 AND/OR 재구성 가능 논리 회로이다. 이하에서는, 화살표를 붙인 트랜지스터 기호를 이용하여 스핀 MOSFET를 나타낸다(이하, 마찬가지로임). 도면에서는 스핀 MOSFET는 E/E 구성, E/D 구성, CMOS 구성의 인버터의 액티브 로드(Q2)에 이용하고 있지만, 드라이버(Q1)를 스핀 MOSFET로 하여도 된다. 또한, 액티브 로드(Q2)와 드라이버(Q1)의 양쪽을 스핀 MOSFET로 할 수도 있다. 입력의 vMOS 구조는 E/E 구성, E/D 구성에서는 드라이버(Q1)측에 이용한다. CMOS 구성에서는, Q2와 Q1에 공통의 플로팅 게이트를 이용하여 입력의 vMOS 구조를 실현한다. 또한, 출력단의 인버터는  $V_m$ 에서의 출력을 “1”과 “0”의 논리 레벨로 분리하는 데 이용한다. 즉, 이 인버터는 AD 컨버터로서 동작한다. 도 5의 액티브 로드 Q2가 회로군 P를, 드라이버 Q1이 회로군 Q를 구성한다. 또한, 도 5의 회로의  $V_m$ 에 작용하여  $V_m$ 의 전위를 제어하는 별도의 회로를 회로군 P와 회로군 Q에 부가함으로써, 복잡한 재구성 가능한 논리 회로를 실현할 수 있다.

또한, 도 6에 도시하는 바와 같이, 커패시터에 의한 용량 커플링을 이용하지 않고, 복수의 CMOS 인버터를 입력에 이용하여도 vMOS 구조와 동등한 동작을 실현할 수 있다. 단, 이 경우에는 도 5의 논리 함수를 반전한 논리 함수가 출력된다.

다음으로, 본 발명의 제1 실시예에 따른 재구성 가능한 논리 회로에 대해 도면을 참조하면서 설명을 행한다. 본 실시예에 따른 논리 회로는, 인헨스먼트형 MOSFET와 디플렉션형 MOSFET를 이용한 이른바 E/D 구성 인버터의 회로의 드라이버 또는 액티브 로드를 스핀 MOSFET로 치환한다. 드라이버를 치환하는 경우에는 인헨스먼트형의 스핀 MOSFET를, 액티브 로드를 치환하는 경우에는 디플렉션형의 스핀 MOSFET를 이용한다. 입력의 vMOS 구조는 드라이버에 이용한다. 출력단의 인버터는 통상 CMOS 인버터가 가장 성능이 좋지만, 다른 E/D 구성 등 다른 구성의 인버터도 사용할 수 있다.

E/E 구성에서는 부하 곡선은 드라이버에 생기는 전압에 의해 변화하게 되지만, E/D 구성을 이용하면, 액티브 로드에서의 부하 곡선이 포화하기 때문에, 논리 마진을 크게 할 수 있다.

### 1) AND/OR 회로

도 7 내지 도 9를 참조하여, 디플렉션형의 n채널형 스핀 MOSFET를 이용한 AND/OR 회로에 대해 설명한다. 도 7에서, Tr1이 디플렉션형의 n채널형 스핀 MOSFET이고, 반평행 자화와 평행 자화의 경우에서 각각  $\beta_{n1}=1$  또는 10을 취할 수 있다고 한다. Tr1의 소스와 게이트가 단락되어 있기 때문에, 도 8의 실선으로 나타내는 바와 같이  $V_m$ 에 대해 포화한 부하 곡선이 얻어진다. Tr2의 입력에 vMOS 구조를 이용하고, 그 동작은 도 8에 파선으로 나타내는 바와 같이 된다. 도 9의 (A) 및 도 9의 (B)는 이 회로의 진리값표이다. 또한, 그 동작의 상세를 표 1에 정리한다.



[표 1]

$\beta_{n1}$	$V_m$			$V_{out}$ ( $V_m$ 의 순서로)	기능
	A	0	0		
1	$V_0$ ("1")	$V_P$ ("0")	$V_Q$ ("0")	"0" "1" "1"	OR
10	$V_0$ ("1")	$V_R$ ("1")	$V_S$ ("0")	"0" "0" "1"	AND

OR 회로로서 동작시키는 경우에는, 스핀 MOSFET를 반평행 자화로 하여 전류 구동 능력이 작은  $\beta_{n1}=1$ 의 상태로 하여 둔다. 여기에서,  $A=B="0"$ 일 때, 동작점  $V_m$ 은 도 8로부터  $V_0$ 로 되므로, 출력  $V_{out}$ 은 반전 증폭되어 "0"으로 된다. A 또는 B="1"(이하,  $(A, B)=(\text{"1"}, \text{"0"})$  또는  $(A, B)=(\text{"0"}, \text{"1"})$ 을 「A 또는 B="1"」이라고 약기함일 때, 동작점  $V_m$ 은  $V_P$ 로 되기 때문에, 출력  $V_{out}$ 은 "1"로 된다.  $A=B="1"$ 일 때에는, 동작점  $V_m$ 은  $V_Q$ 로 되어 출력  $V_{out}$ 은 "1"로 된다.

AND 회로로서 동작시키는 경우에는, 스핀 MOSFET를 평행 자화로 하여 전류 구동 능력이 큰  $\beta_{n1}=10$ 의 상태로 한다. 여기에서,  $A=B="0"$ 일 때, 동작점  $V_m$ 은  $V_0$ 로 되기 때문에 출력  $V_{out}$ 은 "0"으로 된다. A 또는 B="1"일 때에는, 동작점  $V_m$ 은  $V_R$ 로 되어 출력  $V_{out}$ 은 "0"으로 된다.  $A=B="1"$ 일 때에는, 동작점  $V_m$ 은  $V_S$ 로 되어 출력  $V_{out}$ 은 "1"로 된다.

2) AND/OR/XNOR 회로

도 7에 도시하는 회로에 XNOR 기능을 추가한 회로를 도 10에 도시한다. XNOR은 A 또는 B="0"과  $A=B="1"$ 에서는 입 출력 관계가 AND와 동일하고,  $A=B="0"$ 일 때  $V_{out}="1"$ ( $V_m="0"$ )로 되는 회로가 Q군으로서 추가된다. Tr3~Tr5까지가 그 추가 부분이다. 인버터를 구성하는 Tr3와 Tr4는 레벨 시프터로서 동작한다. 도 11에 도시하는 바와 같이,  $A=B="0"$ 일 때에만 Tr5가 도통한다(온 상태로 됨). Tr5는 스핀 MOSFET이지만, 자화 상태에 의한  $\beta_{n5}$ 의 변화는 Tr1의  $\beta_{n1}$ 보다 크게 변화하도록 설정하여, 예를 들면 반평행 자화와 평행 자화의 각각에서  $\beta_{n5}=0.5$  또는 50으로 한다. 평행 자화의 경우에는  $\beta_{n5}=50$ 으로 되어, 충분히 큰 전류( $I_{d\_high}$ )가 흐르지만, 반평행 자화의 경우에는  $\beta_{n5}=0.5$ 로 되어, 전류값( $I_{d\_low}$ )은 매우 작다. 도 12의 (A)~도 14의 (B)에 각  $\beta$ 에서의 동작점  $V_m$ 을 도시한다. 실선은 Tr2와 Tr5에 흐르는 전류의 합이며,  $I_{d\_low}$ 는 무시할 수 있다고 가정하였다. 표 2에  $\beta_{n1}$ ,  $\beta_{n5}$ 와 회로 기능의 관계를 정리한다.

[표 2]

$\beta_{n1}$	$\beta_{n5}$	$V_m$			$V_{out}$ ( $V_m$ 의 순서로)	기능
		A	0	0		
1	0.5	$V_0$ ("1")	$V_P$ ("0")	$V_Q$ ("0")	"0" "1" "1"	OR
10	0.5	$V_0$ ("1")	$V_R$ ("1")	$V_S$ ("0")	"0" "0" "1"	AND
1	50	$V_T$ ("0")	$V_R$ ("1")	$V_S$ ("0")	"1" "0" "1"	XNOR
10	50	$V_U$ ("0")	$V_R$ ("0")	$V_V$ ("0")	"1" "1" "1"	all "1"

우선, 도 12를 참조하여 AND/OR 기능에 대해 설명한다. Tr5를 반평행 자화로 하여 전류 구동 능력이 극히 작은 상태( $\beta_{n5}=0.5$ )로 하여 두면, 흐르는 전류  $I_{d\_low}$ 를 무시할 수 있기 때문에, 이 부분은 개방으로 간주할 수 있다. 이 때문에, 도 7에 도시하는 회로와 마찬가지로 회로로 되어, AND(도 12의 (C))/OR(도 12의 (B)) 기능을 유지할 수 있다.

다음으로, XNOR 기능에 대해 도 13의 (A), (B)를 참조하여 설명한다. Tr5를 평행 자화로 하여 전류 구동 능력을 높은 상태( $\beta_{n5}=50$ )로 하고, Tr2는 AND와 동일하게 평행 자화( $\beta_{n1}=10$ )로 해 둔다.  $A=B="1"$ , A 또는 B="1"에서는, 상술한 바와

같이 Tr5는 개방과 등가이기 때문에 AND와 동일한 동작을 한다. A=B="0"일 때에는, Tr5의 전류  $I_{d\_high}$ 에 의해  $V_m$ 이 방전되어  $V_m=V_T < V_{inv}$ ,  $V_{out}="1"$ 로 된다. 또한, Tr1을 반평형 자화( $\beta_{n1}=1$ ), Tr5를 평형 자화( $\beta_{n5}=50$ )로 해 두면, 모든 입력에 대해  $V_{out}="1"$ 로 된다(도 14의 (A), (B)). 이 회로의 특징은, 동작점  $V_m$ 이 모두 0V 혹은  $V_{dd}$ 에 가까워, 논리 마진이 크다는 것이다.

3) AND/OR/XNOR/NAND/NOR/XOR 기능

도 15에 도시하는 회로에서는, 출력에 인버터 회로가 한단 더 추가되어 있다. 이 회로의 동작의 상세를 표 3에 나타낸다. 기본적으로는 도 10에 도시하는 회로와 마찬가지로이지만,  $V_{out}$ 과 그 반전 출력에 의해 모든 2입력 대칭 함수를 실현할 수 있다.

[표 3]

$\beta_{n2}$	$\beta_{n5}$	$V_{out}$			$\overline{V_{out}}$			기능
		A	0	1	A	0	1	
		B	0	1	B	0	1	
1	0.5	"0"	"1"	"1"	"1"	"0"	"0"	OR/NOR
10	0.5	"0"	"0"	"1"	"1"	"1"	"0"	AND/NAND
1	50	"1"	"0"	"1"	"0"	"1"	"0"	XNOR/XOR
10	50	"1"	"1"	"1"	"0"	"0"	"0"	all "1" / all "0"

다음으로, 본 발명의 제2 실시예에 따른 재구축 가능한 논리 회로에 대해 도면을 참조하면서 설명을 행한다. 본 실시예에 따른 논리 회로는, CMOS 구성 인버터의 n채널형 MOSFET와 p채널형 MOSFET의 어느 한쪽을 스핀 MOSFET로 하거나, 또는 양쪽 모두 스핀 MOSFET로 함으로써 구성할 수 있다. 입력에 이용하는 vMOS 구조는 n채널 디바이스와 p채널 디바이스에 공통의 플로팅 게이트를 구성하도록 한다. 출력단의 인버터는 CMOS 구성의 통상의 인버터로 무방하다.

본 발명의 실시예에 따르면, E/D 구성과 마찬가지로 동작 곡선이 포화하기 때문에 평논리 마진을 크게 할 수 있다. 또한, 저소비 전력화에 유효하다.

1) 임계치 가변 인버터

도 16의 (A)는 논리 임계치가 가변인 인버터의 회로도이다. 통상의 CMOS 인버터의 n채널형 MOSFET와 p채널 MOSFET를 p채널형 스핀 MOSFET로 치환한 회로도이다. 여기에서, p채널형 스핀 MOSFET의 전류 구동 능력을 반평형 자화와 평형 자화의 경우의 각각에서  $\beta_{pinv}=1$  또는 10으로 하고, n채널형 스핀 MOSFET의 전류 구동 능력은 1과 10 사이의 값이다. 도 16의 (A)에 도시하는 인버터 회로에서의 논리 임계치는  $\beta$ 의 조합에 따라 변화한다. 예를 들면, 도 16의 (B)에서는,  $\beta_{ninv}$ 를 고정하고,  $\beta_{pinv}=1$  또는 10으로 한 경우의 양 스핀 MOSFET의 특성을 도시하는 도면이다. 입력은 일정하지만, 출력  $V_{out}$ 은  $\beta_{pinv}=1$ 일 때에는  $V_L$ 이며 Low 레벨이고,  $\beta_{pinv}=10$ 일 때에는  $V_H$ 이며 High 레벨이다. 이와 같이, 출력  $V_{out}$ 은 p채널형 스핀 MOSFET의 전류 구동에 따라 다르다. 보다 정량적으로는 이하와 같이 설명할 수 있다.

도 16의 (A)에 도시하는 인버터 회로를 통상의 CMOS 인버터와 마찬가지로 생각할 수 있다. 이 경우, 논리 임계치 부근에서는 p채널형 스핀 MOSFET, n채널형 스핀 MOSFET 모두 포화 영역에서 동작하고 있다. n채널 및 p채널의 스핀 MOSFET에 흐르는 드레인 전류  $I_d$ 가 동일하다고 하는 조건에서 방정식을 풀면 다음 식이 얻어진다.

$$V_{inv} = \frac{V_{dd} - |V_{thp}| + V_{thn} \sqrt{\beta_{inv}}}{1 + \sqrt{\beta_{inv}}}, \quad \text{단} \quad \beta_{inv} = \frac{\beta_{ninv}}{\beta_{pinv}}$$

여기에서,  $V_{dd}=3.3V$ ,  $V_{thn}=|V_{thp}|=0.5V$ 라고 하고, 논리 임계치  $V_{inv}$ 를 구동력의 비  $\beta_{inv}=\beta_{ninv}/\beta_{pinv}$ 의 함수로 하여 도 17에 플롯하였다. 도 17에 도시하는 바와 같이,  $\beta_{inv}=0.1, 1, 10$ 에 대응한 논리 임계치를 구할 수 있다.

2) AND/OR

도 16에 도시한 임계치 가변 인버터를 이용한 AND/OR 회로를 도 18에 도시한다. 도 18에 도시하는 바와 같이, AND/OR 회로는 2단의 인버터로 구성되어 있고, 입력측이 임계치 가변 인버터이며, 출력측은 통상의 인버터(임계치는  $V_{inv2}=V_{dd}/2$ )이다. 도 18에 도시하는 회로의 동작 특성을 도 19의 (A) 및 도 19의 (B)에 도시한다. 실선은 Tr1의 특성이며, 파선은 Tr2의 특성이다. 이 회로의 동작에 대한 상세를 표 4에 정리한다.

[표 4]

$\beta_{p1}$	$\beta_{n2}$	$V_m$			$V_{out}$ ( $V_m$ 의 순서로)	기능
		A	0	0		
		B	0	1	1	
1	10	$V_0$ ("1")	$V_p$ ("0")	$V_Q$ ("0")	"0" "1" "1"	OR
10	1	$V_0$ ("1")	$V_R$ ("1")	$V_Q$ ("0")	"0" "0" "1"	AND

2-1) OR

도 19의 (A) 및 도 19의 (B)를 참조하여 OR 회로에 대해 설명한다. OR 회로로서 기능시키는 경우에는, 도 18에 도시하는 회로에서, Tr1을 반평행 자화( $\beta_{p1}=1$ ), Tr2를 평행 자화( $\beta_{n2}=10$ )로 설정한다. 도 19의 (A)로부터, A=B="0"일 때에는, 동작점  $V_m$ 은  $V_0$ 로 되기 때문에, 출력  $V_{out}$ 은 반전 증폭되어 "0"으로 된다. A 또는 B="1"일 때에는, 동작점  $V_m$ 은  $V_p$ 로 되어, 출력  $V_{out}$ 은 "1"로 된다. A=B="1"일 때, 동작점  $V_m$ 은  $V_Q$ 로 되어, 출력은 "1"로 된다.

2-2) AND

도 20의 (A) 및 도 20의 (B)을 참조하여 AND 회로에 대해 설명한다. Tr1을 평행 자화( $\beta_{p1}=10$ ), Tr2를 반평행 자화( $\beta_{n2}=1$ )로 한다. A=B="0"일 때에는, 동작점  $V_m$ 은  $V_0$ 로 되기 때문에, 출력  $V_{out}$ 은 반전 증폭되어 "0"으로 된다. A 또는 B="1"일 때에는, 동작점  $V_m$ 은  $V_R$ 로 되어, 출력  $V_{out}$ 은 "0"으로 된다. A=B="1"일 때, 동작점  $V_m$ 은  $V_Q$ 로 되어, 출력은 "1"로 된다.

또, 도 21 내지 도 23에 도시하는 바와 같이, 입력측의 임계치 가변 인버터(Tr1과 Tr2로 이루어지는 인버터)의 임계치  $V_{inv1}$ 을 기준으로 생각할 수도 있다. 이하에 그 경우의 동작에 대해 설명한다.

2-3) OR

도 21에 도시하는 회로에서, Tr1을 반평행 자화( $\beta_{p1}=1$ ), Tr2를 평행 자화( $\beta_{n2}=10$ )로 하면, 도 22의 (A)에 도시하는 바와 같이 논리 임계치는  $V_{inv1}=V_{inv\_low} < V_{dd}/2$ 로 된다. 도 22의 (A), (B)에 도시하는 바와 같이, A=B="0"일 때,  $V_{fg}=0$ 으로 되기 때문에,  $V_m=V_0$ ="1"로 되어  $V_{out}$ ="0"으로 된다. A 또는 B="1"일 때,  $V_{fg}=V_{dd}/2 > V_{inv1\_low}$ 이기 때문에,  $V_m=V_p$ ="0"으로 되어  $V_{out}$ ="1"로 된다. A=B="1"일 때에는,  $V_{fg}=V_{dd}$ 이기 때문에,  $V_m=V_Q$ ="0"으로 되어  $V_{out}$ ="1"로 된다.

2-4) AND

도 21에 도시하는 회로에서, Tr1을 평행 자화( $\beta_{p1}=10$ ), Tr2를 반평행 자화( $\beta_{n2}=1$ )로 하면, 도 23의 (A)에 도시하는 바와 같이 논리 임계치는  $V_{inv1}=V_{inv1\_high} > V_{dd}/2$ 로 된다. A=B="0"일 때,  $V_{fg}=0$ 이기 때문에,  $V_m=V_0="1"$ 로 되어  $V_{out}="0"$ 으로 된다. A 또는 B="1"일 때,  $V_{fg}=V_{dd}/2 < V_{inv1\_low}$ 이기 때문에,  $V_m=V_R="1"$ 로 되어  $V_{out}="0"$ 이다. A=B="1"일 때에는,  $V_{fg}=V_{dd}$ 이기 때문에,  $V_m=V_Q="0"$ 으로 되어  $V_{out}="1"$ 로 된다.

3) AND/OR/XNOR

도 24에 AND/OR/XNOR 회로를 도시한다. 동작 원리는 도 10의 경우와 마찬가지로이다. XNOR는, A=B="1" 및 A 또는 B="1"일 때의 입출력 관계는 AND와 동일하고, A=B="0"일 때에만 AND와 다르며,  $V_{out}="1"$ ( $V_m="0"$ )로 되면 된다. 이 기능은 Tr3, Tr4, Tr5(n채널형 스핀 MOSFET)로 구성되는 회로를 회로군 Q에 추가함으로써 실현된다. Tr3, Tr4로 이루어지는 인버터(레벨 시프터)에서는, 임계치  $V_{inv3}$ 가  $V_{dd}/2$ 보다 낮게 설계되어 있다. 이 때문에, A=B="0"일 때에만,  $V_{in_n}="1"$ 로 되어, Tr5가 온 한다. 이 Tr5의 평행 자화와 반평행 자화에서의 전류 구동 능력  $\beta_{n5}$ 의 변화는, Tr1, Tr2의 경우에 비해 크게,  $\beta_{n5}=0.5$ (반평행 자화) 또는 50(평행 자화)으로 한다. 평행 자화( $\beta_{n5}=50$ )이면 충분히 큰 전류( $I_{d\_high}$ )가 흐르지만, 반평행 자화( $\beta_{n5}=0.5$ )이면 전류값  $I_{d\_low}$ 는 매우 작다(도 25의 상하 도면, 참조).

그 상세한 동작에 대해 표 5에 정리한다.

[표 5]

$\beta_{p1}$	$\beta_{n2}$	$\beta_{n5}$	$V_m$			$V_{out}$ ( $V_m$ 의 순서로)			기능
			A	0	0	1	B	0	
1	10	0.5	$V_0$ ("1")	$V_P$ ("0")	$V_Q$ ("0")	"0"	"1"	"1"	OR
10	1	0.5	$V_0$ ("1")	$V_R$ ("1")	$V_Q$ ("0")	"0"	"0"	"1"	AND
1	10	50	$V_T$ ("0")	$V_P$ ("0")	$V_Q$ ("0")	"1"	"1"	"1"	all "1"
10	1	50	$V_S$ ("0")	$V_R$ ("1")	$V_Q$ ("0")	"1"	"0"	"1"	XNOR

3-1) AND/OR(도 26의 (A), (B), 도 27의 (A), (B) 참조)

Tr5를 반평행 자화( $\beta_{n5}=0.5$ )로 설정하면, 그 전류  $I_{d\_low}$ 를 무시할 수 있어, Tr5를 개방으로 간주할 수 있으므로, 도 18의 AND/OR 회로와 등가로 된다.

3-2) XNOR(도 29의 (A), (B) 참조)

Tr5를 평행 자화( $\beta_{n5}=50$ )로 설정하고, 인버터 부분은 AND와 동일하게 Tr1을 평행 자화( $\beta_{p1}=10$ ), Tr2를 반평행 자화( $\beta_{n2}=1$ )로 설정한다. A=B="1", A 또는 B="1"에서는, Tr5는 개방과 등가이므로 AND와 동일한 동작을 행한다. A=B="0"일 때에는 Tr5의  $I_{d\_high}$ 에 의해  $V_m$ 이 방전되어  $V_m=V_S < V_{inv2}$ 로 되기 때문에  $V_{out}="1"$ 로 된다. 또, Tr1을 반평행 자화( $\beta_{p1}=1$ ), Tr2를 평행 자화( $\beta_{n2}=10$ ), Tr5를 평행 자화( $\beta_{n5}=50$ )로 해 두면, 모든 입력 패턴에 대해  $V_{out}="1"$ 로 된다(도 28의 (A), (B) 참조).

도 24에 도시하는 회로의 출력에 인버터를 추가함으로써, 전 2입력 대칭 함수를 실현할 수 있지만, 회로군 P에 새롭게 회로를 추가함으로써 전 2입력 대칭 함수를 실현하는 방법을 나타낸다.

4) AND/OR/XNOR/XOR

도 30에 AND/OR/XNOR/XOR 회로를 도시한다. XOR은 A=B="1" 및 A 또는 B="1"일 때의 입출력 관계는 OR와 동일하고, A=B="1"일 때에만 다르며, V<sub>out</sub>="0"로 된다. 따라서, A=B="1"일 때 V<sub>out</sub>="0"(V<sub>m</sub>="1")으로 되도록 하는 회로를 추가하면 된다. Tr6, Tr7, Tr8(p채널형 스핀 MOSFET)을, Tr3, Tr4, Tr5(n채널형 스핀 MOSFET)와 상보적으로 이용함으로써, XOR 기능이 더해진다. Tr6, Tr7으로 이루어지는 인버터는, 임계치 V<sub>inv4</sub>가 V<sub>dd</sub>/2보다 높게 설계되어 있다. 이 때문에, A=B="1"일 때에만 V<sub>in,p</sub>="0"으로 되어, Tr8이 온 한다(도 31).

이 Tr8의 평행 자화와 반평행 자화에서의 전류 구동 능력 β<sub>p8</sub>의 변화는, Tr1, Tr2의 경우에 비해 크게, 반평행 자화의 경우에는 β<sub>p8</sub>=0.5, 평행 자화의 경우에는 50으로 한다. 평행 자화(β<sub>p8</sub>=50)이면, 충분히 큰 전류(I<sub>d,high</sub>)가 흐르지만, 반평행 자화(β<sub>p8</sub>=0.5)이면 전류값(I<sub>d,low</sub>)은 매우 작다. 도 32의 (A), (B) 및 도 33의 (A), (B)에 Tr8이 평행 자화(β<sub>p8</sub>=50), Tr5가 반평행 자화(β<sub>p5</sub>=0.5)일 때의 동작점 V<sub>m</sub>을 도시한다. 실선은 Tr1과 Tr8에 흐르는 전류의 합이며, 파선은 Tr2와 Tr5에 흐르는 전류의 합이다. 또, I<sub>d,low</sub>는 무시하였다.

그 동작의 상세를 표 6에 나타낸다.

[표 6]

β <sub>p1</sub>	β <sub>n2</sub>	β <sub>n5</sub>	β <sub>p8</sub>	V <sub>m</sub>			V <sub>out</sub> (V <sub>m</sub> 의 순서로)	기능
				A	0	0		
				B	0	1	1	
1	10	0.5	0.5	"1"	"0"	"0"	"0" "1" "1"	OR
10	1	0.5	0.5	"1"	"1"	"0"	"0" "0" "1"	AND
1	10	50	0.5	"0"	"0"	"0"	"1" "1" "1"	all "1"
10	1	50	0.5	"0"	"1"	"0"	"1" "0" "1"	XNOR
1	10	0.5	50	V <sub>0</sub> ("1")	V <sub>p</sub> ("0")	V <sub>T</sub> ("1")	"0" "1" "0"	XOR
10	1	0.5	50	V <sub>0</sub> ("1")	V <sub>R</sub> ("1")	V <sub>U</sub> ("1")	"0" "0" "0"	all "0"

4-1) AND/OR/XNOR

도 30의 회로에서, Tr8을 반평행 자화(β<sub>p8</sub>=0.5)로 해 두면, Tr8에 흐르는 전류를 무시할 수 있어, Tr8의 부분은 개방으로 간주할 수 있다. 이 때문에, 도 24의 회로와 등가로, Tr1, Tr2, Tr5의 자화 상태(전류 구동 능력 β<sub>p1</sub>, β<sub>n2</sub>, β<sub>n5</sub>)를 바꿈으로써 AND/OR/XNOR 기능을 갖게 할 수 있다.

4-2) XOR(도 32의 (A), (B))

Tr8을 평행 자화(β<sub>p8</sub>=50)로 하고, 그 외는 OR의 경우와 동일하게 Tr1을 반평행 자화(β<sub>p1</sub>=1), Tr2를 평행 자화(β<sub>n2</sub>=10), Tr5를 반평행 자화(β<sub>n5</sub>=0.5)로 설정해 둔다. A=B="0", A 또는 B="1"에서는, TR8은 개방이고 OR와 동일한 동작을 한다. A=B="1"일 때에는, Tr8의 I<sub>d,high</sub>에 의해 V<sub>m</sub>이 충전되어, V<sub>m</sub>=V<sub>T</sub>>V<sub>inv,2</sub>로 되기 때문에, V<sub>out</sub>="0"으로 된다. 또한, Tr1을 평행 자화(β<sub>p1</sub>=10), Tr2를 반평행 자화(β<sub>n2</sub>=1), Tr5를 반평행 자화(β<sub>n5</sub>=0.5), Tr8을 평행 자화(β<sub>p8</sub>=50)로 설정해 두면, 모든 입력 패턴에 대해 V<sub>out</sub>="0"으로 된다(도 33의 (A), (B)).

5) AND/OR/XNOR/XOR/NAND/NOR

도 15의 경우와 마찬가지로 도 24의 회로의 출력에 인버터를 넣어 구성할 수도 있지만, 도 30의 회로를 이용하여도 실현할 수 있다. 도 30에서의 Tr5는, A=B="0"의 경우만 기능하여,  $V_m = "0"$ 으로 한다. 또한, Tr8은 A=B="1"일 때에만 기능하여,  $V_m = "1"$ 로 한다. 이것을 고려하면 NAND/NOR는 도 30의 회로로 실현할 수 있다.

도 30에 도시하는 회로에서, Tr5와 Tr8이 모두 평행 자화( $\beta_{n5} = \beta_{p8} = 50$ )인 경우의 동작점을 도 33 및 도 34에 도시한다. 그 동작을 표 7에 정리한다.

[표 7]

$\beta_{p1}$	$\beta_{n2}$	$\beta_{n5}$	$\beta_{p8}$	$V_m$			$V_{out}$ ( $V_m$ 의 순서로)	기능
				A	0	0		
1	10	0.5	0.5	"1"	"0"	"0"	"0" "1" "1"	OR
10	1	0.5	0.5	"1"	"1"	"0"	"0" "0" "1"	AND
1	10	50	0.5	"0"	"0"	"0"	"1" "1" "1"	all "1"
10	1	50	0.5	"0"	"1"	"0"	"1" "0" "1"	XNOR
1	10	0.5	50	"1"	"0"	"1"	"0" "1" "0"	XOR
10	1	0.5	50	"1"	"1"	"1"	"0" "0" "0"	all "0"
1	10	50	50	$V_T ("0")$	$V_P ("0")$	$V_U ("1")$	"1" "1" "0"	NAND
10	1	50	50	$V_S ("0")$	$V_R ("1")$	$V_V ("1")$	"1" "0" "0"	NOR

5-1) AND/OR

Tr5를 반평행 자화( $\beta_{n5} = 0.5$ ), Tr8을 반평행 자화( $\beta_{p8} = 0.5$ )로 하면, Tr5, Tr8 모두 개방이므로, 도 28의 회로와 등가이다.

5-2) XNOR

Tr5를 평행 자화( $\beta_{n5} = 50$ ), Tr8을 반평행 자화( $\beta_{p8} = 0.5$ )로 하면, Tr8이 개방이므로, 도 24의 회로와 등가이다.

5-3) XOR

Tr5를 반평행 자화( $\beta_{n5} = 0.5$ ), Tr8을 평행 자화( $\beta_{p8} = 50$ )로 하면, 도 32의 (A), (B)와 등가이며 XOR로 된다.

5-4) NAND(도 34의 (A), (B) 참조)

Tr1을 반평행 자화( $\beta_{p1} = 1$ ), Tr2를 평행 자화( $\beta_{n2} = 10$ ), Tr5를 평행 자화( $\beta_{n5} = 50$ ), Tr8을 평행 자화( $\beta_{p8} = 50$ )로 한다. A=B="0"일 때, Tr5에 의해 방전되어  $V_m = V_T < V_{inv2}$ 로 되어,  $V_{out} = "1"$ 로 된다. A 또는 B="1"일 때에는,  $V_m = V_P < V_{inv2}$ 이기 때문에,  $V_{out} = "1"$ 로 된다. A=B="1"일 때에는, Tr8에 의해 충전되어  $V_m = V_U > V_{inv2}$ 로 되기 때문에,  $V_{out} = "0"$ 으로 된다.

5-5) NOR(도 35의 (A), (B) 참조)

Tr1을 평행 자화( $\beta_{p1}=10$ ), Tr2를 반평행 자화( $\beta_{n2}=1$ ), Tr5를 평행 자화( $\beta_{n5}=50$ ), Tr8을 평행 자화( $\beta_{p8}=50$ )로 한다. A=B="0"일 때, Tr5에 의해 방전되어  $V_m=V_S < V_{inv2}$ 로 되기 때문에,  $V_{out}="1"$ 로 된다. A 또는 B="1"일 때에는,  $V_m=V_R > V_{inv2}$ 이기 때문에,  $V_{out}="0"$ 으로 된다. A=B="1"일 때에는, Tr8에 의해 충전되어  $V_m=V_u > V_{inv2}$ 로 되기 때문에,  $V_{out}="0"$ 이다.

도 30의 회로에서는, 소자 수는 MOSFET가 10, 커패시터가 2이다. 이 회로는 CMOS 구성으로 실현할 수 있기 때문에 회로의 레이아웃도 매우 콤팩트하게 할 수 있다.

도 36은 스핀 MOSFET를 이용한 CMOS 구성 인버터를 2단 연결한 회로이다. 1단계와 2단계의 인버터는 각각 vMOS 구조에 의한 입력을 갖고 있다. 입력 A와 B에 대해서는 동일한 가중치 부여를 설정한다. 2단계의 인버터에도 A와 B를 입력하고, 1단계의 출력  $V_{m1}$ 도 2단계 인버터에 입력한다. 단, 2단계의 인버터에서는 입력 A와 B에 대한 용량( $C_A$ 와  $C_B$ )의 가중치 부여는 동일하지만, A(및 B)와  $V_{m1}$ 의 용량의 가중치 부여는 서로 다르다. 예를 들면,  $V_{m1}$ 에 의한 입력의 용량을  $C_{m1}$ 이라고 하면,  $3C_{m1}=C_A(=C_B)$ 의 관계가 필요하다. 이 논리 회로에서는 Q1, Q2, Q4의 자화 상태를 바꿈으로써 논리 기능을 개시할 수 있다.  $V_{m1}$ 에서는 NOR와 NAND,  $V_{m2}$ 에서는 XNOR, XOR, AND, OR, all "1", all "0"의 논리 기능을 실현할 수 있다. 단,  $V_{m1}V_{m2}$ 에서는 논리 기능에 의해 논리 진폭이 "0" 레벨 또는 "1" 레벨에 이르지 않는 경우가 있기 때문에, 각각의 출력에 CMOS 인버터 등을 넣어 신호를 증폭하는 것이 바람직하다. 단, 이 경우에는 논리 기능은 반전한다. 또한, Q2에 스핀 MOSFET를 이용할 수도 있다.

다음으로, 참고예로서 제2 CMOS 구성의 논리 회로에 대해 도면을 참조하면서 설명을 행한다. 이 논리 회로에서는, 임계치 가변 인버터를 출력단의 인버터에 이용하여 개시 가능한 논리 회로를 구성한다. 논리 임계치  $V_{inv}$ 는 2값(이것을  $V_{inv\_high}$ ,  $V_{inv\_low}$ 라고 함)으로 충분하고, 예를 들면, 통상의 nMOS와 p채널형 스핀 MOSFET를 포함하는 인버터를 이용한다. 이 인버터는 아날로그 전압(이하에 설명하는 "1/2")을 디지털 논리 레벨("0" 또는 "1")까지 증폭하는 A-D 컨버터로서의 기능을 갖지만, 임계치도 제어할 수 있다. 도 6에 도시한 vMOS를 입력으로 한 E/E, E/D, CMOS 인버터의 스핀 MOSFET를 통상의 MOSFET로 하고, 출력의 AD 컨버터를 이 논리 임계치 가변 인버터로 함으로써 실현할 수 있다. 여기에서는, 참고예로서 다른 회로를 나타낸다.

1) NAND/NOR

도 37은 NAND/NOR 회로의 구성예를 도시하는 도면이다. 도 48에 도시하는 회로와의 상위점은,  $V_m$ 의 값을 스핀 MOSFET에 의해 바꾸는 것이 아니라, 인버터에서 논리 레벨까지 증폭할 때의 임계치를 바꾸는 것이다. 즉, 도 38에 도시하는 바와 같이, 도 37에 도시하는 논리 회로의 부하 곡선(vMOS의 특성)은 1개이며, 동작점은  $V_O$ ,  $V_P$ ,  $V_Q$  뿐이지만, 논리 임계치  $V_{inv}$ 를 A 또는 B="1"일 때의 동작점  $V_p$ 보다 위( $V_{inv\_high}$ )로 할지,  $V_p$ 보다 아래( $V_{inv\_low}$ )로 할지에 따라 동작점을 바꾸어 기능을 변경한다. 이  $V_{inv\_low}$ 와  $V_{inv\_high}$  사이의 영역을 "1/2"이라고 한다. 도 39에 진리값표를, 표 8에 상기 회로의 상세한 동작을 나타낸다.

[표 8]

$V_{inv}$	$V_m$			$V_{out}$ ( $V_m$ 의 순서로)	기능
	A	0	0		
$V_{inv\_low}$	$V_O$ ("0")	$V_P$ ("1/2")	$V_Q$ ("1")	"1" "0" "0"	NOR
$V_{inv\_high}$	$V_O$ ("0")	$V_P$ ("1/2")	$V_Q$ ("1")	"1" "1" "0"	NAND

A=B="0"의 경우,  $V_m = V_0 < V_{inv\_low}, V_{inv\_high}$ 이며, 인버터에 의해  $V_{out} = "1"$ 로 된다. A=B="1"의 경우에는,  $V_m = V_Q < V_{inv\_low}, V_{inv\_high}$ 이며, 인버터에 의해  $V_{out} = "0"$ 으로 된다. 또, 이상의 출력은, 인버터의 논리 임계치  $V_{inv}$ 에 의존하지 않는다. A 또는 B="1"의 경우에는,  $V_{inv\_low} < V_p < V_{inv\_high}$ 이고,  $V_{inv} = V_{inv\_low}$ 이면  $V_{out} = "0"$ 이기 때문에 NOR 회로로,  $V_{inv} = V_{inv\_high}$ 이면  $V_{out} = "1"$ 이기 때문에 NAND 회로로 된다.

2) NAND/NOR/XOR

도 40에 NAND/NOR+ XNOR 회로를 도시한다. 도 41에 그 동작점을 도시한다. 이 동작 원리는 도 50~도 54와 마찬가지로 이고, NOR에서, A=B="1"일 때  $V_{out} = "1"$ (이를 위해서는  $V_m = "0"$ )로 하는 회로가 Tr3, Tr4, Tr5(n채널형 스핀 MOSFET)이다. 이 Tr5는 구동력이 높은 상태( $\beta_{n5} = 10$ )와 낮은 상태( $\beta_{n5} = 1$ )가 있다. 그 동작의 상세에 대해 표 9에 나타낸다.

[표 9]

$V_{inv}$	$\beta_{n5}$	$V_m$			$V_{out}$ ( $V_m$ 의 순서로)	기능
		A	0	0		
		B	0	1	1	
$V_{inv\_low}$	1	$V_0$ ("0")	$V_p$ ("1/2")	$V_Q$ ("1")	"1" "0" "0"	NOR
$V_{inv\_high}$	1	$V_0$ ("0")	$V_p$ ("1/2")	$V_Q$ ("1")	"1" "1" "0"	NAND
$V_{inv\_low}$	10	$V_0$ ("0")	$V_p$ ("1/2")	$V_R$ ("0")	"1" "0" "1"	XNOR
$V_{inv\_high}$	10	$V_0$ ("0")	$V_p$ ("1/2")	$V_R$ ("0")	"1" "1" "1"	all "1"

2-1) NAND/NOR(도 42의 (A), (B) 참조)

도 40에서, Tr5를  $\beta_{n5} = 1$ 의 상태로 하면, 그 드레인 전류  $I_{d\_low}$ 를 무시할 수 있기 때문에 개방으로 간주되어, 도 37의 NAND/NOR 회로와 등가로 된다.

2-2) XNOR (도 43의 (A), (B) 참조)

도 45에서 Tr5를  $\beta_{n5} = 10$ , 인버터의 임계치를 NOR와 동일하게  $V_{inv\_low}$ 로 해 둔다. A=B="0", A 또는 B="1"에서는, 상술한 바와 같이 Tr5는 개방과 등가이므로 NOR와 동일한 동작을 한다. A=B="1"일 때에는 Tr5의  $I_{d\_high}$ 에 의해  $V_m$ 이 방전되어  $V_m = V_R < V_{inv\_low}$ ,  $V_{out} = "1"$ 로 된다.

또한,  $\beta_{n5} = 10$ ,  $V_{inv\_high}$ 로 해 두면, 모든 입력에 대해서  $V_{out} = "1"$ 로 된다.

3) NAND/NOR/XNOR/XOR

NAND/NOR/XNOR/XOR 회로를 도 44에 도시한다. XOR는, A=B="1" 및 A 또는 B="1"일 때의 입출력 관계는 NAND와 동일하고, A=B="0"일 때에만 다르며,  $V_{out} = "0"$ 이다. A=B="0"일 때,  $V_{out} = "0"$ (이를 위해서는  $V_m = "1"$ )으로 되도록 하는 회로를 추가하면 된다. p채널형의 Tr6, Tr7, Tr8(p채널형 스핀 MOSFET)을 n채널형의 Tr3, Tr4, Tr5(n채널형 스핀 MOSFET)와 상보적으로 이용함으로써 XOR 기능이 더해진다. 이 Tr8은 구동력이 높은 상태( $\beta_{p8} = 10$ )와 낮은 상태( $\beta_{p8} = 1$ )가 있다. Tr6, Tr7의 소스 팔로워는 플러스의 레벨 시프터이며, A=B="0"의 경우에만 Tr8이 온 한다.

도 45는 Tr6와 Tr7의 동작 특성을 나타내고 있으며, 이로부터  $V_{in\_p}$ 가 결정된다. A=B="1"의 동작점  $V_D$ , A 또는 B="1"의 동작점  $V_E$ 는 모두 Tr8의 임계치보다 크기 때문에 전류는 흐르지 않고, 개방과 등가이다. A=B="0"의  $V_F$ 일 때에만



Tr8이 온 한다(임계치가  $V_{dd}/2$ 보다 큰 p채널형 스핀 MOSFET가 집적 가능하면 Tr6, Tr7은 불필요하고,  $V_{fg}$  노드를 직접 Tr8의 게이트와 접속하면 됨).  $\beta_{p8}=10$ 이면, 충분히 큰 전류  $I_{d\_high}$ 가 흐르지만,  $\beta_{p8}=1$ 이면, 전류값( $I_{d\_low}$ )은 매우 작다. 도 46에  $\beta_{p8}=10$ ,  $\beta_{n5}=1$  때의 동작점  $V_m$ 을 도시한다. 실선은 Tr1과 Tr8에 흐르는 전류의 합이며, 도 46 중  $I_{d\_low}$ 는 무시하였다.

그 동작의 상세를 표 10에 나타낸다.

[표 10]

$V_{inv}$	$\beta_{n5}$	$\beta_{p8}$	$V_m$			$V_{out}$ ( $V_m$ 의 순서로)			기능
			A	0	0	1	1	1	
$V_{inv\_low}$	1	1	"0"	"1/2"	"1"	"1"	"0"	"0"	NOR
$V_{inv\_high}$	1	1	"0"	"1/2"	"1"	"1"	"1"	"0"	NAND
$V_{inv\_low}$	10	1	"0"	"1/2"	"0"	"1"	"0"	"1"	XNOR
$V_{inv\_high}$	10	1	"0"	"1/2"	"0"	"1"	"1"	"1"	all "1"
$V_{inv\_low}$	1	10	$V_0$ ("1")	$V_p$ ("1/2")	$V_q$ ("1")	"0"	"0"	"0"	all "0"
$V_{inv\_high}$	1	10	$V_0$ ("1")	$V_p$ ("1/2")	$V_q$ ("1")	"0"	"1"	"0"	XOR

3-1) NAND/NOR/XNOR

Tr8을 구동력이 없는 상태( $\beta_{p8}=1$ )로 해 두면, Tr8에 흐르는 전류를 무시할 수 있어, 이 부분은 개방으로 간주할 수 있다. 이 때문에 도 40의 회로와 등가이며,  $\beta_{n5}$ 와  $V_{inv}$ 만 바꿈으로써 NAND/NOR/XOR 기능을 유지할 수 있다.

3-2) XOR

Tr8은  $\beta_{p8}=10$ , 인버터의 임계치는 NAND와 동일하게  $V_{inv\_high}$ , Tr5는 개방으로 되도록  $\beta_{n5}=1$ 로 해 둔다. A=B="1", A 또는 B="1"에서는 상술한 바와 같이 Tr8은 개방이기 때문에 NAND와 동일한 동작을 한다. A=B="0"일 때는 p채널형 스핀 MOSFET에 의해  $V_m$ 이 충전되어,  $V_m=V_0 > V_{inv\_high}$ ,  $V_{out}="0"$ 으로 된다. 또한,  $\beta_{p8}=10$ ,  $V_{inv\_low}$ 로 해 두면, 모든 입력에 대해  $V_{out}="0"$ 으로 된다.

4) NAND/NOR/XNOR/XOR/OR/AND

도 44의 회로 중, Tr5는 A=B="1"일 때에만 기능하여,  $V_m="0"$ 으로 한다. 또한, Tr8은 A=B="0"일 때에만 기능하여,  $V_m="1"$ 로 한다.

이를 생각하면, OR/AND는 도 44의 회로 그대로 실현할 수 있다. 회로 중의 디바이스 수는 MOSFET는 10이고 커패시터는 2이다. 도 44의  $\beta_{n5}=\beta_{p8}=10$ 의 부하 곡선을 도 40의 (A)에 도시한다. 도 30의 회로는 구동력의 변화율이 서로 다른 2 종류의 스핀 MOSFET(Tr1과 Tr2에서는 예를 들면 10배, Tr5와 Tr8에서는 예를 들면 100배 정도의 변화율)를 집적할 필요가 있었으나, 도 44의 회로에서는 1 종류의 스핀 MOSFET만으로 된다.

그 동작을 표 11에 정리한다.

[표 11]

$V_{inv}$	$\beta_{n5}$	$\beta_{p8}$	$V_m$			$V_{out}$ ( $V_m$ 의 순서로)			기능
			A	0	0	1	1	1	
$V_{inv\_low}$	1	1	"0"	"1/2"	"1"	"1"	"0"	"0"	NOR
$V_{inv\_high}$	1	1	"0"	"1/2"	"1"	"1"	"1"	"0"	NAND
$V_{inv\_low}$	10	1	"0"	"1/2"	"0"	"1"	"0"	"1"	XNOR
$V_{inv\_high}$	10	1	"0"	"1/2"	"0"	"1"	"1"	"1"	All "1"
$V_{inv\_low}$	1	10	"1"	"1/2"	"1"	"0"	"0"	"0"	all "0"
$V_{inv\_high}$	1	10	"1"	"1/2"	"1"	"0"	"1"	"0"	XOR
$V_{inv\_low}$	10	10	$V_0$ ("1")	$V_P$ ("1/2")	$V_R$ ("0")	"0"	"0"	"1"	AND
$V_{inv\_high}$	10	10	$V_0$ ("1")	$V_P$ ("1/2")	$V_R$ ("0")	"0"	"1"	"1"	OR

4-1) NAND/NOR(도 46의 (A), (B))

$\beta_{n5}=1, \beta_{p8}=1$ 로 하면, Tr5, Tr8 모두 개방이므로, 도 37의 회로와 등가이며,  $V_{inv\_low}$ 에서 NOR,  $V_{inv\_high}$ 에서 NAND이다.

4-2) XNOR

$\beta_{n5}=10, \beta_{p8}=1, V_{inv\_low}$ 로 하면, Tr8이 개방이므로, 도 43의 상태와 등가이며, XNOR로 된다.

4-3) XOR

$\beta_{n5}=1, \beta_{p8}=10, V_{inv\_high}$ 로 하면, 도 9의 (B)의 상태와 등가이며, XNOR로 된다.

4-4) AND/OR

도 44의 회로에서  $\beta_{n5}=10, \beta_{p8}=10$ 으로 한다(도 47의 (A), (B) 참조).  $A=B="0"$ 일 때, Tr8에 의해 충전되어  $V=V_0 > V_{inv\_low}, V_{inv\_high}$ 이므로,  $V_{out}="0"$ ,  $A=B="1"$ 일 때, Tr5에 의해 방전되어  $V_m=V_Q < V_{inv\_low}, V_{inv\_high}$ 이므로,  $V_{out}="1"$ 이다. A 또는 B="1"일 때, Tr5, Tr8 모두 개방이므로, 도 37과 등가로 된다.  $V_{inv\_low} < V_p < V_{inv\_high}$ 이므로,  $V_{inv}=V_{inv\_low}$ 이면  $V_{out}="0"$ 이고 AND 회로로 되고,  $V_{inv}=V_{inv\_high}$ 이면  $V_{out}="1"$ 이고 OR 회로로 된다.

또, 상기 회로의 경우, 각 회로도에서의 Tr1과 Tr2는 동일한 도전형이라면 n채널형 및 p채널형 중 어느 것이어도 무방하다.

이하에, 상기 스핀 MOSFET를 이용한 재구성 가능한 회로의 참고예에 대해, 논리 회로를 예로 하여 도면을 참조하면서 설명을 행한다. 이 논리 회로는, 인헨스먼트형 MOSFET 및 n채널형 스핀 MOSFET를 이용한 회로군을 이용하고 있다.

1) NAND/NOR 회로

도 48은 개서 가능한 NAND/NOR 회로의 구성예를 도시하는 도면이다. 도 48에 도시하는 바와 같이, 개서 가능한 NAND/NOR 회로는 논리 게이트단과 인버터단을 갖고 있다. 논리 게이트단은 vMOS(Tr1)와 스핀 MOSFET(Tr2)의 직렬 접속 구조를 갖고 있다. vMOS(Tr1)는 2개의 입력 A, B를 갖고 있고, 이들의 입력값에 의해 플로팅 게이트에 인가되는 전압  $V_{fg}$ 가, 예를 들면  $(A+B)/2$ 의 식에 의해 구해진다. 이 vMOS(Tr1)의 전류 증폭율을  $\beta_{n1}$ 으로 나타낸다. A, B가 입력,  $V_{out}$ 이 출력이며, "0"(Low 레벨, 0V) 또는 "1"(High 레벨, 전원 전압  $V_{dd}$ )이다. 상기 vMOS(Tr1)는 "0"이거나 "1"인 디지털 입력을,  $(0, V_{dd}/2, V_{dd})$  중 어느 하나의 전압으로 변환하는 D-A 컨버터로서의 기능을 갖고 있다.

Tr2가 스핀 MOSFET(MOSFET에 화살표를 붙임으로써 일반적인 MOSFET와 식별하고 있음)이며, 일정 바이어스  $V_b$ 가 가해지고 있다. 그 구동력은, 스핀 MOSFET(Tr2) 내에 기억되어 있는 자화 상태에 따라,  $\beta_{n2}=1$  또는 10의 2 종류를 취할 수 있다고 가정한다.

스핀 MOSFET(Tr2)의 정특성을 도 6에 실선으로 나타낸다. vMOS(Tr1)와 스핀 MOSFET(Tr2)로 소스 팔로워 회로를 구성하고 있으며, vMOS(Tr1)는  $V_{fg}$ 에 대응한 구동력으로, vMOS(Tr1)와 스핀 MOSFET(Tr2)의 접속점인  $V_m$  노드를 충전하고, 스핀 MOSFET(Tr2)는 그 자화 상태에 대응한 구동력으로  $V_m$  노드를 방전한다. 이 vMOS(Tr1)와 스핀 MOSFET(Tr2)로 논리 게이트가 구성된다. vMOS(Tr1)에 의한 부하 곡선(파선으로 나타냄)과 이 논리 게이트의 동작점 ( $V_0 \sim V_S$ )을 도 49 상에 나타내고 있다.

이들 동작점( $V_0 \sim V_S$ )에서 주어지는 아날로그 전압  $V_m$ 이, 도 49의 아래쪽 도면에 도시하는 특성을 갖는 인버터에 의해,  $V_{inv}$ 를 임계치로서 디지털 논리 레벨 "0" 또는 "1"까지 반전 증폭되어, 출력 단자  $V_{out}$ 에 출력된다.

표 12에  $\beta_{n2}$ 와 동작점, 회로 기능의 관계를 나타낸다.

[표 12]

$\beta_{n2}$	$V_m$			$V_{out}$ ( $V_m$ 의 순서로)	기능
	A	0	1		
	B	0	1		
1	$V_0$ ("0")	$V_S$ ("1")	$V_Q$ ("1")	"1" "0" "0"	NOR
10	$V_0$ ("0")	$V_R$ ("0")	$V_P$ ("1")	"1" "1" "0"	NAND

평행 자화 상태에서의 스핀 MOSFET(Tr2)의  $\beta_{n2}=10$ 으로 한다. 이 경우,  $A=B="0"$ 에서는, 드레인 전류  $I_d=0$ 이다.  $V_m=V_0 < V_{inv}$ 이며, A-D 컨버터의 반전 증폭을 고려하면,  $V_{out}="1"$ 이다.  $A=B="1"$ 에서는, 드레인 전류  $I_d$ 는  $I_d=\beta_{n1}(V_{dd}-V_m-V_{th})^2/2$ 로 나타내어진다.  $V_m=V_P > V_{inv}$ 이며,  $V_{out}="0"$ 으로 된다. 이상의 출력은, 스핀 MOSFET(Tr2)의 구동력  $\beta_{n2}$ 에 의존하지 않는다(평행 자화인지 반평행 자화인지에 의존하지 않음). A 또는 B="1"의 경우에는, 드레인 전류  $I_d$ 는  $I_d=\beta_{n1}(V_{dd}/2-V_m-V_{th})^2$ 로 나타내어진다. 입력 중 어느 한쪽이 "1"이고,  $V_m$ 은 Tr2에 의해 방전되어  $V_m=V_R < V_{inv}$ 로 되고,  $V_{out}="1"$ 이기 때문에, NAND 회로로 된다.

반평행 자화 상태에서의 스핀 MOSFET(Tr2)의  $\beta_{n2}=1$ 로 한다.  $A=B="0"$ 의 경우에는,  $V_m=V_0 < V_{inv}$ 이며, A-D 컨버터의 반전 증폭을 고려하면,  $V_{out}="1"$ 이다.  $A=B="1"$ 의 경우에는,  $V_m=V_Q > V_{inv}$ 이며,  $V_{out}="0"$ 으로 된다. 이상의 출력은 스핀 MOSFET(Tr2)의 구동력  $\beta_{n2}$ 에 의존하지 않는다(평행 자화인지 반평행 자화인지에 의존하지 않음). A 또는 B="1"의 경우에는,  $V_m$ 은 Tr1에 충전되어  $V_m=V_S > V_{inv}$ ,  $V_{out}="0"$ 으로 되어 NOR 회로로서 기능한다. 도 50은 도 48의 회로의 진리값표이다.

이상, 표 12에 나타내는 바와 같이, 스핀 MOSFET 내의 자화 상태에 따라 다른 값을 취할 수 있는  $\beta_{n2}$ 가 1인지 혹은 10인지에 기초하여, 입력 A, B에 대한 출력  $V_{out}$ 으로서 NOR 논리 및 NAND 논리 중 어느 하나를 임의로 선택할 수 있다. 스핀 MOSFET의 자화 상태는 불휘발적으로 기억되기 때문에, 1개의 회로에서, NOR 논리 및 NAND 논리 중 어느 하나를 선택하여 기능시키는 것이 가능하다. 마찬가지로 기능을 갖는 회로를 통상의 CMOS 디지털 회로로 구성하면, MOSFET 10개가 필요하며, 본 참고예에 따른 회로에서는 4개의 MOSFET만으로 마찬가지로 기능을 실현할 수 있다고 하는 이점이 있다.

2) NAND/NOR+ XNOR

도 51의 (A)를 참조하면서, NAND/NOR+ XNOR의 개서 가능한 회로에 대해 설명한다. XNOR은 A=B="0" 및 A 또는 B="1"의 경우의 입출력 관계는 NOR와 동일하고, A=B="1"의 경우만 다르며, Vout="1"이다. 따라서, A=B="1"일 때 Vout="1"(이를 위해서는 V<sub>m</sub>="0")로 되도록 하면 된다. 통상의 nMOSFET 2개(Tr3, Tr4)와, 1개의 n채널형 스핀 MOSFET(Tr5)로 이루어지는 회로를 추가한다. n채널형 스핀 MOSFET(Tr5)는 구동력이 높은 상태( $\beta_{n5}=10$ )와 낮은 상태( $\beta_{n5}=1$ )를 자화 상태에 따라 절환할 수 있는 MOSFET이다.

Tr3, Tr4의 소스 팔로워는 마이너스의 레벨 시프터이며, A=B="1"의 경우만 Tr5가 온 한다. 그 동작을 도시하는 도 51의 (B)에서, 위의 도면은 도 8에서의 Tr3와 Tr4의 동작 특성을 도시하고 있고, 이로부터 V<sub>in,n</sub>이 정해진다. 실선이 Tr4의 정특성이고, 파선이 Tr3의 부하 곡선이다. A=B="0"의 동작점 VC와 A 또는 B="1"의 동작점 VD는 모두 Tr5의 임계치보다 작기 때문에 Tr5에 전류는 흐르지 않고, 개방과 등가이다. A=B="1"의 동작점 VE일 때에만 Tr5의 게이트 전압은 그 임계치를 넘고 있으므로 Tr5는 온 한다. 또, 임계치가 V<sub>dd</sub>/2보다 큰 n채널형 스핀 MOSFET가 집적 가능하면, Tr3, Tr4를 설치하지 않아도 되며, V<sub>fg</sub> 노드를 직접 Tr5의 게이트와 접속하면 된다. 이때, 도 8의 (B)의 아래의 도면에 도시하는 바와 같이,  $\beta_{n5}=10$ 이면 충분히 큰 전류(I<sub>d,high</sub>)가 흐르지만,  $\beta_{n5}=1$ 이면 전류값(I<sub>d,low</sub>)은 매우 작다.

도 52~도 54에 각  $\beta$ 의 경우의 동작점 V<sub>m</sub>을 도시한다. 실선은 Tr2와 Tr5에 흐르는 전류의 합이며, I<sub>d,low</sub>는 무시할 수 있는 것이라고 하였다. 표 13에  $\beta_{n2}$ ,  $\beta_{n5}$ 와 회로의 기능의 관계를 정리하여 나타내었다.

[표 13]

$\beta_{n2}$	$\beta_{n5}$	V <sub>m</sub>			V <sub>out</sub> (V <sub>m</sub> 의 순서로)	기능
		A	0	1		
		B	0	1		
1	1	V <sub>0</sub> ("0")	V <sub>S</sub> ("1")	V <sub>Q</sub> ("1")	"1" "0" "0"	NOR
10	1	V <sub>0</sub> ("0")	V <sub>R</sub> ("0")	V <sub>P</sub> ("1")	"1" "1" "0"	NAND
1	10	V <sub>0</sub> ("0")	V <sub>S</sub> ("1")	V <sub>U</sub> ("0")	"1" "0" "1"	XNOR
10	10	V <sub>0</sub> ("0")	V <sub>R</sub> ("0")	V <sub>V</sub> ("0")	"1" "1" "1"	all "1"

도 52의 (A), (B)는 NAND/NOR 기능에 대해 도시하는 도면이다. Tr5를 구동력이 없는 상태( $\beta_{n5}=1$ )로 해 두면, 흐르는 전류 I<sub>d,low</sub>를 무시할 수 있어, Tr5(도 51)의 부분은 개방으로 간주할 수 있다. 따라서, NAND/NOR 기능을 유지할 수 있다.

도 53의 (A), (B)는 XNOR 기능에 대해 도시하는 도면이다. Tr5의 구동력을 높은 상태( $\beta_{n5}=10$ )로, Tr2는 NOR와 동일하게  $\beta_{n2}=1$ 로 해 둔다.

A=B="0", A 또는 B="1"에서는, 상술한 바와 같이 Tr5는 개방과 등가이므로 NOR와 동일한 동작을 행한다. A=B="1"일 때에는, Tr5의 전류 I<sub>d,high</sub>에 의해 V<sub>m</sub>이 방전되어 V<sub>m</sub>=V<sub>U</sub><V<sub>inv</sub>, Vout="1"로 된다. 또한, 도 11의 (A), (B)에 도시하는 바와 같이,  $\beta_{n5}=10$ ,  $\beta_{n2}=10$ 으로 해 두면, 모든 입력 패턴에 대해 Vout="1"(all "1")로 된다.

3) NAND/NOR/XNOR+ AND/OR/XOR 기능

도 51의 출력단 Vout에 1단 더 인버터를 추가하면, Vout의 반전이 얻어진다. 즉, 도 55에 도시하는 바와 같이, NAND/NOR/XNOR에 대해 AND/OR/XOR로 된다. Vout과 Vout의 반전의 2 가지를 출력함으로써, NAND/NOR/XNOR+ AND/OR/XOR 및 all "0", "1"의 모든 2입력 대칭 함수를 실현할 수 있는 회로를 구성할 수 있다. 이 회로 전체에서 필요한 소자는, 9개의 MOSFET와 2개의 용량이다. 필요하다면, 출력단에 Vout과 Vout의 반전으로부터 필요한 쪽을 선택하는 회로(패스트랜지스터)를 추가하면 1 출력으로 된다. 표 14는 도 55에 도시하는 회로의 기능을 정리한 것이다.

[표 14]

$\beta_{n2}$	$\beta_{n5}$	$V_{out}$			$\overline{V_{out}}$			기능
		A	0	0	1	A	0	
1	1	"1"	"0"	"0"	"0"	"1"	"1"	NOR/OR
10	1	"1"	"1"	"0"	"0"	"0"	"1"	NAND/AND
1	10	"1"	"0"	"1"	"0"	"1"	"0"	XNOR/XOR
10	10	"1"	"1"	"1"	"0"	"0"	"0"	all "1" /all "0"

이상, 본 발명의 각 실시예에 따른 논리 회로는, 불휘발로 전류 구동력을 가변할 수 있는 스핀 트랜지스터 또는 스핀 MOSFET와 vMOS 구조를 포함하여, 적은 소자 수이면서 불휘발로 재구성 가능한 2입력 대칭 함수를 실현할 수 있다. 본 회로에서는 또한, 칩 면적의 축소가 가능하여, 고속·저소비 전력 동작을 기대할 수 있다. 따라서, 단기간에 개발을 행하는 모바일 기기 등의 집적 회로에 응용할 수 있다.

이상, 본 발명의 실시예 또는 참고예에 따른 논리 회로에 대해 설명하였지만, 본 발명은 이것들로 제한되지 않는다. 그 외, 여러 가지 변경, 개량, 조합이 가능한 것은 당업자에게 자명할 것이다.

**산업상 이용 가능성**

본 발명의 논리 회로를 이용하면, 적은 수의 소자로 구성된 회로에 의해, 불휘발성의 재구성 가능한 2입력의 대칭 함수를 실현할 수 있다. 본 회로는 불휘발로 논리 기능을 보유할 수 있으므로, 논리 기능을 기억하기 위한 불휘발성 메모리를 필요로 하지 않기 때문에, 칩 사이즈의 축소가 가능하다. 또한, 적은 수의 소자로 구성된 회로에 의해 고속·저소비 전력 동작을 기대할 수 있다. 따라서, 단기간에 개발을 행하는 모바일 기기 등의 집적 회로에 응용할 수 있다.

**(57) 청구의 범위**

**청구항 1.**

전도 캐리어의 스핀의 방향에 의존하는 전달 특성을 갖는 스핀 트랜지스터를 포함하는 회로로서,

상기 전도 캐리어의 스핀의 방향을 바꿈으로써 변화하는 상기 스핀 트랜지스터의 전달 특성에 기초하여 동작점을 변화시켜 기능을 재구성하는 것이 가능한 회로.

**청구항 2.**

강자성체층을 적어도 2층 이상 포함하고, 상기 강자성체층의 자화 상태에 의존하는 전달 특성을 갖는 스핀 트랜지스터를 포함하는 회로로서,

상기 스핀 트랜지스터의 자화 상태를 변화시킴으로써 동작점을 변화시켜 기능을 재구성하는 것이 가능한 회로.

**청구항 3.**

제2항에 있어서,

상기 스핀 트랜지스터는, 자화의 방향을 독립적으로 제어 가능한 강자성체(이하, 「프리층」이라고 함)와, 자화의 방향을 변화시키지 않는 강자성체(이하, 「핀층」이라고 함)를 적어도 하나씩 갖고 있으며, 상기 프리층과 상기 핀층이 동일한 방향의 자화를 갖는 제1 상태(이하, 「평행 자화」라고 함)와, 서로 반대 방향으로 되는 자화를 갖는 제2 상태(이하, 「반평행 자화」라고 함)의 2 가지의 자화 상태에 기초하여 동작점을 변화시켜 기능을 재구성하는 것을 특징으로 하는 회로.

#### 청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 동작점을 발생하는 제1 단자를 출력으로 하고, 상기 제1 단자를 충전하기 위한 제1 회로군과, 상기 제1 단자를 방전하기 위한 제2 회로군을 갖고 있으며, 상기 제1 회로군과 상기 제2 회로군 중 어느 한쪽 혹은 양쪽에 상기 스핀 트랜지스터를 포함하는 것을 특징으로 하는 회로.

#### 청구항 5.

제4항에 있어서,

상기 스핀 트랜지스터의 캐리어의 스핀의 방향 또는 자화 상태에 의존하는 전달 특성을 제어함으로써 상기 제1 단자의 전위를 결정하는 것을 특징으로 하는 회로.

#### 청구항 6.

제1항 내지 제5항 중 어느 한 항에 있어서,

커패시터에 의한 정전 용량에 의해 가중치 부여된 복수의 입력과, 그 입력을 공통으로 접속하는 플로팅 게이트를 포함하여 구성되는 뉴런 MOS(이하, 「vMOS」라고 함) 구조를 통해 입력된 신호에 기초하여 신호를 출력하는 것을 특징으로 하는 회로.

#### 청구항 7.

제6항에 있어서,

상기 복수의 입력 신호의 각각이 거의 동일하게 되도록 가중치 부여되어 있는 것을 특징으로 하는 회로.

#### 청구항 8.

제4항 내지 제7항 중 어느 한 항에 있어서,

상기 제1 단자에 생기는 전위를 “0” 논리 레벨과 “1” 논리 레벨의 출력으로 분리하는 논리 임계치를 상기 스핀 트랜지스터의 전달 특성의 변화를 반영하여 변화하는 상기 동작점에 대해 설정하는 것을 특징으로 하는 회로.

#### 청구항 9.

제1항 내지 제8항 중 어느 한 항의 회로의 출력 단자에, 임의의 정해진 논리 임계치를 갖는 A/D 컨버터가 접속되어 있는 것을 특징으로 하는 회로.

### 청구항 10.

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 스핀 트랜지스터는, MOS 구조와 강자성체를 포함하여 구성되는 소스 및 드레인으로 구성되는 MOSFET형 스핀 트랜지스터(이하, 「스핀 MOSFET」라고 함)인 것을 특징으로 하는 회로.

### 청구항 11.

제3항 내지 제9항 중 어느 한 항에 있어서,

제1 도전형의 MOSFET 또는 제1 도전형의 스핀 MOSFET와, 그 제1 도전형과 동일한 도전형의 MOSFET 또는 그 제1 도전형과 동일한 도전형의 스핀 MOSFET가, 각각 상기 제1 회로군 및 상기 제2 회로군에 포함되는 것을 특징으로 하는 회로.

### 청구항 12.

제3항 내지 제11항 중 어느 한 항에 있어서,

상기 제1 회로군에 포함되는 인헨스먼트형 MOSFET 또는 인헨스먼트형 스핀 MOSFET의 소스와, 상기 제2 회로군에 포함되는 인헨스먼트형 MOSFET 또는 인헨스먼트형 스핀 MOSFET의 드레인을 접속한 구조와, 이 접속부에 형성된 제1 단자를 갖는 것을 특징으로 하는 E/E 구성 회로를 포함하는 것을 특징으로 하는 회로.

### 청구항 13.

제12항에 있어서,

상기 E/E 구성 회로를 구성하는 상기 제1 회로군에 포함되는 인헨스먼트형 MOSFET 또는 인헨스먼트형 스핀 MOSFET의 드레인이 그 인헨스먼트형 MOSFET 또는 그 인헨스먼트형 스핀 MOSFET의 게이트에 접속되는 것을 특징으로 하는 회로.

### 청구항 14.

제12항 또는 제13항에 있어서,

상기 E/E 구성 회로를 구성하는 상기 제2 회로군에 포함되는 인헨스먼트형 MOSFET 또는 인헨스먼트형 스핀 MOSFET는, vMOS 구조를 갖는 것을 특징으로 하는 회로.

### 청구항 15.

제3항 내지 제11항 중 어느 한 항에 있어서,

상기 제1 회로군에 포함되는 디플렉션형 MOSFET 또는 디플렉션형 스핀 MOSFET의 소스와, 상기 제2 회로군에 포함되는 인헨스먼트형 MOSFET 또는 인헨스먼트형 스핀 MOSFET의 드레인을 접속한 구조와, 이 접속부에 형성된 제1 단자를 갖는 E/D 구성 회로를 포함하는 것을 특징으로 하는 회로.

### 청구항 16.

제15항에 있어서,

상기 E/D 구성 회로를 구성하는 상기 제1 회로군에 포함되는 디플렉션형 MOSFET 또는 디플렉션형 스핀 MOSFET의 소스가 그 디플렉션형 MOSFET 또는 그 디플렉션형 스핀 MOSFET의 게이트에 접속되는 것을 특징으로 하는 회로.

### 청구항 17.

제15항 또는 제16항에 있어서,

상기 E/D 구성 회로를 구성하는 상기 제2 회로군에 포함되는 인헨스먼트형 MOSFET 또는 인헨스먼트형 스핀 MOSFET는 vMOS 구조를 갖는 것을 특징으로 하는 회로.

### 청구항 18.

제11항 내지 제17항 중 어느 한 항에 있어서,

커패시터에 의한 정전 용량에 의해 가중치 부여된 2개의 입력(이하, 각각의 입력을 A 및 B라고 함)을 상기 vMOS 구조의 입력으로 하는 것을 특징으로 하는 회로.

### 청구항 19.

제4항 내지 제18항 중 어느 한 항의 회로에서의 상기 제1 단자를 입력으로 하는 상기 A/D 컨버터를 포함하는 것을 특징으로 하는 NAND/NOR 재구성 가능 논리 회로 또는 AND/OR 재구성 가능 논리 회로.

### 청구항 20.

제11항 내지 제19항 중 어느 한 항에 있어서,

상기 제1 및 상기 제2 회로군 또는 상기 제1 또는 상기 제2 회로군은,

상기 제1 단자에, 상기 스핀 MOSFET와는 별개의 스핀 MOSFET의 소스 또는 드레인을 접속하고, 그 별개의 스핀 MOSFET의 게이트에 특정의 입력의 경우에만 그 별개의 스핀 MOSFET를 온 시키는 레벨 시프트 회로를 접속함으로써 상기 제1 단자의 전위를 제어하는 회로를 포함하는 것을 특징으로 하는 회로.

### 청구항 21.

제11항 내지 제20항 중 어느 한 항에 있어서,

상기 제2 회로군은,

상기 제1 단자에, 소스 접지된 n채널형의 상기 별개의 스핀 MOSFET의 드레인을 접속하고, n채널형의 그 별개의 스핀 MOSFET의 게이트에 입력 A=B="0"의 경우에만 n채널형의 그 별개의 스핀 MOSFET를 온 시키는 레벨 시프트 회로를 접속함으로써 상기 제1 단자의 전위를 제어하는 회로를 포함하는 것을 특징으로 하는 회로.



**청구항 22.**

제11항 내지 제21항 중 어느 한 항에 있어서,

상기 제1 회로군은,

상기 제1 단자에, 소스가 전원 전압에 접속된 p채널형의 상기 별개의 스핀 MOSFET의 드레인을 접속하고, p채널형의 그 별개의 스핀 MOSFET의 게이트에 입력 A=B="1"의 경우에만 p채널형의 그 별개의 스핀 MOSFET를 온 시키는 레벨 시프트 회로를 접속함으로써 상기 제1 단자의 전위를 제어하는 회로를 포함하는 것을 특징으로 하는 회로.

**청구항 23.**

제20항 내지 제23항 중 어느 한 항에 있어서,

상기 레벨 시프트 회로는 E/E 또는 E/D 또는 CMOS 구성의 인버터로 구성되는 것을 특징으로 하는 회로.

**청구항 24.**

제20항 내지 제23항 중 어느 한 항의 회로에서의 상기 제1 단자를 입력으로 하는 상기 A/D 컨버터를 갖는 재구성 가능한 논리 회로.

**청구항 25.**

상기 A/D 컨버터의 출력을 입력으로 하는 인버터를 더 갖는 제20항 또는 24항의 전 2입력 대칭 함수를 실현 가능한 재구성 가능한 논리 회로.

**청구항 26.**

제3항 내지 제9항 중 어느 한 항에 있어서,

제1 도전형의 MOSFET 또는 제1 도전형의 스핀 MOSFET와, 상기 제1 도전형과 다른 제2 도전형의 MOSFET 또는 제2 도전형의 스핀 MOSFET가, 각각 상기 제1 회로군 및 상기 제2 회로군에 포함되는 것을 특징으로 하는 회로.

**청구항 27.**

제26항에 있어서,

상기 제1 회로군에 포함되는 p채널형 MOSFET 또는 p채널형 핀 MOSFET와 상기 제2 회로군에 포함되는 n채널형 MOSFET 또는 n채널형 스핀 MOSFET의 서로의 드레인 단자를 공통으로 하여 접속한 구조와, 공통의 상기 드레인 단자에 형성된 제1 단자를 갖는 CMOS 구성 회로를 포함하는 것을 특징으로 하는 회로.

**청구항 28.**

제26항에 있어서,

상기 제1 회로군에 포함되는 p채널형 스핀 MOSFET와 상기 제2 회로군에 포함되는 n채널형 스핀 MOSFET로 구성된 CMOS 구성 회로를 포함하는 것을 특징으로 하는 회로.

### 청구항 29.

제26항 내지 제28항 중 어느 한 항에 있어서,

상기 CMOS 회로를 구성하는 상기 p채널형 MOSFET 또는 상기 p채널형 스핀 MOSFET와 상기 n채널형 MOSFET 또는 상기 n채널형 스핀 MOSFET는, vMOS 구조를 구성하는 공통의 플로팅 게이트를 갖는 것을 특징으로 하는 회로.

### 청구항 30.

제29항에 있어서,

커패시터에 의한 정전 용량에 의해 가중치 부여된 2개의 입력(이하, 각각의 입력을 A 및 B라고 함)을 상기 vMOS 구조의 입력으로 하는 것을 특징으로 하는 회로.

### 청구항 31.

제26항 내지 제30항 중 어느 한 항의 회로에서의 상기 제1 단자를 입력으로 하는 A/D 컨버터를 포함하는 것을 특징으로 하는 AND/OR 재구성 가능 논리 회로 또는 NAND/NOR 재구성 가능 논리 회로.

### 청구항 32.

제26항 내지 제31항 중 어느 한 항에 있어서,

상기 제1 및 상기 제2 회로군, 또는, 상기 제1 또는 상기 제2 회로군은, 상기 제1 단자에, 상기 스핀 MOSFET와는 다른 별개의 스핀 MOSFET의 소스 또는 드레인을 접속하고, 그 별개의 스핀 MOSFET의 게이트에 특정한 입력의 경우에만 그 별개의 스핀 MOSFET를 온 시키는 레벨 시프트 회로를 접속함으로써 상기 제1 단자의 전위를 제어하는 회로를 포함하는 것을 특징으로 하는 회로.

### 청구항 33.

제26항 내지 제32항 중 어느 한 항에 있어서,

상기 제2 회로군은,

상기 제1 단자에, 소스 접지된 n채널형의 상기 별개의 스핀 MOSFET의 드레인을 접속하고, n채널형의 그 별개의 스핀 트랜지스터의 게이트에 입력  $A=B=0$ 의 경우에만 n채널형의 그 별개의 스핀 트랜지스터를 온 시키는 레벨 시프트 회로를 접속함으로써 상기 제1 단자의 전위를 제어하는 회로를 포함하는 것을 특징으로 하는 회로.

### 청구항 34.

제26항 내지 제33항 중 어느 한 항의 회로에서의 상기 제1 단자를 입력으로 하는 A/D 컨버터를 포함하는 것을 특징으로 하는 AND/OR/XNOR 재구성 가능 논리 회로 또는 NAND/NOR/XOR 재구성 가능 논리 회로.

**청구항 35.**

제26항 내지 제35항 중 어느 한 항에 있어서,

상기 제1 회로군은,

상기 제1 단자에, 소스가 전원 전압에 접속된 p채널형의 상기 별개의 스핀 MOSFET의 드레인을 접속하고, p채널형의 그 별개의 스핀 MOSFET의 게이트에 입력 A=B="1"의 경우에만 p채널형의 그 별개의 스핀 MOSFET를 온 시키는 레벨 시프트 회로를 접속함으로써 상기 제1 단자의 전위를 제어하는 회로를 포함하는 것을 특징으로 하는 회로.

**청구항 36.**

제26항 내지 제35항 중 어느 한 항의 회로에서의 상기 제1 단자를 입력으로 하는 A/D 컨버터를 포함하는 것을 특징으로 하는 AND/OR/XOR 재구성 가능 논리 회로 또는 NAND/NOR/XNOR 재구성 가능 논리 회로.

**청구항 37.**

상기 A/D 컨버터의 출력을 입력으로 하는 인버터를 더 갖는 제26항 내지 제36항 중 어느 한 항의 전 2입력 대칭 함수를 실현하는 논리 회로.

**청구항 38.**

제26항 또는 제32항에 있어서,

상기 제1 단자에, 소스 접지된 n채널형의 상기 별개의 스핀 MOSFET의 드레인을 접속하고, n채널형의 그 별개의 스핀 MOSFET의 게이트에 입력 A=B="1"의 경우에만 n채널형의 그 별개의 스핀 MOSFET를 온 시키는 레벨 시프트 회로를 접속함으로써 상기 제1 단자의 전위를 제어하는 것을 특징으로 하며,

상기 제1 단자에, 소스가 전원 전압에 접속된 p채널형의 상기 스핀 MOSFET와는 다른 별개의 스핀 MOSFET의 드레인을 접속하고, p채널형의 그 별개의 스핀 MOSFET의 게이트에 입력 A=B="0"의 경우에만 p채널형의 그 별개의 스핀 MOSFET를 온 시키는 레벨 시프트 회로를 접속함으로써 상기 제1 단자의 전위를 제어하는 것을 특징으로 하는 회로군인 회로.

**청구항 39.**

제38항의 회로에서의 상기 제1 단자를 입력으로 하는 A/D 컨버터를 포함하는 것을 특징으로 하는 전 2입력 대칭 함수 논리 회로.

**청구항 40.**

제32항 내지 제39항 중 어느 한 항에 있어서,

상기 레벨 시프트 회로는 E/E 또는 E/D 또는 CMOS 인버터로 구성되는 것을 특징으로 하는 회로.

**청구항 41.**

CMOS 인버터로 구성되고, 상기 CMOS 인버터의 p채널형 MOSFET 및 n채널형 MOSFET 중 어느 한쪽, 또는 p채널형 MOSFET 및 n채널형 MOSFET의 양쪽이 스핀 MOSFET인 것을 특징으로 하는 A/D 컨버터.

**청구항 42.**

제41항에 있어서,

상기 스핀 MOSFET의 자화 상태에 따라, 논리 임계치를 가변 가능한 A/D 컨버터.

**청구항 43.**

아날로그 출력을 갖는 회로의 출력단에 상기 논리 임계치를 가변 가능한 A/D 컨버터를 접속하여, 논리 기능을 재구성 가능한 논리 회로.

**청구항 44.**

전달 특성 가변의 트랜지스터를 포함하는 회로로서,

상기 트랜지스터의 전달 특성을 변화시킴으로써 동작점을 이동시켜 기능을 재구성하는 것이 가능한 회로.

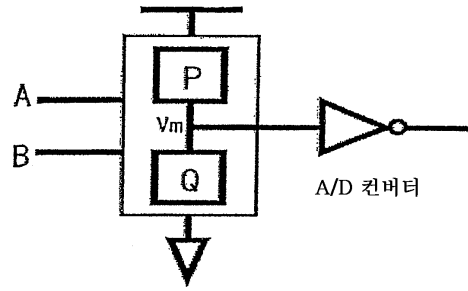
**청구항 45.**

제1항 내지 제44항 중 어느 한 항의 회로를 포함하는 집적 회로.

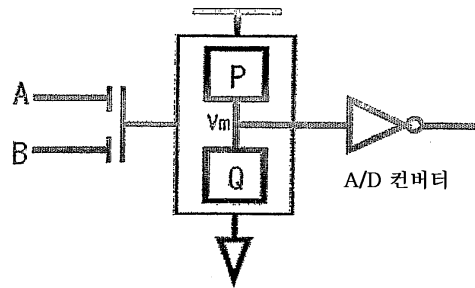
도면

도면1

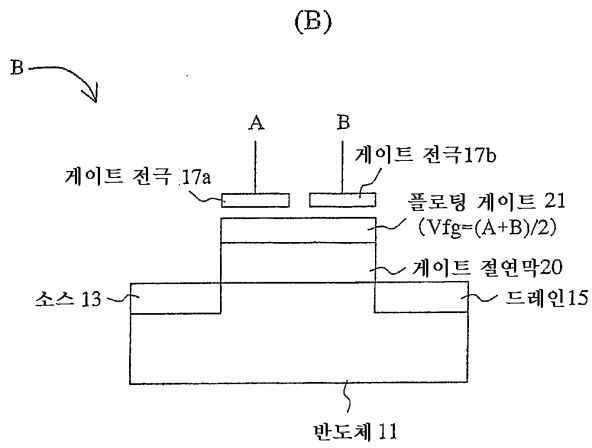
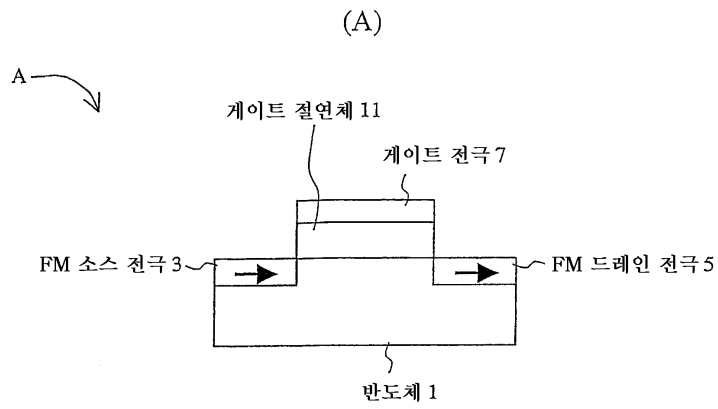
(A)



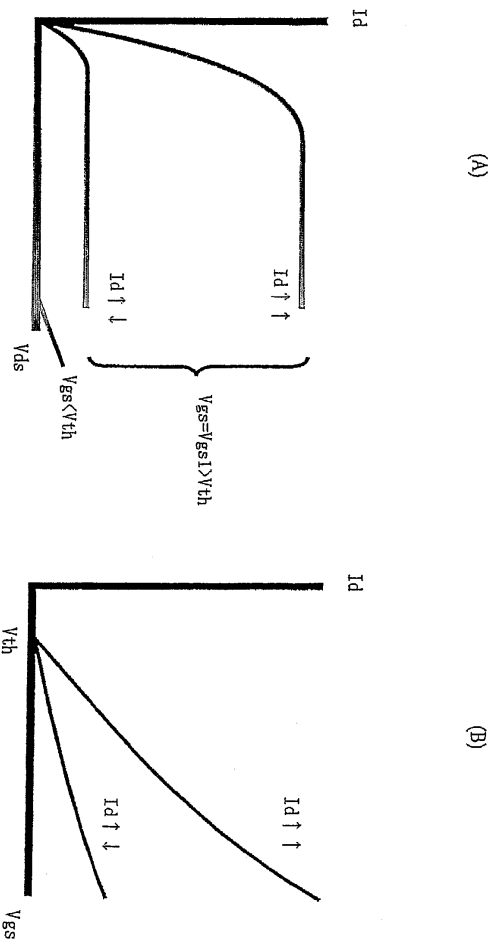
(B)



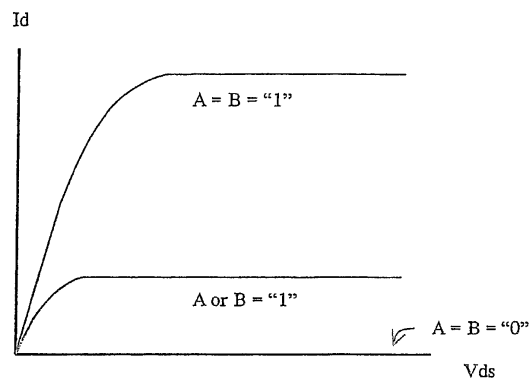
도면2



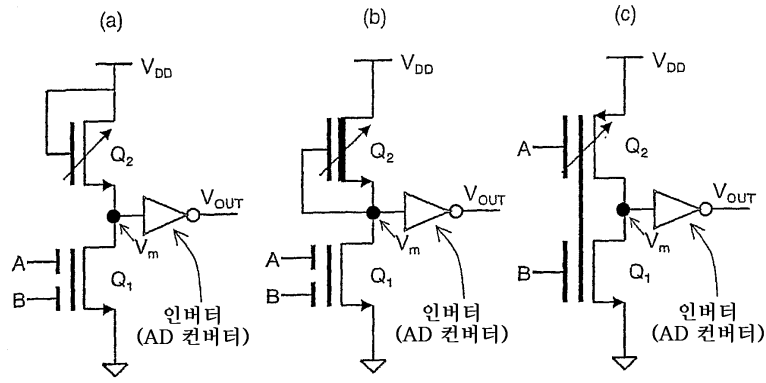
도면3



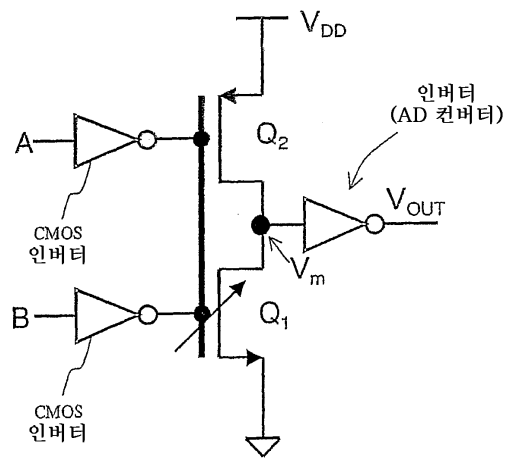
도면4



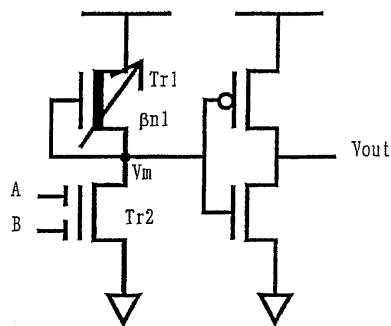
도면5



도면6

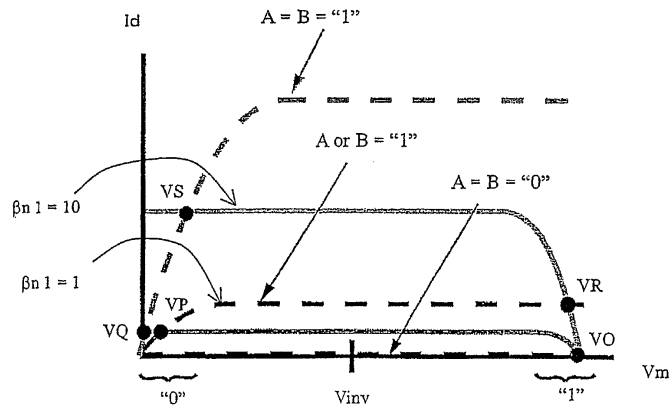


도면7





도면8

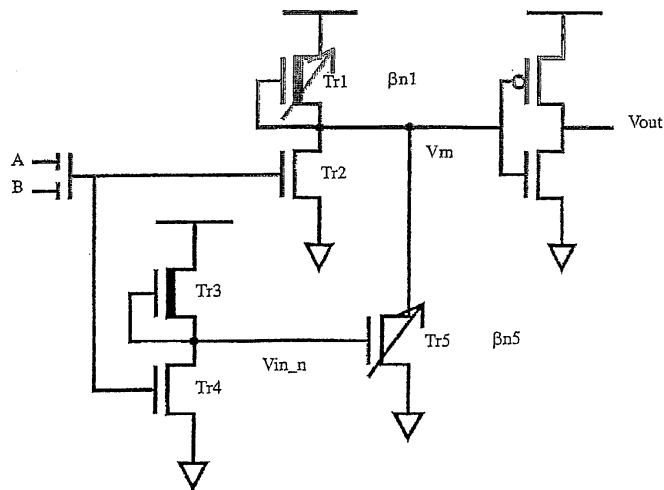


도면9

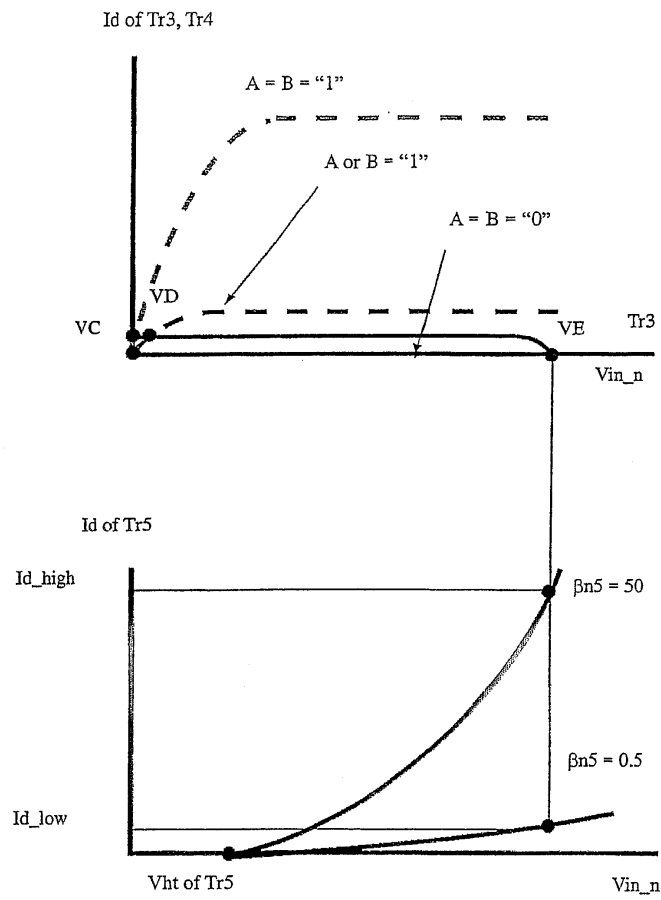
(A)				(B)			
$\beta n 1 = 1$				$\beta n 1 = 10$			
A	B	$V_m$	Vout	A	B	$V_m$	Vout
0	0	VO	"0"	0	0	VO	"0"
0	1	VP	"1"	0	1	VR	"0"
1	1	VQ	"1"	1	1	VS	"1"

OR AND

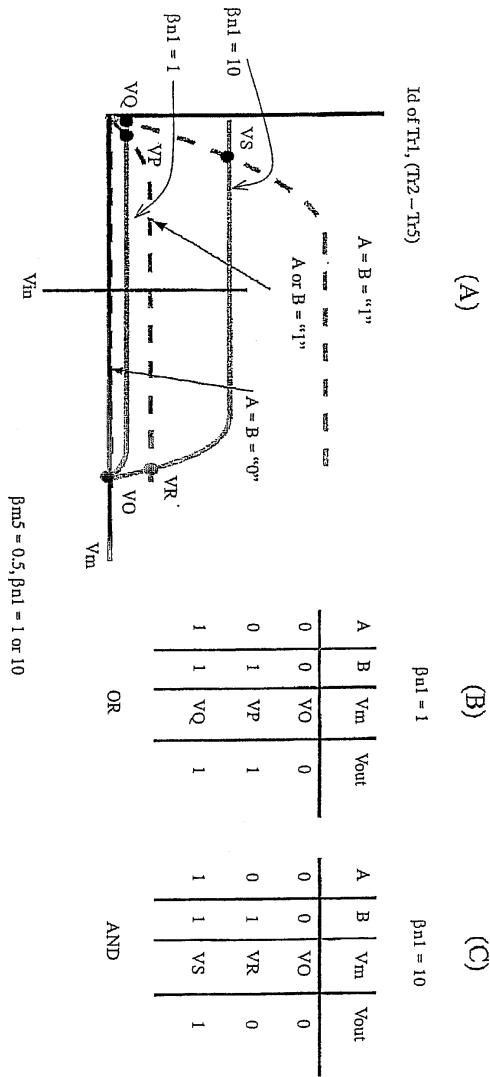
도면10



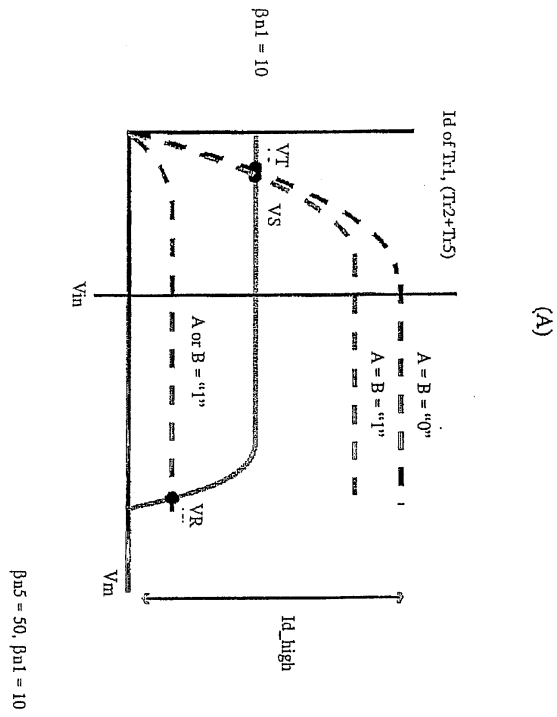
도면11



도면12



도면13

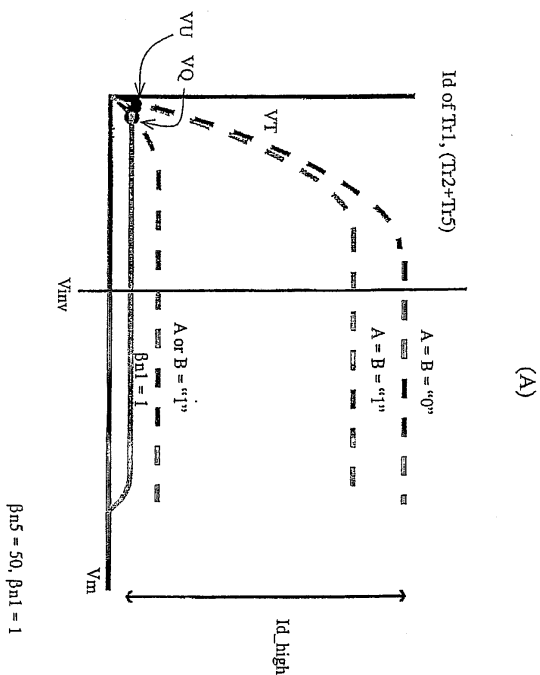


(B)

A	B	$V_m$	$V_{out}$
0	0	$V_T$	0
0	1	$V_R$	0
1	1	$V_S$	1

XNOR

도면14



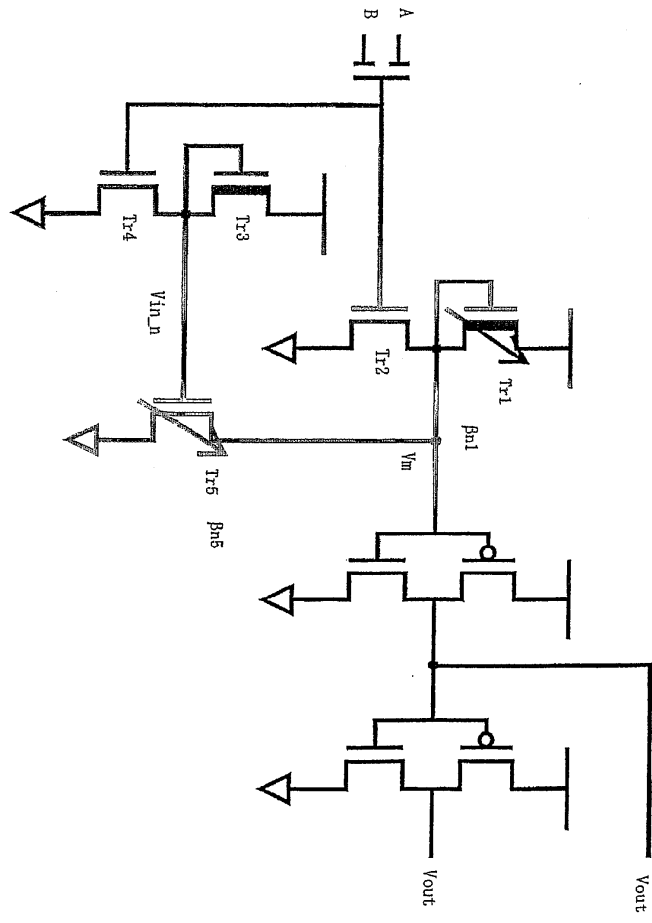
(A)

A	B	$Vm$	$Vout$
0	0	VV	1
0	1	VR	1
1	1	VV	1

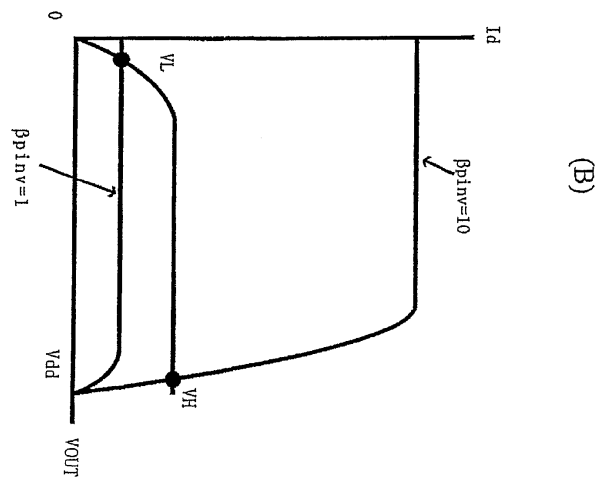
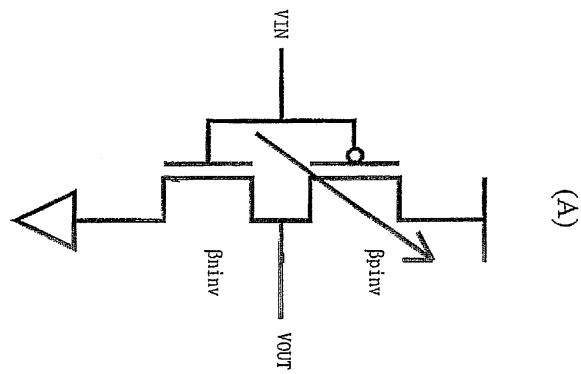
(B)

all "1"

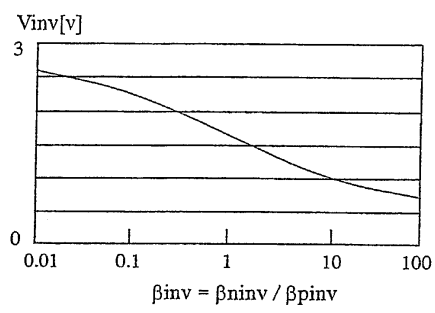
도면15



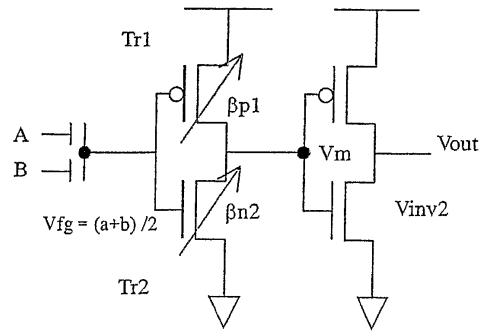
도면16



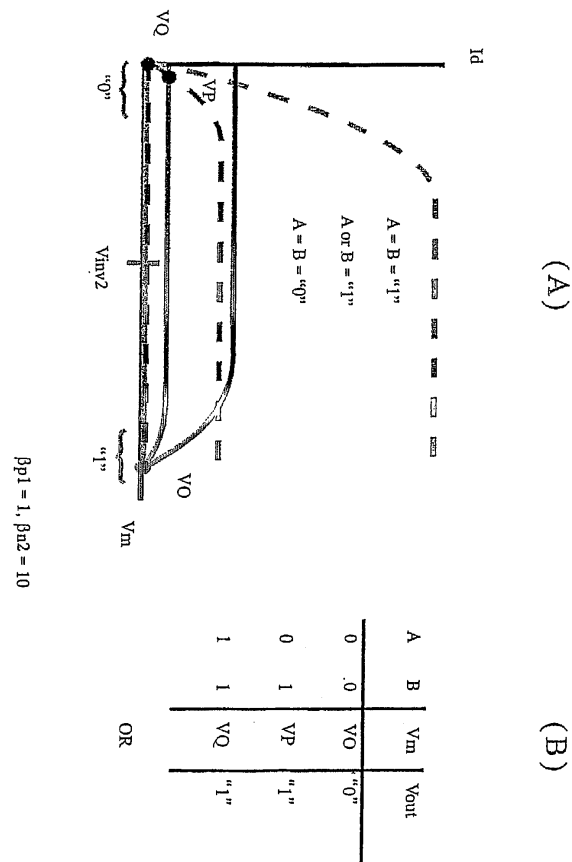
도면17



도면18

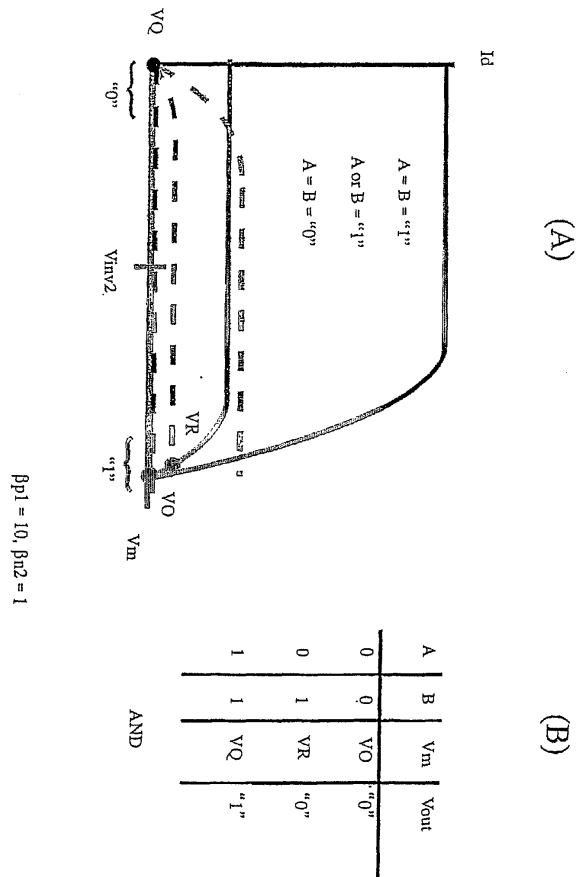


도면19

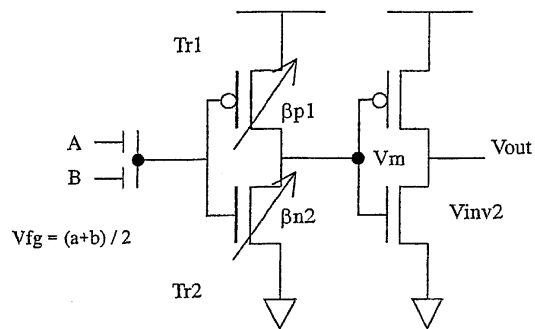




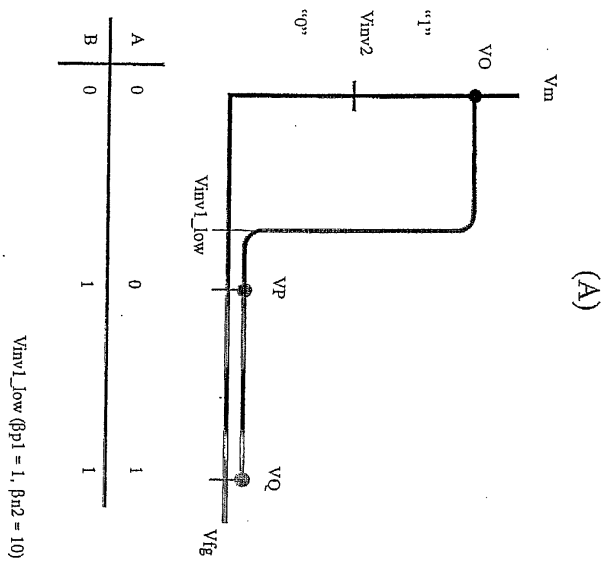
도면20



도면21



도면22

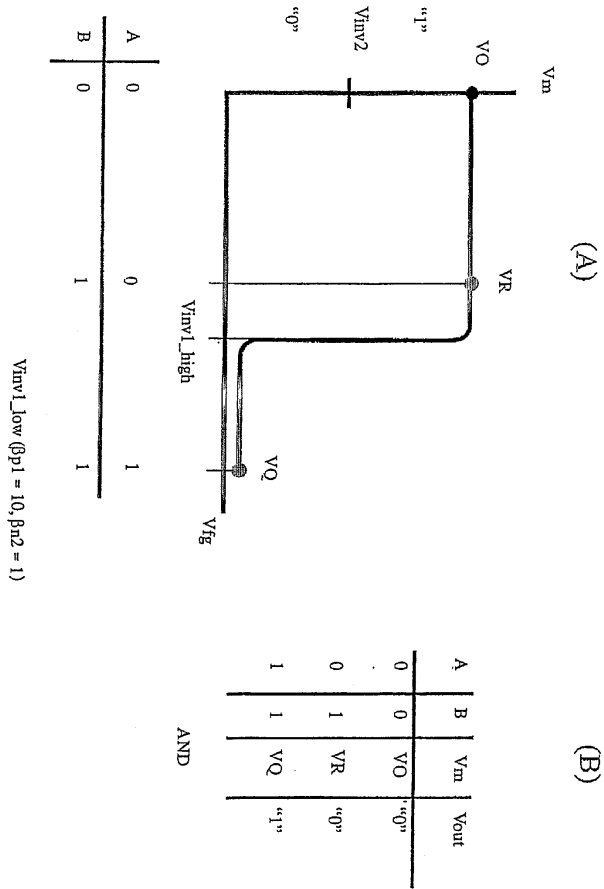


(B)

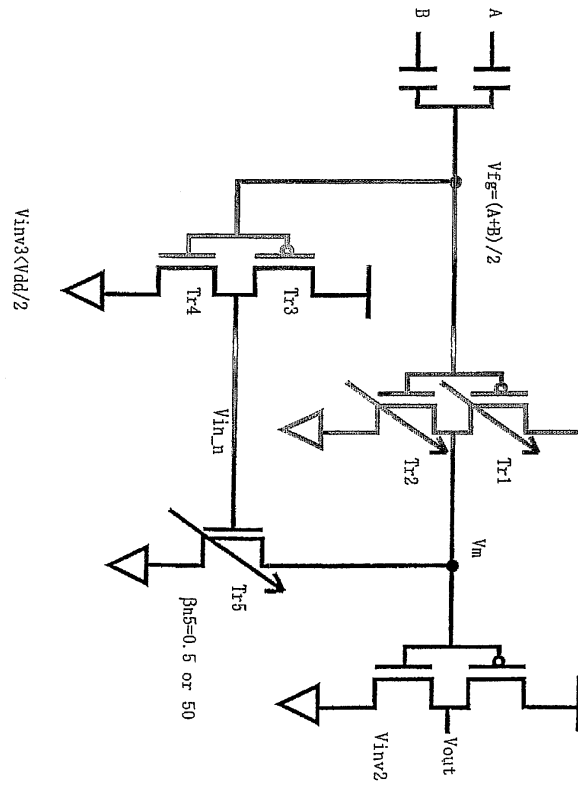
A	B	$V_m$	$V_{out}$
0	0	$V_O$	"0"
0	1	$V_P$	"1"
1	1	$V_Q$	"1"

OR

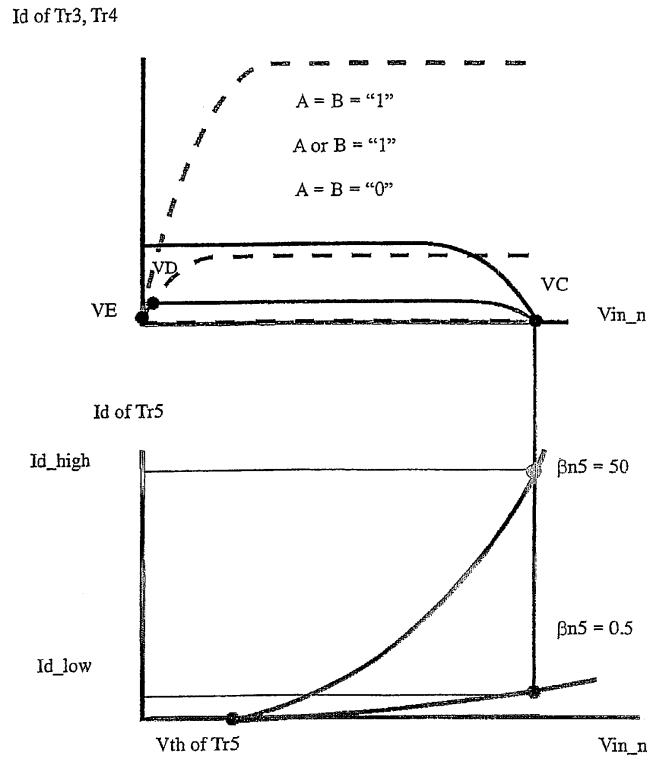
도면23



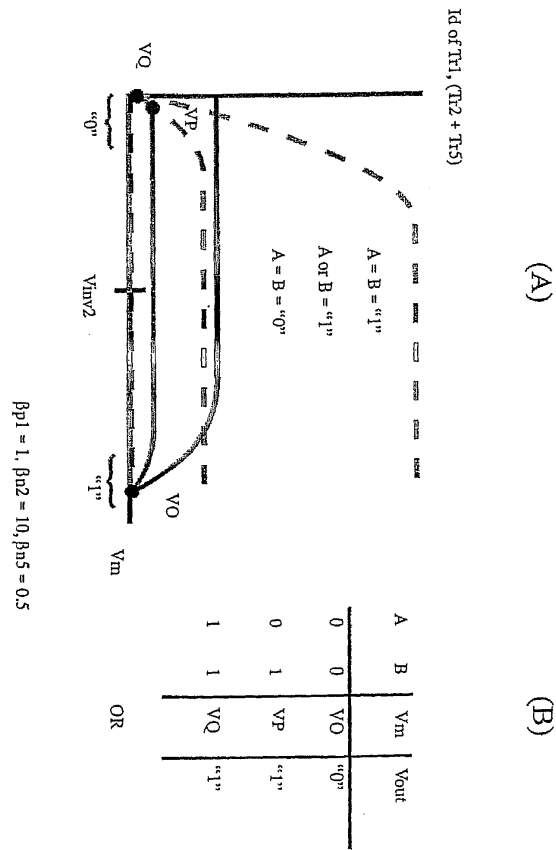
도면24



도면25



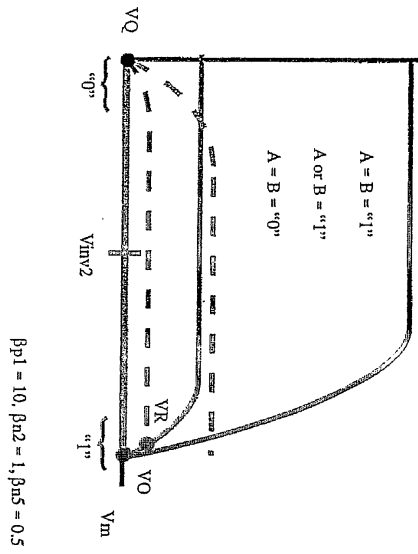
도면26



도면27

Id of T<sub>11</sub>, (T<sub>12</sub> + T<sub>15</sub>)

(A)



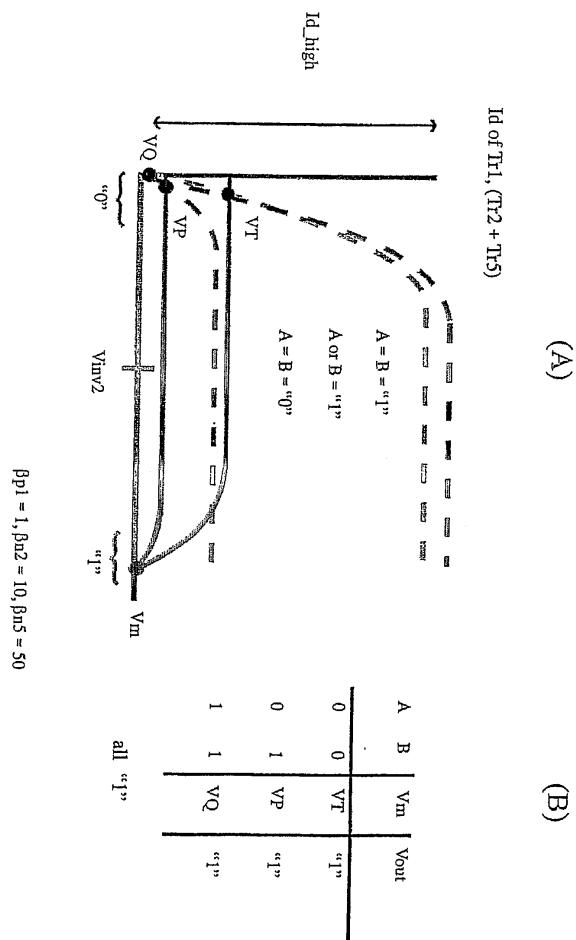
$\beta_{p1} = 10, \beta_{n2} = 1, \beta_{n5} = 0.5$

(B)

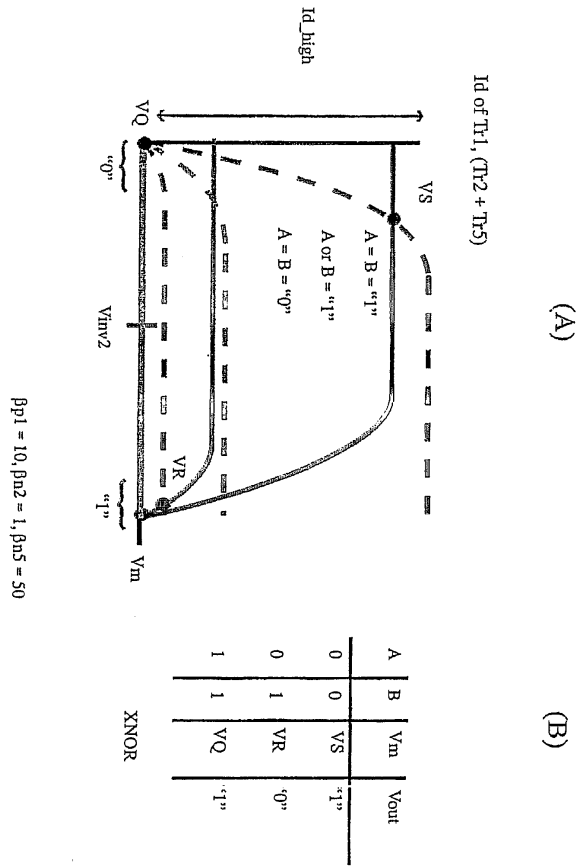
A	B	V <sub>m</sub>	V <sub>out</sub>
0	0	V <sub>O</sub>	"0"
0	1	V <sub>R</sub>	"0"
1	1	V <sub>Q</sub>	"1"

AND

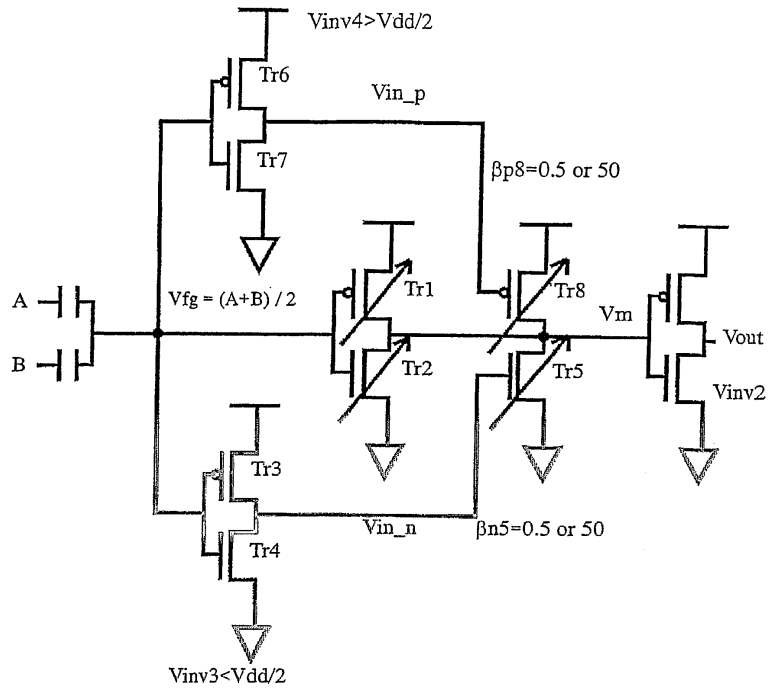
도면28



도면29

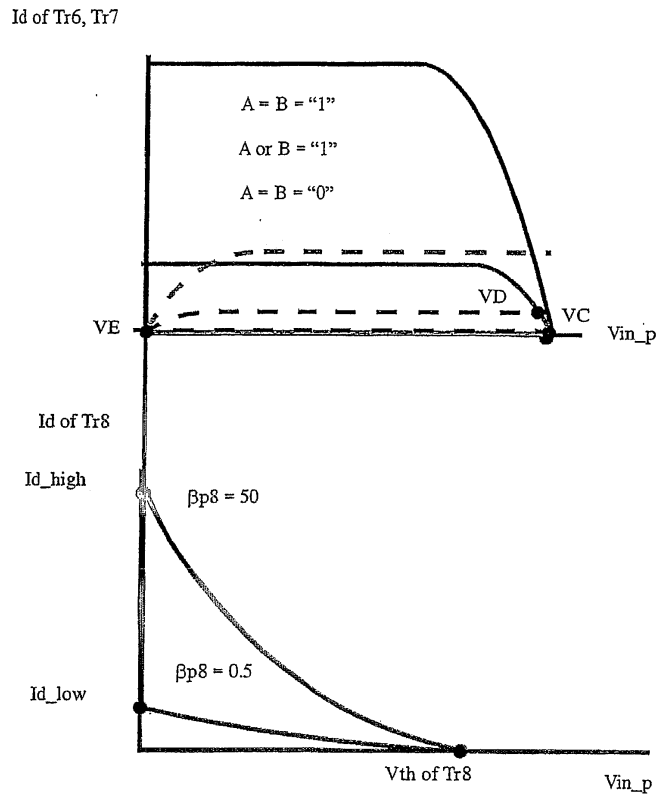


도면30

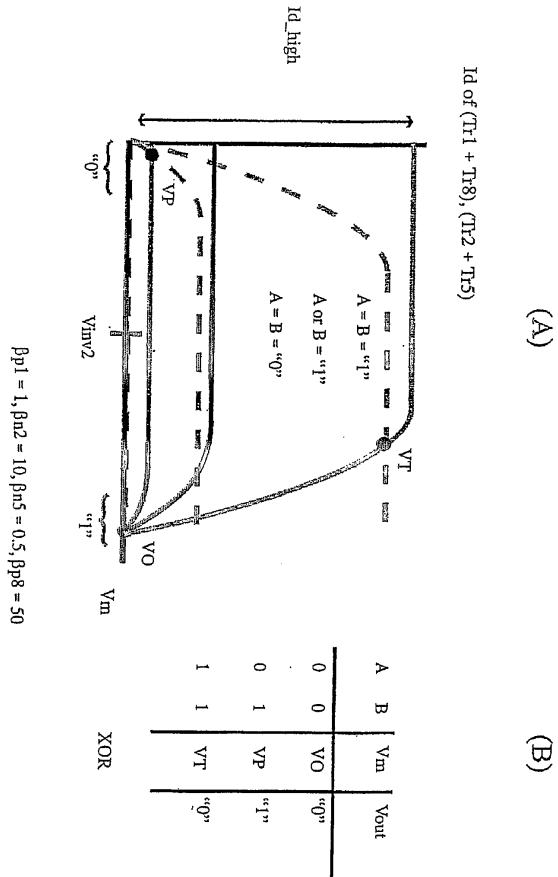




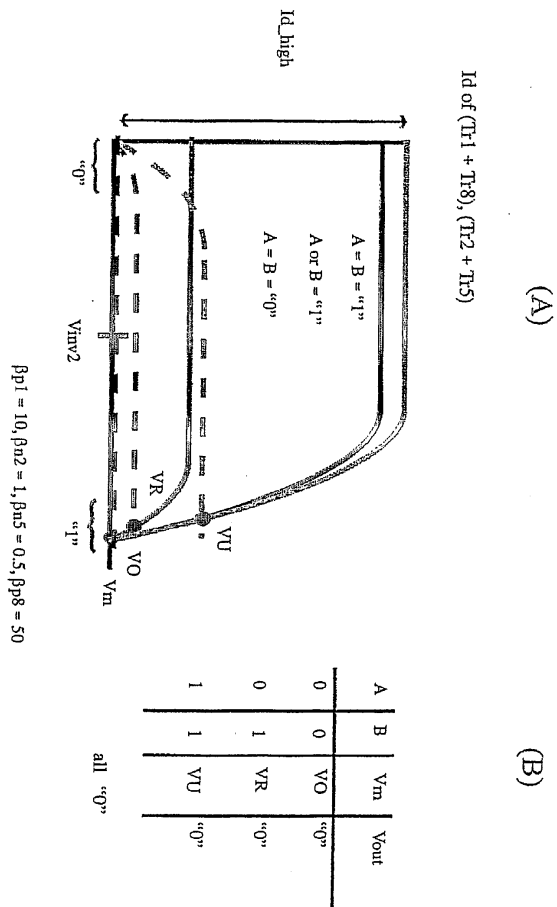
도면31



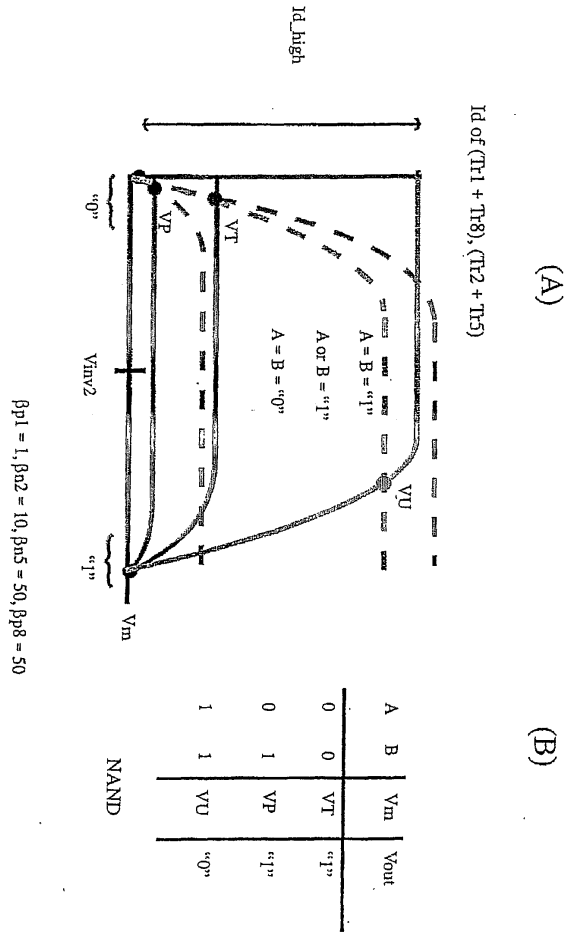
도면32



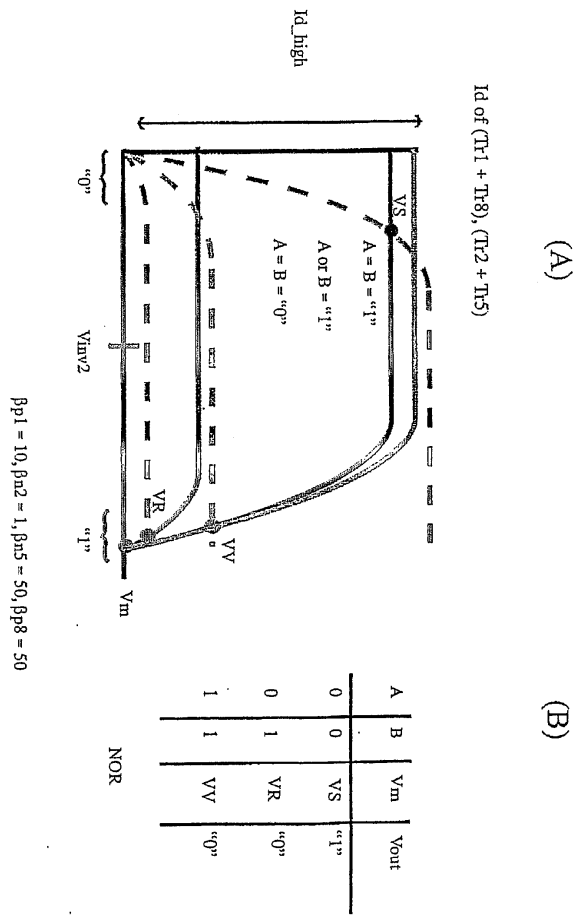
도면33



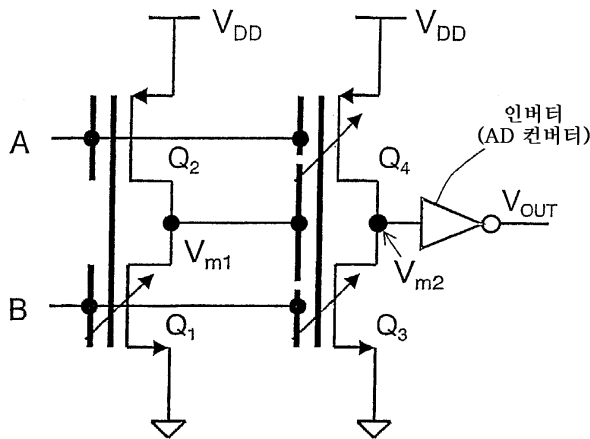
도면34



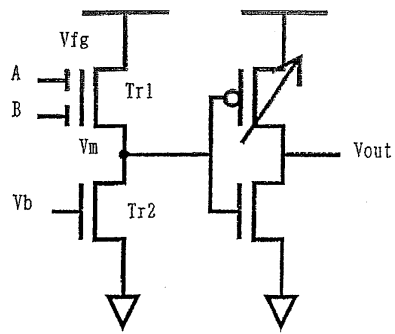
도면35



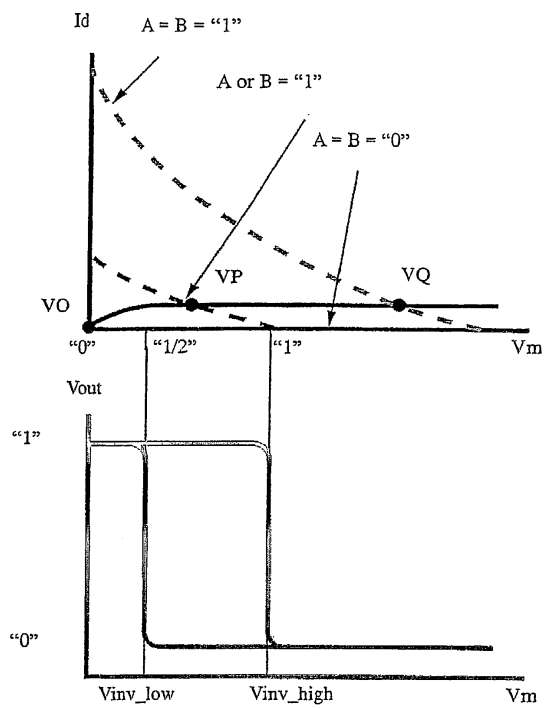
도면36



도면37



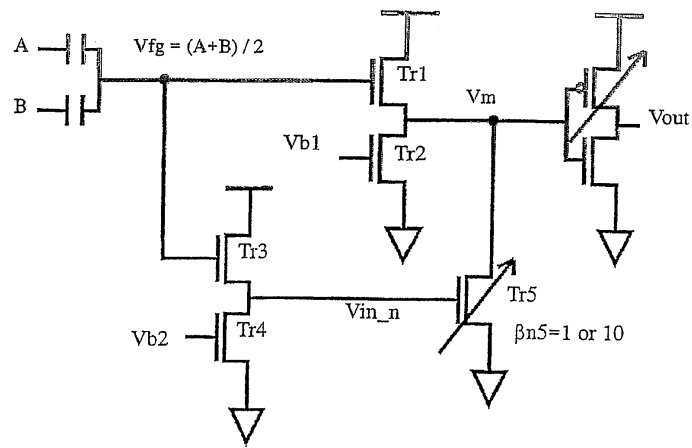
도면38



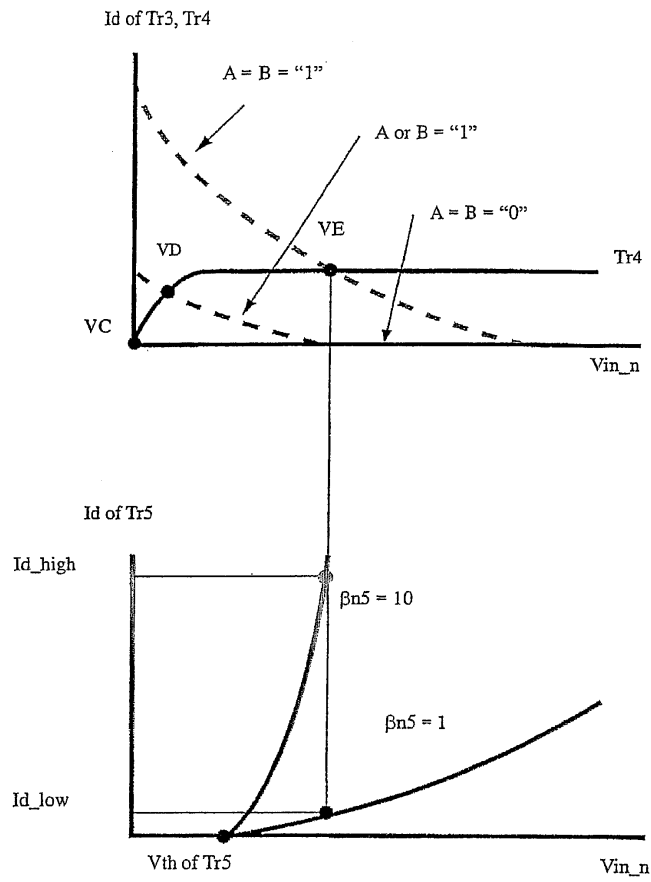
도면39

		Vout		
A	B	Vm	Vinv_low	Vinv_high
0	0	VO	1	1
0	1	VP	0	1
1	1	VQ	0	0
			NOR	NAND

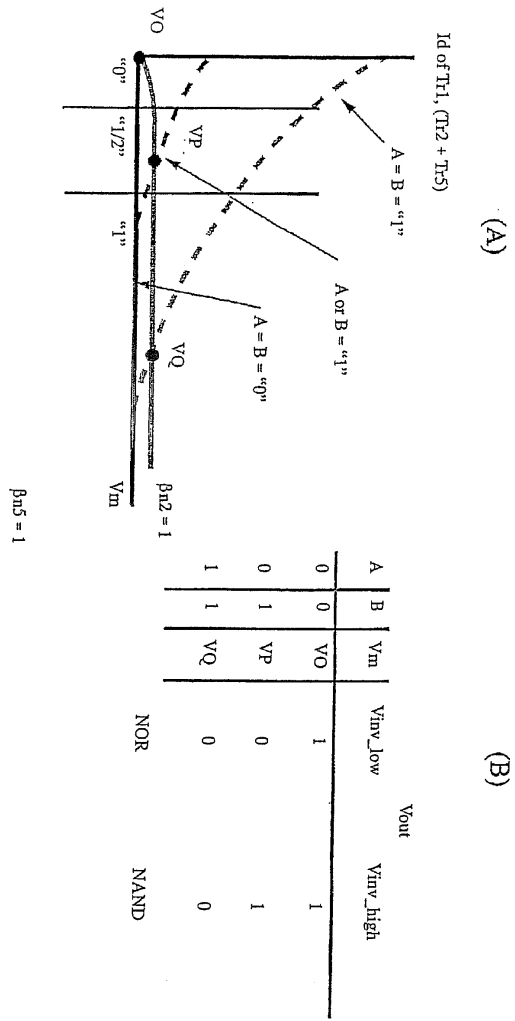
도면40



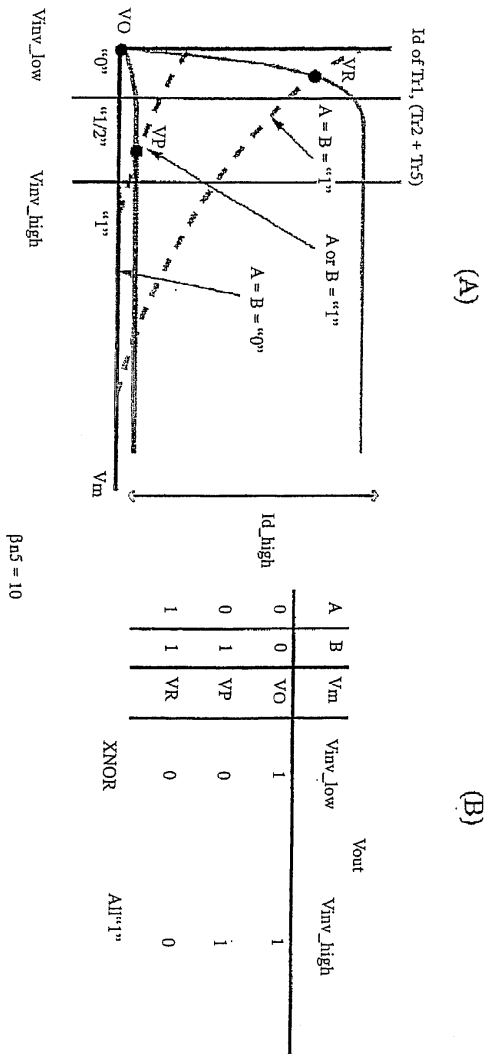
도면41



도면42

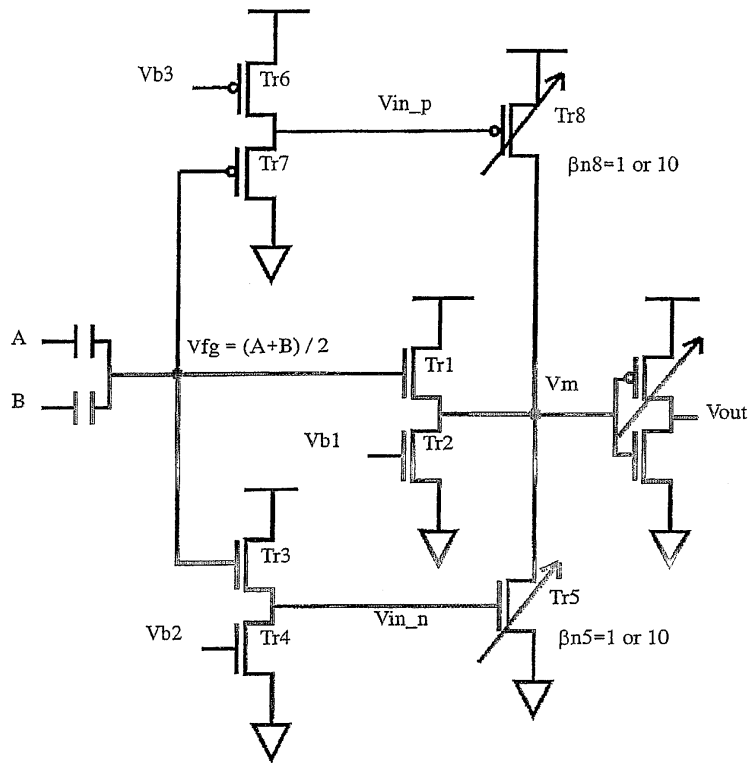


도면43

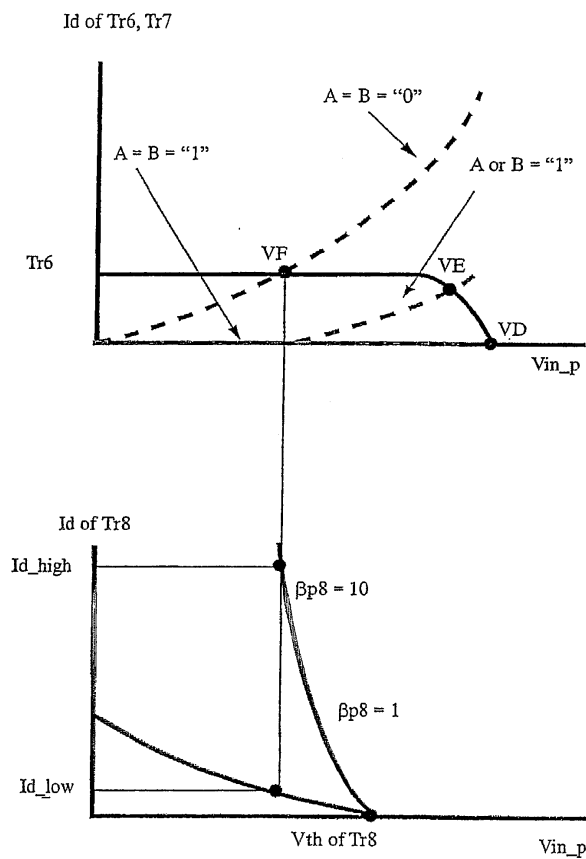




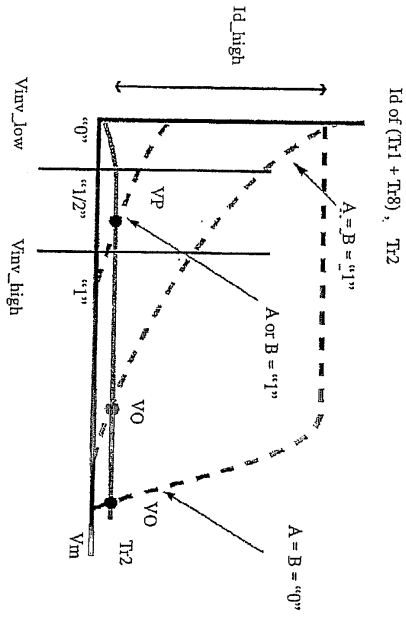
도면44



도면45



도면46



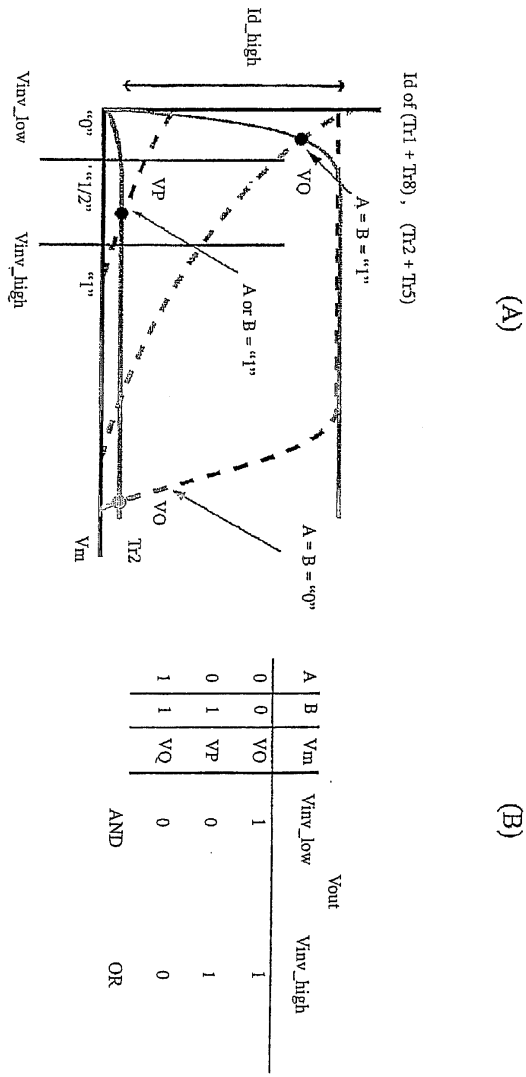
(A)

	A	B	Vm	Vout	
	A	B	Vm	Vinv_low	Vinv_high
0	0	0	VO	1	1
0	1	1	VP	0	1
1	1	1	VQ	0	0

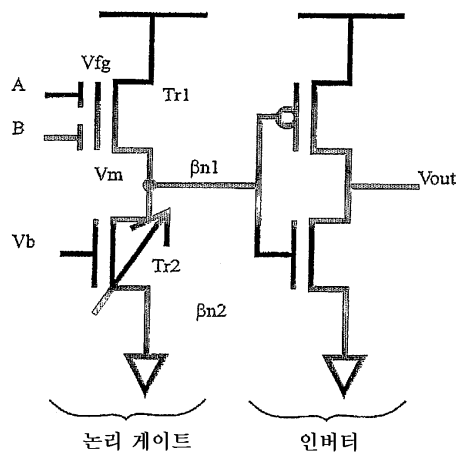
(B)

$\beta n5 = 1, \beta p8 = 10$

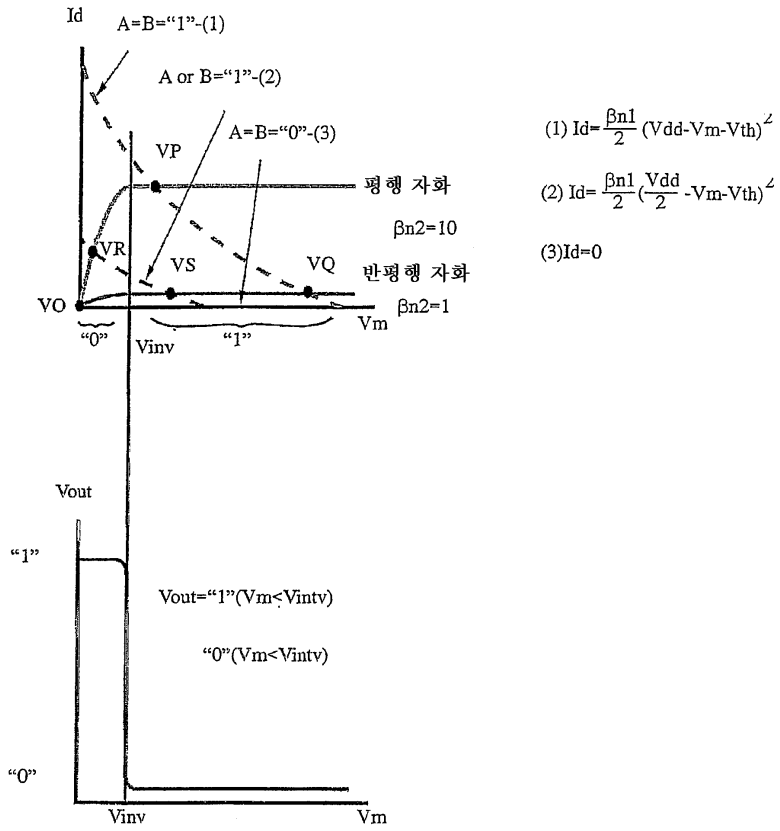
도면47



도면48



도면49



도면50

$\beta_{n2}=1$			
A	B	$V_m$	Vout
0	0	VO	1
0	1	VS	0
1	1	VQ	0

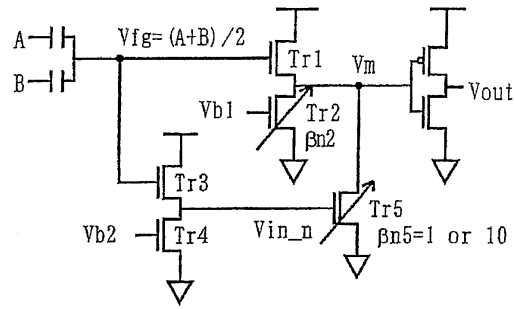
NOR

$\beta_{n2}=10$			
A	B	$V_m$	Vout
0	0	VO	1
0	1	VR	1
1	1	VP	0

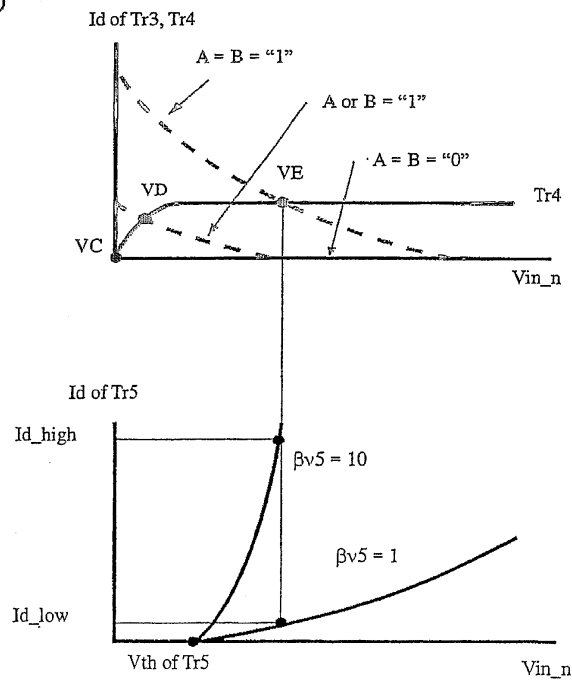
NAND

도면51

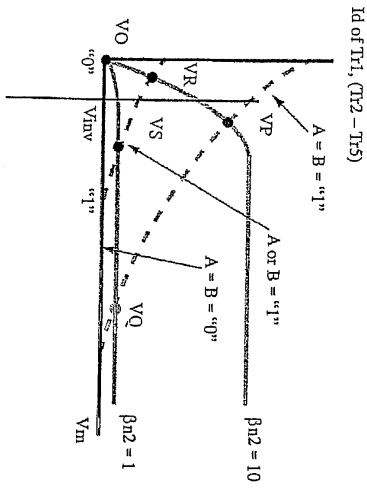
(A)



(B)



도면52



(A)

		$\beta_{n2} = 1$		$\beta_{n2} = 10$	
A	B	$V_m$	$V_{out}$	$V_m$	$V_{out}$
0	0	$V_O$	1	0	1
0	1	$V_S$	0	0	1
1	1	$V_Q$	0	1	0

NOR

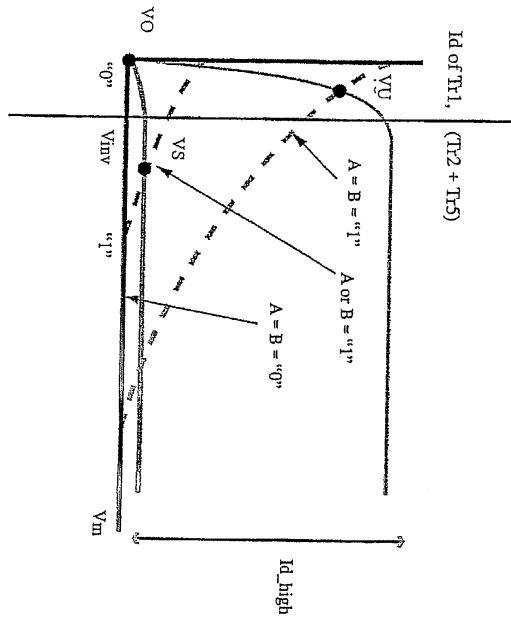
		$\beta_{n2} = 10$	
A	B	$V_m$	$V_{out}$
0	0	$V_O$	1
0	1	$V_R$	1
1	1	$V_P$	0

NAND

(B)

$\beta_{m5} = 1, \beta_{n2} = 1 \text{ or } 10$

도면53



(A)

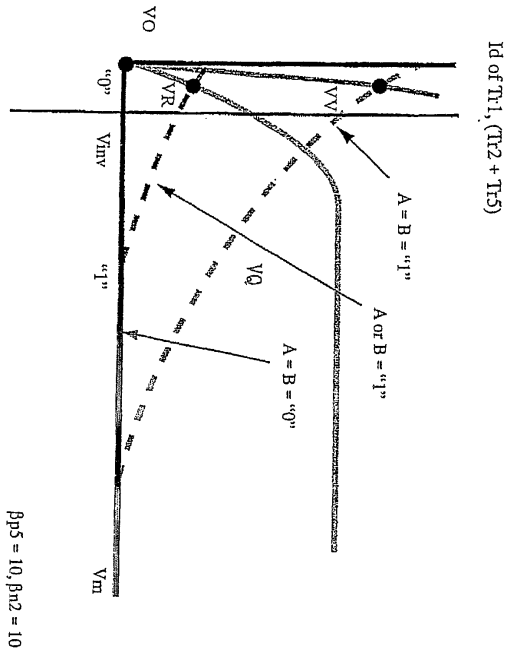
$\beta p5 = 10, \beta r2 = 1$

A	B	Vm	Yout
0	0	VO	1
0	1	VS	0
1	1	VU	1

XNOR

(B)

도면54



(A)

pps = 10, bn2 = 10

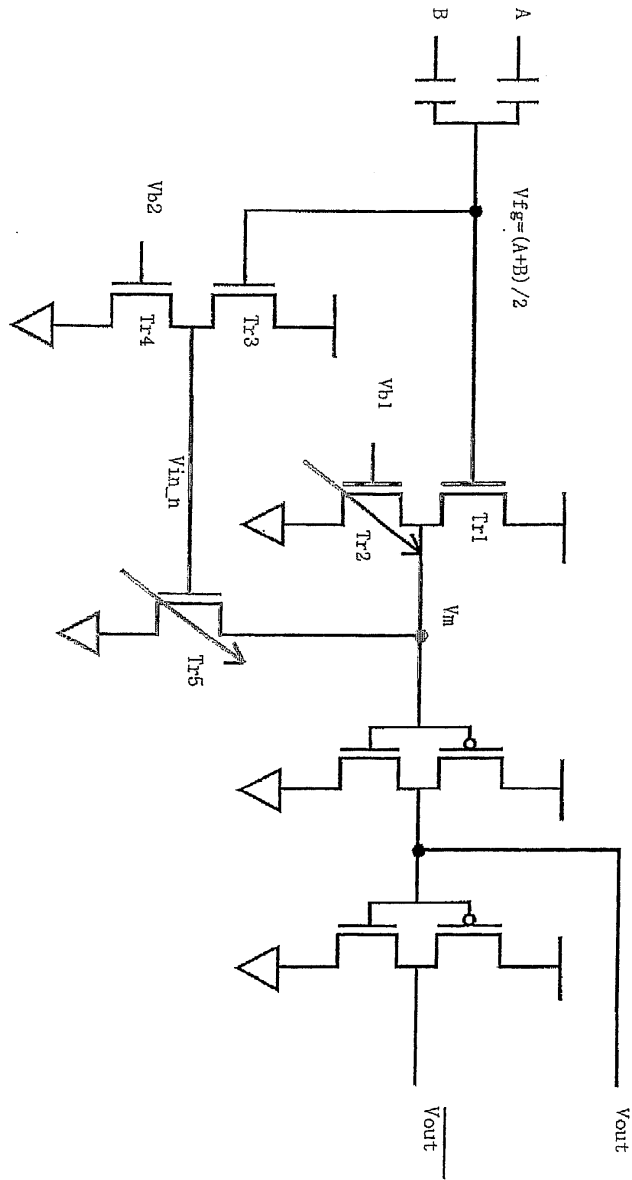
A	B	Vm	VO	Vout
0	0	VO	1	
0	1	VR	1	
1	1	VV	1	

all "1"

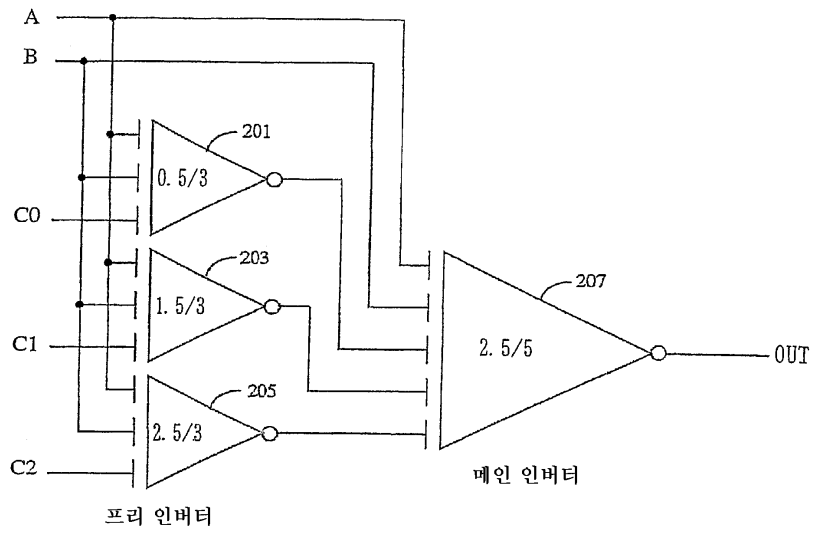
(B)



도면55



도면56



도면57

