

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H04N 5/335

(11) 공개번호 10-2005-0025115  
(43) 공개일자 2005년03월11일

|             |                   |             |                |
|-------------|-------------------|-------------|----------------|
| (21) 출원번호   | 10-2004-7002701   | (87) 국제공개번호 | WO 2003/023712 |
| (22) 출원일자   | 2004년02월24일       | 국제공개일자      | 2003년03월20일    |
| 번역문 제출일자    | 2004년02월24일       |             |                |
| (86) 국제출원번호 | PCT/JP2002/008915 |             |                |
| 국제출원출원일자    | 2002년09월03일       |             |                |

(30) 우선권주장 JP-P-2001-00269120 2001년09월05일 일본(JP)

(71) 출원인 도꾸리쯔교세이호징 가가꾸 기쥬쯔 신키 기꼬  
일본 사이따마켄 가와구찌시 혼쵸 4쵸메 1방 8고

(72) 발명자 야기, 데쯔야  
일본 후쿠오카 820-0053 이이즈카시, 이기수, 1-4, 규코다이슈쿠샤 5-304  
  
카메다, 세이지  
일본 오사카 567-0874, 이바라키시, 나라쵸 18-26, 202

(74) 대리인 최덕규  
이혜진

심사청구 : 있음

(54) 화상검출 처리장치

명세서

기술분야

본 발명은 화상검출 처리장치에 관한 것으로, 특히 시각 센서 및 화상처리에 적용한 비전 칩(vision chip)이라 불리는 화상검출 처리장치에 관한 것이다. 여기에서, 「비전 칩」이란, 예를 들어 각 화소에 광 센서 회로와 처리회로를 배치한 초(超)병렬의 회로구조를 아날로그 CMOS 집적회로에 의해 실현하고, 시각정보를 처리할 수 있는 시각 센서 칩(반도체, 회로)을 말한다. 비전 칩 중, 특히 생체망막의 회로구조 및 기능을 모의한 것을 「실리콘 망막」이라 부른다.

배경기술

도22에, 비전 칩의 개요 구성도를 나타내고 있다. 아래 그림은 비전 칩(61)의 확대도이다. 이 확대도와 같이 각 화소는 광 센서(63)와 처리회로(64)를 갖춘다. 화상정보는 렌즈(62) 등의 광학계를 통하여 비전 칩(61) 위에 투영된다. 투영된 화상정보는 광 센서(63)에 의해 전기신호로 변환되고, 각 화소에 배치된 처리회로(64)에 의해 초병렬적으로 처리된다. 그리고, 처리회로(64)는 컴퓨터나 마이크로 프로세서 등의 고차(高次) 인식장치가 이해하기 쉬운 정보로 변환하여 출력한다.

이와 같은 비전 칩에 의해, 종래의 직렬형 디지털 컴퓨터에 의한 화상처리 시스템이 서투른 과제를 해결할 수 있다. 현재까지 다양한 비전 칩이 개발되어 있고, 비전 칩에 의해 실현되어 있는 시각정보 처리의 중요한 점은 예를 들어 「화상 평활화」 「윤곽강조」 「움직임 검출」 등이다.

도23에, 싱글 칩 시스템의 회로 구성도를 나타내었다. 여기에서는, 회로의 한 예로서, 입력화상의 평활화(平滑化), 윤곽강조, 속도검출을 행하는 비전 칩을 든다. 싱글 칩의 경우는 도면에 나타낸 바와 같이, 각 화소에 광 센서(63)와 평활화 회로(65), 윤곽강조 회로(66), 움직임 검출회로(67)의 각 처리회로를 각각 배치하지 않으면 안된다.

발명의 개시

그러나, 상술한 바와 같은 싱글 칩 시스템의 비전 칩에서는, 각 화소에 광 센서와 처리회로를 배치하기 때문에 1화소의 기하학적 구조(화소 사이즈)가 커져 버린다. 또한, 종래의 비전 칩으로는, 하나의 칩으로 다양한 시각처리 기능을 실현할 필요가 있기 때문에, 칩의 단위면적당 화소수가 감소하고, 공간 해상도가 저하한다. 게다가, 종래의 비전 칩에서는, 화소구조를 단순화하여 화소 사이즈를 작게 하기 때문에, 후단(後段)의 고차 인식처리에 있어서 충분한 화상처리를 실행할 수 없는 경우가 있다. 또한, 칩 사이즈를 크게 함으로써 화소수를 늘리는 대책을 취하면, 칩의 비용이 높아지고(게다가, 제품비율수의 증가로 사용 불가능한 칩이 증가하는 것도 한 원인이다), 제품비율 관점에서 칩 사이즈 자체에 CMOS 제조 프로세스에 의존하는 한계가 있다.

본 발명은 이상의 점에 비추어, 하나의 칩으로 실행하려 하고 있는 처리를 복수의 칩으로 나누어 행하는, 소위 「멀티 칩 시스템」 구성을 취함으로써, 초병렬 회로구조로 화상처리 등의 각종 처리를 행하고, 실시간으로 화상처리 등의 각종 처리를 실행하는 것을 목적으로 한다. 또한, 본 발명은 예를 들어 CMOS를 이용한 저가, 소형, 저소비전력의 시스템을 제공하는 것을 목적으로 한다. 게다가, 본 발명은 아날로그 특유의 로바스트성 시스템을 제공하는 것을 목적으로 한다.

본 발명의 해결수단에 의하면,

입력된 광 신호를 전기신호로 변환하는 광 센서와, 상기 광 센서로부터의 출력에 대해 제1 아날로그 처리를 실행하여 아날로그 화상정보를 출력하는 제1 처리회로를 갖는 제1 화소회로와,

상기 제1 화소회로의 상기 제1 처리회로로부터 아날로그 화상정보를 입력하여 기억하는 제2 아날로그 메모리와, 상기 제2 아날로그 메모리로부터 화상정보를 읽어내어 제2 아날로그 처리를 실행하고 아날로그 화상정보를 출력하는 제2 처리회로를 갖고, 상기 제1 화소회로에 대응하여 설치된 제2 화소회로를 갖추고,

상기 제1 및 제2 화소회로가 각각 매트릭스상으로 배치되어 각각 제1 및 제2 칩이 형성되고, 상기 제1 및 제2 처리회로는 각각 상기 제1 및 제2 칩에 있어서 근방의 제1 및 제2 처리회로로부터 각각 아날로그 신호를 받아 특성을 보상하고, 제1 및 제2 아날로그 처리를 병렬 연산에 의해 실행하도록 한 화상검출 처리장치가 제공된다.

### 도면의 간단한 설명

도1은 멀티 칩 시스템의 화소검출 처리장치의 구성도이다.

도2는 타입 1 칩의 구성도이다.

도3은 타입 1의 화소회로의 구성도이다.

도4는 타입 2 칩의 구성도이다.

도5는 타입 2의 화소회로의 구성도이다.

도6은 주목화소 선택을 위한 쉬프트 레지스터의 타이밍 차트이다.

도7은 타입 1의 1 화소의 화소회로의 구성도이다.

도8은 화소레벨의 동작에 대한 타이밍 차트이다.

도9는 저항회로망의 구성도이다.

도10은 1차원 저항회로망에 의한 윤곽강조 이미지의 설명도이다.

도11은 2층의 저항회로망에 의한 윤곽강조 이미지의 설명도이다.

도12는 타입 2의 1 화소의 화소회로(2)의 구성도이다.

도13은 화소레벨의 동작에 대한 타이밍 차트이다.

도14는 프레임간 차분(差分) 이미지의 설명도이다.

도15는 타입 2의 1 화소의 화소회로(1)의 구성도이다.

도16은 화소레벨의 동작에 대한 타이밍 차트이다.

도17은 멀티 칩 시스템의 구성도이다.

도18은 멀티 칩 시스템에 의한 양안(兩眼) 입체시각 시스템의 도면이다.

도19는 액티브 픽셀 센서의 회로도이다.

도20은 노이즈 보상 버퍼의 회로도 및 제어신호의 타이밍 차트이다.

도21은 저항회로망의 회로도 및 설명도이다.

도22는 비전 칩의 개요 구성도이다.

도23은 싱글 칩 시스템의 회로 구성도이다.

## 발명을 실시하기 위한 최선의 형태

### 1. 멀티 칩 시스템

도1에, 멀티 칩 시스템의 화상검출 처리장치의 구성도를 나타내었다. 이 실시형태에서는, 일례로서 평활화, 윤곽강조, 움직임 검출의 3개의 처리를 각각 3개의 칩으로 나누어, 멀티 칩의 구성으로 한다. 렌즈 등의 광학계(4)로부터 화상정보가 입력되고, 1단계의 평활화 칩(1)은, 광 센서 회로(1-1)와 평활화용 처리회로인 평활화 회로(1-2)를 갖추고으로써 입력 화상의 평활화를 행한다. 1단계의 평활화 칩(1)으로부터는 평활화된 화상정보가 전압 또는 전류의 아날로그 신호로서 출력되고, 2단계 이후의 윤곽강조 칩(2), 움직임 검출 칩(3)으로 입력된다. 2단계 이후의 윤곽강조 칩(2), 움직임 검출 칩(3)의 각 화소는 각각 아날로그 메모리(2-1, 3-1)와 전용 처리회로인 윤곽강조 회로(2-2), 움직임 검출 회로(3-2)를 갖춘다. 아날로그 메모리(2-1, 3-1)는 전 단계로부터의 아날로그 정보를 일시 기억한다. 윤곽강조 회로(2-2), 움직임 검출 회로(3-2)는 각각 아날로그 메모리(2-1, 3-1)의 정보를 읽어들이고(필요에 따라 써넣는 것도 가능). 여기에서는 2단계의 윤곽강조 칩(2)으로부터는 윤곽 강조된 화상정보가 출력되고, 3단계의 움직임 검출 칩(3)으로부터는 움직임 검출된 결과가 출력된다.

이와 같은 멀티 칩 시스템의 특징으로는, 예를 들어 다음과 같은 점이 있다.

- 하나의 칩으로 행하는 처리를 한정할 수 있다(처리기능을 분산할 수 있다).
- 화소 사이즈가 작다.
- 칩 사이즈를 크게 하지 않고 화소수를 늘린다.
- 복수의 칩으로부터 출력이 병렬로 출력되기 때문에, 복수의 시각정보를 이용한 고차 화상처리를 실행할 수 있다.
- 화상처리 및 데이터 전사시에 부가되는 회로 노이즈를 제거하기 위해 각 화소에 보상회로를 배치하는 것이 용이하다.
- 화상처리, 데이터의 전사에 아날로그 정보를 이용한다. 그리고, 화상처리는 각 화소에 배치한 아날로그 처리회로에 의한 초병렬 회로구조에 의해 고속으로 실행할 수 있다. 이 점은 기존의 화상처리용 DSP(Digital Signal Processor)와는 분명하게 다르다.

여기에서, 본 발명과 DSP와의 차이에 대해서 설명한다.

DSP의 경우, CCD 카메라와 같은 촬영기기로부터 출력된 화상정보를 A/D 변환기에 의해 디지털 신호로 변환하여 DSP로 보내고, DSP에서 디지털 화상처리를 실행한다. 이에 대해 본 발명의 실시형태의 경우, 초단(初段)의 평활화 칩(1) 단계에서 우선, 화상정보의 취득과 동시에 각 화소의 아날로그 처리회로에 의해 초병렬 아날로그 화상처리가 실시된다(CCD 카메라와의 상이점). 이어서, 초단의 평활화 칩(1)으로부터는 계산된 아날로그 정보가 그대로 출력되고, 다음 단의 윤곽강조 칩(2)으로 입력된다(A/D 변환하지 않음). 계속해서, 초단의 평활화 칩(1)으로부터의 정보는 다음 단의 윤곽강조 칩(2)의 각 화소에 배열된 아날로그 메모리로 입력되고, 게다가 각 화소의 아날로그 처리회로에 의해 초병렬 처리된다(디지털 화상처리와의 상이점). 게다가, 윤곽강조 칩(2)으로부터의 정보는 다음 단의 움직임 검출 칩(3)의 각 화소에 배열된 아날로그 메모리로 입력되고, 그리고 각 화소의 아날로그 처리회로에 의해 초병렬 처리된다.

일반적으로 디지털 회로보다도 아날로그 회로 쪽이 소규모로 처리회로를 설계할 수 있다. 만약 각 화소에 DSP를 배치하여 병렬 화상 연산을 행하려 하면,

- 화소 사이즈가 커진다.
- 각 화소를 접속하는 배선이 복잡해진다.

등의 과제가 있다. 이에 대해, 본 발명에서는 각 화소를 아날로그 회로로 구성하기 때문에 이들 과제가 경감된다.

다만, 아날로그 집적회로에 고유의 과제로서 소자 특성의 불균일성에 의한 고르지 못함의 영향이라고 생각되는 경우가 있다. 이것은 동일 칩 내에 기하학적으로 완전히 같은 회로를 설계했다 해도 각각의 회로의 전기적 특성이 불균일해진다라는 것이다. 이것은 칩 내에서는 물론 개별 칩 사이에서는 그런 경향이 더 강하게 나타난다. 본 발명과 같

은 초병렬 회로구조에서의 각 화소간의 소자 특성의 고르지 못함이나 화상정보를 다음 단계로 전사했을 때의 칩의 전후 정보의 변화가 심각한 경우, 이에 대한 대책을 취할 필요가 있다.

그래서 본 발명에서는, 각 화소에 소자 특성의 불균일성에 따른 고르지 못함(회로 노이즈)을 보상하는 회로를 조립함으로써 이 과제를 해결한다. 그 보상회로에서는, 한 종류의 아날로그 정보 기억소자에 각 화소의 회로 노이즈를 기억함으로써, 회로 노이즈의 영향을 받지 않는 화상처리 및 데이터 전사를 실현한다. 구체적으로는 노이즈 보상 버퍼 회로(후술)를 생각하고 있지만, 같은 기능을 가진 회로라면 대체할 수 있다.

2. 멀티 칩 시스템을 구성하는 칩의 회로구성 개요

멀티 칩 시스템을 구성하는 칩의 종류는, 본 발명의 실시형태에서는 크게 분류하면 다음 2가지 타입이 된다.

- 타입 1: 각 화소에 화상정보를 취득하는 광 센서와 처리회로를 내장
- 타입 2: 각 화소에 전 단계로부터의 화상정보를 기억하는 아날로그 메모리와 처리회로를 내장

이들, 타입 1, 타입 2에 대해서 회로구성을 설명한다.

(1) 타입 1 칩의 회로구성(화상취득+ 병렬 화상처리)

타입 1의 칩은 구성하는 칩 시스템의 초기 단계이고, 각 화소에 내장한 광 센서에 의해 외계(外界)의 화상정보를 취득하여 병렬로 화상처리를 실시한다.

도2에, 타입 1 칩의 구성도를 나타내었다.

타입 1 칩은, 화소회로(11), 수평 쉬프트 레지스터(13), 수직 쉬프트 레지스터(14), 스위치(15), 출력용 버퍼(16), 출력 라인(17)을 갖춘다. 수평 쉬프트 레지스터(13), 수직 쉬프트 레지스터(14)에 의해 화소회로(11)를 순차적으로 선택하여 병렬 연산된 출력을 읽어낸다.(그리고, 쉬프트 레지스터의 타이밍 차트는 후술한다.)

도3에, 타입 1의 화소회로의 구성도를 나타내었다. 화소회로(11)는, 광 센서(111), 처리부(112), 아날로그 연산기(113), 스위치(114)를 갖춘다. 각각의 역할을 하기에 설명한다.

광 센서(111)는, 광 신호(화상정보)를 전압·전류 등의 전기신호로 변환한다. 회로소자에는 포토 다이오드, 포토 트랜지스터, 액티브 픽셀 센서 등을 이용한다. 처리부(112)는, 자신들 화소회로의 광 센서(111)로부터의 입력과 근방의 화소회로로부터의 입력(n1~n4)을 받아 화상처리를 행한다. 처리부(112)는, 주로 근방 화소의 정보를 이용한 병렬 화상연산을 행한다. 아날로그 연산부(113)는, 처리부(112)로부터의 입력을 받아 사칙연산 등의 아날로그 연산을 행한다. 아날로그 연산부(113)는, 동시에 아날로그 집적회로에서 대처해야 할 과제인, 각각의 소자 특성의 고르지 못함으로 인한 회로 노이즈를 보상하는 회로를 포함하도록 해도 좋다. 아날로그 연산부(113)의 출력이 화소 출력이 된다. 본 실시형태에서는, 각 화소회로(11)로의 제어신호가 모든 화소에 일괄로 입력하지만, 각 화소회로마다 또는 행·열마다 입력하도록 해도 좋다.

(2) 타입 2 칩의 회로구성(아날로그 메모리+ 병렬화상 처리)

타입 2의 칩은 구성하는 칩 시스템의 다음 단계 이후이고, 각 화소에 내장한 아날로그 메모리에 전 단계로부터의 화상정보를 기억하고, 각 화소에 배치한 처리회로에 의해 병렬로 화상처리를 실시한다.

도4에, 타입 2 칩의 구성도를 나타내었다.

타입 2 칩은, 화소회로(21), 수평 쉬프트 레지스터(23), 수직 쉬프트 레지스터(24), 스위치(25), 입력용 버퍼(26), 출력 라인(27), 입력 라인(28), 출력용 버퍼(29)를 갖춘다. 수평 쉬프트 레지스터(23), 수직 쉬프트 레지스터(24)에 의해 주목화소를 순차적으로 선택하여, 화소회로(21)에 전 단계의 칩으로부터의 데이터를 입력하고, 병렬 연산된 출력을 읽어낸다.(그리고, 쉬프트 레지스터의 타이밍 차트는 후술한다.)

도5에, 타입 2의 화소회로의 구성을 나타내었다.

화소회로(21)는, 아날로그 메모리(211), 처리부(212), 아날로그 연산기(213)로 구성되고, 스위치(114, 115)를 갖춘다. 각각의 역할을 하기에 설명한다.

아날로그 메모리(211)는, 외부로부터(이 경우, 타입 1의 화소회로 또는 전단계의 타입 2의 화소회로 등) 입력되는 화상정보를 기억한다. 처리부(212)는, 자신들의 화소회로의 아날로그 메모리(211)로부터의 입력, 근방의 화소회로로부터의 입력(n1~n4)을 받아 화상처리를 행한다. 처리부(212)는, 주로 근방 화소의 정보를 이용한 병렬 화상연산을 행한다. 아날로그 연산부(213)는, 처리부(212)로부터의 입력을 받아 사칙연산 등의 아날로그 연산을 행한다. 아날로그 연산부(213)는, 동시에 아날로그 집적회로에서 대처해야 할 과제인 각각의 소자 특성의 고르지 못함으로 인한 회로 노이즈를 보상하는 회로를 포함하도록 해도 좋다. 아날로그 연산부(213)의 출력이 화소 출력이 된다. 본 실시형태에서는, 각 화소회로로의 제어신호는 모든 화소에 일괄로 입력되지만, 각 화소회로마다 또는 행·열마다 입력하도록 해도 좋다.

이어서, 도6에, 주목화소 선택을 위한 쉬프트 레지스터의 타이밍 차트를 나타내었다.

타입 1, 2의 칩과 함께 수평 쉬프트 레지스터(13, 23), 수직 쉬프트 레지스터(14, 24)는 화상정보를 입출력하는 주목화소 회로를 선택한다. 그 기본 타이밍은 도시한 바와 같이 된다. 타입 2의 칩에서는 수직 쉬프트 레지스터(24)에서 화소 어레이의 행을 선택하고, 선택된 화소의 입출력 스위치(SWi/o)를 각 열의 입출력 라인에 접속한다. 이 상태로 수평 쉬프트 레지스터(23) 및 스위치(25)에서 1조의 입출력 라인을 선택하여 입력 버퍼(26), 출력 버퍼(29)에 각각 접속한다. 즉, 행·열로 선택된 화소에 입력 버퍼(26), 출력 버퍼(29)가 접속된다. 타입 1의 경우도 같지만 입력의 경로가 필요하지 않다.

### 3. 칩의 회로 예

(1) 타입 1 칩의 회로 예: 화상취득+ 평활화(smoothing)

도7에, 타입 1의 1화소의 화소회로의 구성도를 나타내었다.

상기 화상회로는, 광 센서(111), 처리부(112), 아날로그 연산기(113), 스위치(114)를 갖춘다. 광 센서(111)는, 이 예에서는 APS(액티브 픽셀 센서: 후술)로 하고, 광전하를 축적함으로써 광신호를 전압정보로 변환한다. 처리부(112)는, 여기에서는 저항회로망으로 구성한다. 화상정보를 저항회로망에 입력함으로써 입력화상의 평활화를 초병렬로 행할 수 있다(후술). 근방 화소와의 사이에 저항에 의한 접속(n1, n2, n3, n4)을 가짐으로써 저항회로망을 형성하고, 입력화상의 평활화를 행한다. 처리부(112)로부터의 출력을 아날로그 연산기(113)에 입력한다. 아날로그 연산기(113)는 노이즈 보상 버퍼 회로(Nbuf: 후술)를 이용한다. 노이즈 보상 버퍼 회로(Nbuf)는 제어신호에 의해 입력 쪽 회로의 고르지 못함과 노이즈 보상 버퍼 회로(Nbuf) 내부의 증폭기의 오프셋(offset)을 보상할 수 있다. 수평 쉬프트 레지스터(13), 수직 쉬프트 레지스터(14)에 의해 SWo를 제어함으로써 주목화소를 선택하여 읽어낼 수 있다.

도8에, 화소 레벨의 동작에 대한 타이밍 차트를 나타내었다. 이하, 각 구간에 대해서 동작을 설명한다.

구간(A): APS의 스위치로의 제어신호(SWp)를 H로 함으로써 APS를 초기화한다. 그 후 SWp를 L로 함으로써 n번째 프레임의 APS에서의 전하 축적동작으로 이동한다.

구간(B)+ (C): APS의 축적시간

구간(C): 축적시간 경과 후, SWh를 H로 하고, 처리부(112)의 저항회로망과 노이즈 보상 버퍼 회로(Nbuf)를 접속한다. 이 때, 저항회로망의 출력(Vnet)은,

$$V_{net} = V_{net}(n) + VN1 \quad (1)$$

이 된다. 여기에서 Vnet(n)은 저항회로망에서 처리된 화상정보, VN1은 이 시각에서의 회로 노이즈이다. 이 상태로 SW1과 SW2를 제어함으로써 노이즈 보상 버퍼 회로(Nbuf)에 내장된 용량에 식(1)의 저항회로망의 출력이 기억된다.

구간(A'): 다시 APS의 스위치로의 제어신호(SWp)를 H로 함으로써 APS를 초기화한다. 이 때 저항회로망의 출력(Vnet)은,

$$V_{net} = V_{net0} + VN0 \quad (2)$$

이 된다. 여기에서 Vnet0은 APS 초기화시의 저항회로망으로부터의 초기 전압, VN0은 초기화시의 회로 노이즈이다. 즉 노이즈 보상 버퍼 회로(Nbuf)로의 입력전압이 식(1)에서 식(2)로 변위하였다. 이 때 노이즈 보상 버퍼 회로(Nbuf)로부터의 출력(Vout)은, 회로 노이즈의 크기가 항상 일정(VN1=VN0)하다고 하면,

$$\begin{aligned} V_{out}(n) &= V_{net}(n) - V_{net0} + VN1 - VN0 + V_{ref} \\ &= V_{net}(n) - V_{net0} + V_{ref} \end{aligned}$$

가 되고, 회로 노이즈의 영향을 받지 않는 저항회로망에서의 처리정보에 비례한 출력이 얻어진다. 그 후 SWh를 H로 함으로써 출력이 노이즈 보상 버퍼 회로(Nbuf)로 유지된다. 그리고 SWp를 L로 함으로써 n+1번째 프레임의 APS에서의 전하축적동작으로 이동한다.

구간(B'): APS와 Nbuf는 전기적으로 분리되어 있기 때문에, n+1번째 프레임의 APS에서의 축적동작과 평행하고, 출력 스위치 신호(SWo)를 단음으로써 Vout(n)을 읽어낼 수 있다.

이상의 동작을 반복함으로써 화상정보의 취득 및 저항회로망에 의한 평활화 동작을 행할 수 있다.

(2) 타입 2 칩의 회로 예 1: 윤곽강조

도9에, 저항회로망의 구성도를 나타내었다.

도면과 같이 화소 사이를 저항으로 연결한 것을 저항회로망이라 부른다. 저항회로망에 의해, 입력화상의 평활화를 행할 수 있다(후술). 입력화상과 평활화한 화상과의 차분 출력은 입력화상의 윤곽을 강조한 것이 된다.

도10에, 1차원 저항회로망에 의한 윤곽강조 이미지의 설명도를 나타내었다.

도10(A)의 가로축은 화소번호, 세로축은 대응하는 화소정보(전압)이다. 저항회로망에 0번째의 화소로 전압값이 크게 변화하는 입력( $V_k$ )을 준다. 이것은 화상의 윤곽에 대응한다. 이 때 저항회로망으로부터는 윤곽부분이 평활화된  $V_{1k}$ 가 출력된다. 이들  $V_k$ 와  $V_{1k}$ 와의 차분 출력을 취한 것이 도10(B)이다. 윤곽의 위치인 0번째 화소로 크게 응답하고, 그 주변은 윤곽 위치에서 멀어짐에 따라 서서히 일정한 값이 되도록 되어 있는 것을 알 수 있다. 즉, 윤곽부의 강조를 행하고 있다.

또한, 도11에 2층의 저항회로망에 의한 윤곽강조 이미지의 설명도를 나타내었다.

상술한 바와 같이 저항회로망의 입력에, 미리 다른 저항회로망에 의해 평활화한 화상정보를 이용하면, 즉 저항회로망을 2층 사용하면, 도11과 같은 출력이 얻어진다. 이 필터의 특성은 수학적으로 라플라시안-가우시안( $\nabla^2 G$ )에 근사해 있는 것이 알려져 있고, 입력화상의 평활화와 윤곽의 강조를 동시에 행할 수 있다. 또한, 상기 필터는 고주파의 공간화상 노이즈를 제거하는데 우수하다.

도12에 타입 2의 1화소의 화소회로(2)의 구성도를 나타내었다.

상기 화소회로는, 아날로그 메모리(211), 처리부(212), 아날로그 연산기(213), 스위치(214, 215)를 갖춘다. 아날로그 메모리(211)는 내장해 있는 콘덴서에 외부로부터의 화소정보를 기억한다. 처리부(212)는 저항회로망으로 구성한다. 처리부(212)는, 근방 화소와의 사이에 저항에 의한 접속( $n_1, n_2, n_3, n_4$ )을 가짐으로써 저항회로망을 형성하고, 입력화상의 평활화를 행한다. 처리부(212)로부터의 입력과 출력은 양쪽 모두 아날로그 연산기(213)로 출력한다. 아날로그 연산기(213)는 노이즈 보상 버퍼 회로(Nbuf)(후술)를 이용한다. 노이즈 보상 버퍼 회로(Nbuf)는 제어 신호에 의해 입력쪽 회로의 고르지 못함과 노이즈 보상 버퍼 회로(Nbuf) 내부의 증폭기의 오프셋을 보상할 수 있다. 수평 쉬프트 레지스터(23), 수직 쉬프트 레지스터(24)에 의해 SW<sub>i</sub>, SW<sub>o</sub>를 제어함으로써 주목화소를 선택할 수 있다.

도13에 화소레벨의 동작에 대한 타이밍 차트를 나타내었다. 여기에서는, 저항회로망이 1층의 예를 나타내던가 상술한 바와 같이 2층으로 해도 좋다. 이하, 각 구간에 대해서 동작을 설명한다.

구간(A): 쉬프트 레지스터로부터의 입력제어신호(SW<sub>i</sub>)를 H로 함으로써 아날로그 메모리(211)에 외부로부터의 화상정보(V<sub>in</sub>(n))를 기억한다.

구간(B): 데이터 홀드용 스위치의 제어신호(SW<sub>h</sub>)와 입력전환 스위치의 제어신호(SW<sub>s</sub>)를 H로 하고, 노이즈 보상 버퍼 회로(Nbuf)와 아날로그 메모리(211)로부터의 입력(V<sub>1</sub>)을 접속한다. 이 상태로 노이즈 보상 버퍼 회로(Nbuf)의 제어신호(SW<sub>1</sub>, SW<sub>2</sub>)의 스위치 동작을 행함으로써 아날로그 메모리(211)로부터의 입력(V<sub>1</sub>)을 노이즈 보상 버퍼 회로(Nbuf)에 기억시킨다. 동시에 회로의 입력쪽의 고르지 못함과 노이즈 보상 버퍼 회로(Nbuf) 내부의 증폭기의 오프셋을 보상한다(노이즈 보상동작).

구간(C): 전환 스위치의 제어신호(SW<sub>s</sub>)를 L로 하고, 노이즈 보상 버퍼 회로(Nbuf)와 저항회로망의 출력(V<sub>2</sub>)을 접속함으로써 노이즈 보상 버퍼 회로(Nbuf)에서는,

$$V_{out}(n) = V_2(n) - V_1(n) + V_{ref}$$

의 계산이 이루어진다. 즉, 입력화상정보(V<sub>1</sub>(n))와 저항회로망으로부터의 평활화 출력(V<sub>2</sub>(n))과의 차에 비례한 출력이 얻어지고 있다.

구간(D): 데이터 홀드용 스위치의 제어신호(SW<sub>h</sub>)를 L로 하고, 계산한 화상정보를 노이즈 보상 버퍼 회로(Nbuf)에 홀드한다.

구간(A'): 쉬프트 레지스터로부터의 출력제어신호(SW<sub>o</sub>)를 H로 함으로써 노이즈 보상 버퍼 회로(Nbuf)에 홀드한 출력(V<sub>out</sub>(n))을 읽어낸다. 그와 동시에 쉬프트 레지스터로부터의 입력제어신호(SW<sub>i</sub>)를 H로 함으로써 아날로그 메모리(211)에 다음 시각에서의 화상정보(V<sub>in</sub>(n+1))를 기억한다.

이하와 같은 동작을 반복함으로써, 윤곽강조 출력을 출력할 수 있다.

### (3) 타입 2 스위치의 회로 예 2: 움직임 검출

도14에 프레임간 차분 이미지의 설명도를 나타내었다.

어느 n번째 프레임의 화상에 있어서, 백지에 검은 원반이 입력되어 있다고 하자(도14(A)). 그 검은 원반이 n+1번째 프레임의 화상에서는 오른쪽으로 움직이고 있다고 생각하자(도14(B)). n번째, n+1번째 프레임의 화상출력을 전압값이라 하고, 이들 출력의 전위차를 계산하면, 도14(C)와 같이 움직인 부분만이 응답하게 된다. 이와 같이 프레임간의 차분을 계산함으로써 대상의 움직임을 계산할 수 있다.

도15에 타입 2의 1화소의 화소회로(1)의 구성도를 나타내었다.

상기 화소회로는, 아날로그 메모리(211), 아날로그 연산기(213), 스위치(214, 215)를 갖춘다. 아날로그 메모리(211)는 내장해 있는 콘텐츠에 외부로부터의 화소정보를 기억한다. 아날로그 연산기(213)는 노이즈 보상 버퍼 회로(Nbuf: 후술)를 이용한다. 노이즈 보상 버퍼 회로(Nbuf)는 제어신호에 의해 입력쪽 회로의 고르지 못함과 노이즈 보상 버퍼 회로(Nbuf) 내부의 증폭기의 오프셋을 보상할 수 있다. 수평 쉬프트 레지스터(23), 수직 쉬프트 레지스터(24)에 의해 SWi, SWo를 제어함으로써 주목화소를 선택할 수 있다.

도16에 화소레벨의 동작에 대한 타이밍 차트를 나타내었다. 이하, 각 구간에 대해서 동작을 설명한다.

초기조건: SWh로의 신호는 항상 H 입력으로 하고 아날로그 메모리(211)와 노이즈 보상 버퍼 회로(Nbuf)를 접속한다.

구간(A): 노이즈 보상 버퍼 회로(Nbuf)의 제어신호(SW1, SW2)의 스위치 동작에 의해 아날로그 메모리(211) 상에 화소값(Vin(n))을 노이즈 보상 버퍼 회로(Nbuf)에 기억시킨다. 동시에 회로의 입력쪽의 고르지 못함과 노이즈 보상 버퍼 회로(Nbuf) 내부의 증폭기의 오프셋을 보상한다(노이즈 보상동작).

구간(B): 쉬프트 레지스터로부터의 입력제어신호(SWi)를 H로 함으로써 아날로그 메모리(211)의 정보를 다음 시각의 정보(Vin(n+1))로 갱신한다. 동시에 노이즈 보상 버퍼 회로(Nbuf)에서는,

$$V_{out} = V_{in(n)} - V_{in(n+1)} + V_{ref}$$

의 계산이 이루어진다. 즉, 현재 시각(n+1)의 화소정보와 1시각 전(n)의 화소정보와의 차(差)에 비례한 출력이 얻어지고 있다. 출력제어신호(SWo)를 H로 함으로써 노이즈 보상 버퍼 회로(Nbuf) 출력을 읽어낸다.

구간(A'): 다시, 제어신호(SW1, SW2)의 스위치 동작을 함으로써 아날로그 메모리(211) 상에 화소정보(Vin(n+1))를 노이즈 보상 버퍼 회로(Nbuf)에 기억시키고, 노이즈 보상 버퍼 회로(Nbuf)에서 노이즈 보상동작을 행한다.

이하 같은 동작을 반복함으로써, 프레임간 차분 출력을 출력할 수 있다.

#### 4. 멀티 칩 시스템의 구성 예

도17에 멀티 칩 시스템의 구성도의 한 예를 나타내었다.

여기에서는, 상술한 바와 같은 칩 회로 예로서 들은,

- 화상취득+ 평활화 칩(1)
- 윤곽강조 칩(2)
- 움직임 검출 칩(3)

을 멀티 칩 시스템으로서 구성한다.

여기에서는 화상취득+ 평활화 칩(1), 윤곽강조 칩(2), 움직임 검출 칩(3)의 순으로 직렬로 접속한 회로예에 대해서 설명한다.

우선, 초기 단계의 평활화 칩(1)에서는 입력화상의 취득 및 입력화상의 평활화를 행한다. 도17(A)에 나타낸 바와 같이 사과 화상이 평활화 칩(1)에 투영되었을 때, 화상에 포함되는 공간 노이즈 성분을 평활화한 출력이 얻어진다.

초기 단계의 평활화 칩(1)의 출력이 2단계의 윤곽강조 칩(2)으로 입력된다. 2단계의 윤곽강조 칩(2)에서는 평활화 화상을 이용한 윤곽강조 처리가 행해지기 때문에, 라플라시안-가우시안형 필터가 형성되고, 입력화상의 평활화와 윤곽강조가 이루어진 출력이 얻어진다. 도17(B)에 나타내어져 있는 바와 같이 사과 윤곽이나 잎의 줄기 등의 특징량이 강조되어 있는 것을 알 수 있다.

2단계의 윤곽강조 칩(2)의 출력이 3단계의 움직임 검출 칩(3)으로 입력된다. 3단계의 움직임 검출 칩(3)에서는 입력화상의 윤곽을 강조한 화상이 움직인 부분을 검출할 수 있다. 사과가 왼쪽에서 오른쪽으로 수평으로 움직였을 때, 도17(C)와 같이 사과가 움직인 방향의 윤곽의 출력이 낮고(흑), 그 반대쪽의 윤곽의 출력이 높게(백) 나타나고, 움직임이 없는 수직방향으로는 거의 응답하고 있지 않음을 알 수 있다.

이와 같이 칩 시스템을 구성함으로써 「평활화 화상」 「윤곽강조 화상」 「움직임 화상」을 병렬로 출력할 수 있다.

다음에, 도18에 멀티 칩 시스템에 의한 양안 입체시각 시스템의 구성도의 한 예를 나타내었다.

도면에 나타낸 바와 같이, 화상취득용 타입 1의 칩(51, 52)을 2개 준비함으로써 양안 입체시각이라는 복잡한 화상 처리 시스템에도 대응할 수 있다.

2개의 타입 1 칩(51, 52)의 출력을 복수의 시각기능 칩(53, 54, 55, 56)에 입력하여 병렬로 시각정보를 꺼낸다. 그 후, 이들 정보를 통합함으로써 일반적인 직렬화상 처리계가 서툴러 하는 대응점 문제를 고정밀도, 고속으로 해결하는 것이 가능해진다.

여기에서는, 시각기능 칩(53, 56)은 상술한 움직임 검출 칩으로서 기능하고, 시각기능 칩(54, 55)은 상술한 윤곽강조 칩으로서 기능한다. 또한, 시각기능 칩(57)은 움직임 검출 칩을 응용하여, 2개의 각 시각기능 칩(54, 55)의 출력을 입력함으로써, 그 차분을 검출하는 기능을 갖는다.

## 5. 회로 예

도19에 액티브 픽셀 센서의 회로도의 한 예를 나타내었다.

이 예에서는, 포토 센서를 전하축적형으로 사용하고, 출력에 소스 폴로워(source follower) 회로를 부가함으로써, 액티브 픽셀 센서(APS)의 구성이 된다. 초기화시에, 출력이 MOS의 역치분 만큼 내려가기 때문에, 소스 폴로워 회로에는 PMOS 소스 폴로워(PSF)를 이용한다.

도20에 노이즈 보상 버퍼 회로도 및 제어신호의 타이밍 차트의 한 예를 나타내었다.

노이즈 보상 버퍼 회로(Noise Compensation Buffer)는, 소자의 고르지 못함으로 인한 회로 노이즈를, 내장되어 있는 용량에 기억시킴으로써 보상하는 회로이다(T. Sibano, K. Iizuka, M. Miyamoto, M. Osaka, R. Miyama and A. Kito, "Matched Filter for DS-CDMA of up to 50MChip/s Based on Sampled Analog Signal Processing", ISSCC Digest of Tech. Papers, pp. 100-101, Feb. 1997. 참조).

도면의 제어신호의 타이밍 차트에 따라, 동작을 설명한다.

① (SW1 : ON, SW2 : ref에 접속)

이 때, 입력  $V(in) = Vin0 + VN0$

(여기에서,  $Vin0$ : 전 단계에 있는 회로로부터의 입력신호의 초기값,  $VN0$ : 전 단계의 회로 노이즈)

AMP의 반전 노드의 전압  $V(in-) = V(ref) + Voff$

(여기에서,  $Voff$ : AMP의 오프셋 전압)

AMP의 반전 노드에 축적된 전하

$$Q = C1(V(ref) + Voff - Vin0 - VN0) + C2(V(ref) + Voff - V(ref)) \quad (3)$$

② (SW1 : OFF, SW2 : ref에 접속)

이 때, AMP의 반전 노드가 플로팅 상태가 되어, 전하가 그대로 유지된다.(여기까지의 동작을 리셋 동작이라 한다)

③ (SW1 : OFF, SW2 : AMP의 출력에 접속)

이 때, 입력  $V(in) = Vin1 + VN1$ 에 변화.

(여기에서,  $Vin1$ : 전 단계에 있는 회로로부터의 입력신호,  $VN1$ :  $Vin1$  입력시의 전 단계의 회로 노이즈)

AMP의 반전 노드에 축적된 전하

$$Q = C1(V(ref) + Voff - Vin1 - VN1) + C2(V(ref) + Voff - V(out)) \quad (4)$$

(3), (4)로부터,

$$V(out) = -(C1/C2)(Vin1 - Vin0 + VN1 - VN0) + V(ref)$$

따라서, 전 단계 회로에 있어서의 회로 노이즈가 일정( $VN0 = VN1$ )하다면, 출력( $V(out)$ )은 자신 AMP의 오프셋뿐만 아니라 전 단계의 회로 노이즈의 영향을 받지 않고, 입력전압의 변화분에 비례한 것이 된다.



게다가, 노이즈 보상 버퍼 회로의 동작영역은, 이용하는 AMP의 동작영역에 의존한다. 사용하는 AMP마다의 동작 영역은 하기와 같다.

- 트랜스 컨덕턴스 증폭기(AMP1): 입력의 음의 변화에 대해 동작
- 트랜스 컨덕턴스 증폭기(AMP2): 입력이 양의 변화에 대해 동작
- 와이드렌지 증폭기: 입력의 음양 양쪽 변화에 대해 동작

도21에 저항회로망의 회로도 및 설명도를 나타내었다.

상기 도면을 이용하여, 저항회로망에 의한 초병렬 화상연산에 대해서 설명한다(C. Mead, "Analog VLSI and Neural Systems", Addison-Wesley, Reading, MA, 1989., 및 T. Yagi, S. Ohshima and Y. Funahashi, "The role of retinal bipolar cell in early vision: an implication with analogue networks and regularization theory", Biol. Cybern, 77, pp163-171, 1997. 참조). 저항회로망의 출력전압의 분포는 입력전압을 평활화한 것이 된다. 저항회로망에 있어서의 전압분포는 점점(노드)수가 충분히 많은 경우 하기와 같이 생각할 수 있다.

도21(A)의 저항회로망의 개략도에 따라 설명한다.

$k=0$ 에 있어서의 입력전압  $V_k = V_0$ 으로 하고, 그 이외는 0으로 한다(공간 임펄스 입력). 이 입력에 대한 저항회로망의 응답전위  $V_{1k}$ 는,

$$V_{1k} = B_1 V_0 \gamma_1^{|k|} \quad \text{식1}$$

$$B_1 = 1/\sqrt{4L_1^2+1} \quad L_1 = \sqrt{Rm/Rs}$$

$$\gamma_1 = 1 + 1/(2L_1^2) - \sqrt{1/L_1^2 + 1/(4L_1^4)}$$

여기에서,

이 된다. 이 식은, 출력신호가 신호원( $k=0$ )으로부터 멀어짐에 따라 지수 함수적으로 감쇠하는 것을 나타내고 있다.

또한,  $L_1$ 은 저항회로망의 공간정수라 불리고, 이 수치가 큰 만큼 신호가 넓게 전달된다.

도21(B)에 공간 임펄스 입력시의 출력전압분포를 2종류의 공간정수에 대해서 계산한 결과를 나타내었다. 실선은  $L_1=\sqrt{(10/6)}$ , 점선은  $\sqrt{(10/1)}$ 이다. 양자는 함께 신호원으로부터 멀어짐에 따라 지수 함수적으로 매끄럽게 감쇠하고 있다. 또한, 공간정수가 큰 점선 쪽이 출력이 넓게 전파하고 있음을 알 수 있다.

입력의 입력전위분포  $V_i$ 에 대한 응답은 식1에 있어서의  $V_k=1$ 로 했을 때의 응답과

$V_i$ 의 공간 컨볼루션(convolution) 적분에 의해

$$V_{1k} = B_1 \sum_{i=-\infty}^{\infty} V_i \gamma_1^{|k-i|}$$

로 나타내어진다.

즉 화상처리의 구성회로로서 이용하는 경우,

- 입력부에 광 센서 어레이 또는 화소 메모리를 배열함으로써 입력화상의 평활화 처리를 초병렬로 고속으로 계산할 수 있다.
- 저항소자를 가변저항으로 구성함으로써 평활화 영역을 자유롭게 조절할 수 있다.

### 산업상의 이용가능성

본 발명은 이상과 같이, 하나의 칩으로 실행하려고 하고 있는 처리를 복수의 칩으로 나누어 행하는, 소위 「멀티 칩 시스템」의 구성을 취함으로써, 초병렬의 회로구조로 화상처리 등의 각종 처리를 행하고, 실시간으로 화상처리 등의 각종 처리를 실행할 수 있다. 또한, 본 발명에 의하면, 예를 들어 CMOS를 이용한 저가, 소형, 저소비전력 시스템을 제공할 수 있다. 게다가, 본 발명에 의하면, 아날로그 특유의 로바스트성 시스템을 제공할 수 있다.

### (57) 청구의 범위

**청구항 1.**

입력된 광신호를 전기신호로 변환하는 광 센서와, 상기 광 센서로부터의 출력에 대해 제1 아날로그 처리를 실행하여 아날로그 화상정보를 출력하는 제1 처리회로를 갖는 제1 화소회로; 및

상기 제1 화소회로의 상기 제1 처리회로로부터 아날로그 화상정보를 입력하여 기억하는 제2 아날로그 메모리와, 상기 제2 아날로그 메모리로부터 화상정보를 읽어내어 제2 아날로그 처리를 실행하여 아날로그 화상정보를 출력하는 제2 처리회로를 갖고, 상기 제1 화소회로에 대응하여 설치된 제2 화소회로로 이루어지고,

상기 제1 및 제2 화소회로가 각각 매트릭스상으로 배치되어 각각 제1 및 제2 칩이 형성되고, 상기 제1 및 제2 처리회로는 각각의 상기 제1 및 제2 칩에 있어서의 근방의 제1 및 제2 처리회로로부터 각각 아날로그 신호를 받아 특성을 보상하고, 제1 및 제2 아날로그 처리를 병렬 연산에 의해 실행하는 것을 특징으로 하는 화상검출 처리장치.

**청구항 2.**

제1항에 있어서, 상기 제2 화소회로의 상기 제2 처리회로로부터 아날로그 화상정보를 입력하여 기억하는 제3 아날로그 메모리와, 상기 제3 아날로그 메모리로부터 화상정보를 읽어내어 제3 아날로그 처리를 실행하여 아날로그 화상정보를 출력하는 제3 처리회로를 갖고, 제1 및 제2 화소회로에 대응하여 설치된 제3 화소회로를 더 갖추고, 상기 제3 화소회로가 매트릭스상으로 배치되어 제3 칩이 형성되고, 상기 제3 처리회로는 상기 제3 칩에 있어서의 근방의 제3 처리회로로부터 각각 아날로그 신호를 받아 특성을 보상하고, 제3 아날로그 처리를 병렬 연산에 의해 실행하는 것을 특징으로 하는 화상검출 처리장치.

**청구항 3.**

제2항에 있어서, 상기 제1 칩은 화상취득 및 취득된 화상정보의 평활화 처리를 실행하고, 상기 제2 칩은 상기 제1 칩으로부터의 화상정보에 대해 윤곽강조 처리를 실행하고, 상기 제3 칩은 상기 제2 칩으로부터의 화상정보에 대해 움직임 검출 처리를 실행하는 것을 특징으로 하는 화상검출 처리장치.

**청구항 4.**

제1항 내지 제3항의 어느 한 항에 있어서, 상기 제1 칩은,

상기 제1 화소회로를 순차적으로 선택하여 병렬 연산된 출력을 읽어내는 수평 쉬프트 레지스터 및 수직 쉬프트 레지스터;

어느 한 상기 제1 화소회로로부터의 아날로그 출력을 선택하는 스위치; 및

상기 스위치에 의해 선택된 아날로그 출력의 출력용 버퍼;

를 더 포함하는 것을 특징으로 하는 화상검출 처리장치.

**청구항 5.**

제1항 내지 제4항의 어느 한 항에 있어서, 상기 제2 칩은,

상기 제2 화소회로를 순차적으로 선택하여 병렬 연산된 출력을 읽어내는 수평 쉬프트 레지스터 및 수직 쉬프트 레지스터;

어느 한 상기 제2 화소회로로부터의 아날로그 출력을 선택하는 스위치;

상기 스위치에 의해 선택된 아날로그 출력을 일시 축적하는 출력용 버퍼; 및

상기 제2 화소회로의 아날로그 입력의 입력용 버퍼;

를 더 포함하는 것을 특징으로 하는 화상검출 처리장치.

**청구항 6.**

제1항 내지 제5항의 어느 한 항에 있어서, 상기 제1 화소회로는,

상기 광 센서가 제어신호에 의해 광신호를 전기신호로 변환하는 액티브 픽셀 센서를 포함하고,

상기 제1 처리회로가,

자신들의 상기 제1 화소회로의 상기 액티브 픽셀 센서로부터의 아날로그 신호와, 근방의 제1 화소회로로부터의 아날로그 신호가 입력되고, 상기 액티브 픽셀 센서로부터의 아날로그 입력화상의 평활화를 행하는 저항회로망;

상기 저항회로망으로부터의 아날로그 신호가 입력되어 아날로그 연산을 행하고, 제어신호에 의해 입력쪽 회로소자 특성의 고르지 못함과 내부의 증폭기의 오프셋을 보상하고, 회로 노이즈를 보상하는 노이즈 보상 버퍼 회로; 및

상기 노이즈 보상 버퍼 회로로부터의 아날로그 신호를 출력하기 위한 스위치;

로 이루어지고, 화상신호의 취득 및 평활화 처리를 행하는 것을 특징으로 하는 화상검출 처리회로.

### 청구항 7.

제1항 내지 제6항의 어느 한 항에 있어서, 상기 제2 화소회로는, 상기 제1 화소회로로부터의 화소신호의 입력을 제어하는 제1 스위치를 더 포함하고, 상기 제2 아날로그 메모리가 내부의 콘텐서에 아날로그 화상을 기억하고,

상기 제2 처리회로는,

자신들의 상기 제2 화소회로의 상기 제2 아날로그 메모리로부터의 아날로그 신호와, 근방의 제2 화소회로로부터의 아날로그 신호가 입력되고, 상기 제2 아날로그 메모리로부터의 아날로그 입력화상의 평활화를 행하는 저항회로망;

상기 저항회로망의 입력 및 출력의 아날로그 신호가 제어신호에 의해 전환 입력되어 아날로그 연산을 행하고, 입력쪽 회로소자 특성의 고르지 못함과 내부의 증폭기의 오프셋을 보상하고, 회로 노이즈를 보상하는 노이즈 보상 버퍼 회로; 및

상기 노이즈 보상 버퍼 회로로부터의 아날로그 신호를 출력하기 위한 스위치;

를 포함하고, 윤곽강조 처리를 행하는 것을 특징으로 하는 화상검출 처리회로.

### 청구항 8.

제2항 내지 제7항의 어느 한 항에 있어서, 상기 제3 화소회로는,

상기 제2 화소회로로부터의 화소신호의 입력을 제어하는 제1 스위치를 더 포함하고, 상기 제3 아날로그 메모리가 내부의 콘텐서에 아날로그 화상을 기억하고,

상기 제3 처리회로가,

제어신호에 의해 상기 아날로그 메모리로부터 화상정보를 읽어내고, 현재의 화상정보와 1시간 전의 화상정보와의 차에 비례한 아날로그 신호를 출력하고, 그리고 입력쪽 회로소자 특성의 고르지 못함과 내부의 증폭기의 오프셋을 보상하고, 회로 노이즈를 보상하는 노이즈 보상 버퍼 회로; 및

상기 노이즈 보상 버퍼 회로로부터의 아날로그 신호를 출력하기 위한 제2 스위치;

로 이루어지고, 움직임 검출 처리를 행하도록 한 것을 특징으로 하는 화상검출 처리회로.

### 청구항 9.

제2항 내지 제8항의 어느 한 항에 있어서, 화상취득 및 평활화 처리를 실행하는 상기 제1 칩과, 상기 제1 칩 출력에 대해, 움직임 검출 처리를 실행하는 상기 제2 칩과, 윤곽강조 처리를 출력하는 상기 제3 칩을 갖고, 각각 왼쪽 눈 및 오른쪽 눈에 대응하는 화상처리를 실행하는 왼쪽 눈용 칩 및 오른쪽 눈용 칩;

왼쪽 눈 및 오른쪽 눈에 대응하는 상기 제2 칩으로부터의 출력에 대해, 시차를 구하는 처리를 실행하는 제4 칩; 및

상기 제1부터 제4 칩의 출력을 통합하는 통합부;

로 이루어지는 것을 특징으로 하는 화상검출 처리회로.

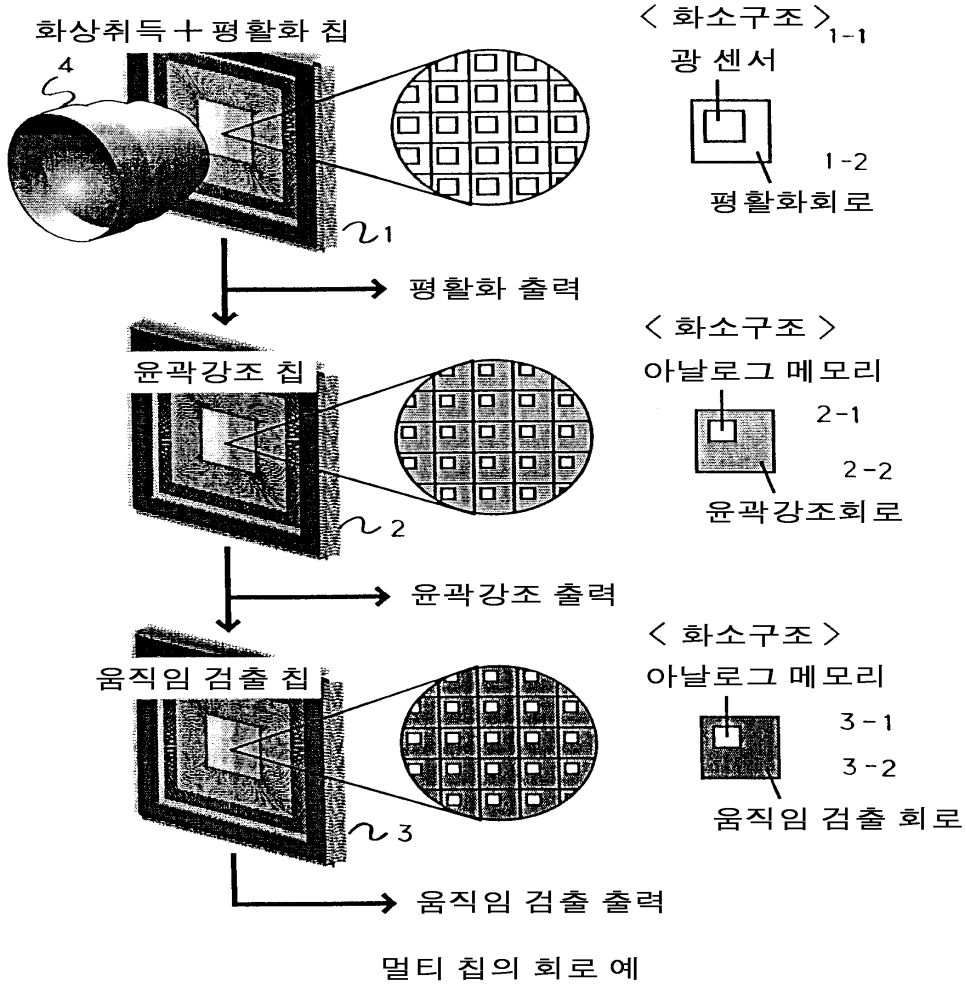
### 요약

멀티 칩 시스템을 채용하고, 초병렬의 회로구조로 화상처리 등의 각종 처리를 행하고, 실시간으로 화상처리 등의 각종 처리를 실행한다. 광학계(4)로부터 화상정보가 입력되고, 1단계의 평활화 칩(1)은, 광 센서 회로(1-1)와 평활화 회로(1-2)를 갖추으로써 입력화상의 평활화를 행한다. 2단계 이후의 윤곽강조 칩(2), 움직임 검출 칩(3)의 각 화소는 각각 아날로그 메모리(2-1, 3-1)와 윤곽강조 회로(2-2), 움직임 검출 회로(3-2)를 갖춘다. 아날로그 메모리(2-1, 3-1)는 전 단계로부터의 아날로그 정보를 일시 기억한다. 윤곽강조 회로(2-2), 움직임 검출 회로(2-3)는 각각 아날로그 메모리(2-1, 3-1)의 정보를 읽어 들인다(필요에 따라 써넣는 것도 가능). 여기에서는 2단계의 윤곽강조

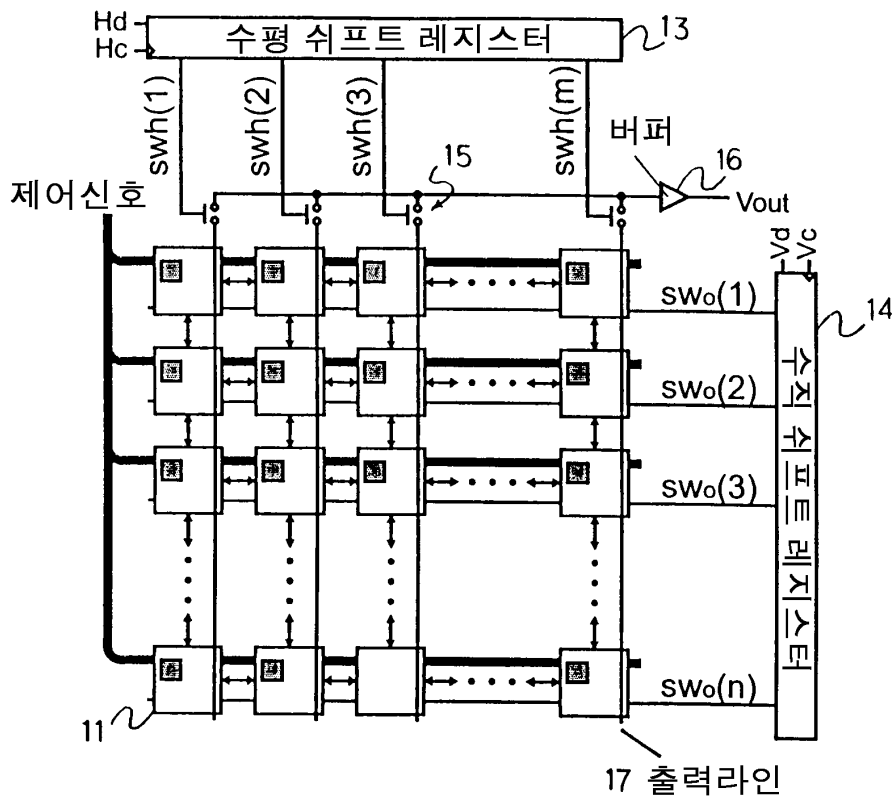
칩(2)으로부터는 윤곽 강조된 화상정보가 출력되고, 3단계의 움직임 검출 칩(3)으로부터는 움직임 검출된 결과가 출력된다.

도면

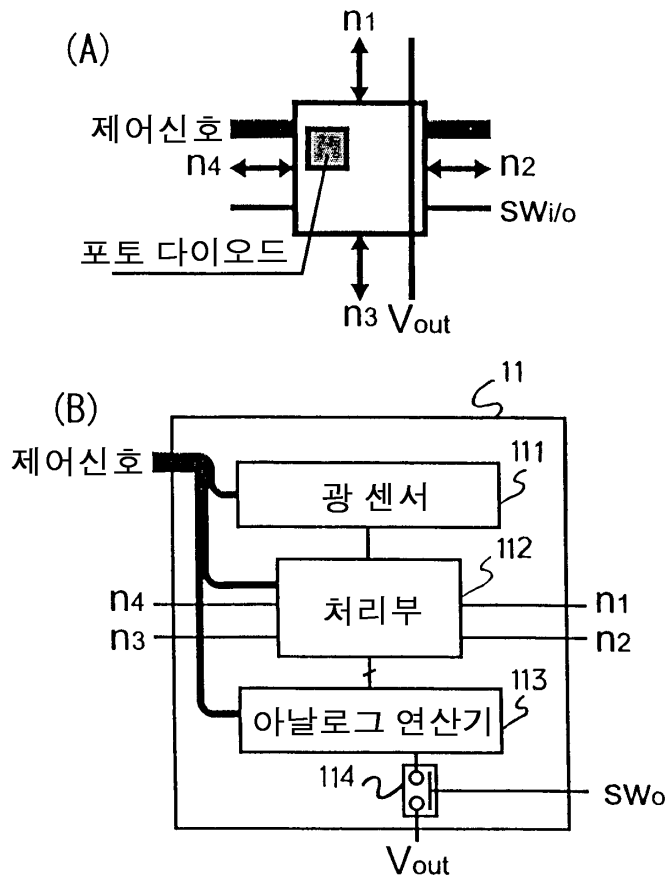
도면1



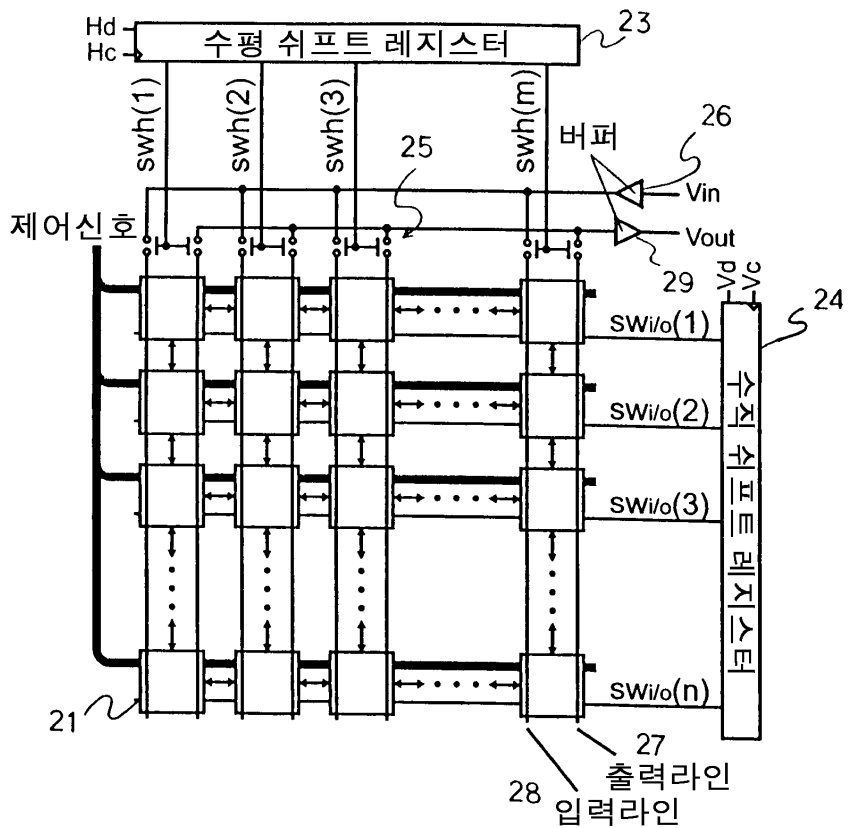
도면2



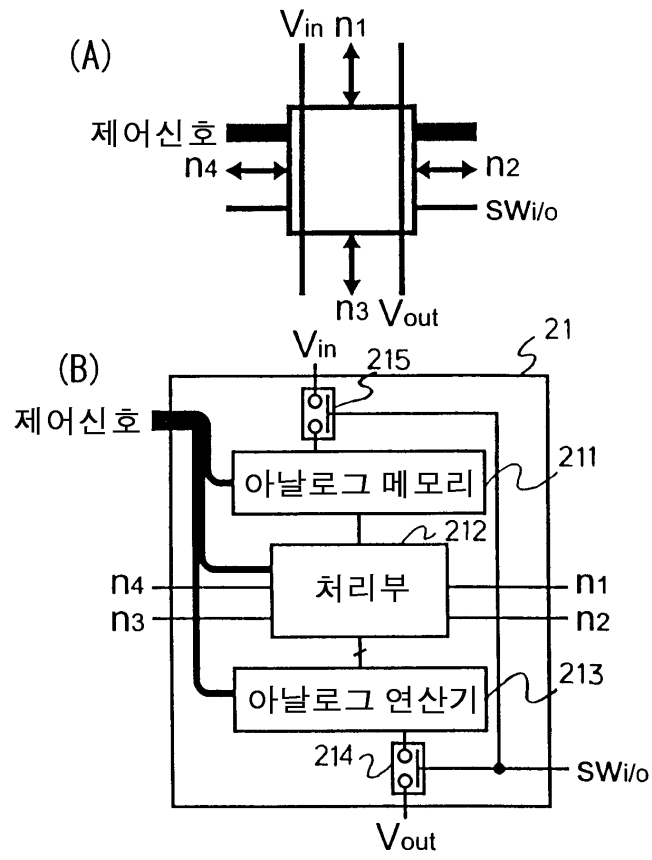
도면3



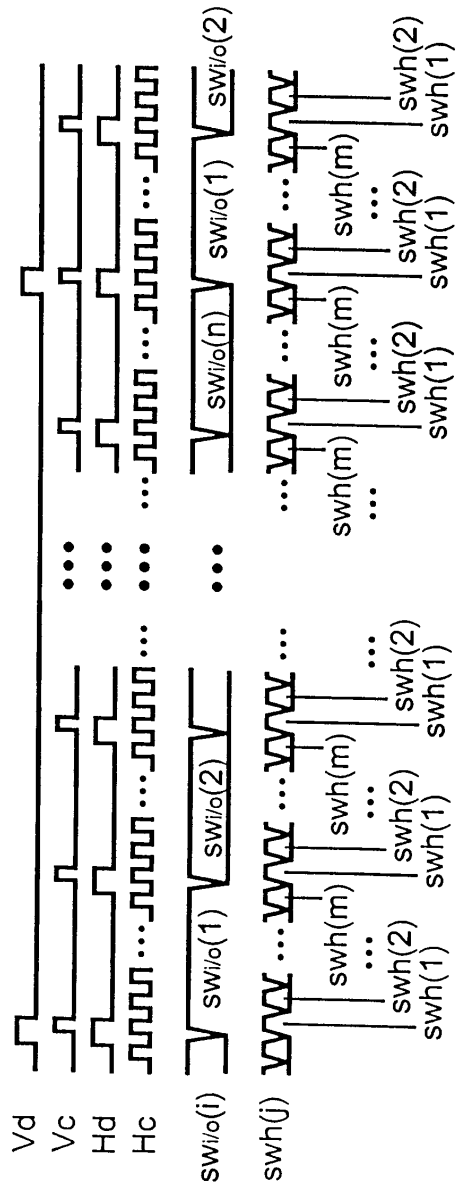
도면4



도면5

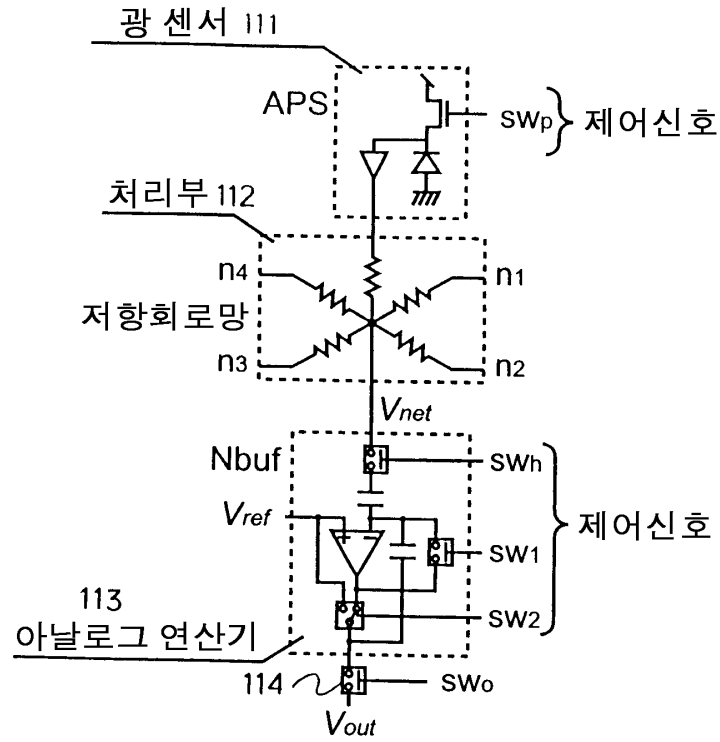


도면6

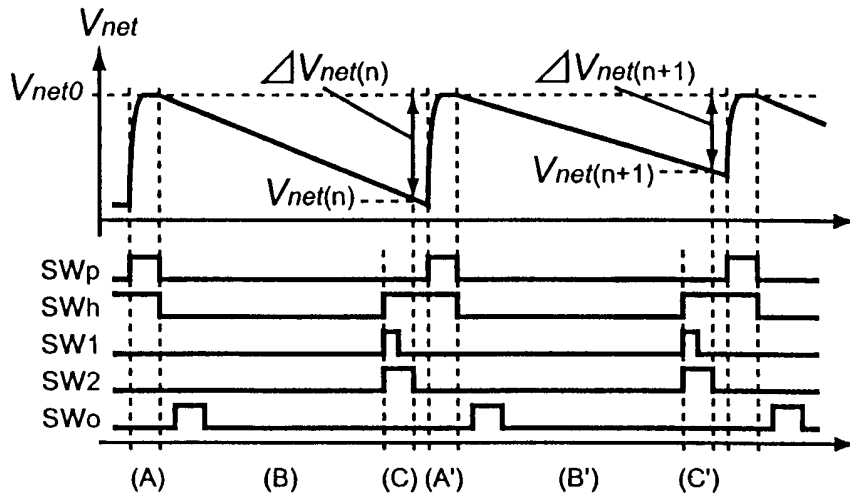




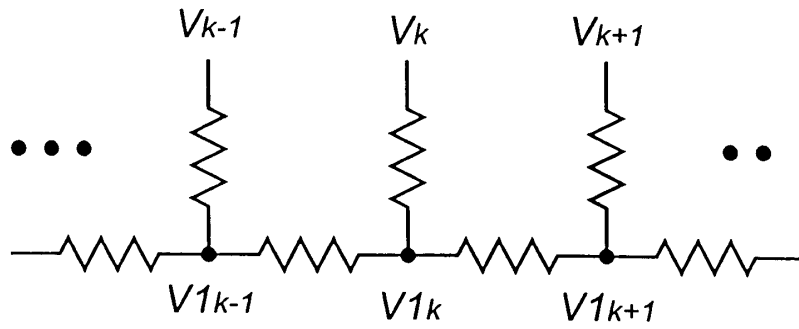
도면7



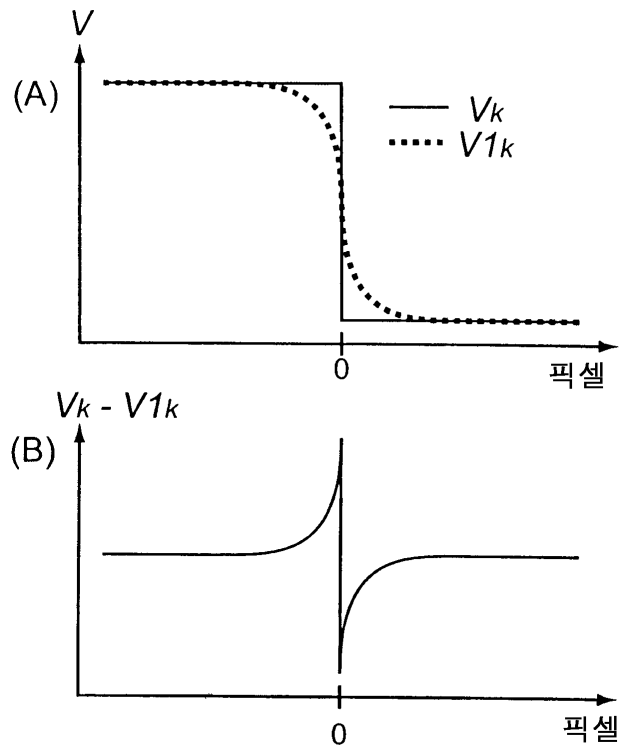
도면8



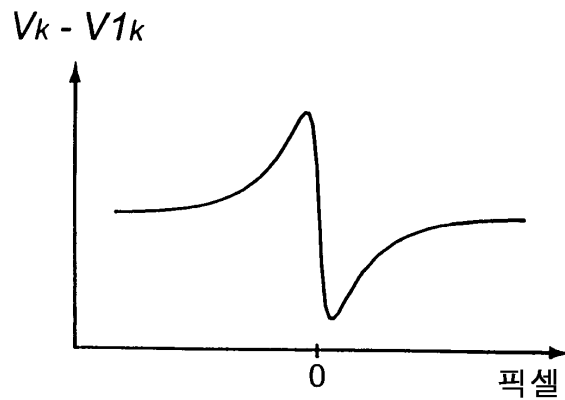
도면9



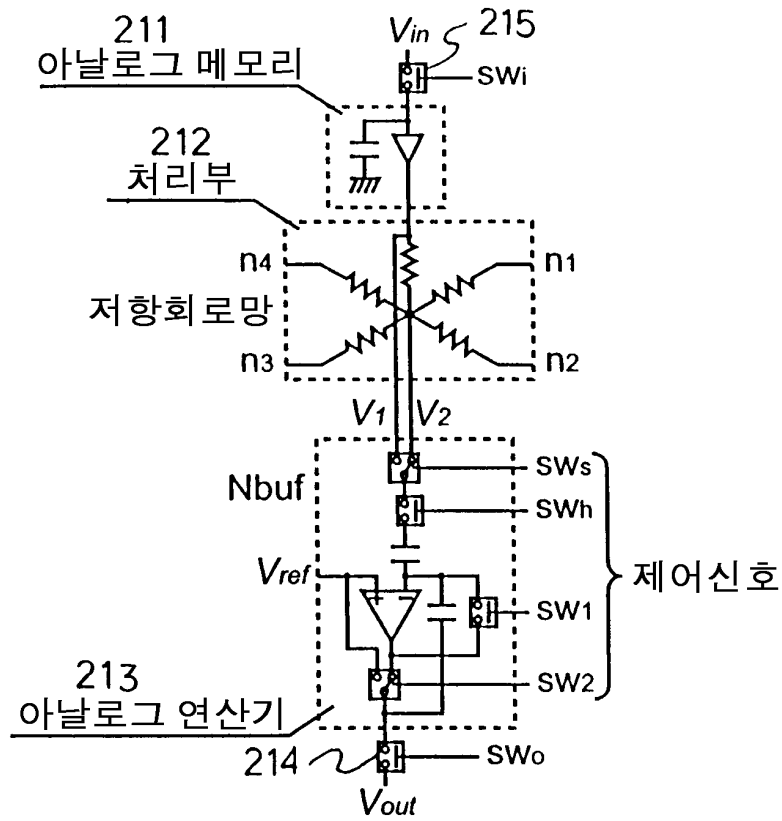
도면10



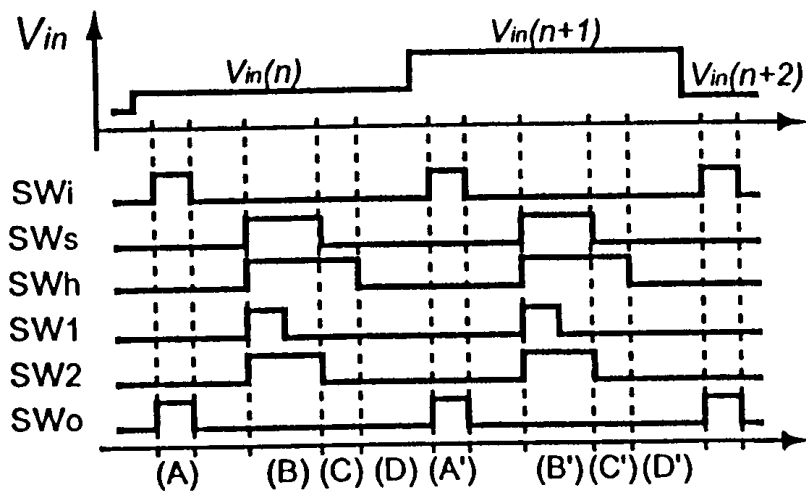
도면11



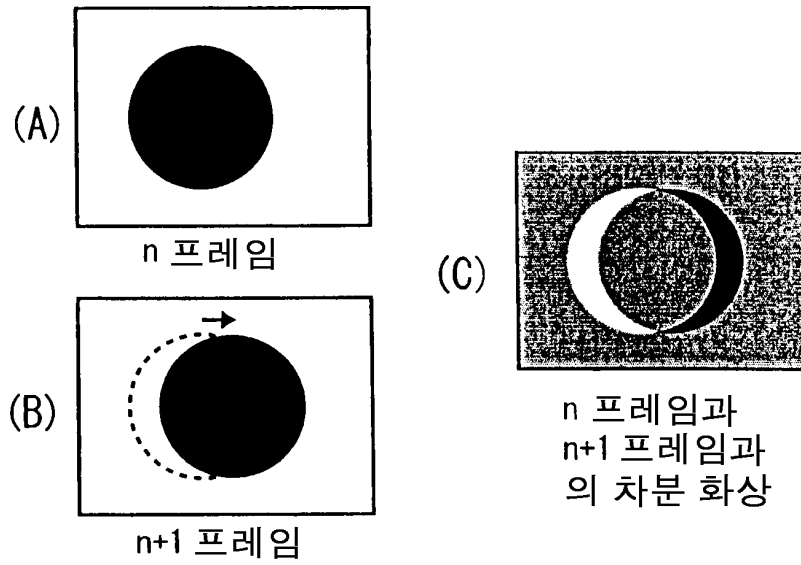
도면12



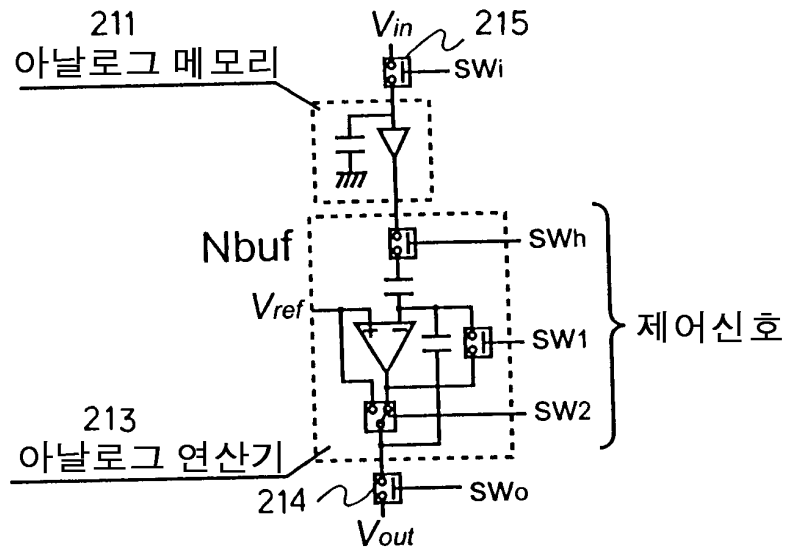
도면13



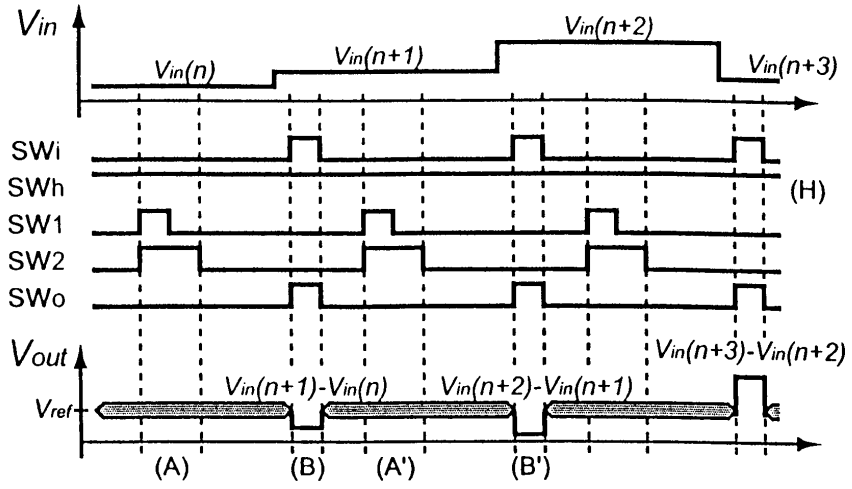
도면14



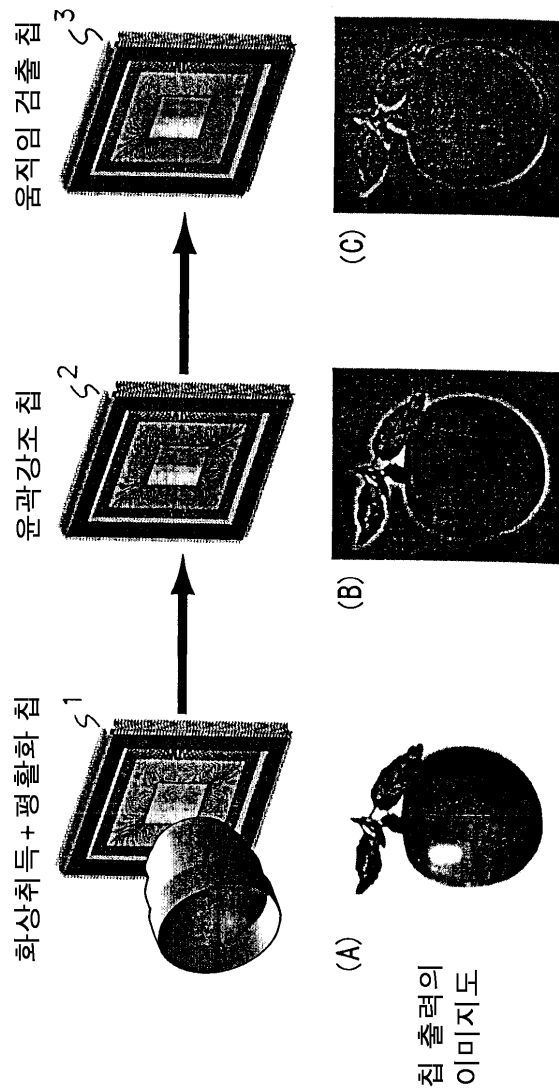
도면15



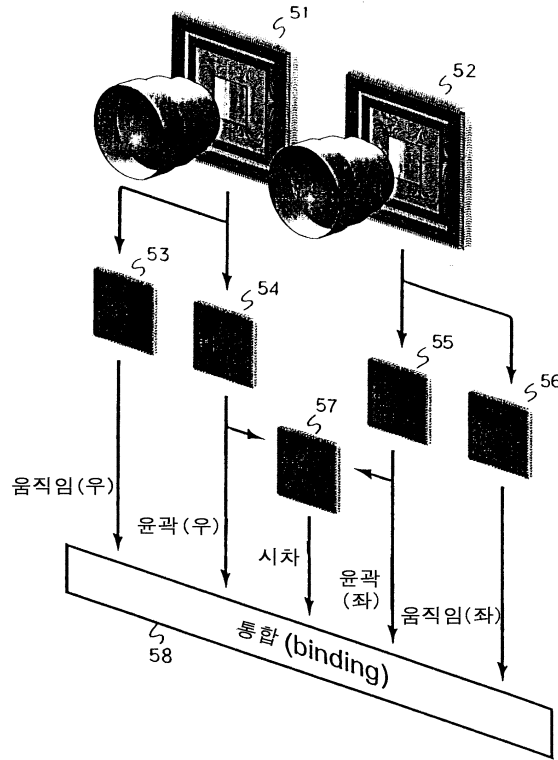
도면16



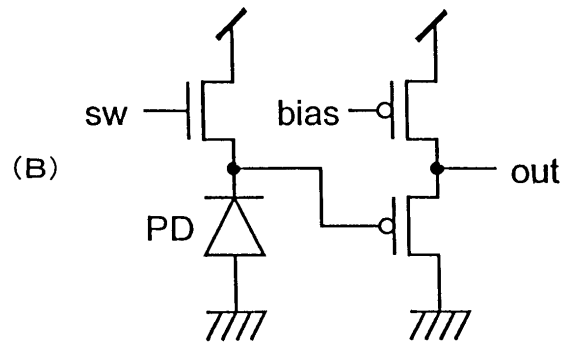
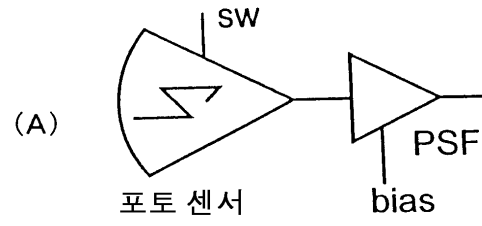
도면17



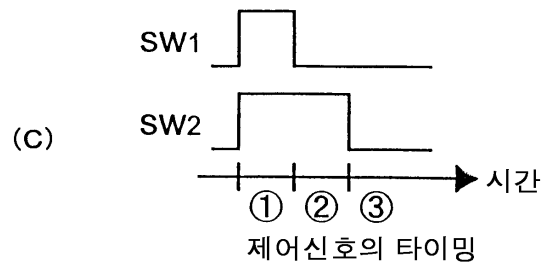
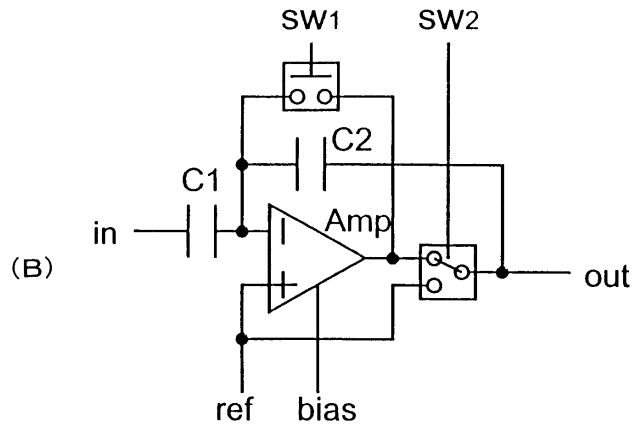
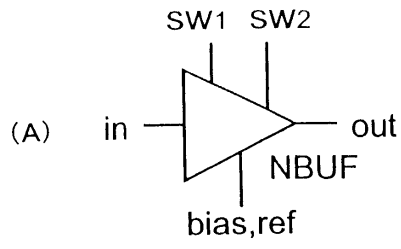
도면18



도면19

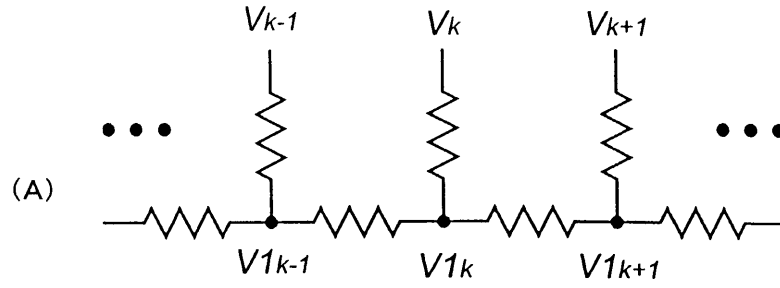


도면20

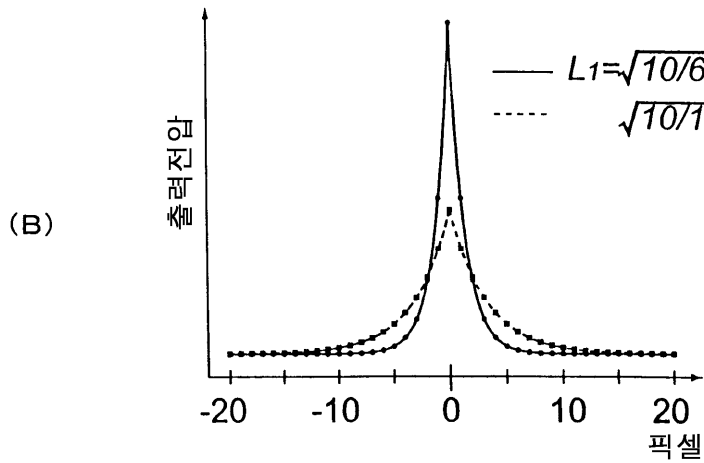




도면21

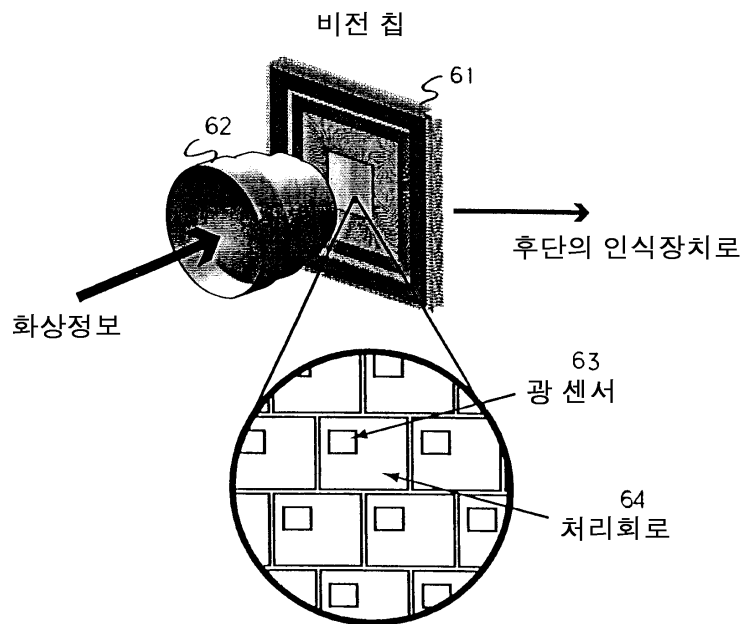


저항회로망의 개략도



저항회로망의 공간 임펄스  
입력시의 출력전압분포

도면22



도면23

