



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.	(45) 공고일자	2007년07월12일
H01L 27/10 (2006.01)	(11) 등록번호	10-0738852
	(24) 등록일자	2007년07월06일

(21) 출원번호	10-2005-7017467	(65) 공개번호	10-2005-0106121
(22) 출원일자	2005년09월16일	(43) 공개일자	2005년11월08일
심사청구일자	2005년10월18일		
번역문 제출일자	2005년09월16일		
(86) 국제출원번호	PCT/JP2004/002889	(87) 국제공개번호	WO 2004/084322
국제출원일자	2004년03월05일	국제공개일자	2004년09월30일

(30) 우선권주장      JP-P-2003-00071584      2003년03월17일      일본(JP)

(73) 특허권자      도쿠리쓰교세이호징 가가쿠 기주쓰 신코 기코  
일본 사이타마켄 가와구치시 혼쵸 4쵸메 1반 8고

(72) 발명자      이시다 마코토  
일본 아이치켄 도요하시시 노요리다이 1쵸메 13방 3고

사와다 가즈아키  
일본 아이치켄 도요하시시 오가사키쵸 우에하라 1쵸메 3방1-304고

아카이 다이스케  
일본 아이치켄 도요하시시 덴파쿠쵸 아자 무즈미 37반치 2고와사구리케 슈쿠

요카와 미카코  
일본 아이치켄 도요하시시 우에노쵸 우에하라 135반치 2-비고시즈

히라바야시 게이스케  
일본 아이치켄 도요하시시 아케보노쵸 아자 미나미마츠바라160반치 에 이-108 교시즈

(74) 대리인      특허법인코리아나

(56) 선행기술조사문헌	
KR1019990000636 A	KR1020010112611 A
JP09-089651 A	JP2002-299582 A
JP2002-299581 A	JP2002-110932 A

심사관 : 정병홍

전체 청구항 수 : 총 6 항

(54) 반도체 메모리 소자 및 초음파 센서

(57) 요약

하부 전극을 가지는 MFMS 구조가 집적 회로와 집적될 수 있는 반도체 소자, 반도체 센서 및 반도체 메모리 소자가 제공된다.  $\gamma$ - $\text{Al}_2\text{O}_3$  단결정막 (2) 이 반도체 단결정 기판 (1) 상에 에피택셜 성장되며, 단결정 Pt 박막 (3) 이 상기  $\gamma$ - $\text{Al}_2\text{O}_3$  단결정막 (2) 상에 에피택셜 증착된다.

도 1

도 4

특허청구의 범위

**청구항 1.**

FET 구조를 가지는 반도체 단결정 기판상에 에피택셜 성장된  $\gamma$ - $\text{Al}_2\text{O}_3$  단결정막;

상기  $\gamma$ - $\text{Al}_2\text{O}_3$  단결정막상에 배치된 에피택셜 단결정 Pt 박막;

상기 에피택셜 단결정 Pt 박막상에 배치된 고배향된 강유전체 박막; 및

상기 강유전체 박막상에 배치된 상부전극을 포함하며,

메모리 기능을 가지는 것을 특징으로 하는 반도체 메모리 소자.

**청구항 2.**

삭제

**청구항 3.**

제 1 항에 있어서,

Si 단결정 기판이 상기 반도체 단결정 기판으로서 이용되는 것을 특징으로 하는 반도체 메모리 소자.

**청구항 4.**

제 3 항에 있어서,

상기 Si 단결정 기판의 표면은 (001) 면인 것을 특징으로 하는 반도체 메모리 소자.

**청구항 5.**

제 1 항, 제 3 항 또는 제 4 항 중 어느 한 항에 있어서,

$\text{BaMgF}_4$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ ,  $(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}$ ,  $\text{BaTiO}_3$ ,  $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $\text{PbTiO}_3$ ,  $\text{Pb}_y\text{La}_{1-y}\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$  및  $\text{ZnO}$  중 어느 하나로 이루어진 박막이 상기 강유전체 박막으로서 이용되는 것을 특징으로 하는 반도체 메모리 소자.

## 청구항 6.

반도체 단결정 기판상에 에피택셜 성장된  $\gamma$ - $\text{Al}_2\text{O}_3$  단결정막;

상기  $\gamma$ - $\text{Al}_2\text{O}_3$  단결정막상에 배치된 에피택셜 단결정 Pt 박막;

상기 에피택셜 단결정 Pt 박막상에 배치된 고배향된 강유전체 박막; 및

상기 강유전체 박막상에 배치된 상부 전극을 포함하며,

상기 반도체 단결정 기판은 공진 주파수를 조정하도록 처리되고, 초음파가 검출되는 것을 특징으로 하는 초음파 센서.

## 청구항 7.

제 6 항에 있어서,

상기 반도체 단결정 기판은 SOI (Silicon On Insulator) 구조를 가지는 것을 특징으로 하는 초음파 센서.

## 청구항 8.

삭제

## 청구항 9.

삭제

## 청구항 10.

삭제

## 청구항 11.

삭제

명세서

기술 분야

본 발명은 반도체 메모리 소자 및 초음파 센서에 관한 것이다.

배경 기술

최근, 강유전성에 의해 나타나는, 예를 들어, 이력현상 (hysteresis), 초전도 효과 (pyroelectric effect), 압전 효과 (piezoelectric effect) 및 광전 효과 (electrooptical effect) 와 같은 특성을 이용하는 다양한 전자 장치들이 연구되고 있다. 무엇보다도, 비휘발성 메모리 소자 및 센서에 대한 금속/강유전체/금속/절연체/반도체 (Metal /Ferroelectric /Metal/ Insulator/Semiconductor: MFMS) 구조를 포함하는 장치의 애플리케이션이 기대된다.

이 구조에 대해, 강유전체 박막을 형성함으로써 장치 성능이 향상되고 크기가 소형화될 수 있는 것이 기대된다. 또한, 반도체 기판을 이용함으로써 집적 회로의 집적이 수행될 수 있다.

MFMIS 구조를 포함하는 장치에서, 강유전체로부터 신호를 유도하거나 강유전체에 신호를 제공하기 위해, 상부전극 및 하부전극이 필요하다. 예를 들어, 강유전체가 센서로 이용되는 경우, 강유전체에 가해진 물리적 효과로 인해 상부전극 및 하부전극에서 신호가 발생한다. 강유전체가 메모리 소자로서 이용되는 경우, 저장될 데이터에 따라 전기 신호들은 상부전극 및 하부전극으로부터 강유전체로 제공되어야 한다.

한편, 강유전체의 결정성은 장치의 성능을 결정하는 중요한 요소이다. MFMIS 구조에서 강유전체는 금속 전극 상에 형성되기 때문에, 전극 역시 양호한 결정성을 가질 것이 요구된다. 현재, 백금 (Pt) 이 전극을 위한 금속 물질로서 널리 이용된다.

센서 장치 분야에서는,  $Pb(Zr, Ti)O_3$  (PZT) 기반 강유전체 물질이 널리 이용된다. 전극 상의 결정면이 균일하게 (001) 면으로 이루어진 경우, PZT 기반 물질들은 가장 양호한 강유전체 특성을 나타내는 것으로 알려져 있다. PZT (001) 를 획득하기 위해, 하부전극의 Pt 는 (001) 면이 정렬된 단결정이어야 하며, 단결정 MgO (001) 기판이 현재 이러한 Pt 를 획득하기 위해 이용된다.

또한, Pt (111) 배향막 및 그 위에 PZT (111) 배향막은 실리콘 (Si) 기판의 표면에 실리콘 (Si) 산화막이 형성되고, 그 후 티타늄이 증착된 기판을 이용하여 제조될 수 있다.

[특허문헌 1]

일본 미심사 특허 출원 공개공보 제 2002-261249 호 (4 내지 5 페이지, 도 2)

[비특허문헌 1]

아카이 등의 증보 초록 (제 49 회 모임), 응용 물리에 관한 일본 모임 및 관련 모임 30a-ZA-6 (Japan Society of Applied Physics and Related Societies, 30a-ZA-6).

발명의 개시

상술한 바와 같이, 훌륭한 강유전체 특성을 나타내는 PZT (001) 을 포함하는 MFMIS 구조 및 집적 회로가 집적된 장치를 제조하기 위해, Pt (001) 을 형성할 수 있는 반도체 (예를 들어, Si) 기판이 요구된다. 한편, 현재 이용되는 단결정 MgO (001) 기판은 절연 물질이며, 상술한 요건을 충족할 수 없다.

또한, 상술한 특허 문헌 1 은, 반도체 기판상에 에피택셜 성장된  $\gamma$ -  $Al_2O_3$  단결정막 상의 고배향된 강유전체 박막을 순차적으로 증착하는 것을 특징으로 하는 반도체 메모리 소자를 개시한다. 그러나, 이 구조에 하부전극이 배치되지 않기 때문에, 이 반도체 메모리 소자는 반도체 센서 및 이와 유사한 것에 이용될 수 없다.

상술한 배경에 대한 고려를 통해, 본 발명의 목적은 하부전극을 가지는 MFMIS 구조 및 집적 회로가 집적될 수 있는 반도체 메모리 소자 및 초음파 센서를 제공하는 것이다.

상술한 목적을 달성하기 위해, 본 발명은 이하의 양태를 포함한다.

[1] 반도체 메모리 소자는 FET 구조를 가지는 반도체 단결정 기판상에 에피택셜 성장된  $\gamma$ -  $Al_2O_3$  단결정막, 이  $\gamma$ -  $Al_2O_3$  단결정막상에 배치된 에피택셜 단결정 Pt 박막, 이 에피택셜 단결정 Pt 박막상에 배치된 고배향된 강유전체 박막, 및 메모리 기능을 가지며, 상기 강유전체 박막상에 배치된 상부전극을 포함하는 것을 특징으로 한다.

[2] 상술한 항목 [1] 에 따른 반도체 메모리 소자는 Si 단결정 기판이 상술한 반도체 단결정 기판으로서 이용되는 것을 특징으로 한다.

[3] 상술한 항목 [2] 에 따른 반도체 메모리 소자는 상술한 Si 단결정 기판의 표면이 (001) 면인 것을 특징으로 한다.

[4] 상술한 항목 [1], [2], 또는 [3] 중 어느 한 항목에 따른 반도체 메모리 소자는  $BaMgF_4$ ,  $Bi_4Ti_3O_{12}$ ,  $(Bi,La)_4Ti_3O_{12}$ ,  $BaTiO_3$ ,  $Ba_xSr_{1-x}TiO_3$ ,  $SrBi_2Ta_2O_9$ ,  $PbTiO_3$ ,  $Pb_yLa_{1-y}Zr_xTi_{1-x}O_3$  및  $ZnO$  중 어느 하나로 이루어진 박막이 상술한 강유전체 박막으로서 이용되는 것을 특징으로 한다.

[5] 초음파 센서는 반도체 단결정 기판상에 에피택셜 성장된  $\gamma$ - $Al_2O_3$  단결정막, 이  $\gamma$ - $Al_2O_3$  단결정막상에 배치된 에피택셜 단결정 Pt 박막, 이 에피택셜 단결정 Pt 박막상에 배치된 고배향된 강유전체 박막, 및 이 강유전체 박막상에 배치된 상부 전극을 포함하며, 상술한 반도체 단결정 기판은 공진 주파수를 조정하도록 처리되고, 초음파가 검출되는 것을 특징으로 한다.

[6] 상술한 항목 [5] 에 따른 초음파 센서는 상술한 반도체 단결정 기판이 SOI (Silicon On Insulator) 구조를 가지는 것을 특징으로 한다.

삭제

삭제

삭제

삭제

삭제

도면의 간단한 설명

도 1 은 Pt 및  $\gamma$ - $Al_2O_3$  각각의 스피넬 (spinel) 구조에서 표면상의 원자 배열을 도시하는 도면이다.

도 2 는 본 발명에 따른 단결정  $\gamma$ - $Al_2O_3$  (001)/Si (001) 기판의 단면도이다.

도 3 은 본 발명에 따른 단결정  $\gamma$ - $Al_2O_3$  (001)/Si (001) 기판의 RHEED 패턴을 도시하는 도면이다.

도 4 는 본 발명의 실시예에 따른 Pt/ $\gamma$ - $Al_2O_3$  (001)/Si (001) 기판의 단면도이다.

도 5 는 본 발명의 실시예에 따른 Pt/ $\gamma$ - $Al_2O_3$  (001)/Si (001) 기판의 XRD 패턴을 도시하는 도면이다.

도 6 은 본 발명의 실시예에 따른 Pt/ $\gamma$ - $Al_2O_3$  (001)/Si (001) 기판의 RHEED 패턴을 도시하는 도면이다.

도 7 은 도 6 에 도시된 RHEED 패턴에서 점 (spot) 위치의 식별을 도시하는 도면이다.

도 8 은 비교예로서 Pt/사파이어 (10-12)/Si (001) 기판의 XRD 패턴을 도시하는 도면이다.

도 9 는 본 발명의 실시예에 따른 MFMS 유형 센서 (No. 1) 의 단면도이다.

도 10 는 본 발명의 실시예에 따른 MFMS 유형 센서 (No. 2) 의 단면도이다.

도 11 은 본 발명의 실시예에 따른, 트랜지스터와 함께 집적된 MFMS 유형 반도체 센서의 구성도이다.

도 12 는 본 발명의 예에 따른, 메모리 구조를 포함하는 MFMS 유형 반도체 메모리 소자의 단면도이다.

본 발명을 수행하기 위한 최상의 모드

본 발명을 이하에서 설명할 것이다.

본 발명에서, Si 기판 상에 단결정 절연막이 성장되고, 이 단결정 절연막 상에 Pt 전극이 형성된다. 즉, 단결정 절연막이 Si 기판과 Pt 전극 사이에 형성된다. 이러한 방식으로, 단결정 Pt 전극이 쉽게 제조되고, MFMS 구조가 구현될 수 있다. Si 기판상에 에피택셜 성장할 수 있는 절연막은  $\gamma\text{-Al}_2\text{O}_3$  로 이루어진다.

성층될 물질의 결정 구조 및 격자 상수의 불일치 인수는 단결정 절연막의 성층에 중요하다. 따라서,  $\gamma\text{-Al}_2\text{O}_3$ , Pt 및 MgO의 격자 상수가 연구되었다. 표 1은 결정 구조 및 이의 격자 상수를 나타낸다.

[표 1]

	결정 구조	결정 시스템	격자 상수
Pt	면심입방 구조	등축정계	$a = b = c = 3092 \text{ \AA}$
$\gamma\text{-Al}_2\text{O}_3$	스피넬 구조	정방정계	$a = b = 7.95 \text{ \AA}$ $c = 7.79 \text{ \AA}$
MgO	면심입방 구조	등축정계	$a = b = c = 4.21 \text{ \AA}$

도 1은 Pt 및  $\gamma\text{-Al}_2\text{O}_3$  각각의 스피넬 구조에서 표면상의 원자 배열을 도시하는 도면이다. 도 1(a)는 Pt의 원자 배열을 도시하며, 도 1(b)는  $\gamma\text{-Al}_2\text{O}_3$ 의 원자 배열을 도시한다.

스피넬 구조에서,  $\gamma\text{-Al}_2\text{O}_3$ 를 예로들면, 도 1(b)에 도시된 바와 같이, 표면은 Al의 면심입방 구조로 가정할 수 있다. 이와 유사하게, Pt의 경우, 도 1(a)에 도시된 바와 같이, 표면은 Pt의 면심입방 구조로 가정할 수 있다.

따라서, Pt 및  $\gamma\text{-Al}_2\text{O}_3$ 의 (001) 면상의 원자 배열은 기하학적으로 동일하다. 표 1에 나타난 격자 상수들로부터 Pt (001)면과  $\gamma\text{-Al}_2\text{O}_3$  (001)면 사이 및 Pt (001)면과 MgO (001)면 사이의 격자 불일치 인수가 계산되는 경우, 표 2에 나타난 값들이 획득된다.

[표 2]

	격자 불일치 인수
Pt (001) - $\gamma\text{-Al}_2\text{O}_3$ (001)	1.4 %
Pt (001) - MgO (001)	6.8 %

이 결과로부터 명확한 바와 같이, Pt와  $\gamma\text{-Al}_2\text{O}_3$  사이의 격자 불일치 인수는 적절히 작으며, 또한, Pt와 MgO 사이의 값보다 작다. 이는  $\gamma\text{-Al}_2\text{O}_3$  상에 단결정 Pt의 에피택시 성장 가능성을 나타낸다.

Si 기판상에 단결정  $\gamma\text{-Al}_2\text{O}_3$  막을 에피택셜 성장시키는 기술은 본 발명의 발명자들에 의한 제안과 관련된 상술한 특허문헌 1에서 명확히 하고 있다. 이에 따라 제조된 기판의 단면 구조가 도 2에 도시된다.

도 2는 본 발명에 따른, Si 기판상에 에피택셜 성장된 단결정  $\gamma\text{-Al}_2\text{O}_3$  막의 부분도이다.

이 도면에 대해, Si 기판 (1) 상에 에피택셜 성장된  $\gamma\text{-Al}_2\text{O}_3$  (001) 막 (2) 이 단결정인지 여부가 반사 고-에너지 전자 회절 (reflection high-energy electron diffractograph: RHEED) 로 촬영한 회절 패턴을 관찰함으로써 결정될 수 있다.

도 3 은 도 2 에 도시된 단결정  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001)/Si (001) 기판의 RHEED 패턴을 도시한다.

도 3 으로부터 명확한 바와 같이, Si (001) 기판 (1) 상에 에피택셜 성장된  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001) 막 (2) 은 단결정이다. 본 발명에서, 이렇게 제조된  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001)/Si (001) 기판 (이하에서 "Al<sub>2</sub>O<sub>3</sub> 기판" 이라 함) 이 이용되며, 단결정 Pt 막이 이하에서 설명되는 프로세스에 의해 형성된다.

도 4 는 본 발명의 실시예에 따른 Pt/ $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001)/Si (001) 기판의 단면도이다.

이 도면에서, 도면부호 3 은 에피택셜 단결정 Pt 박막을 지칭한다. 여기서, Si (001) 기판 (1) 상에 냉벽 CVD 장치를 사용하여 재료 가스로서 O<sub>2</sub> 및 TMA 를 이용하여 에피택셜 성장된  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 막 (2; 14 nm) 이 기판으로서 이용된다. Pt 박막 (3) 은 RF 스퍼터링 방법에 의해 제조된다. 스퍼터링 가스는 오직 Ar 만이고, 기판 온도는 상온에서부터 600°C 까지 변한다. 그렇게 형성된 Pt 박막 (3) 의 결정성은 X-선 회절 (XRD) 및 RHEED 로 분석된다(도 5 및 도 6 참조).

이 Pt/ $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001)/Si (001) 기판의 제조 프로세스를 설명한다.

- (1) Si (001) 기판 (1) 상에 성장된  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001) 막 (2) 로 이루어진 Al<sub>2</sub>O<sub>3</sub> 기판이 RF 스퍼터링 장치에 도입된다.
- (2) 스퍼터링 장치의 내부는 진공 펌프를 이용하여  $1 \times 10^{-2}$  Torr 내지  $1 \times 10^{-7}$  Torr 범위 내의 진공도로 배기된다.
- (3) Ar 가스가 이 장치에 도입되고, 이에 의해 진공도는  $1 \times 10^{-0}$  Torr 내지  $1 \times 10^{-3}$  Torr 범위 내에서 조정된다.
- (4) Al<sub>2</sub>O<sub>3</sub> 기판이 기판 가열 메커니즘에 의해 550 °C 이상으로 가열된다.
- (5) 플라즈마가 생성된다.
- (6) 프리스퍼터링 (presputtering) 이 행해진 후, 셔터가 열리고, Pt 박막 (3) 이 Al<sub>2</sub>O<sub>3</sub> 기판상에 증착된다.
- (7) 소정의 막 두께가 획득된 후, 셔터가 닫히고, 그 후 플라즈마 생성이 종료된다.

이렇게 형성된 Pt 박막의 결정 구조가 XRD 및 RHEED 를 이용하여 분석된다. 이 결과가 도 5 및 도 6 에 도시된다.

도 5 에 도시된 XRD 패턴에서, Pt (002) 면에 기인한 피크만이 관찰되며, 이에 따라 Pt 는 (001) 배향되었다는 것이 확인된다. 더 상세하게, 스퍼터링이 상온에서부터 500°C 에서 수행되는 경우 (111) 및 (002) 의 약한 피크가 관찰되며, 이에 따라 다결정 Pt 박막이 성장된다. (002) 의 강한 피크는 550 °C 에서 나타나기 시작하나, (111) 의 피크는 희미하게 남아있다. 따라서, 에피택셜 성장은 발생하지 않는다. 600 °C 의 경우, (111) 의 피크는 완전히 사라지며, (002) 의 피크만이 관찰된다.

또한, 점 패턴이 도 6 에 도시된 RHEED 에서 관찰되며, 이에 따라 Pt (001) 가  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001) 상에 에피택셜 성장되는 것이 확인된다. Pt 가  $\alpha$ -Al<sub>2</sub>O<sub>3</sub> (사파이어) 의 R 면상에서 유사한 조건하에 스퍼터링되는 경우, (001) 배향된 막은 획득되지 않으나, (111) 배향이 야기된다.

또한, 도 6 에 도시된 RHEED 패턴에서의 점 위치들 및 간격들을 식별한 결과와 같이, 각 점이 도 7 에 도시된 면에 기인하는 것이 명확하다. 이러한 결과로부터, Al<sub>2</sub>O<sub>3</sub> 기판상에 단결정 Pt (001) 가 성장한 것을 확인한다.

상술한 프로세스를 이용하여 Pt 가 사파이어 (10-12) 면상에 증착되는 경우, 도 8 에 도시된 바와 같이, (111) 배향 Pt 막만이 획득된다. 단결정  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 가 이용되기 때문에, Pt (001) 막은 Si 기판을 이용함으로써 획득된다.

본 발명의 실시형태들을 이하에서 설명한다.

(실시예 1) 초음파 센서 및 적외선 센서의 구성예 1

도 9 는 본 발명의 구조를 가지는 기판을 이용하여 제조되는 MFMS 유형 센서의 구성 단면도이다.

도 9 에 도시된 바와 같이, 단결정  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001)막 (12) 을 Si (001) 기판 (11) 상에 성장하고, 그 후 5  $\mu$ m 오더의 Si 단결정 박막 (13) 을 조작하기 위해 성장하였다. 물론, 이 구조는 SOI (Silicon On Insulator) 구조이므로, 다른 방법들에 의해 제조된 SOI 구조가 이용될 수도 있다.

단결정  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001) 막 (14) 을 Si 단결정 박막 (13) 상에 성장하고, Pt 박막 (15) 을 에피택셜 성장하였다. 이는 하부 전극으로서 기능한다. 연속하여, 고배향된 강유전체 박막 (16) 을 MOCVD 방법, 졸-겔 (sol-gel) 방법 또는 스퍼터링 방법으로 성장하였다. 그 후, 상부전극 (예를 들어, 골드 블랙 (gold black)) (17) 을 배치하고, 강유전체 박막 (16) 의 소망의 크기를 패터닝하였다.

적외선 센서를 구성하는 경우에는, 적외선의 인가로부터 발생하는 열의 증가를 효율적으로 야기하기 위해, Si 기판 (11) 은 KOH 용액으로 이면으로부터 에칭되며, 이에 의해 열 분리가 촉진된다. 적외선이 이렇게 구성된 상부전극 (17) 과 Pt 하부전극 (15) 사이로 입사하는 경우, 강유전체 박막 (16) 의 자기 분극 (초전도 효과) 값의 변화에 따른 전압 (또는 전류계가 연결된 경우 전류) 의 변화는 입사 적외선의 양과 동등한 레벨에서 관찰된다.

초음파 센서를 구성하는 경우에는, 공진 주파수를 조정하기 위해, Si 기판 (11) 이 이면으로부터 유사하게 절단된다. 초음파가 이렇게 구성된 상부전극 (17) 과 Pt 하부전극 (15) 사이로 입사하는 경우, 초전도 효과로 인해 전압이 발생한다.

또한, 이와 유사한 기능을 가지는 MFMS 유형의 센서도 도 10 에 도시된 구조에 의해 획득될 수 있다.

즉, 단결정  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001) 막 (22), 단결정 Pt 하부전극 (23), 강유전체박막 (24) 및 상부전극 (25) 이 Si 기판 (21) 상에 형성된다. 리세스 (recess; 26) 가 Si 기판 (21)과 단결정  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001) 막 (22) 의 일부분 상에 형성되고, 그에 의해 오버행 상태 (overhanging state) 가 발생한다. 즉, 이 경우, 열분리 또는 공진 주파수의 조정을 위한 Si 기판 (21) 의 에칭이 Si 기판 (21) 의 우측면으로부터 수행된다.

도 11 은 본 발명의 실시예에 따른, 트랜지스터와 집적된 MFMS 유형의 반도체 센서의 구성도이다.

이 도면에서, 도면부호 31 은 하부전극 (에피택셜 단결정 Pt 막) 을, 도면부호 32 는 강유전체 박막을, 도면부호 33 은 상부전극을, 도면부호 34 는 저항을, 도면부호 35 는 전계 효과 트랜지스터를, 도면부호 36 은 게이트를, 도면부호 37 및 38 은 소스·드레인을, 도면부호 39 는 전원 전압 (VDD) 단자를, 그리고 도면부호 40 은 센서 출력 (Vout) 단자를 나타낸다.

상술한 바와 같이, 적외선을 인가하여 발생하는 초전도 효과에 기인하여 발생된 전하는, 도 11 에 도시된 바와 같은 전계 효과 트랜지스터 (또는 MOS 트랜지스터; 35) 에서의 전압 변화로 변환되어, 신호가 유도된다. 결과적으로, 잡음이 감소한다. 도면의 저항 (34) 은 분로 저항 (shunt resistance) 이라 부른다. 전류는 전압으로 변환되며, 적외선에 응답하는 속도가 제어된다.

도 12 는 본 발명의 실시예에 따른 메모리 구조를 포함하는 MFMS-FET 유형의 반도체 메모리 소자의 단면도이다.

이 도면에서, 도면부호 41 은 반도체 기판 [Si 기판] 을, 도면부호 42 및 43 은 소스·드레인을, 도면부호 44 는 절연막 [에피택셜 단결정  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001) 막]을, 도면부호 45 는 하부전극 (에피택셜 단결정 Pt 막) 을, 도면부호 46 은 강유전체 박막을, 그리고 도면부호 47 은 상부전극을 나타낸다.

이는 절연막 (에피택셜 단결정  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 막; 44) 이 소스·드레인 (42 및 43) 사이에 배치되고, 하부전극으로서 역할하는 금속 (에피택셜 단결정 Pt 막; 45) 이 그 위에 배치되며, 그리고 상부전극 (47) 이 배치된 반도체 구조이다.



특정 전압 (예를 들어, 5 V) 이상의 전압이 상부전극 (47) 에 인가되는 경우, 전류가 소스·드레인 (42 및 43) 사이에 흐른다. 상부전극의 전압이 0 V 로 감소되는 경우일지라도, 전류는 강유전체 (46) 의 이력현상으로 인하여 계속하여 흐른다. 이에 따라, 특정한 음의 값 (예를 들어, - 5 V) 이하의 전압이 상부전극 (47) 에 인가되는 경우, 전류가 흐르는 것을 멈춘다. 상부전극 (47) 의 전압이 0 V 로 복귀하는 경우라도, 강유전체 (46) 의 이력현상으로 인하여 전류는 흐르지 않는다.

BaMgF<sub>4</sub>, Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, (Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, BaTiO<sub>3</sub>, Ba<sub>x</sub>Sr<sub>1-x</sub>TiO<sub>3</sub>, SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>, PbTiO<sub>3</sub>, Pb<sub>y</sub>La<sub>1-y</sub>Zr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub> 및 ZnO 중 어느 하나로 이루어진 박막은 강유전체 박막으로 이용될 수 있다.

본 발명은 상술한 실시예들에 한정되지 않는다. 본 발명의 목적에 기초하여 다양한 변형이 이루어질 수 있으며, 이들은 본 발명의 범위 내에 포함된다.

상술한 바와 같이, 본 발명에 따라 이하의 효과들이 나타날 수 있다.

(A) 단결정  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 막 (단결정 절연막) 이 반도체 기판상에 성장되고, 단결정  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 막은 반도체 기판과 Pt 전극 사이에 형성된다. 이에 따라, 단결정 Pt 전극이 쉽게 제조될 수 있으며, MFMS 구조가 쉽게 제조될 수 있다.

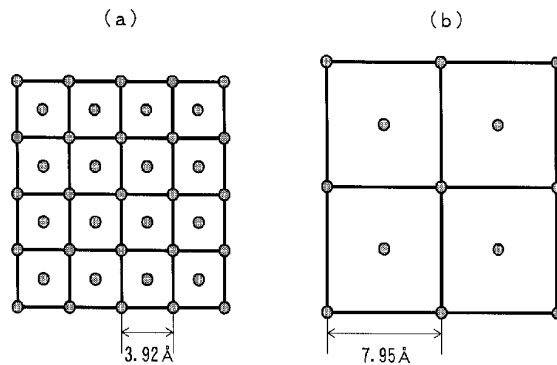
(B) 강유전체 박막을 이용하는 장치들, 무엇보다도, 반도체 메모리 소자 및 반도체 센서가 획득될 수 있으며, 이들의 성능 개선 및 크기의 소형화가 촉진될 수 있다.

산업상 이용가능성

본 발명의 반도체 소자, 반도체 센서 및 반도체 메모리 소자는 특히 적외선 및 반도체 메모리에 적합하다.

도면

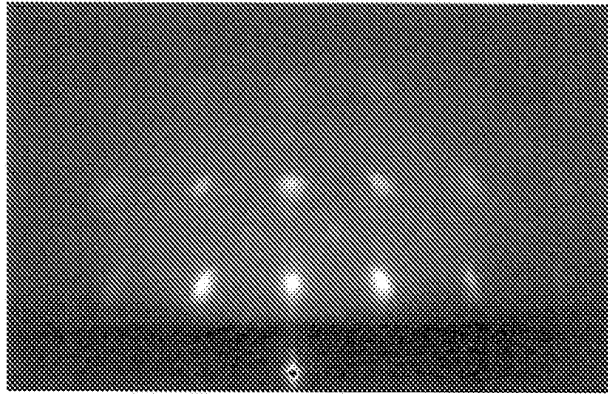
도면1



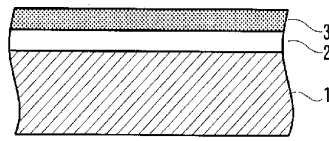
도면2



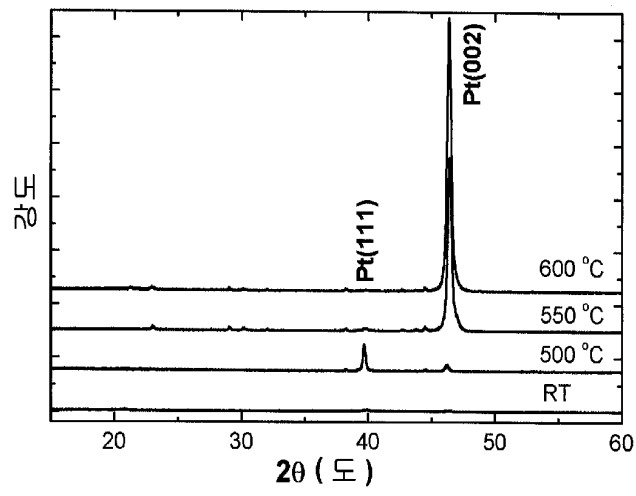
도면3



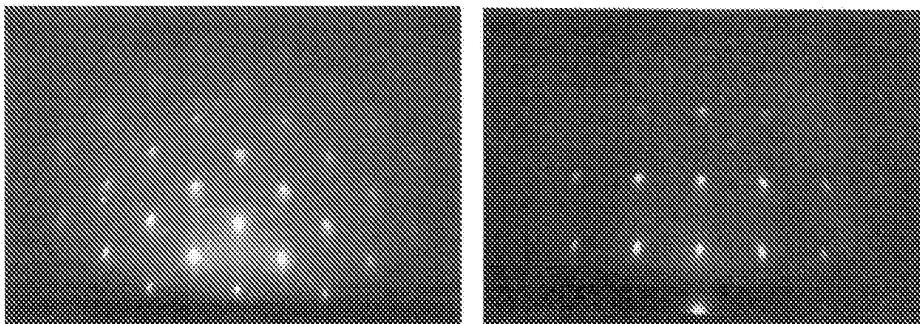
도면4



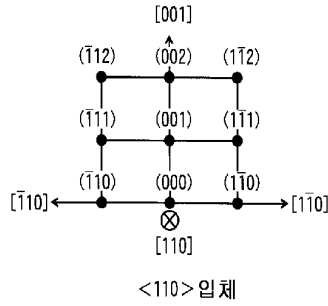
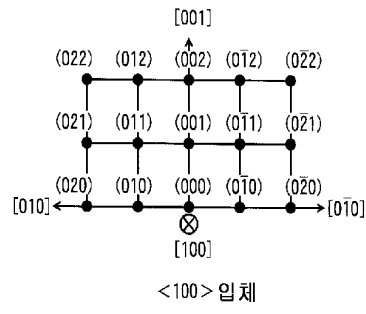
도면5



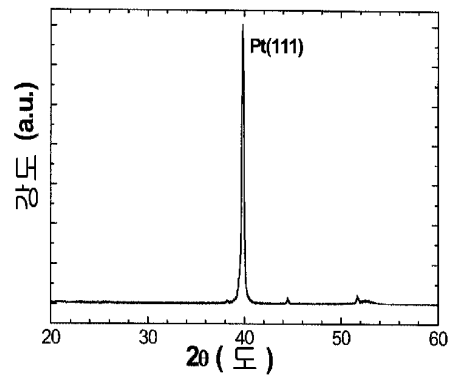
도면6



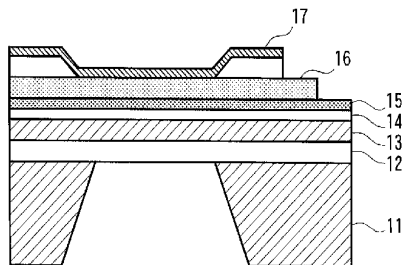
도면7



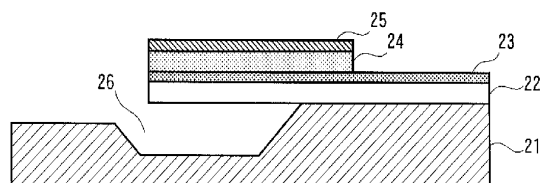
도면8



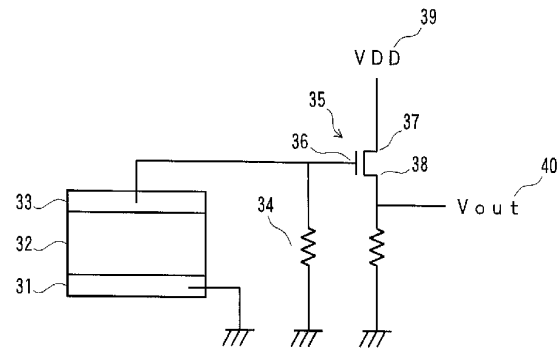
도면9



도면10



도면11



도면12

