



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

H03M 1/08 (2006.01)  
H03M 1/12 (2006.01)

(11) 공개번호 10-2007-0021328  
(43) 공개일자 2007년02월22일

(21) 출원번호 10-2007-7002022

(22) 출원일자 2007년01월26일

심사청구일자 2007년01월26일

번역문 제출일자 2007년01월26일

(86) 국제출원번호 PCT/JP2005/013034

(87) 국제공개번호 WO 2006/011371

국제출원일자 2005년07월14일

국제공개일자 2006년02월02일

(30) 우선권주장 JP-P-2004-00218460 2004년07월27일 일본(JP)

(71) 출원인 도꾸리쯔교세이호정 가가꾸 기쥬쯔 신키 기꼬  
일본 사이따마켄 가와구찌시 혼쇼 4쵸메 1방 8고

(72) 발명자 도라이찌, 가즈오  
일본 305-0031 이바라끼켄 즈꾸바시 아즈마 3-1-1다이아파레스쯔꾸  
바가꾸엔토시 1214  
다까하시, 도모유끼  
일본 960-1101 후꾸시마켄 후꾸시마시 오모리아자께이즈까 47-12  
가와베, 도루  
일본 305-0033 이바라끼켄 즈꾸바시 히가시아라이 4-2-805  
가따기시, 가즈끼  
일본 305-0031 이바라끼켄 즈꾸바시 아즈마 4-204-104  
나까무라, 고투지  
일본 305-0031 이바라끼켄 즈꾸바시 아즈마 1-401-221

(74) 대리인 장수길  
이중희  
구영창

전체 청구항 수 : 총 20 항

(54) 이산 신호의 신호 처리 장치 및 신호 처리 방법

(57) 요약

표본점 간격이 불균등한 이산 신호의 재생에서, 매끄러운 신호 재생을 행할 수 있는 신호 처리 장치 및 신호 처리 방법이 제공된다. 동일 장치는, 표본점 간격이 불균등한 이산 신호(E1)의 표본점의 시간을 나타내는 표본점 신호(E2)를 입력하여 이산 신호에 대응하는 표본화 함수의 계수를 구하는 계수 연산부(4)와, 이산 신호와 계수 연산부가 출력하는 상기 계수의 값으로부터 상기 표본점 간격 내의 함수값을 연산 출력함으로써 연속한 재생 신호(E3)를 얻는 재생 신호 연산부(5)를 구비한다.

대표도

도 1

특허청구의 범위

청구항 1.

부등 간격의 표본점에서 이산화된 제1 신호와 상기 표본점의 시간 또는 위치를 나타내는 제2 신호를 입력받고, 상기 제2 신호로 결정되는 표본화 함수의 값과 상기 제1 신호의 크기의 곱을 구하고, 상기 곱의 제1 신호마다 구한 값의 선형 결합에 의해, 표본점 간격 내의 신호를 재생하는 것을 특징으로 하는 신호 처리 장치.

청구항 2.

간격이 불균등한 표본점의 시간 또는 위치를 나타내는 제2 신호를 입력받아 표본화 함수의 계수를 구하는 계수 연산부와, 상기 표본점에서 이산화된 제1 신호와 상기 계수 연산부가 출력하는 상기 계수의 값으로부터 표본점 간격 내의 함수값을 연산 출력함으로써, 연속한 재생 신호를 얻는 재생 신호 연산부를 구비하는 것을 특징으로 하는 신호 처리 장치.

청구항 3.

제2항에 있어서, 상기 재생 신호 연산부는, 상기 계수 연산부가 출력하는 상기 계수의 값을 다항식 함수에 적용시켜, 표본점 간격 내의 소정의 시간 혹은 위치에서의 상기 표본화 함수의 값을 연산하고, 연산 결과의 연산값과 상기 제1 신호의 신호값의 곱을 구하고, 구한 곱한 값의 상기 표본점 간격 내의 소정의 시간 혹은 위치에서의 총합을 재생 신호로서 출력하는 것을 특징으로 하는 신호 처리 장치.

청구항 4.

간격이 불균등한 표본점의 시간 또는 위치를 나타내는 제2 신호를 입력받아 표본화 함수의 계수를 구하는 계수 연산부와, 상기 표본점에서 이산화된 제1 신호와 상기 계수 연산부가 출력하는 상기 계수의 값으로부터 결정되는 표본화 함수의 값의 내적 연산을 행하고, 상기 제1 신호의 표본값마다 구한 내적 연산값의 선형 결합에 의해 연속한 재생 신호를 얻는 재생 신호 연산부를 구비하는 것을 특징으로 하는 신호 처리 장치.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 표본화 함수는, 표본점 간격의 1/2마다 구획된 2n개의 구간의 각각에서 연속한 2차식으로 표현되는 다항식 함수로서, 표본점 및 표본점 간격의 1/2점에서 1회 미분 가능한 2차의 연속 다항식 함수로 이루어지고, 기준으로 되는 표본점에서의 값은 1, 다른 표본점에서의 값은 분인 것을 특징으로 하는 신호 처리 장치.

**청구항 6.**

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제2 신호는, 상기 제1 신호가 시계열 신호인 경우는 경과 시간으로 표시되고, 상기 제1 신호가 좌표를 이용하여 나타나는 신호인 경우는 좌표점으로 표시되는 것을 특징으로 하는 신호 처리 장치.

**청구항 7.**

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제2 신호는, 인접하는 표본점 사이의 시간 간격 또는 거리로 표시되는 것을 특징으로 하는 신호 처리 장치.

**청구항 8.**

부등 간격의 표본점에서 이산화된 제1 신호와 상기 표본점의 시간 또는 위치를 나타내는 제2 신호를 입력받는 스텝과,

상기 제2 신호로 결정되는 표본화 함수의 값과 상기 제1 신호의 크기의 곱을 구하는 스텝과,

상기 곱의 제1 신호마다 구한 값의 선형 결합에 의해, 표본점 간격 내의 신호를 재생하는 스텝

을 구비하는 것을 특징으로 하는 신호 처리 방법.

**청구항 9.**

간격이 불균등한 표본점의 시간 또는 위치를 나타내는 제2 신호를 입력받아 표본화 함수의 계수를 구하는 스텝과,

상기 표본점에서 이산화된 제1 신호와 상기 계수의 값으로부터 표본점 간격 내의 함수값을 연산 출력함으로써 연속한 재생 신호를 얻는 스텝

을 구비하는 것을 특징으로 하는 신호 처리 방법.

**청구항 10.**

간격이 불균등한 표본점의 시간 또는 위치를 나타내는 제2 신호를 입력받아 표본화 함수의 계수를 구하는 스텝과,

상기 표본점에서 이산화된 제1 신호와 상기 계수의 값으로부터 결정되는 표본화 함수의 값의 내적 연산을 행하는 스텝과,

상기 제1 신호의 표본값마다 구한 내적 연산값의 선형 결합에 의해 연속한 재생 신호를 얻는 스텝

을 구비하는 것을 특징으로 하는 신호 처리 방법.

**청구항 11.**

제8항 내지 제10항 중 어느 한 항에 있어서,

상기 표본화 함수는, 표본점 간격의 1/2마다 구획된  $2n$ 개의 구간의 각각에서 연속한 2차식으로 표현되는 다항식 함수로서, 표본점 및 표본점 간격의 1/2점에서 1회 미분 가능한 2차의 연속 다항식 함수로 이루어지고, 기준으로 되는 표본점에서의 값이 1, 다른 표본점에서의 값이 분인 것을 특징으로 하는 신호 처리 방법.

### 청구항 12.

제8항 내지 제10항 중 어느 한 항에 있어서,

표본점 간격의 1/2점에서의 상기 표본화 함수의 함수값이 소정의 조건에 의해 정해지는 것을 특징으로 하는 신호 처리 방법.

### 청구항 13.

제12항에 있어서,

상기 소정의 조건은, 표본점 간격의 1/2점에서의 상기 표본화 함수의 상기 함수값을 기준으로 되는 표본점에서 대칭으로 되도록 정함으로써 제시되는 것을 특징으로 하는 신호 처리 방법.

### 청구항 14.

제12항에 있어서,

상기 소정의 조건은, 표본점 간격의 1/2점에서의 상기 표본화 함수의 상기 함수값을 균등 간격의 표본화 함수의 값과 최소 오차로 근사되도록 정함으로써 제시되는 것을 특징으로 하는 신호 처리 방법.

### 청구항 15.

연속 신호를 샘플링하여 얻는 제1 신호의 적정 여부를 판정하는 신호 적정 여부 판정부와,

적정의 경우, 상기 제1 신호의 표본점의 시간 또는 위치를 나타내는 제2 신호를 생성하는 표본점 측정부와, 적정하다고 판정된 상기 제1 신호와 상기 제2 신호를 입력받아 재생 신호를 얻는 신호 재생부를 구비하고,

상기 신호 재생부는,

상기 제2 신호를 입력받아 표본화 함수의 계수를 구하는 계수 연산부와,

상기 적정하다고 판정된 상기 제1 신호와 상기 계수 연산부가 출력하는 상기 계수의 값으로부터 표본점 간격 내의 함수값을 연산 출력함으로써 연속한 재생 신호를 얻는 재생 신호 연산부

를 구비하는 것을 특징으로 하는 신호 처리 장치.

### 청구항 16.

제15항에 있어서,

상기 신호 걱정 여부 판정부는, 상기 제1 신호의 표본값에 대하여 그것에 인접하는 표본점의 제1 신호의 표본값이 소정의 기준값을 초과하였는지의 여부에 의해 걱정 여부를 판정하고, 기준값을 초과했을 때에 부적정하다고 판단하는 것을 특징으로 하는 신호 처리 장치.

### 청구항 17.

제15항에 있어서,

상기 신호 걱정 여부 판정부는, 상기 제1 신호의 표본값에 대하여 그것에 계속하는 제1 신호의 표본값이 소정의 기준값을 초과하였는지의 여부에 의해 걱정 여부를 판단하고, 기준값을 초과했을 때에 걱정하다고 판단하는 것을 특징으로 하는 신호 처리 장치.

### 청구항 18.

연속 신호를 샘플링하여 얻는 제1 신호의 걱정 여부를 판단하는 제1 스텝과, 걱정의 경우, 상기 제1 신호의 표본점의 시간 또는 위치를 나타내는 제2 신호를 생성하는 제2 스텝과, 걱정하다고 판단된 상기 제1 신호와 상기 제2 신호를 입력받아 재생 신호를 얻는 제3 스텝을 구비하고,

상기 제3 스텝은,

상기 제2 신호를 입력받아 표본화 함수의 계수를 구하는 제4 스텝과,

상기 걱정하다고 판단된 상기 제1 신호와 상기 계수의 값으로부터 표본점 간격 내의 함수값을 연산 출력함으로써 연속한 재생 신호를 얻는 제5 스텝

을 구비하는 것을 특징으로 하는 신호 처리 방법.

### 청구항 19.

제18항에 있어서,

상기 제1 스텝에서, 상기 제1 신호의 표본값에 대하여 그것에 인접하는 표본점의 제1 신호의 표본값이 소정의 기준값을 초과하였는지의 여부에 의해 걱정 여부가 판단되고, 기준값을 초과했을 때에 부적정하다고 판단되는 것을 특징으로 하는 신호 처리 방법.

### 청구항 20.

제18항에 있어서,

상기 제1 스텝에서, 상기 제1 신호의 표본값에 대하여 그것에 계속하는 제1 신호의 표본값이 소정의 기준값을 초과하였는지의 여부에 의해 걱정 여부가 판단되고, 기준값을 초과했을 때에 걱정하다고 판단되는 것을 특징으로 하는 신호 처리 방법.

명세서

기술분야

본 발명은, 연속 신호의 이산화 및 이산화한 신호의 재생에 유효한 처리 장치 및 처리 방법에 관한 것으로, 특히 화상 신호, 음향 신호 혹은 화상의 윤곽을 추출하여 얻어지는 신호에 적용하기에 적합한 신호 처리 장치 및 신호 처리 방법에 관한 것이다.

**배경기술**

연속 신호의 이산화는, 일정 간격의 표본점마다 연속 신호의 신호값을 취출하는 샘플러(표본화 회로)에 의해 행해진다. 연속 신호가 아날로그 신호인 경우, 이산 신호(표본화 신호)는, 양자화 및 부호화됨으로써 디지털 신호로 된다. 이와 같이 하여, 아날로그-디지털 변환된 디지털 신호는, 디지털-아날로그 변환에서 이산 신호를 거쳐 연속 신호로서 재생된다. 일정 간격으로 표본화가 행해지는 경우를 대상으로, 이산 신호와 표본화 함수의 컨벌루션 연산에 의해 이산 신호로부터 재생 신호를 얻는 방법이 알려져 있다(예를 들면, 특허 문헌 1 참조).

특허 문헌 1: 일본 특개 2000-13226호 공보

<발명의 개시>

<발명이 해결하고자 하는 과제>

연속 신호로부터 이산 신호를 얻는 과정에서, 노이즈나 지터(신호의 시간축의 흔들림) 등에 의해, 샘플러의 표본화 타이밍에 변동이 발생하여 신호 간격이 상이한 것이 일어난 경우라도, 종래는 일정 간격의 신호로서 취급되어, 신호의 연산 처리나 재생이 적절하게 행해지지 않는다고 하는 문제가 있었다.

균등 간격의 표본화 함수의 예로서, 도 9에 도시한 구분 다항식 함수가 있다. 이 함수는, 전체 점에서 1회 미분 가능한 2차의 구분 다항식으로 표현되고, 하기의 수학식 1로 표현되는 2차의 B-스플라인 함수{ $\Phi_1(t)$ }를 기저로 하여 구성된다.

$$\phi_1(t) \equiv \int_{-\infty}^{\infty} \left( \frac{\sin \pi fh}{\pi fh} \right)^3 e^{j2\pi f(t-h)} df$$

여기서, h:시프트 간격, l:시프트 수

이다. 이 기저를 하기와 같이 선형 결합함으로써, 도 9에 도시한 수학식 2의 2차의 플루언시 표본화 함수( $\Psi(t)$ )가 도출된다.

$$\psi(t) = \sum_{l=-1}^1 \lambda_l \phi_l(t) \quad \{\lambda_l\} = \left\{ -\frac{1}{2}, 2, \frac{1}{2} \right\}$$

이 표본화 함수는, 시프트 간격(h)을 표본점 간격의 1/2, 전체 구간을 J로 하였을 때, 1/2 표본점 간격마다 구획되는 8개의 구간으로, 각각 연속하는 2차식으로 표현되고, 전체 점에서 1회 미분 가능한 2차의 연속 다항식 함수로서 부여된다. 사논의 Sinc 함수에 비교하여 유한대의 성질(함수가 정의되는 구간이 유한의 구간 J로 한정되는 성질)을 갖기 때문에 유한 구간의 연산으로 충분하고, 계산량면에서도 우수하여, 음향 장치, 영상 장치 등에 적용되고 있다. 특허 문헌 1에서 이용된 표본화 함수는 상기 함수의 예이다.

그러나, 이와 같이 하여 도출된 표본화 함수는 균등 간격의 표본화를 대상으로 하고 있고, 부분적으로 일부의 표본점 간격이 변하여, 간격이 불균등하게 된 경우, 구간 접합점에서의 미계수의 연속성(1회 미분 가능성)이 보증되지 않아, 각을 갖는 파형으로 된다. 따라서, 매끄러운 신호의 보간이 곤란하게 된다.

본 발명의 목적은, 표본점 간격이 불균등한 이산 신호의 재생에서, 매끄러운 신호 재생을 행할 수 있는 신호 처리 장치 및 신호 처리 방법을 제공하는 데 있다.

<과제를 해결하기 위한 수단>

상기 목적을 달성하기 위한 본 발명의 신호 처리 장치는, 간격이 불균등한 표본점의 시간 또는 위치를 나타내는 제2 신호(즉, 표본점 신호)를 입력받아 표본화 함수의 계수를 구하는 계수 연산부와, 표본점에서 이산화된 제1 신호(즉, 이산 신호)와 계수 연산부가 출력하는 계수의 값으로부터 표본점 간격 내의 함수값을 연산 출력함으로써 연속한 재생 신호를 얻는 재생 신호 연산부를 구비한다. 이산 신호의 표본값 각각에 대응하는 표본화 함수가 결정되기 때문에, 매끄러운 연속한 신호 재생을 얻을 수 있다.

표본화 함수는, 예를 들면, 점 간격의 1/2마다 구획된 2n개(n은 2 이상의 짝수인 정수)의 구간의 각각에서 연속한 2차식으로 표현되는 다항식 함수로서, 표본점 및 표본점 간격의 1/2점에서 1회 미분 가능한 2차의 연속 다항식 함수로 이루어지고, 기준으로 되는 표본점에서의 값이 1, 다른 표본점에서의 값이 0인 함수로 된다.

표본점 간격이 불균등한 이산 신호의 재생에서, 매끄러운 신호 재생을 행할 수 있는 신호 처리 방법이 실현되면, 그 방법을 이용하여, 신호의 적정화를 목표로 하는 이산 신호의 취사 선택이 가능하게 된다. 취사 선택에 의해 표본점 간격이 부등 간격으로 되어도, 매끄러운 신호 재생을 행할 수 있기 때문이다. 신호의 적정화는, 예를 들면, 원격지에 배치한 센서로부터 센서 신호를 전송할 때에 그 도중에서 서지 전류가 발생하여 센서 신호가 흐트러진 경우, 흐트러진 센서 신호의 이산 신호를 삭제하는 것을 예로 들 수 있다. 또한, 신호 적정화의 별도의 예로서, 신호 전송량의 압축을 목표로 하여 허용되는 범위에서, 표본점 간격의 전후에서 변화가 적은 경우, 변화가 소정의 값에 도달할 때까지, 이산 신호의 전송을 중지하는 것을 예로 들 수 있다.

<발명의 효과>

본 발명에 의해, 입력 신호의 이상, 입력 타이밍의 어긋남, 신호 압축 등에 의한 표본값의 씨닝, 등에 대하여 적정한 신호를 재생할 수 있다.

<발명을 실시하기 위한 최선의 형태>

이하, 본 발명에 따른 이산 신호의 신호 처리 장치 및 방법을 도면에 도시한 실시예를 참조하여 더 상세하게 설명한다. 또한, 도 1, 도 4~도 6 및 도 8에서의 동일한 부호는, 동일물 또는 유사물을 표시하는 것으로 한다.

도 1에 본 발명의 제1 실시예를 도시한다. 도 1에서, 참조 부호 4는, 부등 간격의 표본점의 시간을 나타내는 표본점 신호(제2 신호)(E2)를 입력하여 부등 간격의 이산 신호에 최적의 표본화 함수의 계수를 연산하는 표본화 함수의 계수 연산부, 참조 부호 5는, 상기 부등 간격의 표본점마다 표본화된 부등 간격의 이산 신호(제1 신호)(E1)와 계수 연산부(4)가 출력하는 표본화 함수의 계수의 데이터로부터 재생 신호를 연산하여 재생 신호(E3)를 출력하는 재생 신호 연산부를 나타낸다. 또한, 도 1에서는 도시하고 있지 않지만, 표본점 신호(E2)는, 부등 간격의 이산 신호에 대응하는 부등 간격의 표본화 펄스의 펄스 위치를 시간 계측함으로써 구할 수 있다.

여기서 계수 연산부(4)가 행하는 표본화 함수의 계수 연산에 대하여 설명한다.

도 2에서 부등 간격의 이산 신호에 적절한 표본화 함수의 예를 굵은 선으로 나타낸다. 이 함수는, 불균등한 간격으로서 부여되는 신호 간격에 대하여, 유한대의 구간의 표본점( $\{t_i\}(i=-2, -1, 0, 1, 2)$ )의 4 표본 구간을,  $[t_i, (t_i+t_{i+2})/2]$  구간마다 8구간으로 분할하고, 그 사이의 함수( $s_i$ )를 하기 수학적 식 3의 t의 2차식으로 표현한 것이다.  $t_i$ 는 시간을 나타내고, 그 값이 표본점 신호(E2)에 의해 나타난다.

$$\begin{aligned}
 s_1(t) &= a_1t^2 + b_1t + c_1 & [t_{-2}, \frac{t_{-2}+t_{-1}}{2}] \\
 s_2(t) &= a_2t^2 + b_2t + c_2 & [\frac{t_{-2}+t_{-1}}{2}, t_{-1}] \\
 s_3(t) &= a_3t^2 + b_3t + c_3 & [t_{-1}, \frac{t_{-1}+t_0}{2}] \\
 s_4(t) &= a_4t^2 + b_4t + c_4 & [\frac{t_{-1}+t_0}{2}, t_0] \\
 s_5(t) &= a_5t^2 + b_5t + c_5 & [t_0, \frac{t_0+t_1}{2}] \\
 s_6(t) &= a_6t^2 + b_6t + c_6 & [\frac{t_0+t_1}{2}, t_1] \\
 s_7(t) &= a_7t^2 + b_7t + c_7 & [t_1, \frac{t_1+t_2}{2}] \\
 s_8(t) &= a_8t^2 + b_8t + c_8 & [\frac{t_1+t_2}{2}, t_2]
 \end{aligned}$$

수학식 3에서, 다음 조건을 부여하여 함수가 결정된다.

- (1) 각 함수의 접합점(표본점 및 그 중간점)에서 연속이다.
- (2) 각 함수의 접합점에서,  $t_0$  이외의 표본점에서 0의 값을 갖는 함수이다.
- (3) 표본점 간격의 중간점에서의 함수값은, 표본점에서의 오차가 최소로 되도록 결정한다.

위의 조건으로부터 결정되는 표본화 함수는, 수학식 4로 표현할 수 있다.

$$\begin{aligned}
 s_1(t) &= -B_1(t-t_{-2})^2 \\
 s_2(t) &= B_1(3t-t_{-1}-2t_{-2})(t-t_{-1}) \\
 s_3(t) &= -B_2(3t-2t_0-t_{-1})(t-t_{-1}) + \frac{2(t-t_{-1})^2}{(t_0-t_{-1})^2} \\
 s_4(t) &= B_2(t-t_0)^2 - \frac{2(t-t_0)^2}{(t_0-t_{-1})^2} \\
 s_5(t) &= B_3(t-t_0)^2 - \frac{2(t-t_0)^2}{(t_0-t_1)^2} \\
 s_6(t) &= -B_3(3t-2t_0-t_1)(t-t_1) + \frac{2(t-t_1)^2}{(t_0-t_1)^2} \\
 s_7(t) &= B_4(3t-t_1-2t_2)(t-t_1) \\
 s_8(t) &= -B_4(t-t_2)^2 \\
 B_1 &= \frac{t_0-t_{-2}}{4(t_0-t_{-1})^2(t_{-1}-t_{-2})+4(t_{-1}-t_{-2})^3} \\
 B_2 &= \frac{t_0-t_{-2}}{4(t_0-t_{-1})(t_{-1}-t_{-2})^2+4(t_0-t_{-1})^3} \\
 B_3 &= \frac{t_2-t_0}{4(t_2-t_1)^2(t_1-t_0)+4(t_1-t_0)^3} \\
 B_4 &= \frac{t_2-t_0}{4(t_2-t_1)(t_1-t_0)^2+4(t_2-t_1)^3}
 \end{aligned}$$

상기 수학식 4의  $s_i(t)$ 에서, 우변의 식은 통상의 2차식의 형식, 즉 수학식 3의 형식으로 변형하여도 아무런 영향은 없다.

도 1에서의 계수 연산부(4)는, 상기  $B_i$ 식 혹은 수학식 3의 형식으로 표현되는 계수( $a_i, b_i, c_i$ )를 연산한다. 이들 계수값은 표본점( $t_i$ )에서만 연산 가능하기 때문에, 계수 연산부(4)는 표본점 신호(E2)에 의해 나타나는 표본점( $\{t_i\}(i=-2, -1, 0, 1, 2)$ )의 값(경과 시간)을 입력받고, 각 계수값을 연산하여, 연산 결과를 재생 신호 연산부(5)에 출력한다.

재생 신호 연산부(5)는 이산 신호(E1)와 계수 연산부(4)의 출력으로부터, 내적 연산에 의해, 표본점 간의 함수( $s_i(t)$ )를 연산한다. 이산 신호(E1)의 신호값 즉 표본값이 1인 경우에, 표본점 간의 함수( $s_i(t)$ )를 연결하여 얻어지는 표본화 함수의 예가 도 2에 도시된다. 표본화 함수는, 기준으로 되는 표본점( $t_0$ )에서 1, 그 외의 표본점( $t_{-2}, t_{-1}, t_1, t_2$ )에서 0, 이 순서의 중간점에서  $d_{-2}, d_{-1}, d_1, d_2$ 로 된다.

이 각 표본값에 대한 함수값의 동일 표본 구간에서의 값을 선형 결합함으로써, 그 표본 구간에서의 신호가 재생되어, 매끄러운 재생 신호(E3)가 출력된다. 재생 신호(E3)의 예를 도 3에 도시한다. 표본점의 추이와 함께 표본값이  $a_0 \sim a_5$ 로 되는 경우, 각각에 대하여 표본화 함수( $f_0 \sim f_5$ )가 구해지고, 그들이 선형 결합되어 매끄러운 연속의 재생 신호(E3)가 얻어진다. 또한, 재생 신호 연산부(5)의 연산은, 다시 말하면, 계수 연산부(4)의 연산 결과의 계수값을 다항식 함수에 적용시켜서 표본점 간격 내의 소정의 위치 혹은 시간에서의 표본화 함수값을 연산하고, 그 연산값과 이산 신호의 신호값의 곱을 구하여, 동일 표본 구간의 곱한 값의 총합을 재생 신호로서 출력하는 연산으로 된다.



상기 실시예에서는, 표본점( $t_i$ )의 값을 이용하여 계수값을 연산하는 방법을 설명했으나, 전술한 식으로부터 분명한 바와 같이, 표본점 간격, 즉  $\Delta t_i = t_{i+1} - t_i$ 를 계수 연산부의 입력으로 하여, 표본점 간격의 식으로 변형하여도 지장없다. 또한, 본 실시예에서는 시간열의 신호를 대상으로 할 수 있는 것 외에, 화상 등에서는 화소 위치를 표본점으로서 취급하는 것이 가능한 것은 명백하다. 화상 위치가 좌표로 표시되고, 표본점이 좌표점으로 표시된다. 또한, 본 발명의 상기 표본화 함수의 표본 구간은 4구간인데, 구간은 이에 한하지 않고, n구간(n은 2 이상의 짝수인 정수)으로 하는 것이 가능하다.

또한, 표본점 간격의 불균등의 정도에 따라 새로운 조건을 추가함으로써, 양호한 신호 재생이 얻어지는 경우가 있다. 조건의 예로서, 표본점 간격의 1/2점에서의 표본화 함수의 함수값을 기준으로 하는 표본점에서 대칭으로 되도록 정하는 경우가 있다. 또한 그 외에, 표본점 간격의 1/2점에서의 표본화 함수의 함수값을 균등 간격의 표본화 함수의 값과 최소 오차로 근사되도록 정하는 경우가 있다.

본 실시예의 신호 처리 장치는, 각 부의 각각에 디지털 회로나 메모리를 이용하여, 하드웨어 구성으로 하는 것이 가능하지만, 프로그램에 의해 컴퓨터가 실행하는 소프트웨어 구성으로 하는 것도 가능하다. 이 경우, 신호 처리 장치는, 주로 중앙 처리 장치(CPU)와, 연산 도중의 데이터 등을 일시 기억하는 메모리와, 신호 처리 프로그램이나 표본화 함수 등을 저장하는 파일 장치로 구성된다. 신호 처리 프로그램에는, 계수 연산부(4) 및 재생 신호 연산부(5)에 의한 각 처리를 컴퓨터가 실행하는 수순이 나타난다. 또한, 신호 처리 프로그램은, CD-ROM(Compact Disc-Read Only Memory) 등의 기억 매체에 저장하여, 독립한 프로그램으로 하는 것이 가능하다.

표본점 간격이 불균등한 이산 신호에 대하여 매끄러운 신호 재생을 행하는 상기한 본 발명의 신호 처리 방법을 이용함으로써, 등간격의 이산 신호의 흐트러진 일부를 삭제하여 신호를 적정화하는 것이 가능하게 된다.

도 4에 본 발명의 제2 실시예를 도시한다. 본 실시예는, 예를 들면, 원격지에 배치한 센서로부터 센서 신호를 전송하여 기록할 때에, 전송 도중에서 서지 전류가 발생하여 센서 신호의 일부가 흐트러진 경우, 흐트러진 일부의 이산 신호를 삭제하여 기록하는 것이다. 기록 후의 재생에서, 본 발명의 표본화 함수를 이용함으로써, 매끄러운 재생 신호가 얻어진다. 또한, 본 실시예에서는, 입력 신호가, 상기한 센서 신호와 같이, 시간적으로 변화한다. 도 4에서, 1은 신호 입력 처리부, 2는 신호 기억부, 3은 신호 기억부(2)로부터의 신호 읽어들이기부, 4는 표본화 함수의 계수 연산부, 5는 재생 신호 연산부이다. 계수 연산부(4) 및 재생 신호 연산부(5)에 의해 신호 재생부가 구성된다.

도 5에 신호 입력 처리부(1)의 구성예를 도시한다. 도 5에서, 11은 입력되는 연속 신호, 12는 연속 신호(11)를 표본화 펄스에 의해 표본화하는 샘플러, 13은 표본화된 이산 신호를 디지털화하는 AD(Analog to Digital) 변환기이다. AD 변환기(13)까지가 원격지에 배치되고, AD 변환기(13) 출력의 AD 변환된 이산 신호가 전송된다. 또한, 도 5에서, 14는 전송되어 온 이산 신호의 적정 여부를 판정하는 신호 적정 판정부이다. 신호 적정 판정부(14)에서는, 이산 신호의 입력시, 이산 신호의 표본점에 대응하는 타이밍 신호 즉 표본화 펄스가 재생된다. 다음으로, 15는 타이머, 16은, 신호 적정 여부 판정부(14)가 출력하는 판정 후의 표본화 펄스의 펄스 위치를 타이머(15)로부터의 시간으로 읽어들이고, 읽어들이는 시간을, 표본점을 나타내는 표본점 신호(E2)로서 출력하는 표본점 측정부, 17은, 신호 적정 여부 판정부(14)의 적 신호로서 출력된 이산 신호(E1)와 표본점 측정부(16)의 출력인 표본점 신호(E2)를 1쌍의 이산 신호 데이터로서 출력하는 이산 신호 출력부이다. 이산 신호 출력부(17)가 출력하는 이산 신호 데이터가 신호 기억부(2)에 저장된다.

도 6에 신호 적정 여부 판정부(14)의 구성예를 도시한다. 도 6에서, 참조 부호 21은, 입력된 이산 신호의 1 표본점 전의 이산 신호를 출력하는 지연 회로, 참조 부호 22는, 입력된 이산 신호와 1 표본점 전의 이산 신호의 차의 절대값을 출력하는 감산기, 참조 부호 23은, 연산기(22)의 출력과 기준 전압( $Vr1$ )을 비교하는 비교기, 참조 부호 24, 26은 비교기(23)의 비교 결과에 반응하여 개폐하는 스위치, 참조 부호 25는, 입력된 이산 신호로부터 그에 대응하는 표본화 펄스를 추출하는 타이밍 회로이다. 비교기(23)는, 1 표본점의 뒤에서 기준 전압( $Vr1$ )을 초과하는 급변이 발생했을 때에 비교 결과를 출력하고, 스위치(24, 26)를 오프로 하여, 이산 신호 및 타이밍 회로(25)가 출력하는 표본화 펄스를 차단한다. 이에 의해, 1 표본점 뒤에서 급변한 이산 신호는 부적정하다고 판정되어, 차단된다. 그리고, 적정하다고 판정된 이산 신호 및 그에 대응하는 표본화 펄스가 각각 스위치(24, 25)로부터 출력된다. 또한, 급변이 1 표본점으로 수습되지 않아, 수 표본점 계속되는 것이 상정되는 경우에는, 비교기(23)의 출력에 비교 결과를 지정된 시간 유지하는 유지 회로가 접속된다.

다음으로, 도 7에 신호 기억부(2)에 저장되어 있는 이산 신호 데이터의 데이터 포맷의 일례를 나타낸다. 표본점마다, 이산 신호의 데이터( $x_j(j=1, 2, 3, \dots)$ )와 표본점 신호의 데이터( $t_j$ )가 1쌍의 이산 신호 데이터로 되어 저장된다. 신호 기억부(2)는, 불휘발성 메모리 등의 반도체 메모리, 하드디스크, 콤팩트 디스크(CD), 디지털 버스터알 디스크(DVD), 플렉시블 디스크 등의 어느 매체이든 무방하다.

도 4에서의 신호 읽어들이기부(3)는, 신호 기억부(2)에 기억된 이산 신호와 표본점 신호의 1쌍의 데이터를 순차적으로 읽어내고, 표본화 함수의 계수 연산부(4)에 표본점 신호(E2)를, 재생 신호 연산부(5)에 이산 신호(E1)를 출력한다. 계수 연산부(4) 및 재생 신호 연산부(5)는, 제1 실시예에서 설명한 것과 동일하다. 재생 신호 연산부(5)로부터 매끄러운 재생 신호가 출력된다.

본 실시예에 의해, 이산 신호의 흐트러진 일부를 삭제하여 신호를 적정화함과 함께, 적정화에 의해 표본점 간격이 불균등하게 된 이산 신호를 매끄럽게 재생하는 것이 가능하게 된다.

또한, 본 실시예에서는, 원격지로부터 센서 신호를 전송하는 경우를 예로 설명하였지만, 본 발명은 그와 같은 예에 한정하지 않고, 예를 들면 AD 변환기(13)의 출력 데이터가 기록 매체(CD나 DVD, 혹은 자기 테이프 등)에 기록되고, 기록 매체로부터 데이터가 재생될 때에 기록 매체에 생긴 흠집이나 부착된 먼지 등에 의해 재생이 흐트러지는 경우에도 적용 가능함은 물론이다.

또한, 상기에서는, 이산 신호 출력부(17)가 출력하는 이산 신호 데이터가 신호 기억부(2)에 저장되는 경우를 예로 들었지만, 이산 신호 데이터가 신호 기억부(2)를 거치지 않고 신호 재생부에 공급되어도 된다.

본 발명의 제3 실시예를 도 8을 이용하여 설명한다. 본 실시예는, 표본값의 변화가 소정의 값에 도달할 때까지 이산 신호의 전송을 중단함으로써 신호 전송량을 압축하는 것으로, 신호 적정 여부 판정부의 구성 이외에는 제2 실시예와 마찬가지로이다.

도 8에 본 실시예의 신호 적정 여부 판정부의 구성예를 도시한다. 도 8에서, 참조 부호 21은, 입력된 이산 신호의 1 표본점 전의 이산 신호를 출력하는 지연 회로, 참조 부호 28은, 지연 회로(21) 출력의 이산 신호를 항상 입력하지만, 입력이 차단되었을 때에 차단 직전의 이산 신호를 유지하는 유지 회로, 참조 부호 30은, 지연 회로(21) 출력의 이산 신호 또는 유지 회로(28) 출력의 이산 신호를 절환하는 절환 스위치, 참조 부호 22는, 입력된 이산 신호와 절환 스위치(30) 출력의 이산 신호의 차의 절대값을 출력하는 감산기, 참조 부호 23은, 감산기(22)의 출력과 기준 전압( $Vr2$ )을 비교하는 비교기, 참조 부호 27은, 비교기(23)에 접속되고, 반전 비교 결과를 출력하는 인버터, 참조 부호 24, 26, 26은 반전 비교 결과에 부응하여 개폐하는 스위치, 참조 부호 25는, 입력된 이산 신호로부터 그에 대응하는 표본화 펄스를 추출하는 타이밍 회로이다.

인버터(27)를 접속한 비교기(23)는, 이산 신호가 1 표본점 후에서 기준 전압( $Vr2$ )을 초과하지 않았을 때, 동일 이산 신호와 동일 이산 신호에 계속해서 입력되는 이산 신호와의 차가 기준 전압( $Vr2$ )을 초과할 때까지 반전 비교 결과를 출력하고, 스위치(24, 26, 29)를 오프로 하고, 절환 스위치(30)를 유지 회로(28)측에 접속시키고, 이산 신호 및 타이밍 회로가 출력하는 표본화 펄스를 차단한다. 이에 의해, 1 표본점 이후에서 차가 기준 전압( $Vr2$ )을 초과하지 않는 이산 신호는 부적정하다고 판정되어, 차단된다. 그리고, 적정하다고 판정된 이산 신호 및 그에 대응하는 표본화 펄스가 각각 스위치(24, 26)로부터 출력된다.

본 실시예에 의해, 표본점 이후의 표본값의 변화가 소정의 값에 도달할 때까지 이산 신호의 전송을 중단함과 함께, 적정화에 의해 표본점 간격이 불균등하게 된 이산 신호가 매끄럽게 재생되기 때문에, 신호 전송량의 압축이 가능하게 된다.

또한, 본 실시예에서도, 이산 신호 출력부(17)가 출력하는 이산 신호 데이터가 신호 기억부(2)를 거치지 않고 신호 재생부에 공급되어도 된다.

### 도면의 간단한 설명

도 1은 본 발명에 따른 신호 처리 장치의 제1 실시예를 설명하기 위한 구성도.

도 2는 본 발명의 불균등 간격에 대한 표본화 함수의 일례를 설명하기 위한 곡선도.

도 3은 본 발명에 따른 신호 재생의 일례를 설명하기 위한 도면.

도 4는 본 발명의 제2 실시예를 설명하기 위한 구성도.

도 5는 제2 실시예에서의 입력 신호 처리부를 설명하기 위한 구성도.

도 6은 제2 실시예에서의 신호 걱정 여부 판정부를 설명하기 위한 구성도.

도 7은 제2 실시예에서의 신호 기억부의 데이터 포맷을 설명하기 위한 도면.

도 8은 본 발명의 제3 실시예를 설명하기 위한 구성도.

도 9는 표본화 함수의 일례를 설명하기 위한 곡선도.

<부호의 설명>

1, 2: 신호 기억부

3: 신호 읽어들이기부

4: 계수 연산부

5: 재생 신호 연산부

12: 샘플러

13: AD 변환기

14: 신호 걱정 여부 판정부

15: 타이머

16: 표본점 측정부

17: 이산 신호 출력부

21: 지연 회로

22: 감산기

23: 비교기

24, 26, 29: 스위치

25: 타이밍 회로

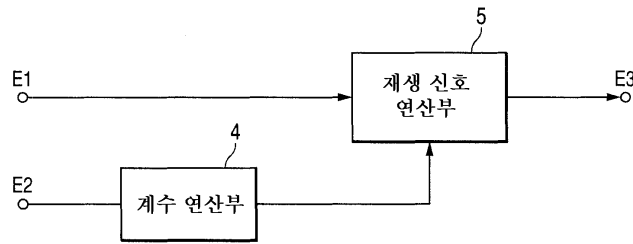
27: 인버터

28: 유지 회로

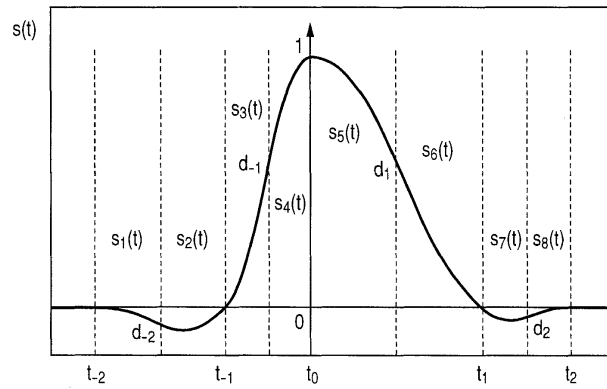
30: 절환 스위치

도면

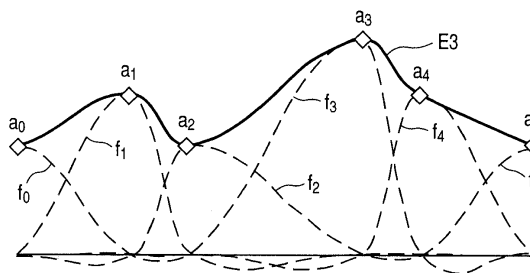
도면1



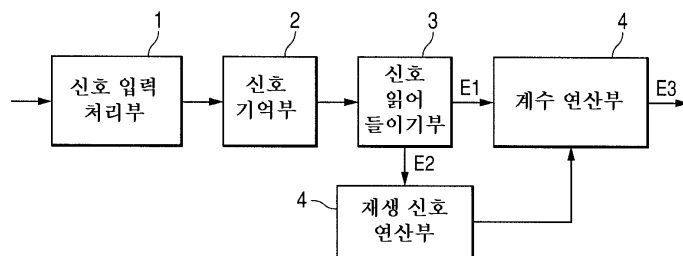
도면2



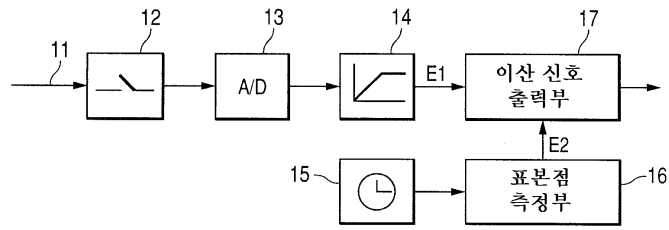
도면3



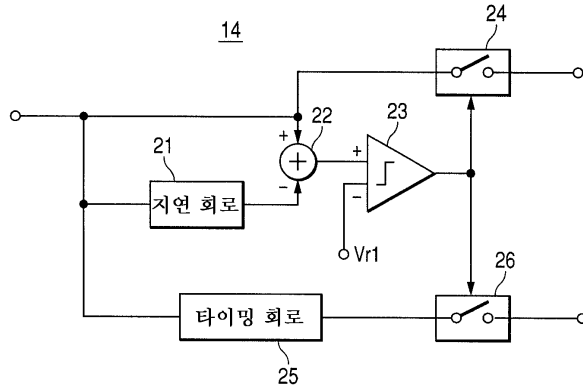
도면4



도면5



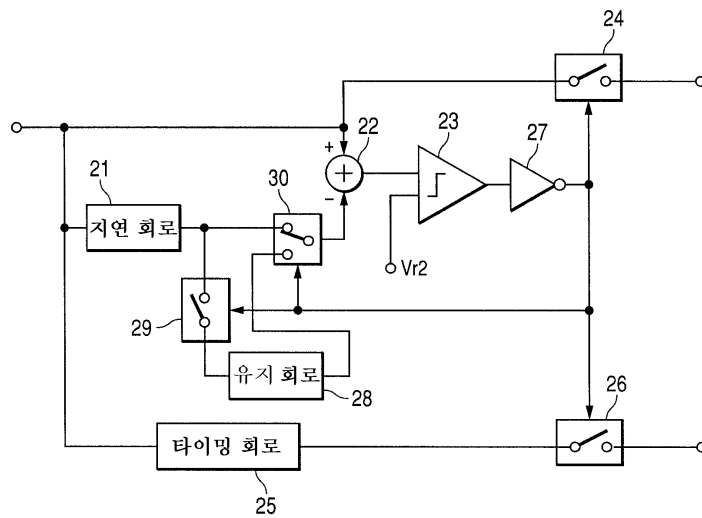
도면6



도면7

x1	t1
x2	t2
x3	t3
x4	t4

도면8



도면9

