

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年10月21日(21.10.2010)

PCT

(10) 国際公開番号
WO 2010/119957 A1

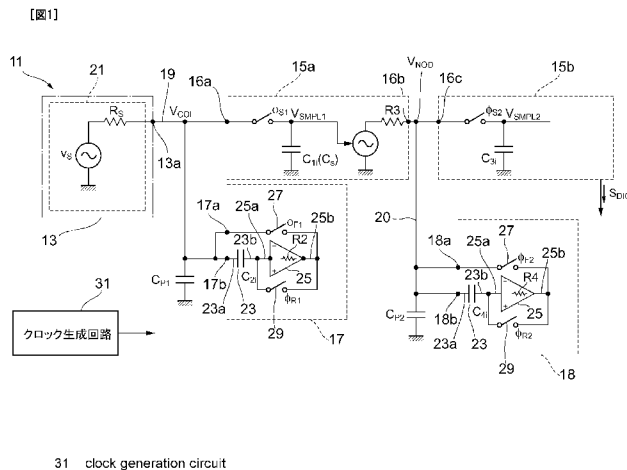
- (51) 国際特許分類:
H04N 5/335 (2006.01) H04N 1/028 (2006.01)
- (21) 国際出願番号: PCT/JP2010/056857
- (22) 国際出願日: 2010年4月16日(16.04.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-101271 2009年4月17日(17.04.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学(NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷836 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川人 祥二 (KAWAHITO Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiaki et al.); 〒1040061 東京都中央区銀座一丁目10番

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SENSOR INTEGRATED CIRCUIT

(54) 発明の名称: センサ集積回路



(57) Abstract: A sensor integrated circuit able to shorten the signal transmission time from a sensor circuit to a signal processing circuit, without detracting from the accuracy of the final value. The sensor circuit (13) has an output resistance (Rs) and includes an output (13a), which is connected to a signal line (19), and an image sensor pixel (21). The signal processing circuit (15) is connected via the signal line (19) to the output of the sensor circuit (13). The signal processing circuit (15a) includes an input (16a) having a first input capacitance value, and processes signals received from the sensor circuit (13) through the signal line (19). A charging circuit (17) includes an output (17a), input (17b) connected to the signal line (19). The output resistance (R2) of the output (17a) is lower than the output resistance (Rs), and the input capacitance value of the input (17b) is lower than the first input capacitance value. The charging circuit (17) begins charging the signal line (19) via the output (17a) in response to the potential (V_{COL}) at the input (17b), and ends charging at the time (t2) before the time (t1) of the end point of the driving period T_{DRV}.

(57) 要約:

[続葉有]

WO 2010/119957 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

センサ回路から信号処理回路への信号伝達時間を、最終値の正確さを損なうことなく、短縮可能なセンサ集積回路を提供する。センサ回路 13 は、出力抵抗 R_s を有し、信号線 19 に接続された出力 13 a とイメージセンサ用の画素 21 とを含む。信号処理回路 15 はセンサ回路 13 の出力に信号線 19 を介して接続される。信号処理回路 15 a は第 1 の入力容量値を有する入力 16 a を含み、センサ回路 13 から信号線 19 を介して受けた信号を処理する。充電回路 17 は、信号線 19 に接続された出力 17 a、入力 17 b を含む。出力 17 a の出力抵抗 R_2 は出力抵抗 R_s より小さく、入力 17 b の入力容量値は第 1 の入力容量値より小さい。充電回路 17 は入力 17 b での電位 V_{COL} に応答して出力 17 a を介して信号線 19 への充電を開始し、駆動期間 T_{DRV} の終点の時刻 t_1 の前の時刻 t_2 に充電を終了する。

明 細 書

発明の名称： センサ集積回路

技術分野

[0001] 本発明は、センサ集積回路に関する。

背景技術

[0002] 特許文献1には、高感度撮像装置が記載されている。イメージセンサのノイズレベルでは、アンプ等の回路によって発生されるノイズが支配的である。この高感度撮像装置は、カラムアンプ等の回路が発生するランダムノイズをデジタル領域での処理で低減する。特許文献2には、イメージセンサが記載されている。CMOSイメージセンサのカラムにA/D変換器のアレイを設けてデジタル出力を生成する。デジタル信号に変換された信号レベルとリセットレベルとのレベル差を生成することによって、高精度の固定パターン雑音除去とランダムノイズの低減が可能になる。

先行技術文献

特許文献

[0003] 特許文献1：特開2003-153085号公報

特許文献2：特開2006-25189号公報

発明の概要

発明が解決しようとする課題

[0004] ある用途では、画素（例えば、CMOSイメージセンサのセル）からその出力信号をより高速に標本化すると共にこの標本化信号の読み出し処理を行うことが望まれている。別の用途では、微弱な光信号または低照度の画像を受けるイメージセンサからの出力信号の読み出し処理をより短い時間内に行うことが望まれている。このために、画素から信号は信号処理回路によって処理される。これらの回路の応答速度は、様々な要因によって決定される。これらの要因としては、例えば、画素回路や増幅回路といった回路の出力インピーダンス、この回路からの信号を信号線を介して受ける標本化回路等の

処理回路の入力キャパシタンス及びカラム線等の信号線の寄生キャパシタンス等である。

[0005] 一方、画素内の回路や画素の出力に接続された回路は、いわゆるアナログ信号を提供しており、駆動が完了するまで、その最終の電圧値を知ることはできない。また、駆動回路からの信号の最終値は、画素のセンサ素子ごとの受光量や増幅回路の入力信号の値に依存するので、正確な読み出しのためには、駆動回路の十分な駆動のための期間が必要である。

[0006] センサ素子を含むセンサ回路は、該センサ回路からの読み出し信号を処理するための信号処理回路等と一緒に集積される。例えば、センス集積回路は、イメージセンサのための画素回路といったセンサ回路を含み、また該センサ回路からの信号を読み出す。このセンス集積回路は、センサ回路、信号処理回路及び読み出し回路を含む。センサ回路は、センサ素子のセンス値を示す信号を生成する共に駆動期間に信号線を駆動し、また信号処理回路は、信号線を介して該センサ回路からの信号を受けると共に該信号を処理して、読み出し回路に信号を提供する。

[0007] 本発明は、センサ回路及び信号処理回路を含むセンサ集積回路において、センサ回路から信号処理回路への信号伝達時間を、伝達される信号の最終値の正確さを損なうことなく、短縮可能なセンサ集積回路を提供することを目的とする。また、本発明は、センサ回路、信号処理回路及び読み出し回路を含むセンサ集積回路において、センサ回路から読み出し回路への信号伝達時間を、伝達される信号の最終値の正確さを損なうことなく、短縮可能なセンサ集積回路を提供することを目的とする。

課題を解決するための手段

[0008] 本発明に係るセンサ集積回路は、センサ回路と、信号処理回路と、信号線に接続された入力及び出力を有する充電回路とを備える。このセンサ回路は、センサ内部抵抗 R_s が直列に接続されるセンサ電圧源を有する。信号処理回路は、センサ電圧源が信号線及びスイッチを介して接続されるキャパシタを有する。キャパシタは、キャパシタの充電時に、センサ電圧源にスイッチを

介して接続されると共に、キャパシタの電圧保持時に、スイッチによりセンサ電圧源から切り離されて、キャパシタ上のセンサ電圧信号が信号処理回路から出力される。充電回路は、信号線に接続された別のキャパシタと、別のキャパシタが入力側に接続され内部抵抗 R_2 と等価な相互コンダクタンスを有する駆動回路を備える。充電回路は、駆動回路の出力と駆動回路の入力を等電位とするリセットスイッチと、駆動回路の該出力と信号線を等電位とする出力スイッチとを備える。

[0009] 本発明に係るセンサ集積回路では、信号線は寄生キャパシタ C_p （容量： C_p ）を有する。キャパシタ C_{i1} （容量： C_s ）、前記別のキャパシタ C_{21} （容量： C_a ）、センサ内部抵抗 R_s 、充電回路の内部抵抗 R_2 において、 $C_p < C_a < C_s$ かつ、 $C_a \times R_2 < C_s \times R_s$ である。

[0010] 本発明に係るセンサ集積回路では、充電回路は、信号線の駆動のための第1駆動期間の始点の後に充電回路の入力の電位に応答して充電動作を開始すると共に、充電回路の出力に充電電荷を提供することを第1駆動期間の終点に先立って停止する。

[0011] 本発明に係るセンサ集積回路は、（a）センサ素子と該センサ素子のセンス値を示す第1信号を出力する出力とを含むセンサ回路と、（b）センサ回路からの第1信号を第1受信期間に受ける入力と第1信号を処理して生成された第2信号を出力する出力とを含む信号処理回路と、（c）第2信号を第2受信期間に受ける読み出し回路と、（d）信号線に接続された入力及び出力を有する充電回路とを備える。信号処理回路は増幅器及び積分器のいずれか一方を含む。信号線は、センサ回路の出力と信号処理回路の入力との間の接続、及び、信号処理回路の出力と読み出し回路の入力との間の接続のいずれか一方の接続を成す。別の信号線は、センサ回路の出力と信号処理回路の入力との間の接続、及び、信号処理回路の出力と読み出し回路の入力との間の接続のいずれか他方の接続を成す。充電回路は、信号線の駆動のための第1駆動期間の始点の後に、充電回路の入力の電位に応答して充電動作を開始

すると共に、充電回路の出力に充電電荷を提供することを第1駆動期間の終点に先立って停止する。

[0012] 上記のセンサ集積回路によれば、充電回路は信号線に接続されると共に、センサ回路の出力及び信号処理回路の出力のいずれか一方の回路（以下「第1回路」として参照する）が信号線に接続されている。第1回路は、第1駆動期間において信号線を駆動する。充電回路は、その入力電位に応答して第1駆動期間の始点の後に充電動作を開始するので、第1回路の動作に応じた動作を行う。また、充電回路は、充電回路の出力に充電電荷を提供することを第1駆動期間の終点に先立って停止するので、充電回路の動作は、信号線の駆動値の最終値に影響を与えない。充電回路の充電動作が終了した後は、第1回路が、信号線の電位を最終値に到達させる。

[0013] 本発明に係るセンサ集積回路では、信号線は、センサ回路の出力と信号処理回路の入力との間の接続を成しており、信号処理回路の入力は第1の入力キャパシタンスを有し、充電回路の入力は第2の入力キャパシタンスを有し、第2の入力キャパシタンスは、第1の入力キャパシタンスより小さく、センサ回路の出力は第1の出力抵抗を有し、充電回路の出力は第2の出力抵抗を有し、第2の出力抵抗は、充電回路の充電中において第1の出力抵抗より小さく、信号線の電位における初期値から第1の駆動値への変化及び第2の駆動値から最終値への変化は、センサ回路によって行われ、信号線の電位における第1の駆動値から第2の駆動値への変化は、充電回路及びセンサ回路によって行われる。

[0014] 上記のセンサ集積回路によれば、センサ回路が信号線の寄生キャパシタンス及び信号処理回路の入力の駆動を行う際に、まず、その駆動期間において、センサ回路が、受信期間の開始に先立って、信号線の寄生キャパシタ及び充電回路の入力キャパシタを駆動する。この後に、充電回路は、その入力における電位に応答して信号線への充電を開始する。センサ回路及び充電回路が、充電回路の入力キャパシタンスより大きい入力キャパシタンスを有する信号処理回路の入力を駆動する。充電回路の第2の出力抵抗はセンサ回路の

第1の出力抵抗より小さいので、充電回路はセンサ回路による駆動を補助する。また、充電回路は、駆動期間の終点の前に充電を終了するので、最終値（アナログ値）への充電または駆動は、センサ回路によって行われる。故に、最終値の正確さを損なうことがない。充電回路の第2の入力キャパシタンスが第1の入力キャパシタンスより小さいので、センサ回路の出力に接続される容量性負荷は、充電回路の追加によりあまり増加しない。

[0015] 本発明に係るセンサ集積回路では、信号線は、信号処理回路の出力と読み出し回路の入力との間の接続を成しており、読み出し回路の入力は第3の入力キャパシタンスを有し、充電回路の入力は第2の入力キャパシタンスを有し、信号処理回路の出力は第3の出力抵抗を有し、充電回路の出力は第2の出力抵抗を有し、第2の入力キャパシタンスは、第3の入力キャパシタンスより小さく、第2の出力抵抗は、充電回路の充電中において第3の出力抵抗より小さく、信号線の電位における初期値から第3の駆動値への変化及び第4の駆動値から最終値への変化は、信号処理回路によって行われ、信号線の電位における第3の駆動値から第4の駆動値への変化は、充電回路及び信号処理回路によって行われる。

[0016] 上記のセンサ集積回路によれば、信号処理回路が信号線の寄生キャパシタンス及び読み出し回路の入力の駆動を行う際に、まず、その駆動期間において、信号処理回路が、受信期間の開始に先立って、信号線の寄生キャパシタ及び充電回路の入力キャパシタを駆動する。充電回路は、その入力における電位に応答して信号線への充電を開始する。充電回路及び信号処理回路は、大きい入力キャパシタンスを有する読み出し回路を駆動する。充電回路の第2の出力抵抗が第3の出力抵抗より小さいので、充電回路は信号処理回路による駆動を補助する。充電回路は、駆動期間の終点の前に充電を終了するので、最終値（アナログ値）への充電または駆動は、信号処理回路によって行われる。故に、最終値の正確さを損なうことがない。充電回路の第2の入力キャパシタンスが第3の入力キャパシタンスより小さいので、信号処理回路の出力に接続される容量性負荷は、充電回路の追加によりあまり増加しない

- 。
- [0017] 本発明に係るセンサ集積回路では、充電回路は、充電回路の入力に接続された一端を有する入力キャパシタと、入力キャパシタの他端に接続された入力端子を有する駆動回路と、駆動回路の出力と充電回路の出力との間に接続され駆動期間より短い充電期間において導通するスイッチとを含み、充電回路は、充電に先立って入力キャパシタに信号線の電位のサンプリングを行う。上記のセンサ集積回路によれば、入力キャパシタは、第2の入力キャパシタンスを実質的に規定する。駆動回路の出力及びスイッチの合成等価抵抗が第2の出力抵抗を実質的に規定する。この充電回路では、駆動回路の入力は、入力キャパシタを介して受けた信号線上の電位の変化に応答する。充電回路による充電期間の終点は、駆動期間の終点の前に非導通になるスイッチの動作により規定される。
- [0018] 本発明に係るセンサ集積回路では、読み出し回路は、信号処理回路の出力に接続された相関二重サンプリング回路を含み、相関二重サンプリング回路は、センサ回路におけるセンス値を示す第1のセンス信号を格納する第1のキャパシタと、第1のキャパシタと読み出し回路の入力との間に接続された第1のスイッチと、センサ回路におけるセンス値を示す第2のセンス信号を格納する第2のキャパシタと、第2のキャパシタと読み出し回路の入力との間に接続された第2のスイッチとを含む。
- [0019] 本発明に係るセンサ集積回路では、センサ回路はイメージセンサの画素回路であり、画素回路は、センサ素子として光電変換素子と、該光電変換素子からの信号を増幅する増幅回路とを含み、第1のセンス信号はセンサ回路のリセットレベルに対応する第1の画素信号を含むと共に、第2のセンス信号はセンサ回路の信号レベルの成分を含む第2の画素信号を含む。上記のセンサ集積回路によれば、充電回路は、画素回路の増幅回路による信号線の駆動を補助する。充電回路は、駆動期間の終点の前に充電を終了するので、最終値（アナログ値）への充電または駆動は、画素回路の増幅回路によって行われる。

- [0020] 本発明に係るセンサ集積回路では、信号処理回路は、増幅器を含み、増幅器の入力は信号処理回路の入力からの信号を受け、増幅器は、当該増幅器の増幅率を規定する第3及び第4のキャパシタと、第3及び第4のキャパシタと共に動作して当該増幅器の入力に受けた信号を増幅する演算増幅回路とを含むことができる。上記のセンサ集積回路によれば、増幅器は、画素回路からの信号を増幅する。画素回路から増幅器への信号伝達時間は最終値の正確さを損なうことなく短縮される。増幅器のキャパシタは第2の入力キャパシタンスを規定する。また、増幅器における消費電流を増加させずに信号伝達時間を短縮できる。
- [0021] 本発明に係るセンサ集積回路では、信号処理回路は、積分器を含み、積分器の入力は信号処理回路の入力からの信号を受け、積分器は、当該積分器の入力からの信号を標本化する標本化回路と、標本化回路によって標本化された信号を積分する積分回路とを含むことができる。上記のセンサ集積回路によれば、積分器は画素回路からの信号を処理する。画素回路から積分器への信号伝達時間は最終値の正確さを損なうことなく短縮される。標本化回路は第2の入力キャパシタンスを規定する。また、積分器における消費電流を増加させることをなく信号伝達時間を短縮できる。
- [0022] 本発明に係るセンサ集積回路は、別の信号線に接続された入力及び出力を有する別の充電回路を更に備えることができる。別の充電回路は、別の充電回路の入力の電位に応答して第2駆動期間の始点の後に充電動作を開始すると共に、別の充電回路の出力に充電電荷を提供することを第2駆動期間の終点に先立って停止する。上記のセンサ集積回路によれば、別の充電回路は別の信号線に接続されていると共に、センサ回路及び信号処理回路のいずれか他方の回路（以下「第2回路」として参照する）が別の信号線に接続されている。第2回路は、第2駆動期間において別の信号線を駆動する。別の充電回路は、その入力の電位に応答して第2駆動期間の始点の後に充電動作を開始するので、第2回路の動作に応じた動作を行う。また、別の充電回路は、別の充電回路の出力に充電電荷を提供することを第2駆動期間の終点に先立

って停止するので、別の充電回路の動作は、別の信号線の駆動値の最終値に影響を与えない。別の充電回路の充電動作が終了した後は、第2回路が、信号線の電位を最終値に到達させる。

- [0023] 本発明に係るセンサ集積回路では、別の充電回路は、別の信号線に接続された一端を有する別の入力キャパシタと、入力キャパシタの他端に接続された入力を有する別の駆動回路と、別の駆動回路の出力と別の信号線との間に接続され第2駆動期間より短い充電期間において導通するスイッチとを含み、別の充電回路は、第2受信期間の始点の前において充電に先立って別の入力キャパシタに別の信号線の電位のサンプリングを行う。上記のセンサ集積回路によれば、入力キャパシタは、第4の入力キャパシタンスを実質的に規定する。駆動回路の出力及びスイッチの合成等価抵抗が第4の出力抵抗を実質的に規定する。この別の充電回路では、駆動回路の入力は、入力キャパシタを介して受けた別の信号線上の電位の変化に応答する。別の充電回路による充電期間の終点は、第2駆動期間の終点の前に非導通になるスイッチの動作により規定される。

発明の効果

- [0024] 本発明によれば、センサ回路及び信号処理回路を含むセンサ集積回路において、伝達される信号の最終値の正確さを損なうことなくセンサ回路から信号処理回路への信号伝達時間を短縮可能なセンサ集積回路が提供することを目的とする。また、本発明によれば、センサ回路、信号処理回路及び読み出し回路を含むセンサ集積回路において、伝達される信号の最終値の正確さを損なうことなく、センサ回路から読み出し回路への信号伝達時間を短縮可能なセンサ集積回路が提供される。

図面の簡単な説明

- [0025] [図1] 図1は、本実施の形態に係るセンサ集積回路及びイメージセンサ回路を概略的に示す図面である。

[図2] 図2は、このセンサ集積回路の概略的なタイミングチャートを示す。

[図3] 図3は、このセンサ集積回路の概略的なタイミングチャートを示す。

[図4] 図4は、本実施の形態に係る一実施例による高速化のシミュレーションの結果を示す図面である。

[図5] 図5は、本実施の形態に係るイメージセンサ回路の別の例を示す図面である。

[図6] 図6は、図5に示されたイメージセンサ回路のためのタイミングチャートを示す。

[図7] 図7は、本実施の形態に係るイメージセンサ回路のためのセンサ集積回路の別の例を示す図面である。

[図8] 図8は、図7に示されたイメージセンサ回路のためのセンサ集積回路のタイミングチャートを示す図面である。

発明を実施するための形態

[0026] 本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することにより容易に理解できる。引き続いて、添付図面を参照しながら、本発明のセンサ集積回路の実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

[0027] 図1は、本実施の形態に係るセンサ集積回路を概略的に示す図面である。図2は、本実施の形態に係るセンサ集積回路の信号処理回路における概略的なタイミングチャートを示す図面である。図3は、本実施の形態に係るセンサ集積回路の読み出し回路における概略的なタイミングチャートを示す図面である。センサ集積回路11は、センサ回路13と、信号処理回路15aと、読み出し回路15bと、第1充電回路17と、第2充電回路18とを備える。センサ回路13は、信号線19に接続された出力13aと、センサ素子を含む検知回路（例えば、画素21）とを含み、また第1の出力抵抗 R_s を有する。センサ回路13は、このセンサ素子のセンス値を示す信号 V_s を生成し、この信号 V_s はセンサ電圧源によって生成される。センサ電圧源には出力抵抗 R_s が直列に接続される。信号処理回路15aはキャパシタ C_s を有する。キャパシタ C_s は信号線19を介して信号処理回路15aに接続される。また、センサ電圧源が信号処理回路15aのスイッチ及び信号線19を介して

キャパシタ C_s に接続される。

- [0028] 信号処理回路 15 a は、センサ回路 13 の出力 13 a に信号線 19 を介して接続されている。また、信号処理回路 15 a は、第 1 の入力キャパシタンスを有する入力 16 a を含み、信号線 19 を介してセンサ回路 13 から受けた信号を処理する。また、充電回路 17 は、信号線 19 に接続された出力 17 a 及び信号線 19 に接続された入力 17 b を含む。充電回路 17 の出力 17 a は、充電回路 17 の充電期間（図 2 における「 T_{CHG1} 」）中において第 1 の出力抵抗 R_s より小さい第 2 の出力抵抗（例えば値 R_2 ）を有しており、その入力 17 b は、信号処理回路 15 a の入力キャパシタンス（第 1 の入力キャパシタンス）より小さい第 2 の入力キャパシタンスを有する。
- [0029] センサ回路 13 は信号線 19 の電位を初期値から第 1 の駆動値へ変化させる。信号線 19 の電位が第 1 の駆動値に到達した後に、充電回路 17 は入力 17 b に受けた第 1 の駆動値に応答して、充電動作を開始する。充電回路 17 が信号線 19 を駆動する充電期間 T_{CHG1} 中において、充電回路 17 及びセンサ回路 13 が、信号線 19 の電位を充電開始時の電位から第 2 の駆動値へ変化させる。充電期間 T_{CHG1} が終了したとき、充電回路 17 は充電動作を停止する。信号線 19 の電位が第 2 の駆動値に到達した後に、センサ回路 13 が信号線 19 の電位を第 2 の駆動値から最終値へ変化させる。
- [0030] 読み出し回路 15 b は、信号処理回路 15 a の出力 16 b に信号線 20 を介して接続されており、出力 16 b は第 3 の出力抵抗（例えば値 R_3 ）を有する。また、読み出し回路 15 b は、第 3 の入力キャパシタンスを有する入力 16 c を含み、信号処理回路 15 a から信号線 20 を介して受けた信号を処理する。充電回路 18 は、信号線 20 に接続された出力 18 a 及び信号線 20 に接続された入力 18 b を含む。充電回路 18 の出力 18 a は、充電回路 18 の充電期間（図 3 における「 T_{CHG2} 」）中において、第 3 の出力抵抗（ R_3 ）より小さい第 4 の出力抵抗（例えば値 R_4 ）を有しており、その入力 18 b は、読み出し回路 15 b の入力キャパシタンス（第 3 の入力キャパシタンス）より小さい第 4 の入力キャパシタンスを有する。

- [0031] また、信号処理回路 15 a は、信号線 20 の電位を初期値から第 3 の駆動値へ変化させる。信号線 20 の電位が第 3 の駆動値に到達した後に、充電期間 T_{CHG2} 中において、充電回路 18 及び信号処理回路 15 a が信号線 20 の電位を充電開始時の電位から第 4 の駆動値へ変化させる。信号線 20 の電位が第 4 の駆動値に到達した後に、信号処理回路 15 a が、信号線 20 の電位を該第 4 の駆動値から最終値へ変化させる。
- [0032] 充電回路 17、18 の働きを説明する。図 2 に示されるように、充電回路 17 は、この入力 17 b における電位 V_{COL} に応答して出力 17 a を介して信号線 19 への充電を開始すると共に駆動期間 T_{DRV1} の終点の時刻 t_2 の前の時刻 t_3 に充電を終了する。
- [0033] センサ集積回路 11 によれば、センサ回路 13 が時刻 t_0 に信号線 19 の寄生キャパシタンス C_{P1} 及び信号処理回路 15 a の第 1 の入力キャパシタンス C_{1i} ($=C_S$) の駆動を開始する。この駆動の際に、充電回路 17 は、時刻 t_1 に、その入力 17 b における電位 V_{COL} の変化に応答して信号線 19 への充電を開始する。この充電回路 17 の第 2 の出力抵抗 R_2 は第 1 の出力抵抗 R_s より小さいので、センサ回路 13 のための駆動時間を短縮できる。充電回路 17 は、駆動期間 T_{DRV1} の終点 t_2 の前の時刻 t_3 に充電を終了するので、信号線 19 上の信号の最終値への充電または駆動は、充電回路 17 のアシスト無しに、センサ回路 13 によって時刻 $t_3 \sim t_2$ まで行われる。故に、充電回路 17 の追加により最終値（アナログ値）の正確さを損なうことがない。充電回路 17 の第 2 の入力キャパシタンスが第 1 の入力キャパシタンスより小さいので、センサ回路 13 の出力に接続される容量性負荷は、充電回路 17 の追加によりあまり増加しない。
- [0034] 次いで、図 3 に示されるように、センサ集積回路 11 によれば、信号処理回路 15 a が、時刻 s_0 に、信号線 20 の寄生キャパシタンス C_{P2} 及び読み出し回路 15 b の入力キャパシタンス C_{3i} の駆動を開始する。この駆動の際に、充電回路 18 は、時刻 s_1 に、その入力 18 b における電位 V_{NOD} (図 2 における信号 V_{COL} に対応する) に応答して信号線 20 への充電を開始する。

この充電回路 18 の第 4 の出力抵抗 R_4 は第 3 の出力抵抗 R_3 より小さいので、信号処理回路 15 a のための駆動時間を短縮できる。充電回路 18 は、駆動期間 T_{DRV2} (図 2 における駆動時間に T_{DRV1} 対応する) の終点 s_2 の前の時刻 s_3 に充電を終了するので、信号線 20 上の信号の最終値への充電または駆動は、充電回路 18 のアシスト無しに、信号処理回路 15 a によって時刻 $s_3 \sim s_2$ まで行われる。故に、最終値 (アナログ値) の正確さを損なうことがない。充電回路 18 の第 4 の入力キャパシタンスが第 3 の入力キャパシタンスより小さいので、信号処理回路 15 a の出力に接続される容量性負荷は、充電回路 18 の追加によりあまり増加しない。

[0035] センサ集積回路 11 は、センサ素子を含み高い出力抵抗を示す回路に好適に利用される。センサ集積回路の一例はイメージセンサ回路である。引き続き説明では、理解を容易にするために、センサ集積回路 11 としてイメージセンサ回路を説明する。本発明はイメージセンサ回路に限定されるものではない。イメージセンサ回路 11 は、センサ素子として画素 21 を含む。画素 21 は、例えばフォトダイオードといったセンサ素子を有する。センサ回路 13 は、典型的な例では、イメージセンサのための画素回路である。具体例としては、画素回路は、MOS イメージセンサである。また、信号処理回路 15 a は、典型的な例では、読み出しのための増幅回路、及び読み出しのための積分回路、相関二重サンプリング回路等である。また、読み出し回路 15 b は、典型的な例では、相関二重サンプリング回路、積分器等である。

[0036] 好適な実施例では、充電回路 17、18 は以下の回路構成を有することができる。代表して、充電回路 17 を説明する。充電回路 17 は、入力キャパシタ 23 と、駆動回路 25 と、スイッチ 27 とを含むことができる。入力キャパシタ 23 の一端 23 a は信号線 19 に接続されており、他端 23 b は駆動回路 25 の入力 25 a に接続されている。駆動回路 25 は、例えば反転増幅器であることができる。スイッチ 27 は、駆動回路 25 の出力 25 b と信号線 19 との間に接続されている。スイッチ 27 は、制御信号 ϕ_{F1} に応答して動作しており、駆動期間 T_{DRV1} (時刻 $t_0 \sim t_2$: ($T_1 + T_2 + T_3$))

より短い期間 T_{CHG1} （時刻 $t_1 \sim t_3 : T_2$ ）において導通する。入力キャパシタ 23 は、寄生キャパシタンスを除いて、充電回路 17 においては第 2 の入力キャパシタンス C_{2i} を有する。駆動回路 25 の出力 $25b$ 及びスイッチ 27 の合成等価抵抗が第 2 の出力抵抗（ R_2 ）を規定する。この充電回路 17 では、駆動回路 25 の入力 $25a$ は、入力キャパシタ 23 を介して受けた信号線 19 上の電位 V_{COL1} の変化に応答する。充電回路 17 による充電期間の終点はスイッチ 27 の動作により規定され、スイッチ 27 は駆動期間 T_{DRV1} 及び受信期間 T_{RCV1} の終点の前（期間 T_{CHG1} が満了したとき）に非導通になる。充電回路 17 が、キャパシタ結合のアンプを含むので、キャパシタ 23 を用いて信号線 19 上の信号をサンプリングすることができる。キャパシタ 23 （ C_{2i} ）のキャパシタンスがキャパシタ C_s より小さいので、高速に信号線 19 が変化される。故に、充電回路 17 は、駆動期間 T_{DRV1} の最初にあるサンプリング期間（ T_1 ）に、画素 21 が提供する信号の値を標本化できる。

[0037] 図 2 を参照しながら、センサ回路 13 からの信号を受ける信号処理回路 $15a$ の動作を説明する。画素 21 はMOSイメージセンサの画素回路である。クロック生成回路 31 は、図 1 及び図 2 に示された制御信号及びクロック信号を提供する。充電回路 17 では、リセット信号 ϕ_{R1} に反応してスイッチ 29 が、駆動回路 25 の入力 $25a$ と出力 $25b$ を短絡して、駆動回路 25 はリセット状態に置かれる。リセットのための期間 T_{RS1} （ T_1 ）が経過した後、クロック ϕ_{S1} によって規定される受信期間 T_{RCV1} （ $T_2 + T_3$ ）が開始される。本実施例では、駆動期間 T_{DRV1} は、リセット期間 T_{RS1} の終点の前に開始されている。このため、リセット期間 T_{RS1} では、充電回路 17 が非活性化されているけれども、センサ回路 13 は動作している。受信期間 T_{RCV1} の始点 t_1 よりの前の期間（ $T_1 : t_0 \sim t_1$ ）では、センサ回路 13 が、充電回路 17 の入力キャパシタンス C_{2i} 及び信号線 19 の寄生キャパシタンス C_{P1} を駆動する。これらの合成キャパシタのキャパシタンスは、第 1 の入力キャパシタンス C_s よりも十分に小さいので、信号線 19 の電位は速やかに

変化する。リセット期間 T_{RS1} の終点では、信号線19の電位は、ほぼ目標値まで変化している。信号線19のこの電位が充電回路17の入力に印加されているので、充電回路17の入力キャパシタ23が信号線19の電位をサンプリングできる。

[0038] 受信期間 T_{RCV1} ($t_1 \sim t_2$) では、入力キャパシタ C_s を有する信号処理回路15aが、信号線19に接続されている。第1の入力キャパシタンス C_s は、充電回路17の入力キャパシタンス C_{2i} 及び信号線19の寄生キャパシタンス C_{P1} の合成キャパシタンスよりも十分に大きいので、合成キャパシタから電荷が信号処理回路15aへ移動し電荷分配が生じて、信号線19の電位は移動電荷量に応じて変化する。信号線19におけるこの電位が、リセット状態が解除された充電回路17の入力に印加される。好ましい実施例では、充電回路17は、電荷分配により電位の変化に応答して、充電を開始する。期間 T_1 に引き続く期間 ($T_2 : t_1 \sim t_3$) では、充電回路17及びセンサ回路13の両方が、信号処理回路15aを駆動する。しかしながら、信号処理回路15aの容量性負荷 (入力キャパシタ C_s) が、合成キャパシタンスより大きいので、信号線19の電位は、期間 T_1 の変化速度よりも緩やかに変化する。時刻 t_3 では、充電回路17のスイッチ27が非導通になる。期間 T_2 に引き続く期間 ($T_3 : t_3 \sim t_2$) では、再び、センサ回路13が信号処理回路15aを駆動して、信号線19及び信号処理回路15aの入力キャパシタの電位に変化させて最終値にする。具体的なイメージセンサ回路では、容量比 ($C_{1i} / (C_{2i} + C_{P1})$) は、例えば3~5程度である。

[0039] センサ回路 (例えば、画素21) 13は、駆動期間 T_{DRV1} に信号線19を駆動して信号線19の電位 V_{COL} を初期値 V_1 から最終値 V_2 に変化させる。信号線19の電位 V_{COL} に関して、初期値 V_1 から駆動値 V_{31} への変化及び第2の駆動値 V_4 から最終値 V_2 への変化は、センサ回路 (例えば、画素21) 13によって行われる一方で、駆動値 V_{32} から第2の駆動値 V_4 への変化は、充電回路17及びセンサ回路 (例えば、画素21) 13によって行われる。

[0040] 期間 T_{CHG1} では、充電回路 17 が信号線 19 の駆動または充電を補助しており、この結果として、信号処理回路 15 a の比較的大きなキャパシタ（第 1 のキャパシタンス C_{1i} ） C_S への充電の速度を上げることができる。故に、期間 T_{CHG1} では、充電回路 17 は、キャパシタ C_{P1} 及び C_S へ電荷を供給して、信号線 19 の電位を駆動値 V_{32} から第 2 の駆動値 V_4 へ変化させることに加えて、信号処理回路 15 a のキャパシタ C_S 上の電位 V_{SAMPL1} も変化させる。充電回路 17 の充電動作の開始に先立って、センサ回路（例えば、画素 21）13 は、キャパシタ C_{P1} 及び C_S へ電荷を供給して、信号線 19 の電位 V_{COL} を初期値 V_1 から駆動値 V_{31} へ変化させて、この値を充電回路 17 は標本化することができる。充電回路 17 の充電動作の終了した後に、センサ回路（例えば、画素 21）13 は、キャパシタ C_{P1} 及び C_S へ電荷を供給して、信号線 19 の電位 V_{COL} を第 2 の駆動値 V_4 から最終値 V_2 へ変化させることに加えて、信号処理回路 15 a のキャパシタ C_S 上の電位 V_{SAMPL1} も変化させて、正確な最終値（アナログ値）への駆動を達成する。

[0041] 次いで、図 3 を参照しながら、信号処理回路 15 a からの信号を受ける読み出し回路 15 b の動作を説明する。クロック生成回路 31 は、図 2 及び図 3 に示された制御信号及びクロック信号を提供する。引き続き説明では、読み出し回路 15 b のキャパシタ C_{3i} に信号を取り込む。充電回路 18 では、リセット信号 ϕ_{R2} に応答して、スイッチ 29 が、駆動回路 25 の入力 25 a と出力 25 b を短絡して、駆動回路 25 はリセット状態に置かれる。リセットのための期間 S_{RS2} (S_1) が経過した後に、クロック ϕ_{S2} によって規定される受信期間 T_{RCV2} ($S_2 + S_3$) が開始される。本実施例では、駆動期間 T_{DRV2} は、リセット期間 T_{RS2} の終点の前に開始されている。このため、リセット期間 T_{RS2} では、充電回路 18 が非活性化されているけれども、信号処理回路 15 a は動作している。受信期間 T_{RCV2} の始点 s_1 よりの前の期間 ($S_1 : s_0 \sim s_1$) では、信号処理回路 15 a が、充電回路 18 の入力キャパシタンス C_{4i} 及び信号線 20 の寄生キャパシタンス C_{P2} を駆動する。これらの合成キャパシタのキャパシタンスは、第 1 の入力キャパシタンス C_{3i} よ

りも十分に小さいので、信号線 20 の電位は速やかに変化する。リセット期間 T_{RS2} の終点では、信号線 20 の電位は、ほぼ目標値まで変化している。信号線 20 のこの電位が充電回路 18 の入力に印加されているので、充電回路 18 の入力キャパシタ 23 が信号線 20 の電位をサンプリングできる。

[0042] 受信期間 T_{RCV2} ($s_1 \sim s_2$) では、入力キャパシタ C_{3i} を有する読み出し回路 15 b が、信号線 20 に接続されている。入力キャパシタンス C_{3i} は、充電回路 18 の入力キャパシタンス及び信号線 20 の寄生キャパシタンス C_{P2} の合成キャパシタンスよりも十分に大きいので、合成キャパシタから電荷が読み出し回路 15 b へ移動し電荷分配が生じて、信号線 20 の電位は移動電荷量に応じて変化する。信号線 20 におけるこの電位が、リセット状態が解除された充電回路 18 が入力に印加される。好ましい実施例では、充電回路 18 は、電荷分配により電位の変化に应答して、充電を開始する。期間 S_1 に引き続く期間 ($S_2 : s_1 \sim s_3$) では、充電回路 18 及び信号処理回路 15 a の両方が、読み出し回路 15 b を駆動する。しかしながら、読み出し回路 15 b の容量性負荷 (入力キャパシタ C_{3i}) が合成キャパシタンスより大きいので、信号線 20 の電位は、期間 S_1 の変化速度よりも緩やかに変化する。時刻 s_3 では、充電回路 18 のスイッチ 27 が非導通になる。期間 S_2 に引き続く期間 ($S_3 : s_3 \sim s_2$) では、再び、信号処理回路 15 a が読み出し回路 15 b を駆動して、信号線 20 及び読み出し回路 15 b の入力キャパシタの電位に変化させて最終値にする。

[0043] 信号処理回路 15 a は、駆動期間 T_{DRV2} に信号線 20 を駆動して信号線 20 の電位 V_{NOD} を初期値 U_1 から最終値 U_2 に変化させる。信号線 20 の電位 V_{NOD} に関して、初期値 U_1 から駆動値 U_{31} への変化及び駆動値 U_4 から最終値 U_2 への変化は、信号処理回路 15 a によって行われる一方で、駆動値 U_{32} から駆動値 U_4 への変化は、充電回路 18 及び信号処理回路 15 a によって行われる。

[0044] 期間 T_{CHG2} では、充電回路 18 が信号線 20 の駆動または充電を補助しており、この結果として、読み出し回路 15 b の比較的大きなキャパシタンス

C_{3i} への充電の速度を上げることができる。故に、期間 T_{CHG2} では、充電回路18は、キャパシタ C_{P2} 及び C_{3i} へ電荷を供給して、信号線20の電位を駆動値 U_{32} から駆動値 U_4 へ変化させることに加えて、読み出し回路15bのキャパシタ C_{3i} 上の電位 V_{SMPL2} も変化させる。充電回路18の充電動作の開始に先立って、信号処理回路15aは、キャパシタ C_{P2} へ電荷を供給して、信号線20の電位 V_{NOD} を初期値 U_1 から駆動値 U_{31} へ変化させて、この値を充電回路18が標本化することができる。充電回路18の充電動作の終了した後に、信号処理回路15aは、キャパシタ C_{P2} へ電荷を供給して、信号線20の電位 V_{NOD} を駆動値 U_4 から最終値 U_2 へ変化させることに加えて、読み出し回路15bのキャパシタ C_{3i} 上の電位 V_{SMPL2} も変化させて、正確な最終値（アナログ値）への駆動を達成する。

[0045] 再び図2を参照すると、信号処理回路15aの電位 V_{SMPL1} の変化特性線 V_{MDFY1} は、充電回路17を用いないイメージセンサ回路における信号処理回路15aのキャパシタ C_S 上の電位の変化特性線 V_{CONV1} よりも速やかに変化している。また、図3を参照すると、読み出し回路15bの電位 V_{SMPL2} の変化特性線 V_{MDFY2} は、充電回路18を用いないイメージセンサ回路における読み出し回路15bの電位の変化特性線 V_{CONV2} よりも速やかに変化している。したがって、充電回路17、18により、最終値の正確さを損なうことなく、イメージセンサ回路における信号伝達時間が短縮されている。イメージセンサ回路の一例では、充電回路17の入力キャパシタンスは、例えば0.5ピコファラッドであり、信号処理回路15aの入力キャパシタンスは、例えば5ピコファラッドであり、カラム線19及び画素21の寄生キャパシタンスは、例えば1ピコファラッドである。画素21の出力抵抗 R_s は、例えば50キロオームであり、充電回路17の出力抵抗 R_2 は、例えば5キロオームである。

[0046] 充電回路17（充電回路18）を用いないイメージセンサ回路のモデルでは、出力抵抗 R_s （ R_3 ）でキャパシタ C_S を充電する。セットリング時間 t_{st} は、誤差 e_{st} 及び時定数 τ_s （ $=C_S \times R_s$ ）を用いて

$$t_{st} = -\tau_s \ln(e_{st}) \quad (1)$$

であり、 $e_{st} = 10^{-3}$ とするためには、 $t_{st} = 6.9 \times \tau_s$ である。
 サンプリングの高速化を実現する回路では、まず、信号処理回路の入力キャパシタンス C_{1i} よりも小さいキャパシタ C_a （充電回路のサンプリング容量 C_{2i} 、 $C_{P1} < C_{2i}$ ）にセンサ素子からの信号値をサンプルする。十分な駆動能力をもった充電回路17（充電回路18）の入出力に信号処理回路15a（読み出し回路15b）を接続して、そのサンプリング値に応答した駆動によって、キャパシタ C_s をアナログ値の最終値に近い値まで充電する。正確な値に充電するために、最終的には、充電回路17での駆動を停止し、画素21のみによってキャパシタ C_s を充電する。このような駆動方法を用いることで、上記の3つの過程のセットリング時間は次式のように求められる。

$$t_{st} = -\tau_{a1} \ln(e_{st}) - \tau_{a2} \ln(e_{st2}) - \tau_s \ln(e_{st}/e_{st2}) \quad (2)$$

$$\tau_{a1} = C_{2i} \times R_s$$

$$\tau_{a2} = C_s / g_m$$

g_m ：充電回路の出力の相互コンダクタンス

充電回路17は、その動作範囲において上記の相互コンダクタンス g_m を有する。

$$t_{st} = -\tau_s \times \left((C_{2i}/C_s) \times \ln(e_{st}) + (1/(R_s \times g_m)) \times \ln(e_{st2}) + \ln(e_{st}/e_{st2}) \right) \quad (3)$$

式(3)の右辺第1項は、充電回路17（充電回路18）の入力キャパシタに画素の信号を充電する時間であり、第2項は、充電回路17（充電回路18）を用いてサンプリングキャパシタ C_s を充電する時間であり、第3項は、充電回路17（充電回路18）による値とアナログ値の最終値との差分を画素21によりサンプリングキャパシタ C_s を充電する時間である。例えば、 $C_{2i}/C_s = 0.1$ 、 $R_s \times g_m = 10$ 、 $e_{st2} = 10^{-2}$ 、 $e_{st} = 10^{-3}$ とすると、 $t_{st} = 3.45 \times \tau_s$ であり、この回路を使わない場合（ $t_{st} = 6.9 \times \tau_s$ ）に比べて2倍に高速化される。

この回路は、各種のセンサの出力に対して用いることができ、CMOSイメージセンサのカラムに集積化するノイズキャンセル回路に適用した場合、画素の出力は、ソースフォロワ回路では、共通の垂直信号線に接続されるが、その寄生容量が、サンプリング容量であるキャパシタンス C_S 、 C_R に比べて十分小さくし、この充電を加速するアンプによって十分な高速化がなされる。この場合、本発明に係る一実施例による高速化のシミュレーションの結果を図4に示す。目標電圧値と駆動電圧とが0.1%の誤差の場合、充電回路を用いない従来回路は17.25msであったが、本実施例に係る充電回路は7.48msとなった。

[0047] このように、充電回路17（充電回路18）を用いることによって、駆動期間を短縮できる。以上説明したセンサ回路は、イメージセンサに限定されることなく、画素の他に半導体回路と一緒に集積可能な各種のセンサに適用することができる。適用可能なセンサとして、例えば距離センサ、磁気センサ、加速度センサ、圧力センサ等がある。引き続き実施の形態の説明では、センサ集積回路が、画素回路に替えて、画素と異なるセンサ素子を含む検知回路を含むとき、検知回路はセンサ素子及び増幅回路を含むことができる。

[0048] 引き続き説明される実施の形態では、本回路をMOSイメージセンサアレイのカラムに集積化するノイズキャンセル回路に適用する。図5は、本実施の形態に係るイメージセンサ回路の別の例を示す図面である。図6は、図5に示されたイメージセンサ回路のためのタイミングチャートを示す図面である。画素の出力回路は、ソースフォロワ回路であり、カラム線（共通の垂直信号線）に接続される。カラム線の寄生キャパシタ C_{P1} 及び入力キャパシタ C_{2i} が、信号処理回路の入力キャパシタ C_S に比べて十分小さいとすると、充電を加速する充電回路を用いて十分な高速化が得られる。

[0049] イメージセンサ回路11bのセンサ回路13として、画素回路32が用いられる。画素回路32はセンサ部33と増幅部35とを有し、センサ部33はセンサ素子33aを含む。センサ素子33aは、光Lに応答して光電流を生成する光電変換素子を含み、例えばフォトダイオードである。増幅部35

は、センサ素子 33 a からの信号 V_{SEN} に応答してカラム線 19 a を駆動する。増幅部 35 は、信号出力 35 a、制御入力 35 b 及び電源端子 35 c を含む。増幅部 35 の信号出力 35 c は第 1 の出力抵抗 (R_s) を有する。

[0050] 画素 21 の一例として、CMOS イメージセンサのセルがある。CMOS イメージセンサのセルでは、図 5 のセンサ素子 33 a として、例えば埋込型フォトダイオードが用いられる。センサ部 33 は、センサ素子 33 a と増幅部 35 の制御入力 35 b との間に接続された伝達トランジスタ 33 b と、蓄積ノード 33 c をリセットするためのリセットトランジスタ 33 d とを含む。伝達トランジスタ 33 b のゲートは X 伝達制御信号 TX を受けて、リセットトランジスタ 33 d のゲートはリセット信号 R を受ける。蓄積ノード 33 c は、増幅用トランジスタ 35 d のゲートに接続されている。増幅部 35 は、増幅用トランジスタ 35 d と直列に接続された選択トランジスタ 35 e とを含み、増幅用トランジスタ 35 d に流れる電流は、選択トランジスタ 35 e に流れる。選択トランジスタ 35 e のゲートは選択信号 S を受ける。画素回路 32 は、リセット信号により設定されるリセットレベルを示す第 1 の信号を提供すると共に、センサ素子 33 a が受けた光信号 L の大きさに対応する信号レベルを示す第 2 の信号を提供する。

[0051] 図 1 における信号処理回路 15 a として、図 5 では増幅器 14 a が用いられ、カラム線 19 a が信号線 (例えば信号線 19) として用いられる。図 1 における読み出し回路 15 b として、図 5 では相関二重サンプリング回路 15 c が用いられ、信号線 19 b が別の信号線 (例えば信号線 20) として用いられる。増幅器 14 a の出力には、信号線 19 b を介して相関二重サンプリング回路 15 c が接続されている。カラム線 19 a は、イメージセンサの画素アレイ 12 内の画素回路 32 に接続されている。画素回路 32、増幅器 14 a、充電回路 17 及びバイアス回路 37 が、カラム線 19 a を介して互いに接続されている。引き続き説明に現れる制御信号及びクロックは、例えばクロック生成回路 31 によって提供される。

[0052] 相関二重サンプリング回路 15 c では、第 1 のキャパシタ 41 a は、第 1

の信号（画素回路32のリセットレベル）を格納する。第1のスイッチ39aは、第1のキャパシタ41aと信号線19bとの間に接続されている。第2のキャパシタ41bは、第2の信号（画素回路32の信号レベル）を格納する。第2のスイッチ39bは、第2のキャパシタ41bと信号線19bとの間に接続されている。相関二重サンプリング回路15cの入力キャパシタンスは、充電回路18の入力キャパシタンスよりも大きい。相関二重サンプリング回路15cの入力キャパシタンスは、例えば5ピコファラッドである。

[0053] イメージセンサ回路11bでは、増幅器14aがカラム線19aに接続されている。充電回路17の入力キャパシタンスは、増幅器14aの入力キャパシタンスよりも小さい。増幅器14aの入力キャパシタンスは、例えば5ピコファラッドである。イメージセンサ回路11bでも、カラム線19aには寄生キャパシタンス C_p があり、また充電回路18の出力抵抗 R_4 は、図1における信号処理回路15a、図5における本実施例ではつまり増幅器14aの出力抵抗（図1における R_3 ）より小さい。

[0054] 増幅器14aは、第3及び第4のキャパシタ43、45と、演算増幅回路47とを含むことができる。第3のキャパシタ43の一端43aは、演算増幅回路47の一方の入力（例えば反転入力）47aに接続されている。他端43bは、スイッチ46を介して増幅器14aの入力からの信号を受け、サンプリングキャパシタンス49に接続されている。第4のキャパシタ45は、演算増幅回路47の入力47aと出力（例えば非反転出力）47bとの間に接続され、演算増幅回路47の他方の入力（例えば非反転入力）47cは、コモン線 V_{COM} に接続される。第3及び第4のキャパシタ43、45のキャパシタンス（ C_1 、 C_2 ）の比は、増幅器14aの増幅率を規定する。演算増幅回路47は、第3及び第4のキャパシタ43、45と共に動作して増幅器14aの入力に受けた信号 V_p を増幅する。増幅器14aは、図5に示されたクロック ϕ_{R1} に応答して演算増幅回路47の入力及び出力をリセットするスイッチ48を含む。

- [0055] イメージセンサ回路 11b の動作を説明する。図 6 に示されるように、全読み出し期間は、リセットレベルの読み出し期間 T_R と信号レベルの読み出し期間 T_S とを含む。画素回路 32 の情報を読み出すために、バイアス回路 37 が用いられる。読み出し期間 T_R 、 T_S のおいては、バイアス回路 37 がアクティブになっている。トランジスタ 36 のゲートにはバイアス電圧が印加されており、バイアス回路 37 は電流 I_1 を流す電流源として動作する。画素回路 32 が選択されたとき、蓄積ノード 33c の電位に応じた電流が増幅部 35 及びバイアス回路 37 に流れ、カラム線 19a が充電されていく。
- [0056] 期間 T_R では、選択信号 S に応答して、増幅部 35 の選択トランジスタ 35e が導通する。図 6 における時刻 t_0 で駆動期間が開始する。また、画素回路 32 にリセット信号 R を与えられ、拡散ノード 33c の電位 V_{FD} がリセットレベルに設定される。時刻 t_1 において、リセット信号 R が解除されて拡散ノード 33c にリセットノイズが生じる。このリセットレベルを読み出しにおいて、カラム線 19a は、初期値 V_{1R} から最終値 V_{2R} に駆動されることになる。時刻 $t_0 \sim t_2$ の期間においては、本実施例では、図 6 に示されたクロック ϕ_R に応答して充電回路 17 の駆動回路 25 の入力 25a 及び出力 25b をリセットする。リセット期間の終点（例えば時刻 t_2 ）辺りでは、カラム線 19a の電位は、最終値、或いはほぼ最終値に到達している。時刻 t_2 までに、このカラム線電位を充電回路 17 の入力を受けて、サンプリングを完了する。時刻 t_2 で充電回路 17 がアクティブになる。
- [0057] 時刻 t_2 において、クロック ϕ_1 に応答してスイッチ 46 が導通して、カラム線 19a にキャパシタ 43、49 が接続される。時刻 t_3 に、スイッチ 46 が非導通になる。また、増幅回路 47 は、入力 47a に受けた信号に応答して動作する。増幅された信号は、増幅器 14a の信号線 19b に提供される。
- [0058] スイッチ 46 の導通により、カラム線 19a に大きな保持用のキャパシタ 49 が接続される。カラム線 19a の寄生キャパシタ C_p 及び入力キャパシタ 49 との電荷分配によって、カラム線 19a の電位 V_p は、時刻 t_2 で一旦

大きく変化して値 V_{3R} になる。充電回路17が時刻 t_2 でアクティブになって、カラム線19aの電位の変化をアシストする。リセットが解除された充電回路17が、カラム線19aの電位の一時的な変化に応答して、第2の出力抵抗（図1の R_2 ）の出力を介して充電を開始する。時刻 t_2 の後で、画素回路32の増幅部35及び充電回路17は、それぞれ、第1及び第2の出力抵抗の出力を介してカラム線19a及び増幅器14aを駆動する。この駆動により、カラム線19aの電位は、電位 V_{3R} から上昇する。充電回路17による駆動のアシストは、時刻 t_3 の前の時刻 t_4 において終了する。時刻 t_4 において、カラム線19aは、電位 V_{4R} に駆動されている。この後に、画素回路32が、単独で、第1の出力抵抗（図1の R_s ）を介してカラム線19a及び増幅器14aを駆動して、最終値 V_{2R} と現在値 V_{4R} との差分を充電する。期間満了の時刻 t_3 に先だって、最終値 V_{2R} が、画素回路32により達成されている。

[0059] 期間 T_s では、時刻 t_5 において選択トランジスタ35eが導通する。また、画素回路32に伝達信号TXを与えられ、伝達トランジスタ33bが導通する。拡散ノード33cにセンサ信号が伝達されて、電位 V_{FD} が信号レベルに設定される。時刻 t_6 において、伝達信号TXが解除されて拡散ノード33cに信号レベルが確定される。この信号レベルの値に対応して、カラム線19aは、初期値 V_{1s} から最終値 V_{2s} に駆動されることになる。画素回路32は、初期電位 V_{1s} のカラム線19aを第1の出力抵抗の出力を介して駆動する。増幅器14aのキャパシタはまだカラム線19aに接続されていない時刻 $t_5 \sim t_7$ の期間で、本実施例では、図6に示されたクロック ϕ_R に応答して充電回路17の駆動回路25の入力25a及び出力25bを再びリセットする。リセット期間の終点（例えば時刻 t_7 ）辺りでは、カラム線19aの電位は、最終値、或いはほぼ最終値に到達している。充電回路17は、カラム線19aの電位を標本化する。時刻 t_7 以降の時間において、クロック ϕ_1 に応答して、増幅器14aのスイッチ46が導通し、時刻 t_8 にスイッチ46が非導通になる。スイッチ46の導通により、カラム線に19aに大き

な保持用のキャパシタ 49 が接続される。カラム線 19 a の寄生キャパシタとキャパシタ 49 との電荷分配によって、カラム線 19 a の電位 V_p は、一旦大きく変化する。また、時刻 t_7 で充電回路 17 がアクティブになる。カラム線 19 a が電位 V_{3s} に到達したとき、充電回路 17 の駆動が開始され、画素回路 32 及び充電回路 17 が、第 1 及び第 2 の出力抵抗を介してカラム線 19 a 及び増幅器 14 a を駆動する。充電回路 17 による駆動のアシストは、時刻 t_8 の前の時刻 t_{11} において終了する。時刻 t_{11} において、カラム線 19 a は電位 V_{4s} に駆動される。この後に、画素回路 32 が、単独で、第 1 の出力抵抗を介してカラム線 19 a 及び増幅器 14 a を駆動して、現在値 V_{4s} と最終値 V_{2s} との差分を充電する。最終値 V_{2s} の到達は、時刻 t_8 に先だって画素回路 32 により完了している。

[0060] イメージセンサ回路 11 b によれば、大きな容量性の負荷の駆動時間を短縮できる。相関二重サンプリング回路 15 c に格納された第 1 及び第 2 の信号は、信号 HS (i) に応答して導通するスイッチ 38 a、38 b を介して次の回路 39 に提供される。この回路 39 は、これらの信号の A/D 変換を行って、デジタル信号 S_{DIG} を生成する。また、回路 39 は、カラムごとに設けられる。

[0061] 信号処理回路が相関二重サンプリング回路 15 c を含むので、リセットレベル及び信号レベルのいずれの駆動においても、格納用のキャパシタ（第 1 のキャパシタ 39 a 又は第 2 のキャパシタ 39 b）が信号線 19 b に接続される。相関二重サンプリング回路 15 c のキャパシタ 39 a、39 b は、リセットレベル及び信号レベルに対応した第 1 及び第 2 の信号を確実に保持するために、比較的大きなキャパシタンスを有する。このイメージセンサ回路 11 b によれば、充電回路 17 は、画素回路 32 の増幅部 35 によるカラム線 19 a の駆動を補助する。充電回路 17 は、駆動期間の終点の前に充電を終了するので、最終値への充電または駆動は、増幅部 33 によって行われる。したがって、画素回路 32 の増幅部 33 を用いて、カラム線 19 a の寄生キャパシタンス及び相関二重サンプリング回路 15 c のキャパシタを初期値

から最終値まで充電する時間を短縮できる。

[0062] 図5における充電回路17は、図6におけるリセット信号 ϕ_R によりリセット期間においてリセット状態にあり、この期間にカラム線19aの電位を標本化している。増幅器14aは、リセット期間の後にクロック ϕ_1 にตอบสนองしてカラム線19aに接続される。このため、カラム線19aの電位は、増幅器14aのサンプリングキャパシタ49（キャパシタンス C_s ）への電荷の移動により、一時的に大きく変動する。充電回路17は、期間T2でアクティブになっているので、この変位にตอบสนองして充電を開始して、期間T3では、画素回路32によってサンプリングキャパシタ49が駆動される。このイメージセンサ回路11bによれば、最終値の正確さを損なうことなく、画素回路32から増幅器14aへの信号伝達時間は短縮される。増幅器14aは、画素回路32からカラム線19aを介して受けた信号を処理する。サンプリングキャパシタ49は、増幅器14aの入力キャパシタンスを実質的に規定する。また、信号伝達時間を短縮するために増幅器における消費電流の増加が不要になる。また、信号伝達時間の短縮よりも他の特性（例えば、増幅器の入力換算ノイズの低減効果）の向上のために、増幅器の設計ターゲットを設定できる。

[0063] イメージセンサ回路11bでは、信号処理回路としての増幅器14aの出力は、信号線19bを介して相関二重サンプリング回路15cに接続されている。或いは、相関二重サンプリング回路15cに替えて、積分器（例えば、実施の形態において説明される積分器）を使用できる。相関二重サンプリング回路15cは、増幅器14aから信号線19bを介して受けたリセットレベル及び信号レベルに対応した読み出し値を格納できる。増幅器14aの出力及び相関二重サンプリング回路15cの入力は、信号線19bを介して充電回路18に接続される。充電回路18は、例えば充電回路17の同じ回路構成を有することができる。しかしながら、充電回路18の回路構造は、特定の回路に限定されることない。例えば、充電回路18の入力18bは、相関二重サンプリング回路15cの入力キャパシタンスより小さい入力キャ

パシタンスを有し、その出力18aは、増幅器14aの出力抵抗より小さい出力抵抗を有する。充電回路18は、充電回路18の入力18bにおける電位にตอบสนองしてその出力18aを介して信号線19bへの充電を開始すると共に駆動期間の終点の前に充電を終了する。充電回路18は、充電回路17のクロック ϕ_{F1} に替えて、図6に示されたクロック ϕ_{F2} にตอบสนองして、期間($t_2 \sim t_{10}$ 、 $t_7 \sim t_9$)に動作する。本実施例では、充電回路18のアクティブ期間($t_2 \sim t_{10}$ 、 $t_7 \sim t_9$)は、充電回路17のアクティブ期間($t_2 \sim t_4$ 、 $t_7 \sim t_{11}$)より長く、クロック ϕ_1 にตอบสนองして増幅回路15bのサンプリングスイッチ46が導通している期間($t_2 \sim t_3$ 、 $t_7 \sim t_8$)よりも短い。

[0064] 引き続き、信号線19bの電位の変化を説明する。図6に示されカラム線19aの駆動に用いた期間T1、T2、T3と同様な、図3に示された3つの期間S1、S2、S3において信号線19bの電位が変化する。増幅器14aは、図6の駆動期間($t_0 \sim t_5$ 、 $t_5 \sim t_{12}$)に対応する期間(S1、S2、S3)に信号線19bの電位 V_{LINE} を初期値(図3のU1)から最終値(図3のU2)に変化させる。図6の期間($t_0 \sim t_2$ 、 $t_5 \sim t_7$)では、充電回路18はリセット状態にあり、その入力18bは信号線19bの電位を受けている。増幅器14aが信号線19b及び充電回路18の入力18bを駆動して、信号線19bの電位が駆動値(図3のU31)に変化する。図6の期間($t_2 \sim t_5$ 、 $t_7 \sim t_{12}$)では、クロック ϕ_{SH1} 、 ϕ_{SH2} にตอบสนองして相関二重サンプリング回路15cが信号線19bに接続される。信号線19bの電位の変化にตอบสนองして、充電回路18が動作する。図6の充電期間($t_2 \sim t_{10}$ 、 $t_7 \sim t_9$)では、充電回路18が、信号線19bの駆動または充電を補助して、信号線19bの寄生キャパシタ及び相関二重サンプリング回路15cの比較的大きなキャパシタ(図5のキャパシタンス C_{SH1} 又は C_{SH2})へ電荷を供給して、信号線19bの電位を第1の駆動値(図3のU32)から第2の駆動値(図3のU4)へ変化させることに加えて、相関二重サンプリング回路15cのキャパシタ41a(又はキャパシタ4

1 b) 上の電位 V_{SMPL2} も変化させる。クロック ϕ_{F2} に応答して、充電回路 18 のアシストが停止されるとき、信号線 19 b は電位 (図 3 の U4) である。図 6 の期間 ($t_{10} \sim t_{15}$ 、 $t_{9} \sim t_{12}$) では、増幅器 14 a は、信号線 19 b の寄生キャパシタ及び相関二重サンプリング回路 15 c のキャパシタ (キャパシタンス C_{SH1} 又は C_{SH2}) へ電荷を供給して、信号線 19 b の電位 V_{LINE} を第 2 の駆動値 (図 3 の U4) から最終値 (図 3 の U2) へ変化させることに加えて、相関二重サンプリング回路 15 c のキャパシタ (キャパシタンス C_{SH1} 又は C_{SH2}) 上の電位 V_{SMPL2} も変化させて、正確な最終値 (アナログ値) への駆動を達成する。つまり、信号線 19 b の電位 V_{LINE} に関して、初期値 (図 3 の U1) から駆動値 (図 3 の U31) への変化は増幅器 14 a によって行われる。信号線 19 b の電位 V_{LINE} 及び読み出し回路の大きなキャパシタ上の電位 V_{SMPL2} に関して、駆動値 (図 3 の U4) から最終値 (図 3 の U2) への変化は、増幅器 14 a によって行われる一方で、駆動値 (図 3 の U32) から駆動値 (図 3 の U4) への変化は、充電回路 18 及び増幅器 14 a によって行われる。

[0065] 次に、図 5 に示されたイメージセンサ回路 11 b の変形例を説明する。イメージセンサ回路 11 b では、増幅器 14 a が充電回路 17 のアシストを利用して画素回路 32 から信号を読み出しており、また相関二重サンプリング回路 15 c が充電回路 18 のアシストを利用して増幅器 14 a からの信号を標本化している。しかしながら、イメージセンサ回路 11 b の変形例では、充電回路 17 を用いることなく、充電回路 18 を用いることができる。或いは、イメージセンサ回路 11 b の変形例では、充電回路 18 を用いることなく、充電回路 17 を用いることができる。

[0066] 図 7 は、本実施の形態に係るイメージセンサ回路の別の例を示す図面である。図 8 は、図 7 に示されたイメージセンサ回路のためのタイミングチャートを示す図面である。イメージセンサ回路 11 c は、イメージセンサ回路 11 b の増幅器 14 a に替えて積分器 14 b を含む。イメージセンサ回路 11 c では、画素回路 32 及びバイアス回路 37 が用いられ、図 1 の信号処理回

路 15 a として積分器 14 b が用いられ、カラム線 19 a が信号線（例えば信号線 19）として用いられ、信号線 19 b が別の信号線（例えば信号線 20）として用いられる。積分器 14 b の出力には、信号線 19 b を介して相関二重サンプリング回路 15 c が接続されている。画素回路 32、積分器 14 b、充電回路 17 及びバイアス回路 37 が、カラム線 19 a を介して互いに接続される。カラム線 19 a は、イメージセンサの画素アレイ内の画素を接続している。引き続き説明に現れる制御信号及びクロックは、例えばクロック生成回路 31 c によって提供される。

[0067] イメージセンサ回路 11 c では、イメージセンサ回路 11 b の増幅器 14 a に替えて積分器 14 b がカラム線 19 a に接続されている。充電回路 17 の入力キャパシタンスは、積分器 14 b の入力キャパシタンスよりも小さい。積分器 14 b の入力キャパシタンスは、例えば 5 ピコファラッドである。イメージセンサ回路 11 c でも、イメージセンサ回路 11 b と同様に、カラム線 19 a には寄生キャパシタンス C_p があり、また充電回路 17 の出力抵抗 R_2 は画素回路 32 の出力抵抗 R_s より小さい。充電回路 17 は、積分期間の開始の前にカラム線 19 a の電位を既に標本化している。

[0068] 積分器 14 b は、積分器 14 b の入力からの信号 V_p を標本化する標本化回路 52 a と、標本化回路 52 a によって標本化された信号 V_{SM} を積分する積分回路 52 b とを含む。標本化回路 52 a は、保持キャパシタ 53 と、スイッチ 56 a ~ 56 d とを含む。スイッチ 56 a は、保持キャパシタ 53 の一端とカラム線 19 a との間に接続され、スイッチ 56 b は、保持キャパシタ 53 の一端とコモン線 V_{COM} との間に接続され、スイッチ 56 c は、保持キャパシタ 53 の他端と積分回路 52 b の入力との間に接続され、スイッチ 56 d は、保持キャパシタ 53 の他端とコモン線 V_{COM} との間に接続される。積分回路 52 b は、演算増幅回路 57 及びキャパシタ 55 を含む。キャパシタ 55 は、演算増幅回路 57 の入力（例えば反転入力）57 a と出力（例えば非反転出力）57 b との間に接続されている。演算増幅回路 57 の別の入力（例えば非反転入力）57 c は、コモン線 V_{COM} からコモン信号を受ける。積分

回路52bは、図7及び図8のクロック ϕ_{R1} にตอบสนองして動作するリセット用のスイッチ58を含み、演算増幅回路57の入力57aと出力57bとの間に接続される。

[0069] 標本化回路52aでは、クロック ϕ_1 にตอบสนองして、スイッチ56a、56dが導通し、標本化のために信号 V_P をカラム線19aからキャパシタ53に受ける。また、クロック ϕ_2 にตอบสนองして、スイッチ56b、56cが導通し、標本化した信号 V_{SM} を積分回路52bのキャパシタ55に蓄積する。

[0070] 図8を参照すると、4つの積分期間 T_{INT1} で画素回路32のリセットレベルの積分が行われ、4つの積分期間 T_{INT2} で画素回路32の信号レベルの積分が行われる。各積分期間 T_{INT1} 、 T_{INT2} 毎に、カラム線19aは、クロック ϕ_1 にตอบสนองして、カラム線19aの寄生キャパシタンス及び充電回路17の入力キャパシタンスより大きな保持キャパシタ53に接続される。寄生キャパシタ及び入力キャパシタから保持キャパシタ53への電荷移動が生じて、カラム線19bの電位は一時的に大きく変化する。各積分期間 T_{INT1} 、 T_{INT2} で、クロック ϕ_1 にตอบสนองしてスイッチ56a、56dが導通するサンプリング期間より短い期間 T_{F1} に充電回路17がアクティブである。サンプリング期間の始点以降に充電回路17が充電動作を開始して、サンプリング期間の終点に先だって充電動作を停止する。各 T_{F1} 期間で充電回路17は、既に説明されたようにカラム線19aの電位に応じて充電を開始し、期間 T_{F1} の満了により非活性化される。クロック ϕ_2 にตอบสนองしてスイッチ56b、56cが導通する期間に、標本化された信号を積分回路52bに転送する。充電回路17を用いて、積分器14bにおいて高速で正確な標本化が可能になる。好適な実施例では、一例の積分期間の前に、充電回路17は、カラム線19aの電位のサンプリングを行い、カラム線19aの電位を積分期間毎にサンプリングしないことが良い。

[0071] イメージセンサ回路11cでは、信号処理回路としての積分器14bの出力は、信号線19bを介して相関二重サンプリング回路15cに接続されている。イメージセンサ回路11cにおける充電回路18の動作は、イメージ

センサ回路 11b における説明から理解される。相関二重サンプリング回路 15c は、積分器 14b から信号線 19b を介して受けたリセットレベル及び信号レベルに対応した読み出し値を格納できる。

[0072] 次に、図 7 に示されたイメージセンサ回路 11c の変形例を説明する。イメージセンサ回路 11c では、積分器 14b が充電回路 17 のアシストを利用して画素回路 32 から信号を読み出ししており、また相関二重サンプリング回路 15c が充電回路 18 のアシストを利用して積分器 14b からの信号を標本化している。しかしながら、イメージセンサ回路 11c の変形例では、読み出しの際に充電回路 17 を用いることなく、充電回路 18 を用いることができる。或いは、イメージセンサ回路 11c の変形例では、充電回路 18 を用いることなく、充電回路 17 を用いることができる。

[0073] 好適な実施の形態において本発明の原理を図示し説明してきたが、本発明はそのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正及び変更権利を請求する。

産業上の利用可能性

[0074] 本実施の形態によれば、センサ回路、信号処理回路及び読み出し回路を含むセンサ集積回路において、伝達される信号の最終値の正確さを損なうことなく、センサ回路から読み出し回路への信号伝達時間を短縮可能なセンサ集積回路が提供される。また、本実施の形態によれば、センサ回路及び信号処理回路を含むセンサ集積回路において、伝達される信号の最終値の正確さを損なうことなく、センサ回路から読み出し回路への信号伝達時間を短縮可能なセンサ集積回路が提供される。

符号の説明

[0075] 11…イメージセンサ回路（センサ集積回路）、11b、11c…イメージセンサ回路、13…センサ回路、14a…増幅器、14b…積分器、15a…信号処理回路、15b…読み出し回路、15c…相関二重サンプリング回

路、17、18…充電回路、19…信号線、19a…カラム線、19b…信号線、21…画素、23…入力キャパシタ、25…駆動回路、27…出力スイッチ、29…リセットスイッチ、 C_p …寄生キャパシタ、 C_{1i} …入力キャパシタ、 C_{2i} …入力キャパシタ、 C_s …キャパシタ、31、31a、31b、31c…クロック生成回路、32…画素回路、33…増幅部、35…増幅回路、37…バイアス回路、39a、39b…第1のスイッチ、41a、41b…第1のキャパシタ、43、45…キャパシタ、47…演算増幅回路、49…キャパシタ、52a…標本化回路、52b…積分回路、53…保持キャパシタ、55…キャパシタ、56a～56d…スイッチ、57…演算増幅回路。

請求の範囲

[請求項1]

センサ回路と、
 信号処理回路と、
 信号線に接続された入力及び出力を有する充電回路と
 を備え、
 前記センサ回路は、センサ内部抵抗が直列に接続されるセンサ電圧源を有し、
 前記信号処理回路は、前記センサ電圧源が前記信号線及びスイッチを介して接続されるキャパシタを有し、
 前記キャパシタは、前記キャパシタの充電時に、前記センサ電圧源に前記スイッチを介して接続され、前記キャパシタの電圧保持時に、前記スイッチにより前記センサ電圧源から切り離されて、前記キャパシタ上のセンサ電圧信号が前記信号処理回路から出力され、
 前記充電回路は、前記信号線に接続された別のキャパシタと、前記別のキャパシタが入力側に接続され内部抵抗と等価な相互コンダクタンスを有する駆動回路を備え、
 前記充電回路は、前記駆動回路の出力と前記駆動回路の入力を等電位とするリセットスイッチと、前記駆動回路の該出力と前記信号線を等電位とする出力スイッチとを備えるセンサ集積回路。

[請求項2]

前記信号線は寄生キャパシタ C_p （容量： C_p ）を有し、前記キャパシタ C_{1i} （容量： C_s ）、前記別のキャパシタ C_{2i} （容量： C_a ）、前記センサ内部抵抗 R_s 、前記充電回路の前記内部抵抗 R_2 において、
 $C_p < C_a < C_s$ かつ、 $C_a \times R_2 < C_s \times R_s$
 であることを特徴とする請求項1に記載されたセンサ集積回路。

[請求項3]

前記充電回路は、前記信号線の駆動のための第1駆動期間の始点の後に前記充電回路の前記入力電位の電位に応答して充電動作を開始すると共に、前記充電回路の前記出力に充電電荷を提供することを前記第1駆動期間の終点に先立って停止することを特徴とする請求項1又は請

求項 2 に記載されたセンサ集積回路。

[請求項 4]

センサ素子と該センサ素子のセンス値を示す第 1 信号を出力する出力とを含むセンサ回路と、

前記センサ回路からの前記第 1 信号を第 1 受信期間に受ける入力と前記第 1 信号を処理して生成された第 2 信号を出力する出力とを含む信号処理回路と、

前記第 2 信号を第 2 受信期間に受ける読み出し回路と、
信号線に接続された入力及び出力を有する充電回路と
を備え、

前記信号処理回路は増幅器及び積分器のいずれか一方を含み、

前記センサ回路の前記出力と前記信号処理回路の前記入力との間の接続、及び、前記信号処理回路の前記出力と前記読み出し回路の前記入力との間の接続のいずれか一方の接続は、前記信号線を介して成され、

前記センサ回路の前記出力と前記信号処理回路の前記入力との間の接続、及び、前記信号処理回路の前記出力と前記読み出し回路の前記入力との間の接続のいずれか他方の接続は、別の信号線を介して成され、

前記充電回路は、前記信号線の駆動のための第 1 駆動期間の始点の後に前記充電回路の前記入力の電位に応答して充電動作を開始すると共に、前記充電回路の前記出力に充電電荷を提供することを前記第 1 駆動期間の終点に先立って停止する、ことを特徴とするセンサ集積回路。

[請求項 5]

前記信号線は、前記センサ回路の前記出力と前記信号処理回路の前記入力との間の接続を成しており、

前記信号処理回路の前記入力は第 1 の入力キャパシタンスを有し、

前記充電回路の前記入力は第 2 の入力キャパシタンスを有し、

前記第 2 の入力キャパシタンスは、前記第 1 の入力キャパシタンス

より小さく、

前記センサ回路の前記出力は第 1 の出力抵抗を有し、

前記充電回路の前記出力は第 2 の出力抵抗を有し、

前記第 2 の出力抵抗は、前記充電回路の充電中において前記第 1 の出力抵抗より小さく、

前記信号線の電位における初期値から第 1 の駆動値への変化及び第 2 の駆動値から最終値への変化は、前記センサ回路によって行われ、

前記信号線の電位における前記第 1 の駆動値から前記第 2 の駆動値への変化は、前記充電回路及び前記センサ回路によって行われる、ことを特徴とする請求項 4 に記載されたセンサ集積回路。

[請求項 6]

前記信号線は、前記信号処理回路の前記出力と前記読み出し回路の前記入力との間の接続を成しており、

前記読み出し回路の前記入力は第 3 の入力キャパシタンスを有し、

前記充電回路の前記入力は第 2 の入力キャパシタンスを有し、

前記信号処理回路の出力は第 3 の出力抵抗を有し、

前記充電回路の前記出力は第 2 の出力抵抗を有し、

前記第 2 の入力キャパシタンスは、前記第 3 の入力キャパシタンスより小さく、

前記第 2 の出力抵抗は、前記充電回路の充電中において前記第 3 の出力抵抗より小さく、

前記信号線の電位における初期値から第 3 の駆動値への変化及び第 4 の駆動値から最終値への変化は、前記信号処理回路によって行われ、

前記信号線の電位における前記第 3 の駆動値から前記第 4 の駆動値への変化は、前記充電回路及び前記信号処理回路によって行われる、ことを特徴とする請求項 4 に記載されたセンサ集積回路。

[請求項 7]

前記充電回路は、前記充電回路の前記入力に接続された一端を有する入力キャパシタと、前記入力キャパシタの他端に接続された入力を

有する駆動回路と、前記駆動回路の出力と前記充電回路の前記出力との間に接続され前記第 1 駆動期間より短い充電期間において導通するスイッチとを含み、

前記充電回路は、前記充電に先立って前記入力キャパシタに前記信号線の電位のサンプリングを行う、ことを特徴とする請求項 4～請求項 6 のいずれか一項に記載されたセンサ集積回路。

[請求項 8] 前記読み出し回路は、前記信号処理回路の出力に接続された相関二重サンプリング回路を含み、

前記相関二重サンプリング回路は、前記センサ回路におけるセンス値を示す第 1 のセンス信号を格納する第 1 のキャパシタと、前記第 1 のキャパシタと前記読み出し回路の前記入力との間に接続された第 1 のスイッチと、前記センサ回路におけるセンス値を示す第 2 のセンス信号を格納する第 2 のキャパシタと、前記第 2 のキャパシタと前記読み出し回路の前記入力との間に接続された第 2 のスイッチとを含む、ことを特徴とする請求項 4～請求項 7 のいずれか一項に記載されたセンサ集積回路。

[請求項 9] 前記センサ回路はイメージセンサの画素回路であり、

前記画素回路は、前記センサ素子として光電変換素子と、該光電変換素子からの信号を増幅する増幅回路とを含み、

前記第 1 のセンス信号は前記センサ回路のリセットレベルに対応する第 1 の画素信号を含むと共に、前記第 2 のセンス信号は前記センサ回路の信号レベルの成分を含む第 2 の画素信号を含む、ことを特徴とする請求項 8 に記載されたセンサ集積回路。

[請求項 10] 前記信号処理回路は、前記増幅器を含み、

前記増幅器の入力は前記信号処理回路の前記入力からの信号を受け、

前記増幅器は、当該増幅器の増幅率を規定する第 3 及び第 4 のキャパシタと、前記第 3 及び第 4 のキャパシタと共に動作して当該増幅器

の前記入力に受けた信号を増幅する演算増幅回路とを含む、ことを特徴とする請求項 1～請求項 9 のいずれか一項に記載されたセンサ集積回路。

[請求項 11]

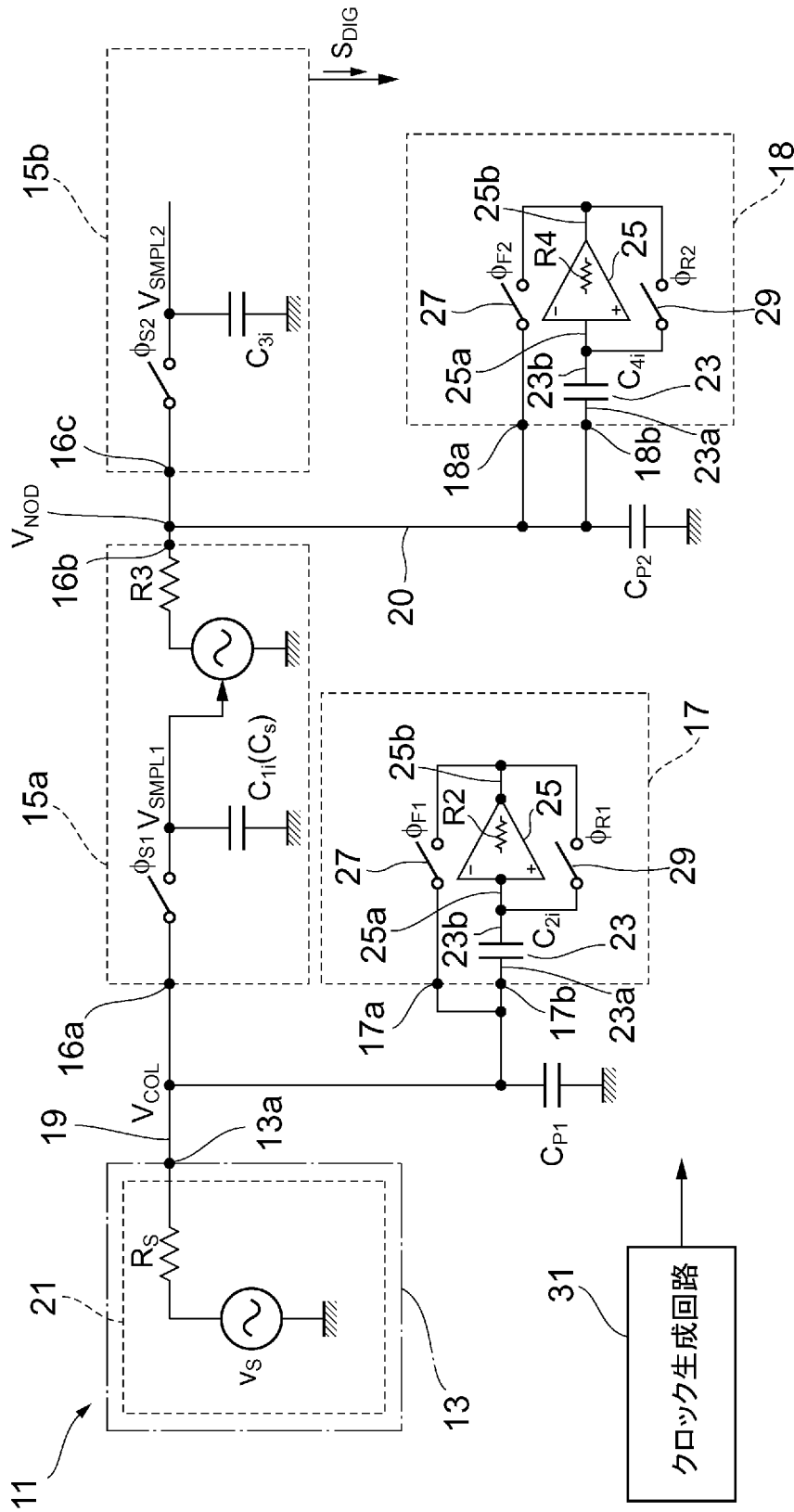
前記信号処理回路は、前記積分器を含み、

前記積分器の入力は前記信号処理回路の前記入力からの信号を受け

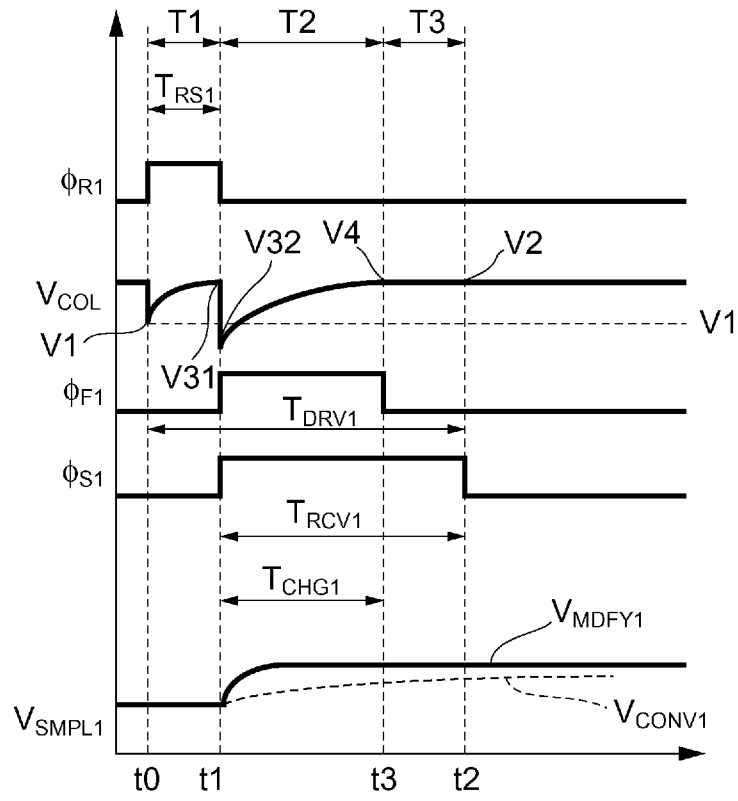
、

前記積分器は、当該積分器の前記入力からの信号を標本化する標本化回路と、前記標本化回路によって標本化された信号を積分する積分回路とを含む、ことを特徴とする請求項 1～請求項 9 のいずれか一項に記載されたセンサ集積回路。

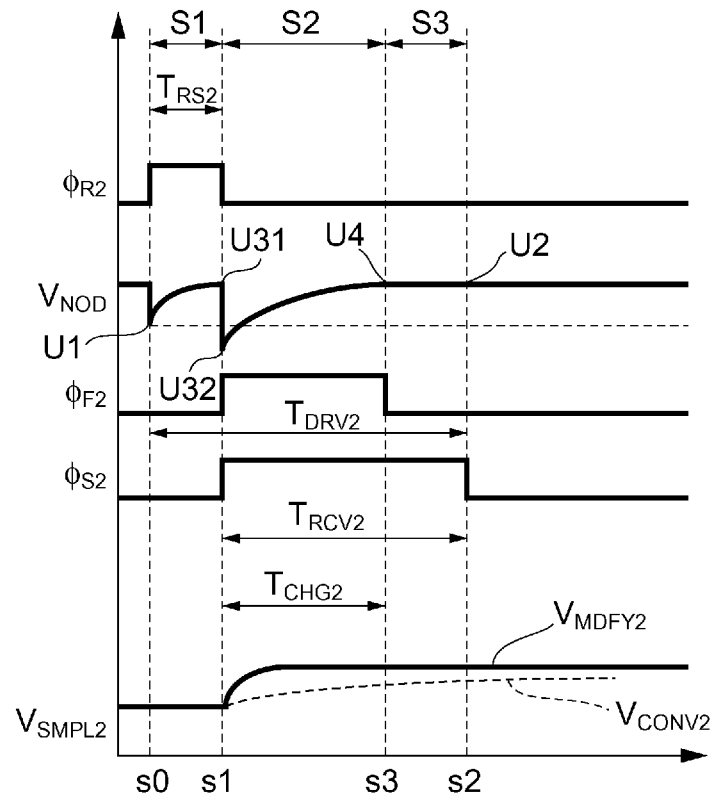
[図1]



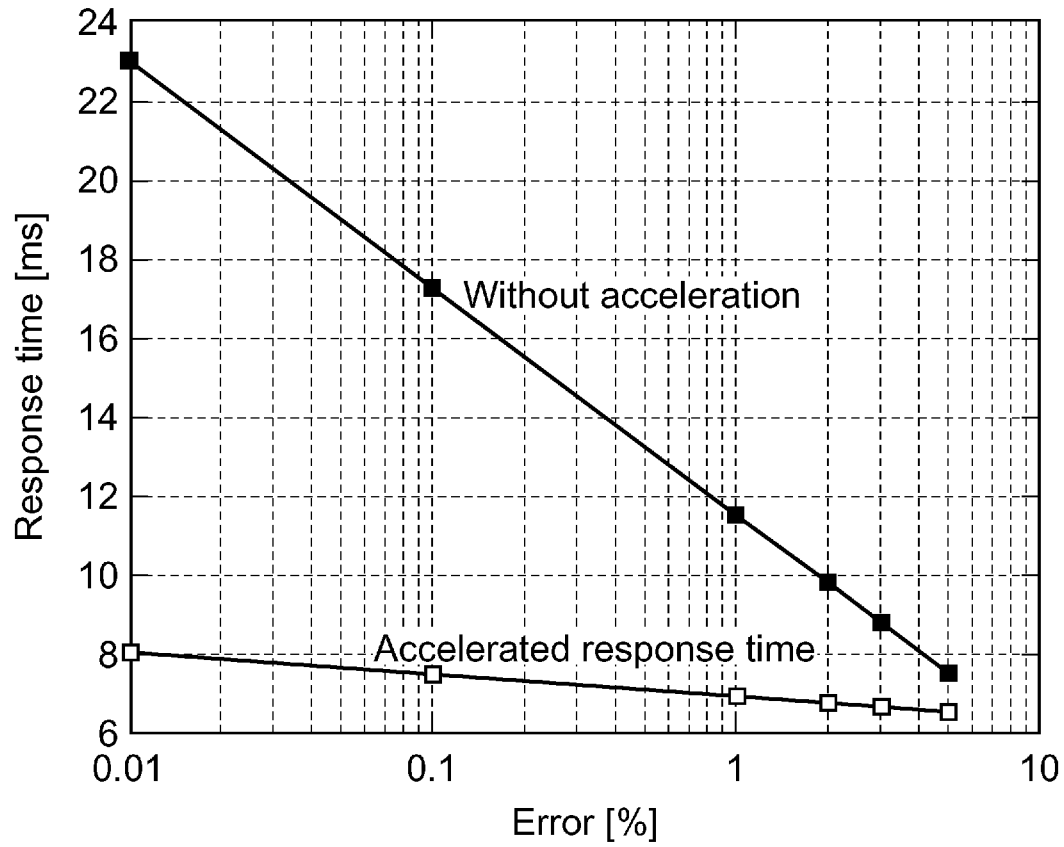
[図2]



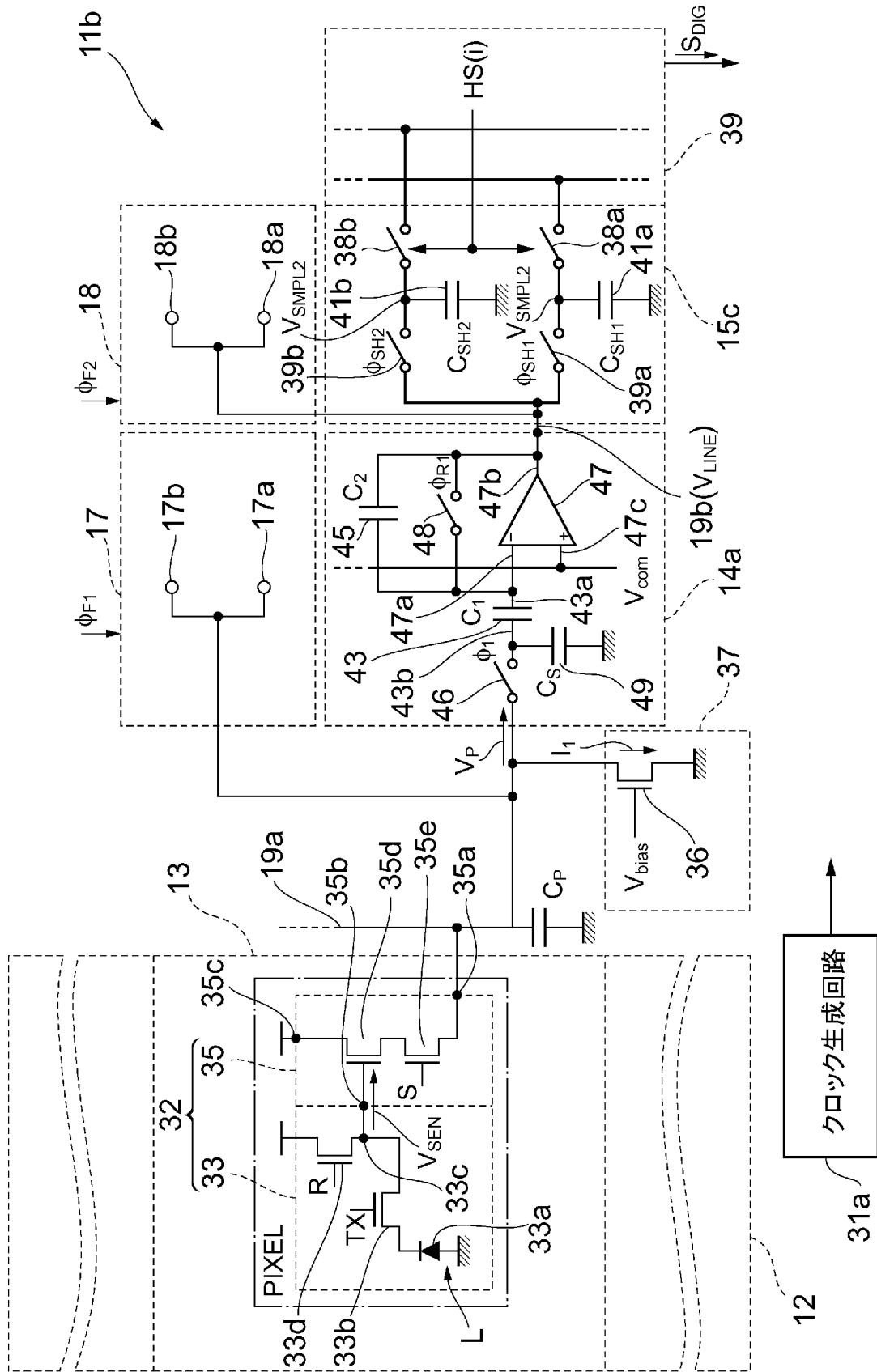
[圖3]



[図4]



[図5]



クロック生成回路

31a

[図6]

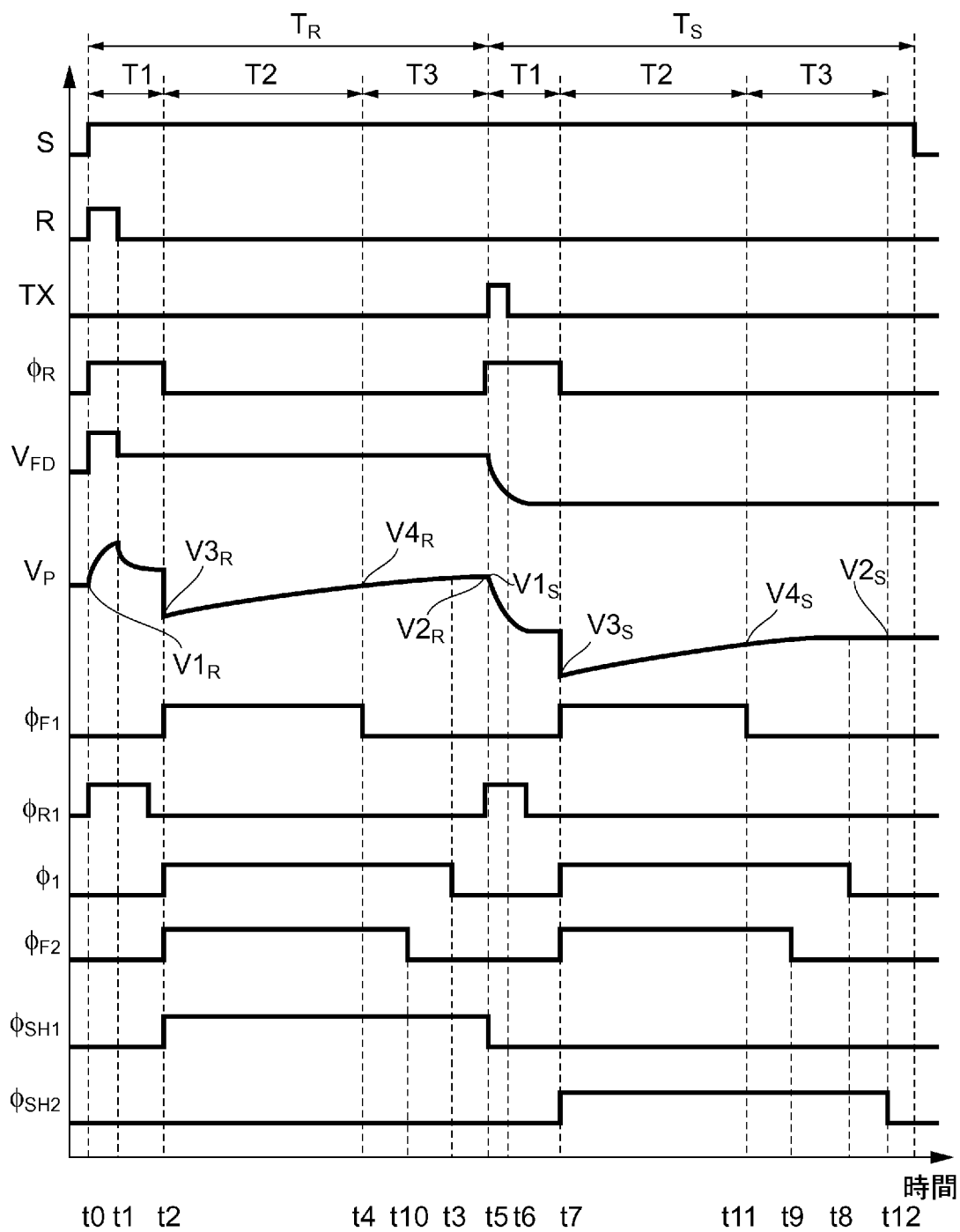
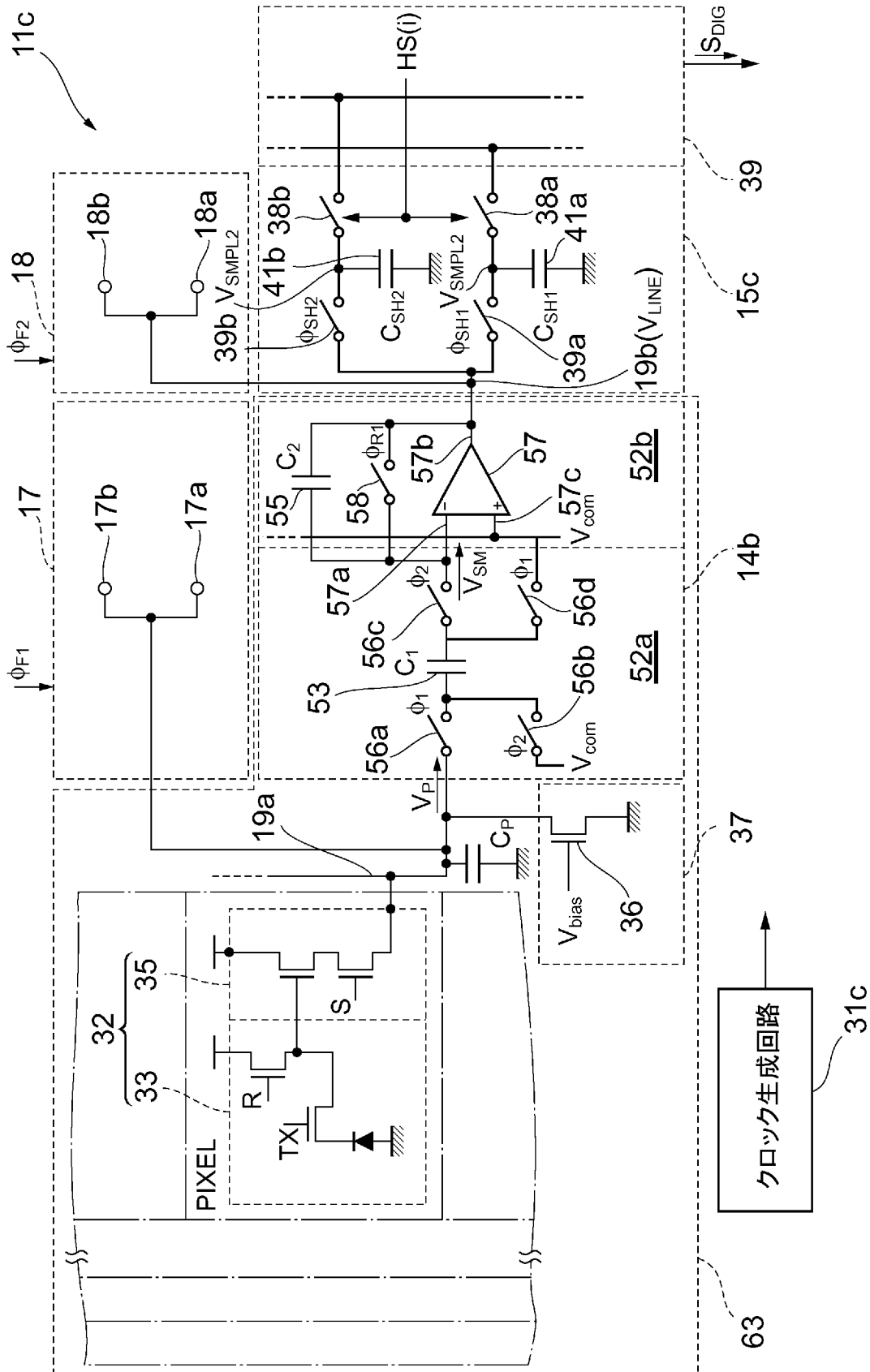
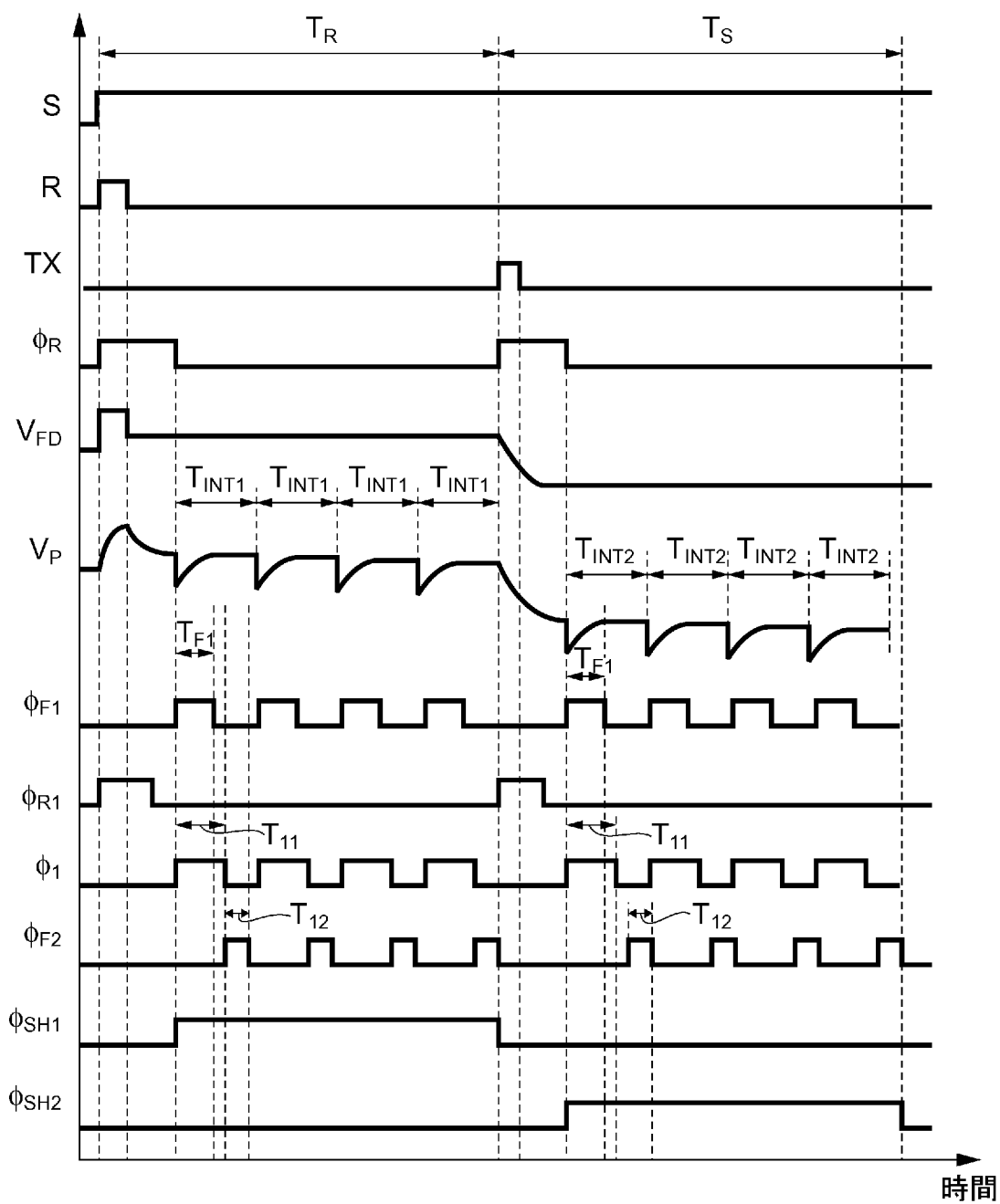


図7



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/056857

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/335(2006.01) i, H04N1/028(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 H04N5/335, H04N1/028

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-186467 A (Sony Corp.), 13 July 2006 (13.07.2006), entire text; all drawings (Family: none)	1-11
A	JP 2000-236485 A (Nikon Corp.), 29 August 2000 (29.08.2000), entire text; all drawings (Family: none)	1-11
A	JP 06-189199 A (Olympus Optical Co., Ltd.), 08 July 1994 (08.07.1994), entire text; all drawings (Family: none)	1-11

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
 11 May, 2010 (11.05.10)

Date of mailing of the international search report
 25 May, 2010 (25.05.10)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/335(2006.01)i, H04N1/028(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/335, H04N1/028

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-186467 A (ソニー株式会社) 2006.07.13, 全文, 全図 (ファミリーなし)	1-11
A	JP 2000-236485 A (株式会社ニコン) 2000.08.29, 全文, 全図 (ファミリーなし)	1-11
A	JP 06-189199 A (オリンパス光学工業株式会社) 1994.07.08, 全文, 全図 (ファミリーなし)	1-11

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

11.05.2010

国際調査報告の発送日

25.05.2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石坂 博明

電話番号 03-3581-1101 内線 3581

5 P

3353