

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年11月24日(24.11.2011)

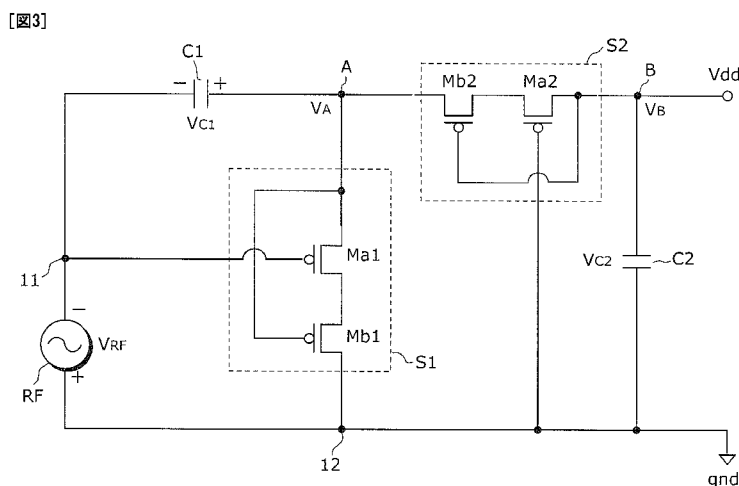
PCT

(10) 国際公開番号
WO 2011/145306 A1

- (51) 国際特許分類:
H02M 7/12 (2006.01)
 - (21) 国際出願番号: PCT/JP2011/002673
 - (22) 国際出願日: 2011年5月13日(13.05.2011)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2010-113676 2010年5月17日(17.05.2010) JP
 - (71) 出願人 (米国を除く全ての指定国について): 国立大学法人金沢大学(NATIONAL UNIVERSITY CORPORATION KANAZAWA UNIVERSITY) [JP/JP]; 〒9201164 石川県金沢市角間町又7番地 Ishikawa (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 北川 章夫 (KITAGAWA, Akio). 崔 冀 (SAI, Ki).
 - (74) 代理人: 新居 広守(NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: RECTIFICATION CIRCUIT

(54) 発明の名称: 整流回路



(57) **Abstract:** Switches (S1, S2) are MOS transistor switches. A terminal (11) is connected to one terminal of a capacitor (C1) and a control terminal (101) of the switch (S1) which receives a control signal for controlling the passage and cutoff of a current in the switch (S1). A terminal (12) is connected to one terminal of a capacitor (C2), one terminal through which the current passes in the switch (S1), and a control terminal (102) of the switch (S2) which receives a control signal for controlling the passage and cutoff of a current in the switch (S2). The other terminal of the capacitor (C1), the other terminal through which the current passes in the switch (S1), and one terminal through which the current passes in the switch (S2) are connected at a contact point (A). The other terminal of the capacitor (C2) and the other terminal through which the current passes in the switch (S2) are connected at a contact point (B).

(57) 要約:

[続葉有]



WO 2011/145306 A1



スイッチ（S1、S2）はMOSトランジスタスイッチである。端子（11）は、キャパシタ（C1）の一方の端子と、スイッチ（S1）における電流の通過および遮断を制御する制御信号を受け付けるスイッチ（S1）の制御端子（101）とに接続されている。端子（12）は、キャパシタ（C2）の一方の端子と、スイッチ（S1）において電流が通過する一方の端子と、スイッチ（S2）における電流の通過および遮断を制御する制御信号を受け付けるスイッチ（S2）の制御端子（102）とに接続されている。キャパシタ（C1）の他方の端子と、スイッチ（S1）において電流が通過する他方の端子と、スイッチ（S2）において電流が通過する一方の端子とが、接点（A）において接続されている。キャパシタ（C2）の他方の端子と、スイッチ（S2）において電流が通過する他方の端子とが、接点（B）において接続されている。

明 細 書

発明の名称：整流回路

技術分野

[0001] 本発明は、整流回路に関し、特にチャージポンプを行うことが可能な整流回路に関する。

背景技術

[0002] *Passive*型RFIDタグに欠かせない回路として整流回路がある。これは、受信した微弱な電力を整流する回路である。

[0003] 従来、整流回路として、*cross-connected bridge*回路が知られている（例えば、非特許文献1および2参照）。

[0004] 図14は、*cross-connected bridge*回路の一例を示す図である。この回路は、4つのMOS（Metal Oxide Semiconductor）トランジスタスイッチをクロス接続した構成となっており、高周波電源（交流電流発生回路）RFの電流を整流することができる。

[0005] また、スイッチとしてダイオードを用いたDicksonチャージポンプ回路も知られている（例えば、非特許文献1、3および4参照）。

[0006] 図15は、Dicksonチャージポンプ回路の一例を示す図である。このチャージポンプ回路では、ショットキーダイオードとキャパシタを用いることにより、高周波電源RFの電流を整流し、高周波電源RFの電圧よりも高い電圧を電圧 V_{dd} に出力することができる。

先行技術文献

非特許文献

[0007] 非特許文献1：Z. Zhu, B. Jamali, and P. Cole, “Brief comparison of different rectifier structures for HF and UHF RFID”, The Adelaide Auto-ID Lab, The University of Adelaide, April 2004.

非特許文献2：Fan Jiang, Donghui Guo, and L. L. Cheng, “Analysis and Design of Power Generator on Passive RFID Transponders”, Progress In

Electromagnetics Research Symposium Proceedings, pp.1357-1362, March 24-28, Hangzhou, China, 2008.

非特許文献3: J. Shin, I.-Y. Chung, Y.-J. Park, and H. Min, "A new charge pump without degradation in threshold voltage due to body effect", IEEE J. Solid-State Circuits, vol. 35, no. 8, pp. 1227-1230, Aug. 2000.

非特許文献4: Changming Ma, Xingjun wu, et al., "A Low-Power RF Front-End of Passive UHF RFID Transponders", IEEE Asia Pacific Conference on Circuits and Systems, pp.73-76, 2008.

発明の概要

発明が解決しようとする課題

- [0008] しかしながら、cross-connected bridge回路では、回路の構成上、チャージポンプを行うことができないという課題がある。
- [0009] 一方、Dicksonチャージポンプ回路では、ショットキーダイオードを用いているため、閾値電圧による電圧効果が発生し、入力電力に対する出力電力の比を示す変換効率が低くなるという課題がある。
- [0010] 本発明は、上述の課題を解決するためになされたものであり、変換効率が高く、かつチャージポンプを行うことが可能な整流回路を提供することを目的とする。

課題を解決するための手段

- [0011] 上記目的を達成するために、本発明のある局面に係る整流回路は、交流電流発生回路に接続するための第1および第2端子を有し、前記交流電流発生回路が発生した電流を整流する整流回路であって、第1および第2キャパシタと、各々が複数の直列接続されたPMOS (Positive channel Metal Oxide Semiconductor) トランジスタを含む第1および第2スイッチとを備え、前記第1端子は、前記第1キャパシタの一方の端子と、前記第1スイッチにおける電流の通過および遮断を制御する制御信号を受け付ける前記第1スイッチの制御端子とに接続され、前記第2端子は、前記第2キャパシタの一方の

端子と、前記第 1 スイッチにおいて電流が通過する一方の端子と、前記第 2 スイッチにおける電流の通過および遮断を制御する制御信号を受け付ける前記第 2 スイッチの制御端子とに接続され、前記第 1 キャパシタの他方の端子と、前記第 1 スイッチにおいて電流が通過する他方の端子と、前記第 2 スイッチにおいて電流が通過する一方の端子とが接続され、前記第 2 キャパシタの他方の端子と、前記第 2 スイッチにおいて電流が通過する他方の端子とが接続され、前記第 1 スイッチは、前記第 1 端子の電位が負電位であり、かつ前記第 2 端子の電位が正電位の場合に電流を通過させ、前記第 1 端子の電位が正電位であり、かつ前記第 2 端子の電位が負電位の場合に電流を遮断し、前記第 2 スイッチは、前記第 1 端子の電位が負電位であり、かつ前記第 2 端子の電位が正電位の場合に電流を遮断し、前記第 1 端子の電位が正電位であり、かつ前記第 2 端子の電位が負電位の場合に電流を通過させる。

[0012] この構成によると、スイッチとして複数の直列接続された PMOS トランジスタを用いている。このため、ダイオードスイッチを用いる場合に比べ、電圧損失が低くなる。また、第 1 スイッチが電流を通過させ、第 2 スイッチが電流を遮断する場合には、第 1 キャパシタに電荷が蓄積される。このため、第 1 キャパシタの電圧は交流電流発生回路の電圧と等しくなる。一方、第 1 スイッチが電流を遮断し、第 2 スイッチが電流を通過させる場合には、第 2 キャパシタの電圧は、交流電流発生回路の電圧に第 1 キャパシタの電圧を加算した値と等しくなる。このため、交流電流発生回路の電圧の 2 倍の電圧を得ることができ、チャージポンプを行うことができる。また、スイッチとして複数の直列接続された PMOS トランジスタを用いていることにより、電流が逆向きに流れるのを防止することができる。

[0013] 好ましくは、前記第 1 スイッチは、直列接続された第 1 および第 2 PMOS トランジスタを含み、前記第 1 PMOS トランジスタのゲートは、前記第 1 端子に接続され、前記第 1 PMOS トランジスタのソースおよびドレインのうち前記第 2 PMOS トランジスタに直列接続されていない側の端子は、前記第 1 キャパシタの他方の端子に接続され、前記第 2 PMOS トランジスタ

タのゲートは、前記第1キャパシタの他方の端子に接続され、前記第2 PMOSトランジスタのソースおよびドレインのうち前記第1 PMOSトランジスタに直列接続されていない側の端子は、前記第2端子に接続されている。

[0014] 第1キャパシタに電荷が蓄積されている場合には、第1スイッチが通過させる電流と逆向きの電流が第1スイッチに流れようとする場合がある。この構成によると、逆向きに電流が流れようすると、第2 PMOSトランジスタが電流を遮断するため、電流が逆向きに流れるのを防止することができる。

[0015] さらに好ましくは、前記第2スイッチは、直列接続された第3および第4 PMOSトランジスタを含み、前記第3 PMOSトランジスタのゲートは、前記第2端子に接続され、前記第3 PMOSトランジスタのソースおよびドレインのうち前記第4 PMOSトランジスタに直列接続されていない側の端子は、前記第2キャパシタの他方の端子に接続され、前記第4 PMOSトランジスタのゲートは、前記第2キャパシタの他方の端子に接続され、前記第4 PMOSトランジスタのソースおよびドレインのうち前記第3 PMOSトランジスタに直列接続されていない側の端子は、前記第1キャパシタの他方の端子に接続されている。

[0016] 第2キャパシタに電荷が蓄積されている場合には、第2スイッチが通過させる電流と逆向きの電流が第2スイッチに流れようとする場合がある。この構成によると、逆向きに電流が流れようすると、第4 PMOSトランジスタが電流を遮断するため、電流が逆向きに流れるのを防止することができる。

[0017] さらに好ましくは、上述の整流回路は、さらに、第3および第4キャパシタと、各々が複数の直列接続されたPMOSトランジスタを含む第3および第4スイッチとを備え、前記第1端子は、さらに、前記第3キャパシタの一方の端子と、前記第3スイッチにおける電流の通過および遮断を制御する制御信号を受け付ける前記第3スイッチの制御端子とに接続され、前記第2端子は、さらに、前記第4キャパシタの一方の端子と、前記第4スイッチにお

ける電流の通過および遮断を制御する制御信号を受け付ける前記第4スイッチの制御端子とに接続され、前記第3キャパシタの他方の端子と、前記第3スイッチにおいて電流が通過する一方の端子と、前記第4スイッチにおいて電流が通過する一方の端子とが接続され、前記第4キャパシタの他方の端子と、前記第4スイッチにおいて電流が通過する他方の端子とが接続され、前記第2キャパシタの他方の端子と、前記第2スイッチにおいて電流が通過する他方の端子と、前記第3スイッチにおいて電流が通過する他方の端子とが接続され、前記第3スイッチは、前記第1端子の電位が負電位であり、かつ前記第2端子の電位が正電位の場合に電流を通過させ、前記第1端子の電位が正電位であり、かつ前記第2端子の電位が負電位の場合に電流を遮断し、前記第4スイッチは、前記第1端子の電位が負電位であり、かつ前記第2端子の電位が正電位の場合に電流を遮断し、前記第1端子の電位が正電位であり、かつ前記第2端子の電位が負電位の場合に電流を通過させる。

[0018] この構成によると、第3スイッチが電流を通過させ、第4スイッチが電流を遮断する場合には、第3キャパシタに電荷が蓄積される。第3キャパシタの電圧は、交流電流発生回路の電圧に第2キャパシタの電圧を加算した値と等しくなる。このため、交流電流発生回路の電圧の3倍の電圧を得ることができる。一方、第3スイッチが電流を遮断し、第4スイッチが電流を通過させる場合には、第4キャパシタの電圧は、交流電流発生回路の電圧に第3キャパシタの電圧を加算した値と等しくなる。このため、交流電流発生回路の電圧の4倍の電圧を得ることができ、チャージポンプを行うことができる。また、スイッチとして複数の直列接続されたPMOSトランジスタを用いていることにより、電流が逆向きに流れるのを防止することができる。

[0019] 好ましくは、前記第3スイッチは、直列接続された第5および第6PMOSトランジスタを含み、前記第5PMOSトランジスタのゲートは、前記第1端子に接続され、前記第5PMOSトランジスタのソースおよびドレインのうち前記第6PMOSトランジスタに直列接続されていない側の端子は、前記第3キャパシタの他方の端子に接続され、前記第6PMOSトランジスタ

タのゲートは、前記第3キャパシタの他方の端子に接続され、前記第6 PMOS トランジスタのソースおよびドレインのうち前記第5 PMOS トランジスタに直列接続されていない側の端子は、前記第2キャパシタの他方の端子に接続されている。

[0020] 第3キャパシタに電荷が蓄積されている場合には、第3スイッチが通過させる電流と逆向きの電流が第3スイッチに流れようとする場合がある。この構成によると、逆向きに電流が流れようとする、第6 PMOS トランジスタが電流を遮断するため、電流が逆向きに流れるのを防止することができる。

[0021] さらに好ましくは、前記第4スイッチは、直列接続された第7および第8 PMOS トランジスタを含み、前記第7 PMOS トランジスタのゲートは、前記第2端子に接続され、前記第7 PMOS トランジスタのソースおよびドレインのうち前記第8 PMOS トランジスタに直列接続されていない側の端子は、前記第4キャパシタの他方の端子に接続され、前記第8 PMOS トランジスタのゲートは、前記第4キャパシタの他方の端子に接続され、前記第8 PMOS トランジスタのソースおよびドレインのうち前記第7 PMOS トランジスタに直列接続されていない側の端子は、前記第3キャパシタの他方の端子に接続されている。

[0022] 第4キャパシタに電荷が蓄積されている場合には、第4スイッチが通過させる電流と逆向きの電流が第4スイッチに流れようとする場合がある。この構成によると、逆向きに電流が流れようとする、第8 PMOS トランジスタが電流を遮断するため、電流が逆向きに流れるのを防止することができる。

発明の効果

[0023] 本発明によると、変換効率が高く、かつチャージポンプを行うことが可能な整流回路を提供することができる。

図面の簡単な説明

[0024] [図1] 図1は、本発明の実施の形態に係る整流回路の回路図である。

[図2] 図2は、スイッチの詳細な構成を示す回路図である。

[図3] 図3は、本発明の実施の形態に係る整流回路の詳細な構成を示す回路図である。

[図4] 図4は、整流回路の動作について説明するための図である。

[図5] 図5は、チャージポンプ回路の回路図である。

[図6] 図6は、段数を2とした場合のチャージポンプ回路の詳細な構成を示す回路図である。

[図7] 図7は、スイッチの分類について説明するための図である。

[図8] 図8は、図7に示した各スイッチを駆動するための最小必要電圧、すなわち各スイッチにおける電圧損失を示す図である。

[図9] 図9は、電圧損失の比較結果を示す図である。

[図10] 図10は、最小必要電圧の比較結果を示す図である。

[図11] 図11は、変換効率と出力電圧との比較結果を示す図である。

[図12] 図12は、シミュレーション実験の対象とした整流回路を示す図である。

[図13] 図13は、高周波電源の電圧と変換効率との関係を示すグラフである。

[図14] 図14は、cross-connected bridge回路の一例を示す図である。

[図15] 図15は、Dicksonチャージポンプ回路の一例を示す図である。

発明を実施するための形態

[0025] 以下、本発明の実施の形態について図面を参照しながら説明する。

[0026] 図1は、本発明の実施の形態に係る整流回路の回路図である。

[0027] 整流回路は、高周波電源（交流電流発生回路）RFに接続するための端子11および12を有し、高周波電源RFが発生した電流を整流する回路であって、キャパシタC1およびC2と、各々が複数の直列接続されたPMOSトランジスタを含むスイッチS1およびS2とを備える。

- [0028] 端子 11 は、キャパシタ C1 の一方の端子と、スイッチ S1 における電流の通過および遮断を制御する制御信号を受け付けるスイッチ S1 の制御端子 101 とに接続されている。
- [0029] また、端子 12 は、キャパシタ C2 の一方の端子と、スイッチ S1 において電流が通過する一方の端子と、スイッチ S2 における電流の通過および遮断を制御する制御信号を受け付けるスイッチ S2 の制御端子 102 とに接続されている。
- [0030] さらに、キャパシタ C1 の他方の端子と、スイッチ S1 において電流が通過する他方の端子と、スイッチ S2 において電流が通過する一方の端子とが、接点 A において接続されている。
- [0031] さらにまた、キャパシタ C2 の他方の端子と、スイッチ S2 において電流が通過する他方の端子とが、接点 B において接続されている。
- [0032] スイッチ S1 は、端子 11 の電位が負電位であり、かつ端子 12 の電位が正電位の場合に電流を通過させ、端子 11 の電位が正電位であり、かつ端子 12 の電位が負電位の場合に電流を遮断する。
- [0033] スイッチ S2 は、端子 11 の電位が負電位であり、かつ端子 12 の電位が正電位の場合に電流を遮断し、端子 11 の電位が正電位であり、かつ端子 12 の電位が負電位の場合に電流を通過させる。
- [0034] 図 2 は、スイッチ S1 の詳細な構成を示す回路図である。スイッチ S1 は、直列接続された PMOS トランジスタ M_{a1} および M_{b1} を含む。
- [0035] PMOS トランジスタ M_{a1} のゲートは制御端子 101 に接続され、PMOS トランジスタ M_{a1} のソースおよびドレインのうち、PMOS トランジスタ M_{b1} に接続されていない側の端子は、PMOS トランジスタ M_{b1} のゲートに接続されている。
- [0036] スイッチ S2 もスイッチ S1 と同様の構成を有する。
- [0037] 図 3 は、本発明の実施の形態に係る整流回路の詳細な構成を示す回路図である。
- [0038] 図 3 に示す整流回路は、図 1 に示した整流回路の構成において、スイッチ

S 1 および S 2 の構成を詳細に示した構成を有する。

[0039] つまり、スイッチ S 1 は、図 2 に示した構成を有する。

[0040] ここで、PMOS トランジスタ M_b 1 のゲートは、接点 A に接続され、PMOS トランジスタ M_b 1 のソースおよびドレインのうち PMOS トランジスタ M_a 1 に直列接続されていない側の端子は、第 2 端子 1 2 に接続されている。

[0041] スイッチ S 2 は、直列接続された PMOS トランジスタ M_a 2 および M_b 2 を含む。

[0042] PMOS トランジスタ M_a 2 のゲートは、端子 1 2 に接続されている。

[0043] また、PMOS トランジスタ M_a 2 のソースおよびドレインのうち PMOS トランジスタ M_b 2 に直列接続されていない側の端子は、接点 B に接続されている。

[0044] さらに、PMOS トランジスタ M_b 2 のゲートは、接点 B に接続されている。

[0045] さらにまた、PMOS トランジスタ M_b 2 のソースおよびドレインのうち PMOS トランジスタ M_a 2 に直列接続されていない側の端子は、接点 A に接続されている。

[0046] このような構成におけるスイッチ S 1 の動作について説明する。

[0047] 端子 1 1 の電位が負電位となり、端子 1 2 の電位が正電位となったときを負の半周といい、端子 1 1 の電位が正電位となり、端子 1 2 の電位が負電位となったときを正の半周という。

[0048] 負の半周において、PMOS トランジスタ M_a 1 のゲートが負電位となるため、PMOS トランジスタ M_a 1 は、ソースドレイン間で電流を通過させる（ON 状態となる）。このとき、接点 A の電位 V_A は、キャパシタ C 1 の電圧を V_{C1} 、高周波電源 RF の電圧を V_{RF} としたとき、以下の（式 1）が成り立つ。

[0049]
$$V_A = V_{C1} + V_{RF} \quad \dots \text{（式 1）}$$

また、以下の（式 2）の関係が成り立つ。

[0050] $|V_{RF}| \geq |V_{G1}| \quad \dots$ (式2)

このため、(式1)と(式2)より(式3)が成立する。

[0051] $V_A \leq 0 \quad \dots$ (式3)

となる。よって、PMOSトランジスタM_{b1}もON状態となる。よって、スイッチS₁はONとなる。

[0052] また、負の半周において、端子12の電位は負電位となる。このため、PMOSトランジスタM_{a2}は、ソースドレイン間を流れる電流を遮断する(OFF状態となる)。よって、スイッチS₂はOFFとなる。

[0053] なお、負の半周においては、端子12から接点Aに向かって電流が流れるが、キャパシタC₁に十分な電荷がたまっているときに、接点Aから端子12に向かって電流は流れようとする。これを防止するために、PMOSトランジスタM_{b1}が設けられている。

[0054] 一方、正の半周において、端子11の電位は正電位となる。このため、PMOSトランジスタM_{a1}はOFF状態となる。よって、スイッチS₁はOFFとなる。

[0055] また、正の半周において、端子12の電位は負電位となる。このため、PMOSトランジスタM_{a2}はON状態となる。このとき、接点Bの電位V_Bと接点Aの電位V_Aとの間には、以下の(式4)に示す関係が成り立つ。

[0056] $V_B \leq V_A \quad \dots$ (式4)

よって、PMOSトランジスタM_{b2}のゲートの電位はソースの電位よりも低くなる。このため、PMOSトランジスタM_{b2}はON状態となる。よって、スイッチS₂はONとなる。

[0057] なお、正の半周においては、接点Aから接点Bに向かって電流が流れるが、キャパシタC₂に十分な電荷がたまっているときに、接点Bから接点Aに向かって電流は流れようとする。これを防止するために、PMOSトランジスタM_{b2}が設けられている。

[0058] 次に、本実施の形態に係る整流回路の動作原理について説明する。

[0059] 図4は、整流回路の動作について説明するための図である。

[0060] 図4(a)は、負の半周の時の整流回路の動作を示している。負の半周の時には、スイッチS1がONし、スイッチS2がOFFする。このため、電流は、矢印で示すように、端子12、スイッチS1、接点A、キャパシタC1、端子11の順に流れ、キャパシタC1に電荷が蓄積される。このときのキャパシタC1の電圧 V_{C1} は、以下の(式5)で示される。

$$[0061] \quad V_{C1} = |V_{RF}| \quad \dots \text{(式5)}$$

[0062] 図4(b)は、正の半周の時の整流回路の動作を示している。正の半周の時には、スイッチS1がOFFし、スイッチS2がONする。このため、電流は、矢印で示すように、端子11、キャパシタC1、接点A、スイッチS2、接点B、キャパシタC2、端子12の順に流れる。キャパシタC2の電圧 V_{C2} は、高周波電源RFの電圧 V_{RF} にキャパシタC1の電圧 V_{C1} を加算したものになる。また、キャパシタC1には、負の半周の時に、電荷が充電され、その電圧 V_{C1} には、(式5)の関係が成り立っている。このため、キャパシタC2の電圧 V_{C2} は、以下の(式6)で示される。

$$[0063] \quad V_{C2} = 2 \times |V_{RF}| \quad \dots \text{(式6)}$$

このように、高周波電源RFの電圧 V_{RF} の2倍の電圧を得ることができる。

[0064] 上記した整流回路をN段構成とすることにより、チャージポンプ回路を実現することができる。

[0065] 図5は、チャージポンプ回路の回路図である。

[0066] チャージポンプ回路は、上述した整流回路を多段接続することにより得られる。ここでは、整流回路をN段接続した例を示している。

[0067] チャージポンプ回路は、N個のキャパシタ C_{2i-1} ($i=1\sim N$)と、N個のキャパシタ C_{2i} ($i=1\sim N$)と、N個のスイッチ S_{2i-1} ($i=1\sim N$)と、N個のスイッチ S_{2i} ($i=1\sim N$)とを備える。

[0068] 端子11は、各キャパシタ C_{2i-1} ($i=1\sim N$)の一方の端子と、各スイッチ S_{2i-1} ($i=1\sim N$)における電流の通過および遮断を制御する制御信号を受け付ける各スイッチ S_{2i-1} ($i=1\sim N$)の制御端子に接続されている。

- [0069] また、端子 1 2 は、各キャパシタ C_{2i} ($i = 1 \sim N$) の一方の端子と、各スイッチ S_{2i} ($i = 1 \sim N$) における電流の通過および遮断を制御する制御信号を受け付ける各スイッチ S_{2i} ($i = 1 \sim N$) の制御端子とに接続されている。
- [0070] また、スイッチ S_1 において電流が通過する一方の端子が、端子 1 2 に接続されている。また、各スイッチ S_{2i-1} ($i = 2 \sim N$) において電流が通過する一方の端子が、1 つ前の段の各キャパシタ C_{2i} ($i = 1 \sim N - 1$) の他方の端子に接続されている。
- [0071] さらに、各キャパシタ C_{2i-1} ($i = 1 \sim N$) の他方の端子と、各スイッチ S_{2i-1} ($i = 1 \sim N$) において電流が通過する他方の端子と、各スイッチ S_{2i} ($i = 1 \sim N$) において電流が通過する一方の端子とが接続されている。
- [0072] さらにまた、各キャパシタ C_{2i} ($i = 1 \sim N$) の他方の端子と、各スイッチ S_{2i} ($i = 1 \sim N$) において電流が通過する他方の端子とが接続されている。
- [0073] 各スイッチ S_{2i-1} ($i = 1 \sim N$) は、端子 1 1 の電位が負電位であり、かつ端子 1 2 の電位が正電位の場合に電流を通過させ、端子 1 1 の電位が正電位であり、かつ端子 1 2 の電位が負電位の場合に電流を遮断する。
- [0074] 各スイッチ S_{2i} ($i = 1 \sim N$) は、端子 1 1 の電位が負電位であり、かつ端子 1 2 の電位が正電位の場合に電流を遮断し、端子 1 1 の電位が正電位であり、かつ端子 1 2 の電位が負電位の場合に電流を通過させる。
- [0075] 各スイッチ S_{2i-1} ($i = 1 \sim N$) は、図 3 に示したスイッチ S_1 と同様の構成を有し、各スイッチ S_{2i} ($i = 1 \sim N$) は、図 3 に示したスイッチ S_2 と同様の構成を有する。
- [0076] 図 6 は、 $N = 2$ とした場合のチャージポンプ回路の詳細な構成を示す回路図である。
- [0077] チャージポンプ回路は、図 3 に示した整流回路の構成に加えて、キャパシタ C_3 および C_4 と、スイッチ S_3 および S_4 とを含む。

- [0078] スイッチS 3は、直接接続されたPMOSトランジスタM_a 3およびM_b 3を含む。スイッチS 4は、直列接続されたPMOSトランジスタM_a 4およびM_b 4を含む。
- [0079] PMOSトランジスタM_b 3およびM_b 4は、それぞれ、PMOSトランジスタM_b 1およびM_b 2と同様に逆方向に電流が流れるのを防止するために設けられている。
- [0080] 端子1 1には、さらに、キャパシタC 3の一方の端子と、PMOSトランジスタM_a 3のゲートが接続されている。
- [0081] 接点Cには、キャパシタC 3の他方の端子と、PMOSトランジスタM_a 3のソースおよびドレインのうちPMOSトランジスタM_b 3に接続されていない側の端子と、PMOSトランジスタM_b 3のゲートと、PMOSトランジスタM_b 4のソースおよびドレインのうちPMOSトランジスタM_a 4に直列接続されていない側の端子が接続されている。
- [0082] 端子1 2には、さらに、PMOSトランジスタM_a 4のゲートと、キャパシタC 4の一方の端子とが接続されている。
- [0083] 接点Dには、PMOSトランジスタM_a 4のソースおよびドレインのうちPMOSトランジスタM_b 4に直列接続されていない側の端子と、PMOSトランジスタM_b 4のゲートとがキャパシタC 4の他方の端子とが接続されている。
- [0084] 接点Bには、キャパシタC 2の他方の端子と、PMOSトランジスタM_a 2のソースおよびドレインのうちPMOSトランジスタM_b 2に接続されていない側の端子と、PMOSトランジスタM_b 3のソースおよびドレインのうちPMOSトランジスタM_a 3に接続されていない側の端子とが接続されている。
- [0085] スイッチS 3は、スイッチS 1と同様に、負の半周の時にONとなり、正の半周の時にOFFとなる。また、スイッチS 4は、スイッチS 2と同様に、負の半周の時にOFFとなり、正の半周の時にONとなる。
- [0086] 上述したように、キャパシタC 1およびC 2の電圧V_{C1}およびV_{C2}は、それ

ぞれ（式5）および（式6）により示される。

[0087] 負の半周の時には、スイッチS1およびS3がONとなり、スイッチS3を通過する電流は、端子12、キャパシタC2、接点B、スイッチS3、接点C、キャパシタC3、端子11の順に流れる。キャパシタC3の電圧 V_{C3} は、高周波電源RFの電圧 V_{RF} にキャパシタC2の電圧 V_{C2} を加算したものになる。このため、キャパシタC3の電圧 V_{C3} は、以下の（式7）で示される。

$$[0088] \quad V_{C3} = 3 \times |V_{RF}| \quad \dots \text{（式7）}$$

また、正の半周の時には、スイッチS2およびS4がONとなり、スイッチS4を通過する電流は、端子11、キャパシタC3、接点C、スイッチS4、接点D、キャパシタC4、端子12の順に流れる。キャパシタC4の電圧 V_{C4} は、高周波電源RFの電圧 V_{RF} にキャパシタC3の電圧 V_{C3} を加算したものになる。このため、キャパシタC4の電圧 V_{C4} は、以下の（式8）で示される。

$$[0089] \quad V_{C4} = 4 \times |V_{RF}| \quad \dots \text{（式8）}$$

このように、2段の整流回路からなるチャージポンプ回路を構成することにより、高周波電源RFの電圧 V_{RF} の4倍の電圧を得ることができる。

[0090] 図5に示したN段の整流回路からなるチャージポンプでは、2段の場合と同様の処理が行なわれることより、高周波電源RFの電圧 V_{RF} のN倍の電圧を得ることができる。

[0091] 次に、本実施の形態に係る整流回路の変換効率が高い理由について説明する。

[0092] 図7は、スイッチの分類について説明するための図である。

[0093] スイッチには、大きく分けてダイオードスイッチと、MOSトランジスタスイッチとがある。また、ダイオードスイッチには、ダイオードによる実現方法と、MOSトランジスタのダイオード接続による実現方法とがある。同図においては、それぞれのスイッチの代表的な回路図を示している。

[0094] 図8は、図7に示した各スイッチを駆動するための最小必要電圧、すなわち各スイッチにおける電圧損失を示す図である。ここで、正方向電圧損失を

V_{forward} とし、ダイオードの閾値電圧を V_{th} とすると、2種類のダイオードスイッチにおける電圧損失はそれぞれ $V_{\text{th}} + V_{\text{forward}}$ となる。これに対して、MOSトランジスタスイッチにおいては、閾値電圧 V_{th} の電圧損失が無い場合、電圧損失は V_{forward} となる。なお、正方向電圧損失 V_{forward} と閾値電圧 V_{th} の間には、以下の(式9)で示す関係が成り立つ。このため、MOSトランジスタスイッチの電圧損失は、ダイオードスイッチの電圧損失に比べ、かなり小さいことがわかる。

[0095] $V_{\text{forward}} \ll V_{\text{th}} \quad \dots$ (式9)

次に、cross-connected bridge回路と、Dicksonチャージポンプ回路と、図5に示した本実施の形態に係るチャージポンプ回路とにおける電圧損失について比較する。

[0096] 図9は、上記3つの回路の電圧損失の比較結果を示す図である。

[0097] cross-connected bridge回路は、MOSトランジスタスイッチを用いており、正の半周期または負の半周期において電流が通過するMOSトランジスタの数は2つである。このため、電圧損失は $2 \times V_{\text{forward}}$ となる。しかしながら、上述したようにcross-connected bridge回路を用いてチャージポンプ回路を構成することはできない。

[0098] Dicksonチャージポンプ回路は、ダイオードスイッチを用いており、正の半周期または負の半周期において、各整流回路に流れる電流が通過するダイオードスイッチの数は1つである。このため、整流回路1段あたりの電圧損失は $V_{\text{th}} + V_{\text{forward}}$ となる。Dicksonチャージポンプ回路は、整流回路がN段積み重ねられて構成されているため、Dicksonチャージポンプ回路における電圧損失は $N \times (V_{\text{th}} + V_{\text{forward}})$ となる。

[0099] 本実施の形態に係るチャージポンプ回路は、MOSトランジスタスイッチを用いており、正の半周期または負の半周期において、各整流回路に流れる電流が通過するPMOSトランジスタの数は2つである。このため、整流回路1段あたりの電圧損失は $2 \times V_{\text{forward}}$ となる。本実施の形態に係るチャージ

ポンプ回路は、整流回路がN段積み重ねられて構成されているため、Dicksonチャージポンプ回路における電圧損失は $N \times (2 \times V_{\text{forward}})$ となる。

[0100] ここで、Dicksonチャージポンプ回路と本実施の形態に係るチャージポンプ回路との電圧損失を比較する。上述したように、正方向電圧損失 V_{forward} と閾値電圧 V_{th} の間には、(式9)で示す関係が成り立つ。このため、本実施の形態に係るチャージポンプ回路の電圧損失のほうが、Dicksonチャージポンプ回路の電圧損失に比べてかなり小さいことがわかる。

[0101] 図10は、上記3つの回路を駆動させるための最小必要電圧の比較結果を示す図である。

[0102] 図9に示すような電圧損失が生じるため、出力電圧を V_{out} とし最小必要電圧を $V_{\text{in_min}}$ とした場合には、図10に示すような関係が成り立つ。したがって、本実施の形態に係るチャージポンプ回路によると、Dicksonチャージポンプ回路に比較して、少ない電圧でチャージポンプを行うことができる。

[0103] 以上説明した比較結果をまとめると、図11に示すようになる。つまり、cross-connected bridge回路は、変換効率が高いが、チャージポンプを行うことができないため、出力電圧は低い。また、Dicksonチャージポンプ回路は、電圧損失が大きいため、変換効率が低いが、出力電圧は高い。これに対して、本実施の形態に係る整流回路およびチャージポンプ回路では、電圧損失が小さいため変換効率が高く、かつ、チャージポンプを行うことができるため出力電圧も高い。

[0104] なお、本実施の形態に係るチャージポンプ回路および整流回路では、電流が逆方向に流れるのを防止するためのPMOSトランジスタが設けられているが、上述したようにMOSトランジスタスイッチはダイオードスイッチに比べて閾値電圧が低い、このため、逆方向電流の低減を低い閾値電圧で実現することができる。

[0105] 次に、変換効率についてシミュレーションを行った結果を示す。

[0106] 図12は、シミュレーション実験の対象とした整流回路を示す図である。

この回路は、図3に示した整流回路の構成においてキャパシタC2と並列に抵抗Rを設けた構成となっている。シミュレーション条件として高周波電源RFの電圧 V_{RF} および高周波電源RFの内部抵抗 Z_s を、以下の(式10)および(式11)にそれぞれ定義する。

$$[0107] \quad V_{RF} = -30 \text{ dBm} (= 1 \text{ mW}) \quad \dots (\text{式 } 10)$$

$$Z_s = 10 + j100 \quad \dots (\text{式 } 11)$$

また、キャパシタC1の容量値およびキャパシタC2の容量値を、それぞれ10 pFとし、抵抗Rの抵抗値を2 M Ω とする。

[0108] このとき、出力電圧 V_{dd} は約0.76 Vとなり、出力電流 I_{out} は約0.42 μ Aとなる。よって、出力電力 P_{out} は約0.32 μ Wとなる。ここで、変換効率 η を以下の(式12)で定義すると、変換効率 η は32%となり、高い変換効率を得られていることが分かる。

$$[0109] \quad \eta = (\text{平均出力電力} / \text{全入力電力}) \times 100 (\%) \quad \dots (\text{式 } 12)$$

[0110] 図13は、高周波電源RFの電圧 V_{RF} と変換効率 η との関係を示すグラフである。このグラフからも分かるように、電圧 V_{RF} が、およそ-30 dBm以上で高い変換効率を得られていることが分かる。

[0111] 以上説明したように、本実施の形態に係る整流回路およびチャージポンプ回路によると、変換効率が高く、かつチャージポンプを行うことが可能である。

[0112] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0113] 本発明は、整流回路およびチャージポンプ回路に適用でき、特にPassive型RFIDタグ等に適用できる。

符号の説明

[0114] 11、12 端子

101、102 制御端子

A、B 接点

C1～C4 キャパシタ

Ma1～Ma4、Mb1～Mb4 PMOSトランジスタ

R 抵抗

RF 高周波電源

S1～S4 スイッチ

請求の範囲

[請求項1]

交流電流発生回路に接続するための第1および第2端子を有し、前記交流電流発生回路が発生した電流を整流する整流回路であって、

第1および第2キャパシタと、

各々が複数の直列接続されたPMOS (Positive channel Metal Oxide Semiconductor) トランジスタを含む第1および第2スイッチとを備え、

前記第1端子は、前記第1キャパシタの一方の端子と、前記第1スイッチにおける電流の通過および遮断を制御する制御信号を受け付ける前記第1スイッチの制御端子とに接続され、

前記第2端子は、前記第2キャパシタの一方の端子と、前記第1スイッチにおいて電流が通過する一方の端子と、前記第2スイッチにおける電流の通過および遮断を制御する制御信号を受け付ける前記第2スイッチの制御端子とに接続され、

前記第1キャパシタの他方の端子と、前記第1スイッチにおいて電流が通過する他方の端子と、前記第2スイッチにおいて電流が通過する一方の端子とが接続され、

前記第2キャパシタの他方の端子と、前記第2スイッチにおいて電流が通過する他方の端子とが接続され、

前記第1スイッチは、前記第1端子の電位が負電位であり、かつ前記第2端子の電位が正電位の場合に電流を通過させ、前記第1端子の電位が正電位であり、かつ前記第2端子の電位が負電位の場合に電流を遮断し、

前記第2スイッチは、前記第1端子の電位が負電位であり、かつ前記第2端子の電位が正電位の場合に電流を遮断し、前記第1端子の電位が正電位であり、かつ前記第2端子の電位が負電位の場合に電流を通過させる

整流回路。

[請求項2] 前記第1スイッチは、直列接続された第1および第2PMOSトランジスタを含み、

前記第1PMOSトランジスタのゲートは、前記第1端子に接続され、

前記第1PMOSトランジスタのソースおよびドレインのうち前記第2PMOSトランジスタに直列接続されていない側の端子は、前記第1キャパシタの他方の端子に接続され、

前記第2PMOSトランジスタのゲートは、前記第1キャパシタの他方の端子に接続され、

前記第2PMOSトランジスタのソースおよびドレインのうち前記第1PMOSトランジスタに直列接続されていない側の端子は、前記第2端子に接続されている

請求項1記載の整流回路。

[請求項3] 前記第2スイッチは、直列接続された第3および第4PMOSトランジスタを含み、

前記第3PMOSトランジスタのゲートは、前記第2端子に接続され、

前記第3PMOSトランジスタのソースおよびドレインのうち前記第4PMOSトランジスタに直列接続されていない側の端子は、前記第2キャパシタの他方の端子に接続され、

前記第4PMOSトランジスタのゲートは、前記第2キャパシタの他方の端子に接続され、

前記第4PMOSトランジスタのソースおよびドレインのうち前記第3PMOSトランジスタに直列接続されていない側の端子は、前記第1キャパシタの他方の端子に接続されている

請求項1または2記載の整流回路。

[請求項4] さらに、

第3および第4キャパシタと、

各々が複数の直列接続されたPMOSトランジスタを含む第3および第4スイッチとを備え、

前記第1端子は、さらに、前記第3キャパシタの一方の端子と、前記第3スイッチにおける電流の通過および遮断を制御する制御信号を受け付ける前記第3スイッチの制御端子とに接続され、

前記第2端子は、さらに、前記第4キャパシタの一方の端子と、前記第4スイッチにおける電流の通過および遮断を制御する制御信号を受け付ける前記第4スイッチの制御端子とに接続され、

前記第3キャパシタの他方の端子と、前記第3スイッチにおいて電流が通過する一方の端子と、前記第4スイッチにおいて電流が通過する一方の端子とが接続され、

前記第4キャパシタの他方の端子と、前記第4スイッチにおいて電流が通過する他方の端子とが接続され、

前記第2キャパシタの他方の端子と、前記第2スイッチにおいて電流が通過する他方の端子と、前記第3スイッチにおいて電流が通過する他方の端子とが接続され、

前記第3スイッチは、前記第1端子の電位が負電位であり、かつ前記第2端子の電位が正電位の場合に電流を通過させ、前記第1端子の電位が正電位であり、かつ前記第2端子の電位が負電位の場合に電流を遮断し、

前記第4スイッチは、前記第1端子の電位が負電位であり、かつ前記第2端子の電位が正電位の場合に電流を遮断し、前記第1端子の電位が正電位であり、かつ前記第2端子の電位が負電位の場合に電流を通過させる

請求項1～3のいずれか1項に記載の整流回路。

[請求項5]

前記第3スイッチは、直列接続された第5および第6PMOSトランジスタを含み、

前記第5PMOSトランジスタのゲートは、前記第1端子に接続さ

れ、

前記第5 PMOSトランジスタのソースおよびドレインのうち前記第6 PMOSトランジスタに直列接続されていない側の端子は、前記第3キャパシタの他方の端子に接続され、

前記第6 PMOSトランジスタのゲートは、前記第3キャパシタの他方の端子に接続され、

前記第6 PMOSトランジスタのソースおよびドレインのうち前記第5 PMOSトランジスタに直列接続されていない側の端子は、前記第2キャパシタの他方の端子に接続されている

請求項4記載の整流回路。

[請求項6]

前記第4スイッチは、直列接続された第7および第8 PMOSトランジスタを含み、

前記第7 PMOSトランジスタのゲートは、前記第2端子に接続され、

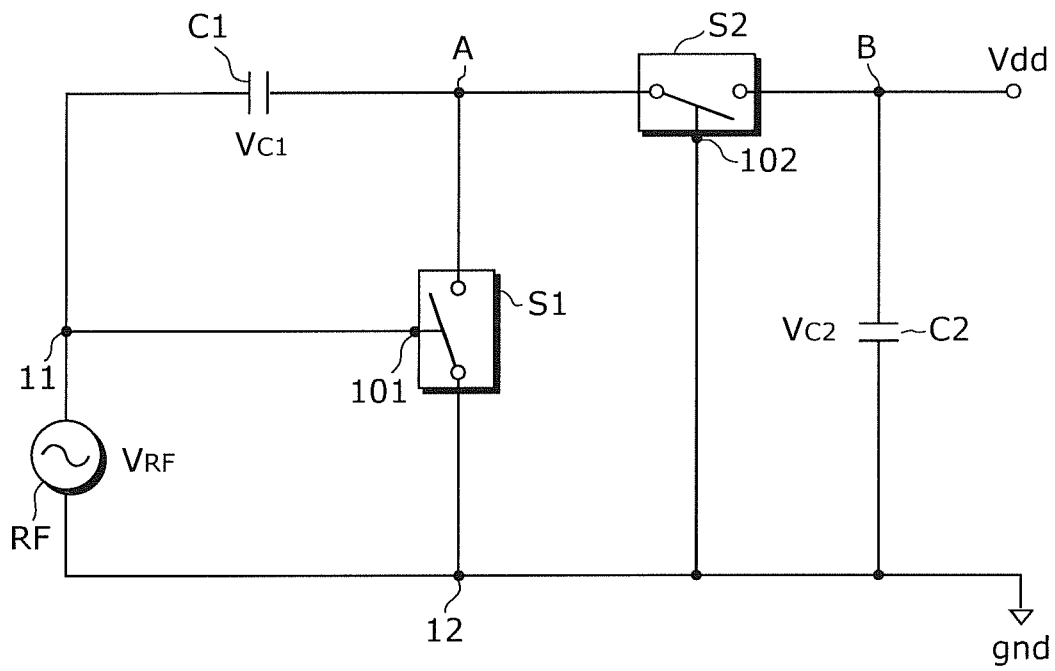
前記第7 PMOSトランジスタのソースおよびドレインのうち前記第8 PMOSトランジスタに直列接続されていない側の端子は、前記第4キャパシタの他方の端子に接続され、

前記第8 PMOSトランジスタのゲートは、前記第4キャパシタの他方の端子に接続され、

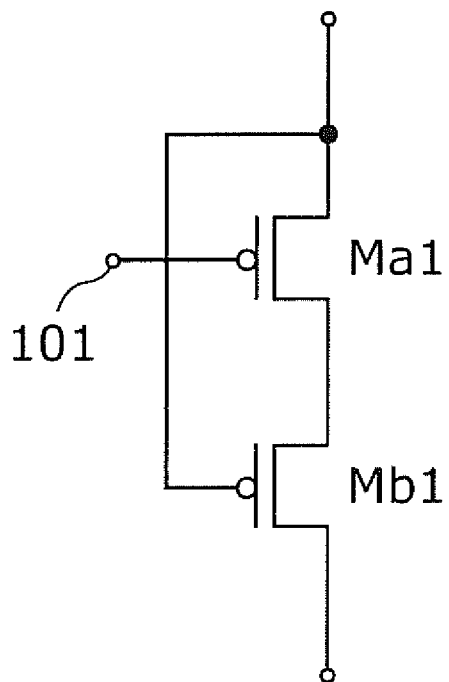
前記第8 PMOSトランジスタのソースおよびドレインのうち前記第7 PMOSトランジスタに直列接続されていない側の端子は、前記第3キャパシタの他方の端子に接続されている

請求項4または5記載の整流回路。

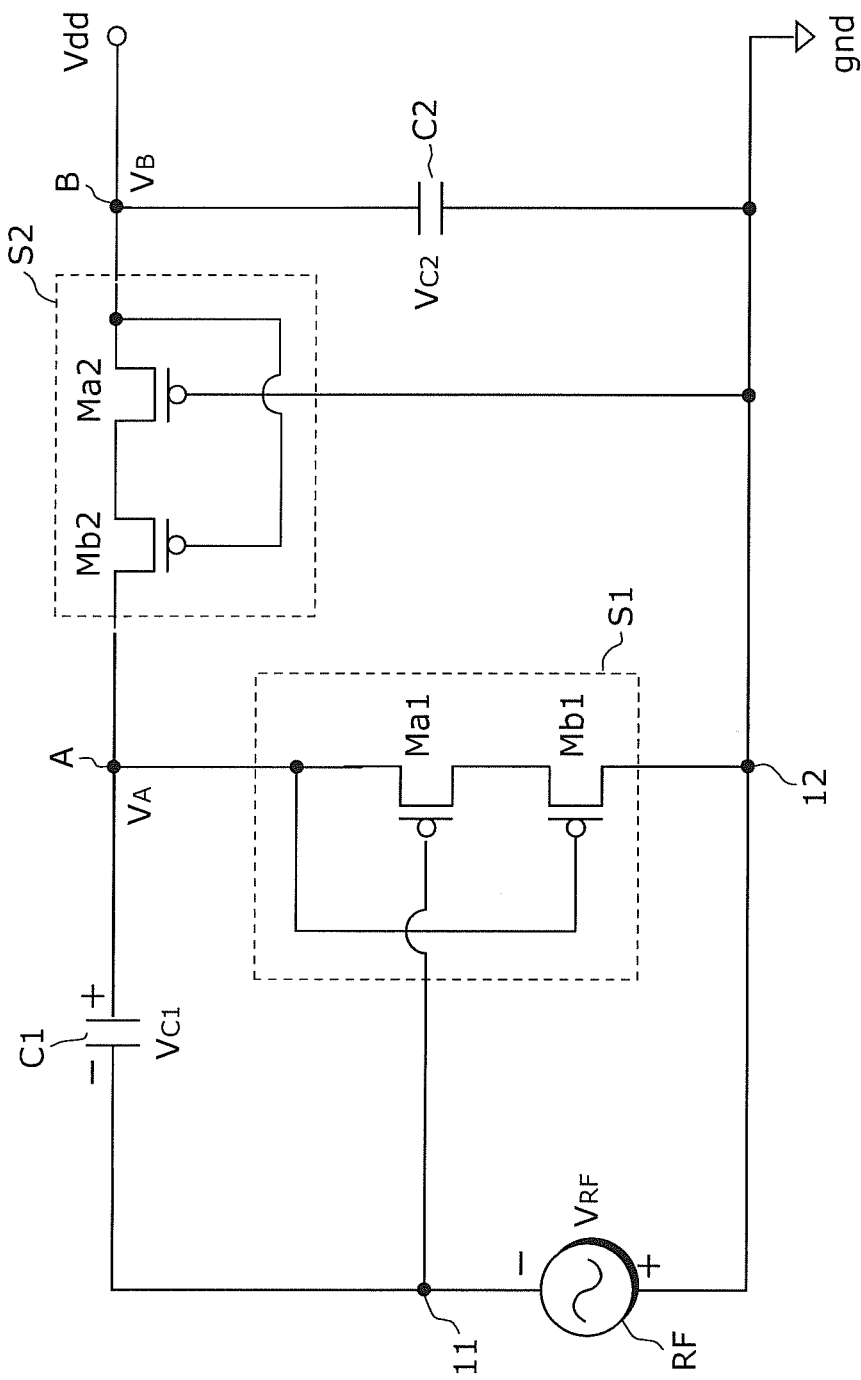
[圖1]



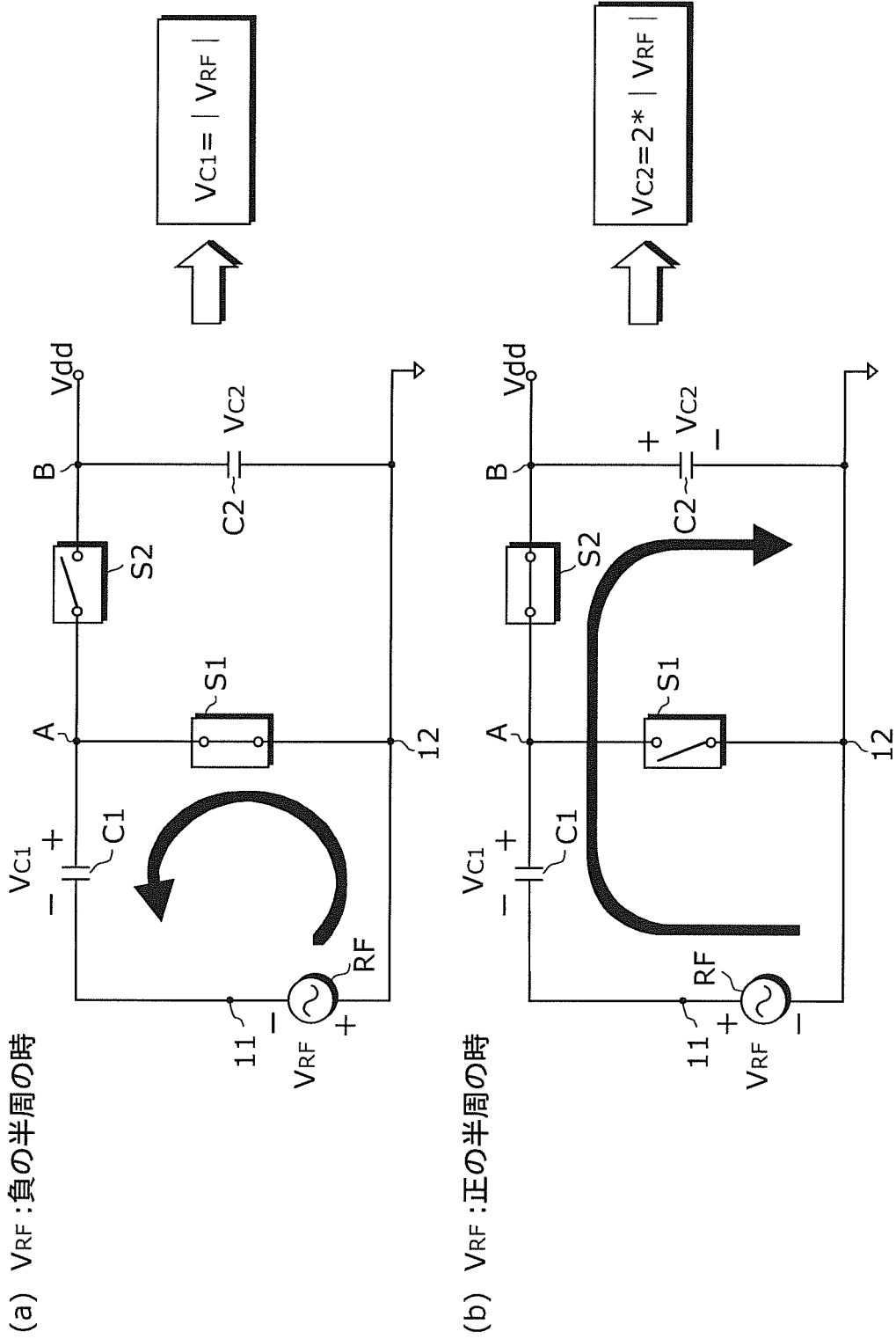
[圖2]



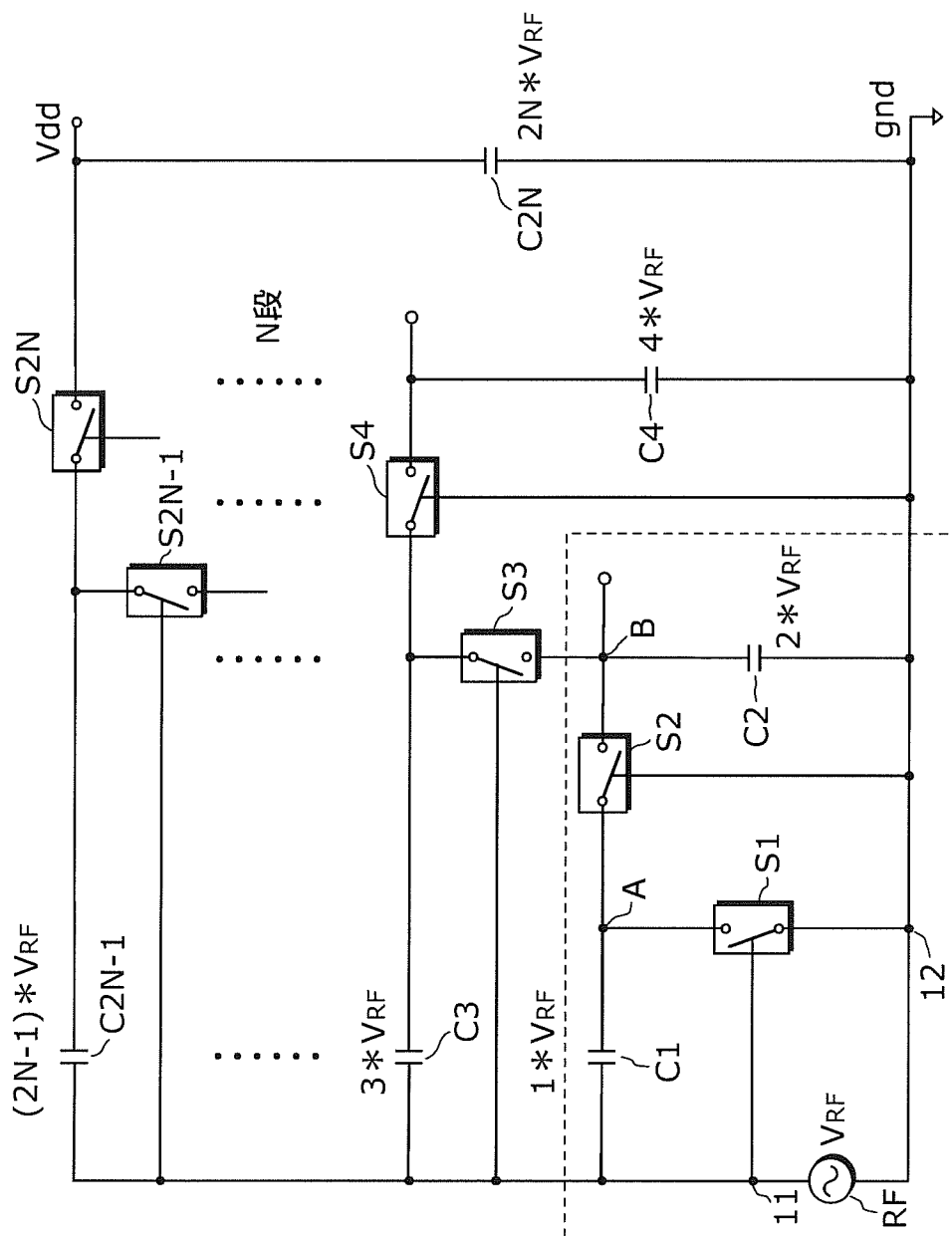
[3]



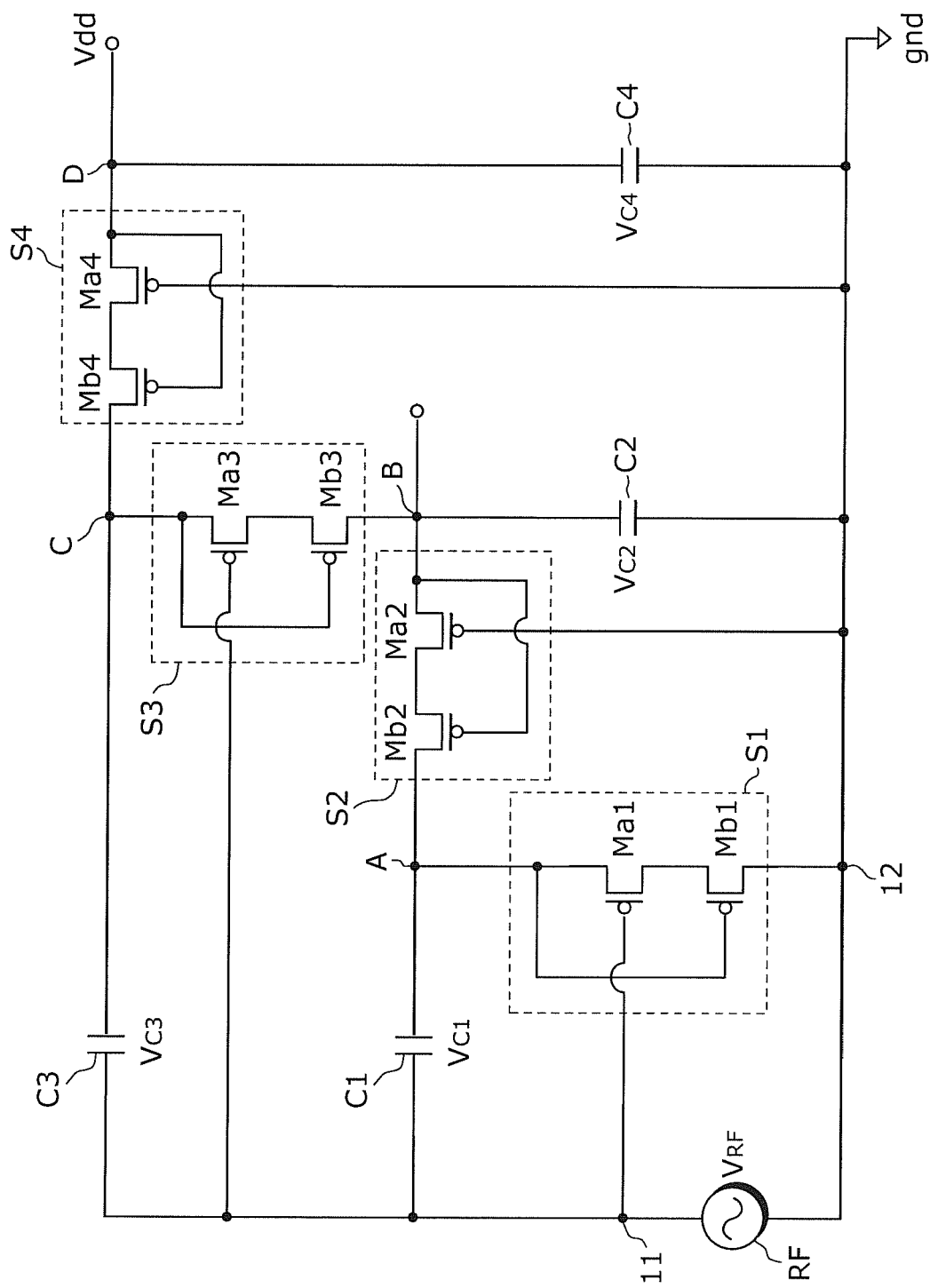
[図4]



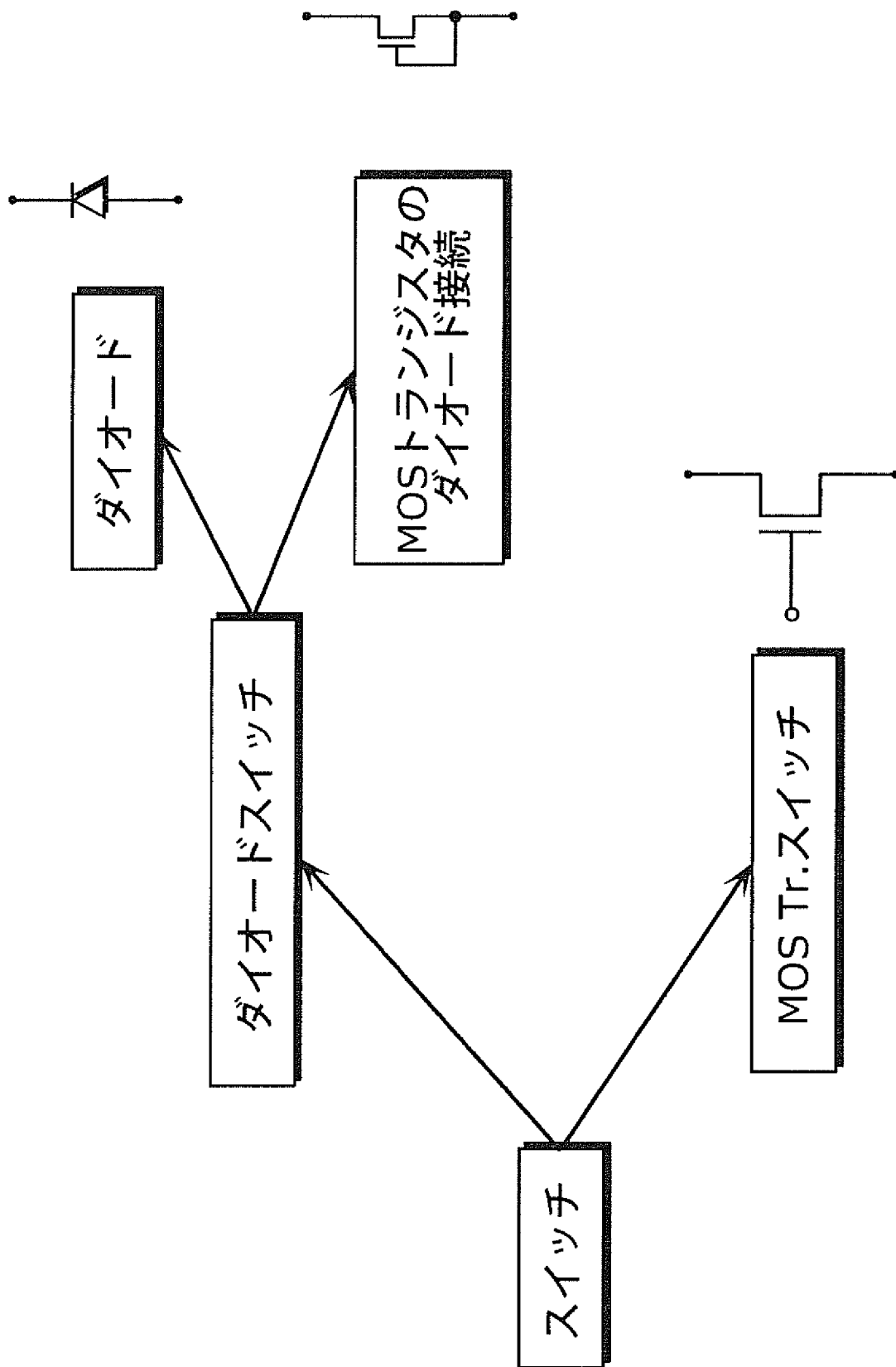
[図5]



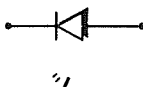
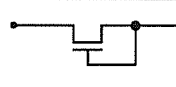
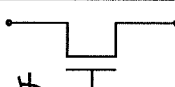
[図6]



[図7]



[図8]

	最小必要電圧(電圧損失)	備考
 ダイオード	$V_{th} + V_{forward}$	V_{th} : 閾値電圧 $V_{forward}$: 正方向電圧損失
 MOS Tr.の ダイオード接続	$V_{th} + V_{forward}$	$V_{forward} \ll V_{th}$
 MOS Tr.スイッチ	$V_{forward}$	

[図9]

	電圧損失	備考
cross-connected bridge回路	$2 * V_{\text{forward}}$	Charge pump:不可能
Dicksonチャージ ポンプ回路	$N * (V_{\text{th}} + V_{\text{forward}})$	Charge pump:可能 N:積み重ねの段数
提案した回路	$N * (2 * V_{\text{forward}})$	Charge pump:可能 N:積み重ねの段数

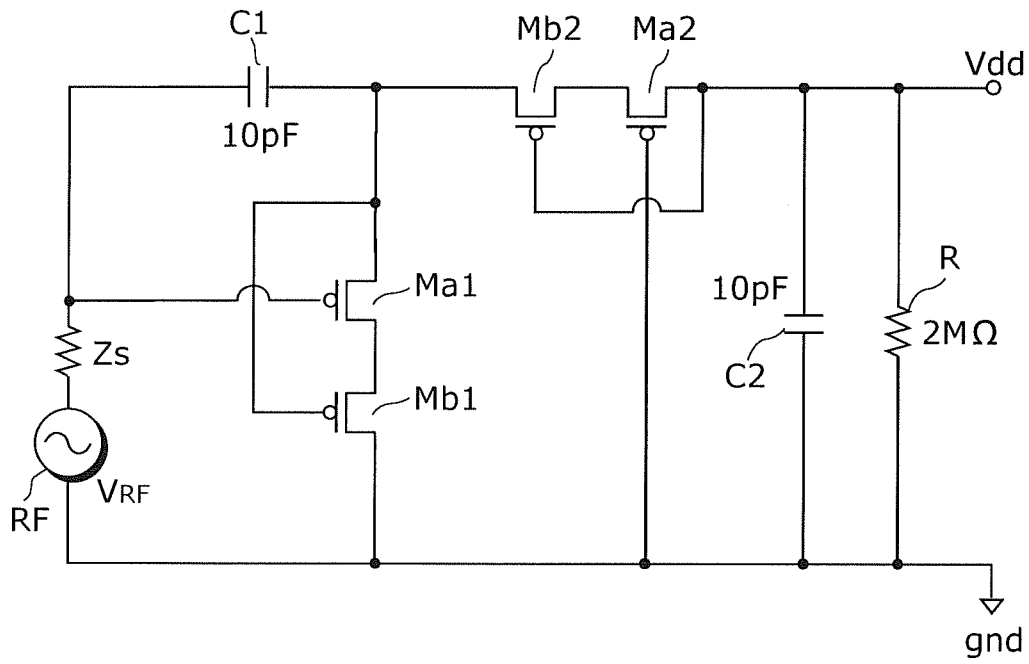
[図10]

	最小必要電圧(閾値損失)
cross-connected bridge回路	$V_{in_min} = 2 * V_{forward} + V_{out}$
Dicksonチャージ ポンプ回路	$V_{in_min} = N * (V_{th} + V_{forward}) + V_{out}$
提案した回路	$V_{in_min} = N * (2 * V_{forward}) + V_{out}$

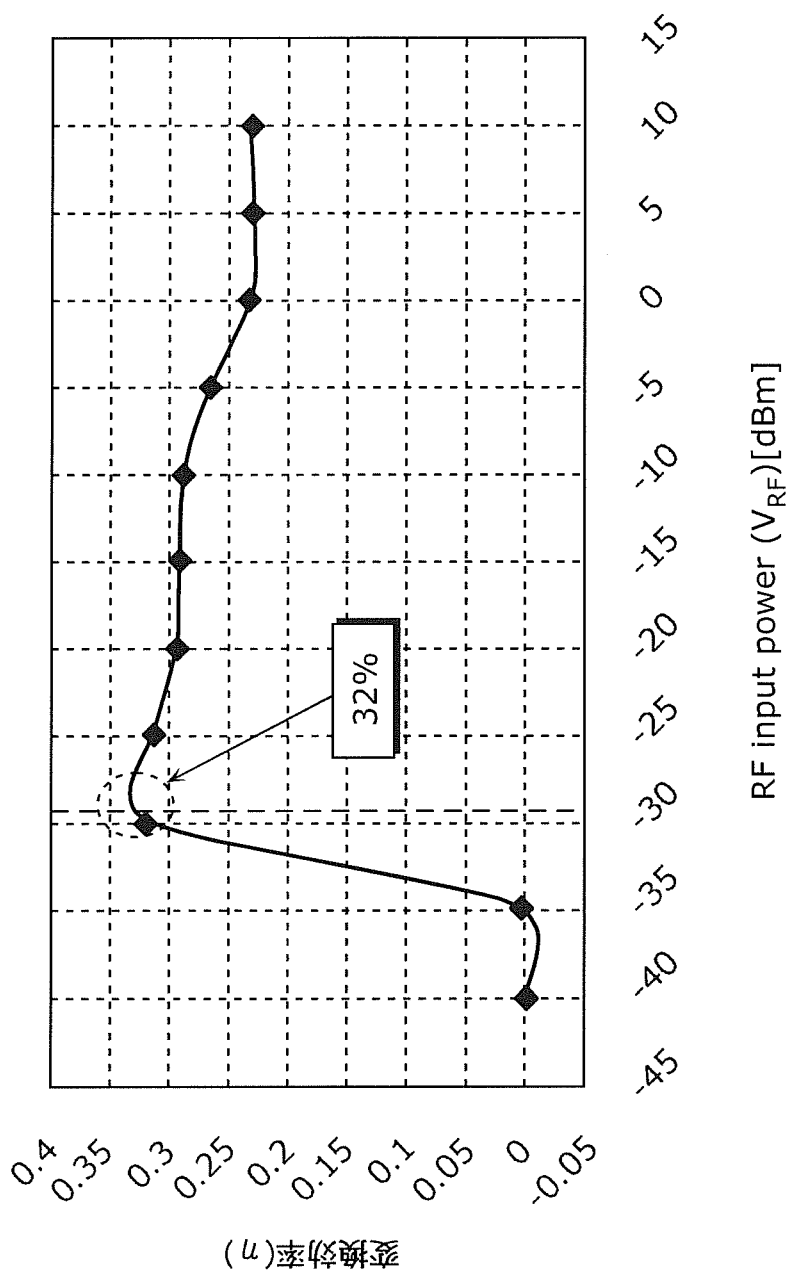
[図11]

	変換効率	出力電圧
cross-connected bridge回路	高い	低い
Dicksonチャージ ポンプ回路	低い	高い
提案した回路	高い	高い

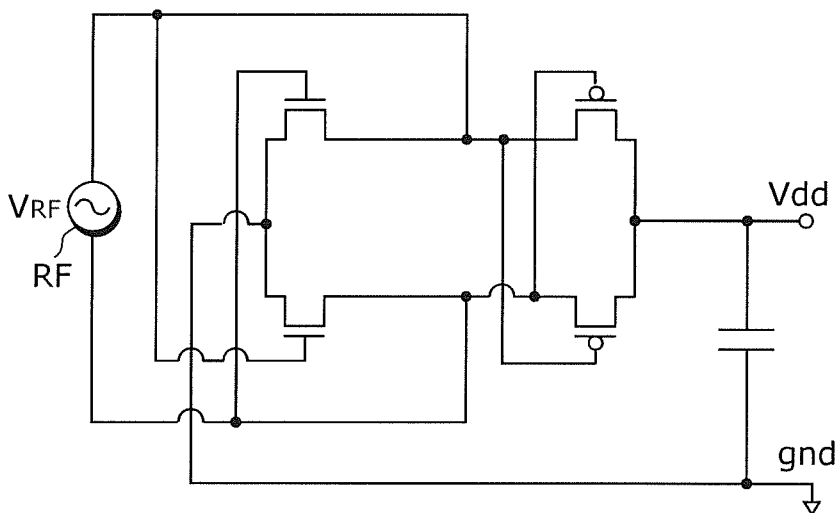
[圖12]



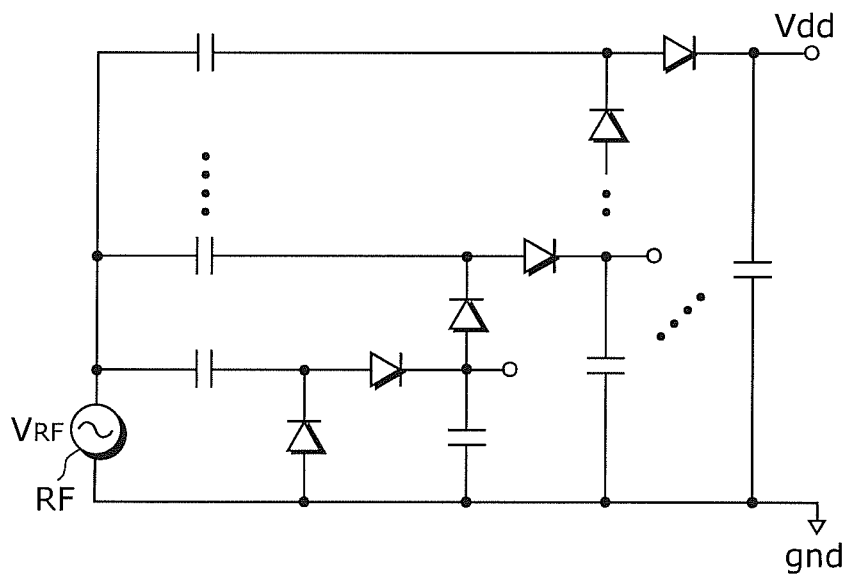
[图13]



[图14]



[圖15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002673

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-262657 A (Kansai University), 28 September 2006 (28.09.2006), paragraphs [0001] to [0033]; fig. 1 (Family: none)	1-6
A	JP 2008-11584 A (Tohoku University), 17 January 2008 (17.01.2008), paragraphs [0001] to [0031]; fig. 11 to 14 (Family: none)	1-6
A	Gosset, G. et al., Very High Efficiency 13.56 MHz RFID Input Stage Voltage Multipliers Based On Ultra Low Power MOS Diodes, RFID, 2008 IEEE International Conference on, 2008.04.16, Page. 134-140	1-6

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 July, 2011 (27.07.11)Date of mailing of the international search report
09 August, 2011 (09.08.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002673

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	Theilmann, P. T. et al., Near Zero Turn-on Voltage High-Efficiency UHF RFID Rectifier in Silicon-on-Sapphire CMOS, Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE, 2010.05.23, Page. 105-108	1-6
P,A	Ji Cui et al., A rectifier structure for UHF RFID transponder with high efficiency, IEICE Electronics Express, Vol. 7, No. 14, 2010.07.25, Page. 1086-1090	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M7/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M7/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-262657 A (学校法人 関西大学) 2006.09.28, 【0001】 - 【0033】, 図1 (ファミリーなし)	1-6
A	JP 2008-11584 A (国立大学法人東北大学) 2008.01.17, 【0001】 - 【0031】, 図11-14 (ファミリーなし)	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日
27.07.2011

国際調査報告の発送日
09.08.2011

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	3V	2917
櫻田 正紀		
電話番号 03-3581-1101 内線 3357		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	Gosset, G. et al., Very High Efficiency 13.56 MHz RFID Input Stage Voltage Multipliers Based On Ultra Low Power MOS Diodes, RFID, 2008 IEEE International Conference on, 2008.04.16, Page. 134-140	1 - 6
P, A	Theilmann, P. T. et al., Near Zero Turn-on Voltage High-Efficiency UHF RFID Rectifier in Silicon-on-Sapphire CMOS, Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE, 2010.05.23, Page. 105-108	1 - 6
P, A	Ji Cui et al., A rectifier structure for UHF RFID transponder with high efficiency, IEICE Electronics Express, Vol. 7, No. 14, 2010.07.25, Page. 1086-1090	1 - 6