

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年6月23日(23.06.2011)

PCT

(10) 国際公開番号
WO 2011/074237 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
H01L 21/283 (2006.01) H01L 29/12 (2006.01)
H01L 21/316 (2006.01)
- (21) 国際出願番号: PCT/JP2010/007231
- (22) 国際出願日: 2010年12月13日(13.12.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-285561 2009年12月16日(16.12.2009) JP
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人奈良先端科学技術大学院大学(NATIONAL UNIVERSITY CORPORATION NARA INSTITUTE OF SCIENCE AND TECHNOLOGY) [JP/JP]; 〒6300192 奈良県生駒市高山町8916番地の5 Nara (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 矢野裕司(YANO, Hiroshi) [JP/JP]; 〒6300192 奈良県生駒市高山町8916番地の5 国立大学法人奈良先端科学技術大学院大学内 Nara (JP). 岡本大(OKAMOTO, Dai) [JP/JP]; 〒6300192 奈良県生駒

市高山町8916番地の5 国立大学法人奈良先端科学技術大学院大学内 Nara (JP).

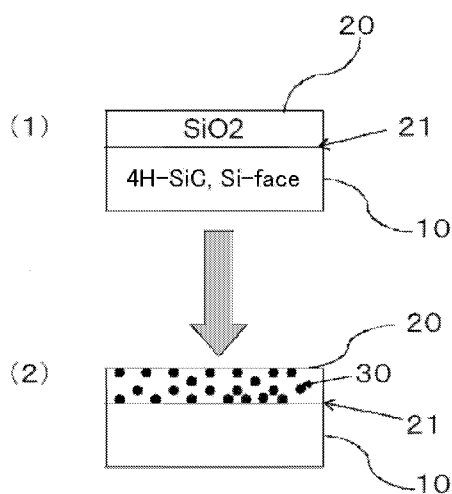
- (74) 代理人: 特許業務法人グローバル知財(THE PATENT CORPORATE BODY GLOBAL INTELLECTUAL PROPERTY); 〒6500024 兵庫県神戸市中央区海岸通4番地 新明海ビル3階 Hyogo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SiC SEMICONDUCTOR ELEMENT AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称: SiC半導体素子およびその作製方法

[図4]



(57) Abstract: Disclosed are an SiC semiconductor element and manufacturing method for an SiC semiconductor element in which the interface state density of the interface of the insulating film and the SiC is reduced, and channel mobility is improved. Phosphorus (30) is added to an insulating film (20) formed on an SiC semiconductor (10) substrate in a semiconductor element. The addition of phosphorous to the insulating film makes it possible to significantly reduce the defects (interface state density) in the interface (21) of the insulating film and the SiC, and to dramatically improve the channel mobility when compared with conventional SiC semiconductor elements. The addition of phosphorus to the insulating film is carried out by heat treatment. The use of heat treatment to add phosphorous to the insulating film makes it possible to maintain the reliability of the insulating film, and to avoid variation in channel mobility and threshold voltage.

(57) 要約: SiC半導体の絶縁膜とSiCとの界面の界面準位密度を低減させ、チャネル移動度を向上させたSiC半導体素子およびその作製方法を提供する。SiC半導体10基板上に絶縁膜20が形成された半導体素子において、絶縁膜20にリン30を添加する。絶縁膜にリンが添加されることにより、絶縁膜とSiCの界面21の欠陥(界面準位密度)が大幅に低減でき、チャネル移動度を従来と比べて飛躍的に向上できる。絶縁膜に対するリンの添加は、熱処理によって行われる。熱処理を用いて、絶縁膜にリンを添加することで、絶縁膜の信頼性を維持でき、チャネル移動度や閾値電圧のばらつきを回避することができる。

WO 2011/074237 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, —
NE, SN, TD, TG).

請求の範囲の補正の期限前の公開であり、補正を受理した際には再公開される。(規則 48.2(h))

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： S i C半導体素子およびその作製方法

技術分野

[0001] 本発明は、S i C半導体素子の絶縁膜（酸化膜）とS i C半導体における界面欠陥を低減し、M I S F E T（M I S型電界効果トランジスタ）またはM O S F E T（M O S型電界効果トランジスタ）等のチャネル移動度を向上させる技術に関するものである。

背景技術

[0002] S i C半導体とは炭素（C）とケイ素（S i）の化合物であるS i C（Silicon carbide, 炭化ケイ素）からなる半導体である。S i C半導体の最大の特徴は、パワーエレクトロニクスに用いる半導体デバイス（パワーデバイス）の材料として適した物性値を有することである。例えば、市販されている単結晶の4 H-S i Cの場合、禁制帯幅が3. 3 e Vと従来のS i半導体に比べて3倍と広く、絶縁破壊電界強度が3 M V / c mと従来のS i半導体に比べて10倍程度大きく、また飽和電子速度が従来のS i半導体に比べて3倍と速い。また、S i C半導体は、S i半導体よりも、熱伝導性、耐熱性、耐薬品性に優れており、放射線に対する耐性もS i半導体より高いという特徴を備えている。このような特徴から、S i C半導体、特に、S i CのM I S F E T（M I S型電界効果トランジスタ）またはM O S F E T（M O S型電界効果トランジスタ）は、パワーエレクトロニクスに用いられる半導体デバイスに好適に使用されている。

[0003] しかし、S i CのM I S（M O S）F E Tでは、ゲート絶縁膜（ゲート酸化膜）とS i Cの界面における欠陥が多く、チャネル移動度が小さいことが、従来から問題とされていた。特に、4 H-S i Cでは、バルク結晶中の電子移動度が800-1000 c m² / V sと高いのに対し、S i CのM I S（M O S）F E Tのチャネル移動度（S i面）は、10 c m² / V sと小さいことが問題として挙げられていた。

また従来から、S i Cの熱酸化やCVD法を用いて絶縁膜を形成したり、また形成した絶縁膜をNO、NO₂、NH₃ガスなどにより絶縁膜とS i Cの界面を窒化することなどが行われており、界面における欠陥を少なくして、チャネル移動度を向上させている。しかしながら、S i CのMIS (MOS) FETのチャネル移動度 (S i面) は、界面を窒化した場合でも、40-50 cm²/Vsと小さく、更なるチャネル移動度の向上が切望されている。

[0004] S i CのMIS (MOS) FETのチャネル移動度が小さい理由は、従来技術で作製されるS i Cの界面には欠陥が多い、すなわち、界面準位密度が大きいためである。S i CのMIS (MOS) FETのチャネル移動度が小さいことによって、MIS (MOS) FETのトランジスタのオン抵抗値が大きくなる。トランジスタのオン抵抗値が大きくなれば消費電力が多くなってしまう。

[0005] 上述したように、4H-S i Cでは、本来、バルク結晶中の電子移動度が800-1000 cm²/Vsと高いにも関わらず、S i CのMIS (MOS) FETといったデバイス化を図ると、欠陥 (界面準位密度の大きさ) のためにチャネル移動度が小さくなってしまふのである。すなわち、デバイス化することで、本来、高い電子移動度を持つS i Cのポテンシャルを全く活かせなくなるのである。

[0006] これまで、MIS (MOS) FETのチャネル移動度を向上させて、トランジスタのオン抵抗を小さくするための先行技術が数多く知られている。例えば、ゲート絶縁膜直下のS i Cに窒素やリンをイオン注入したり、エピタキシャル成長させたりして、p型層の表面を低濃度化またはn型化することによりチャネル移動度を向上する作製方法が知られている (例えば、特許文献1を参照)。また、絶縁膜とS i Cの界面を窒化することにより、チャネル移動度を向上する作製方法が知られている (例えば、特許文献2を参照)。さらに、ゲート絶縁膜 (ゲート酸化膜) に対してH₂Oを含んだ雰囲気中で熱処理を施してチャネル移動度を向上する作製方法が知られている (例えば、特許文献3を参照)。

[0007] しかしながら、上記特許文献1では、ゲート絶縁膜直下のSiCに窒素やリンをイオン注入させたり、エピタキシャル成長させたりするので、SiC基板上に設ける絶縁膜の信頼性が悪いという問題が生じていた。またエピ濃度や膜厚の制御性にも問題があり、それに起因してチャネル移動度や閾値電圧がばらつくという問題が生じていた。

また、上記特許文献2では、界面を窒化することにより界面準位密度が低減し、チャネル移動度が向上するものの、上述したようにチャネル移動度は $40\text{ cm}^2/\text{Vs}$ 程度である。

また、上記特許文献3では、ゲート絶縁膜（ゲート酸化膜）に対して H_2O を含んだ雰囲気中で熱処理を施すことにより、チャネル移動度が向上するものの、チャネル移動度は $50\text{ cm}^2/\text{Vs}$ 程度である。更に、効果のあるプロセス条件の範囲が狭いという問題もある。

先行技術文献

特許文献

- [0008] 特許文献1：特開2000-150866号公報
特許文献2：特開2006-216918号公報
特許文献3：特開2003-086792号公報

発明の概要

発明が解決しようとする課題

- [0009] 上記状況に鑑みて、本発明は、SiC半導体に接する絶縁膜とSiCとの界面の界面準位密度を低減させ、チャネル移動度を向上させたSiC半導体素子およびその作製方法を提供することを目的とする。

課題を解決するための手段

- [0010] 本発明者らは、鋭意研究を行った結果、従来行われてきたようにゲート絶縁膜直下のSiCにリンを注入させるのではなく、ゲート絶縁膜自体に熱処理によってリンを添加（ドーピング）することにより、絶縁膜とSiCの界面欠陥（界面準位密度）が大幅に低減できることおよびMIS（MOS）FET

のチャネル移動度を大幅に向上できることを見出し、本発明を完成させた。

[0011] すなわち、上記目的を達成すべく、本発明のSiC半導体素子は、少なくともSiC半導体基板と、基板に接する絶縁膜を備える半導体素子において、絶縁膜にリンを含む構成とされる。かかる構成によれば、SiC半導体基板と絶縁膜との界面の界面準位密度を低減ならびに半導体素子のチャネル移動度を向上させることができる。

[0012] 絶縁膜にリンが含まれることにより、絶縁膜とSiCの界面欠陥（界面準位密度）が大幅に低減でき、半導体素子のチャネル移動度を従来と比べて飛躍的に向上できる。

リンが含まれることで、絶縁膜である酸化膜（ SiO_2 ）中のSiの一部はリン（P）に置き換わり、リン（P）はネットワークを構成する周囲の酸素原子（O）と3配位で結合する。 SiO_2 中に存在するSi-Si結合（O欠損）が欠陥となることが知られているが、そのようなSiをリン（P）が置き換えたために欠陥が消滅することにより、絶縁膜とSiCの界面欠陥（界面準位密度）が低減できると推察する。また、4つの周囲の酸素原子（O）と結合していたSi（4配位）の一部がリン（P）に置き換わることでネットワークを構成する酸素原子（O）に対して3配位となり、酸化膜の歪が緩和されたことも欠陥消滅に影響していると推察する。

なお、上記絶縁膜はSiCとの界面に形成すればよく、SiCのシリコン面、カーボン面および側壁面などいずれの結晶面にも好適に適用できる。

ここで、絶縁膜には、酸化膜や窒化膜が含まれる。

[0013] 上記の本発明のSiC半導体素子において、具体的には、

SiC半導体基板と絶縁膜との界面の界面準位密度は、伝導帯端からのエネルギーが0.2~0.6 eVの範囲で $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下である。

[0014] また、好ましくは、上記の本発明のSiC半導体素子において、

SiC半導体基板と絶縁膜との界面の界面準位密度は、伝導帯端からのエネルギーが0.2~0.6 eVの範囲で $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下であり

、かつ、半導体素子のチャネル移動度は、 $35 \text{ cm}^2/\text{Vs}$ 以上である。

[0015] そして、更に好ましくは、上記の本発明のSiC半導体素子において、SiC半導体基板と絶縁膜との界面の界面準位密度は、伝導帯端からのエネルギーが $0.2 \sim 0.6 \text{ eV}$ の範囲で $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下であり、かつ、半導体素子のチャネル移動度が、 $85 \text{ cm}^2/\text{Vs}$ 以上である。

[0016] ここで、上記の本発明のSiC半導体素子は、SiC半導体基板のうち、電子の供給口および取り出し口となるソース・ドレイン・ベース・エミッタ・コレクタなどの低抵抗n+型領域を除いたSiC半導体基板部分にはリンが存在しないことが好ましい態様である。

また、他の観点からは、SiC半導体基板に熱処理によってリンが添加されていないことが好ましい態様である。SiC半導体基板側の不純物濃度の増加を招くからである。

[0017] また、他の観点からは、上記の本発明のSiC半導体素子は、少なくともMIS(MOS)チャネルを備える場合、かかるMIS(MOS)チャネルにリンが含まれていないことが好ましい態様である。MIS(MOS)チャネルを有する半導体素子の場合、MIS(MOS)チャネルの不純物濃度の増加を招くからである。

[0018] また、上記の本発明のSiC半導体素子において、絶縁膜への熱処理によってリンが添加され、SiC半導体基板の不純物濃度が変化しないことが好ましい。

また、上記の絶縁膜に対するリンの添加が熱処理によって行われることにより、SiC側にリンが進入せず、SiC側の不純物濃度を変化されない、或いは、増加を回避することができる。例えば、MIS(MOS)チャネルを有する場合には、MIS(MOS)チャネルにはリンが進入せず、MIS(MOS)チャネルに不純物としてのリンを変化させない、或いは、増加させることがない。

[0019] 熱処理を用いて、絶縁膜にリンを添加することで、絶縁膜の信頼性を維持でき、チャネル移動度や閾値電圧の変動を回避することができる。

また、熱処理で絶縁膜にリンを添加させた場合、S i Cとの界面に達したリンは、S i C側にはほとんど添加されない。これは、S i C中におけるリンの拡散係数が非常に小さいためである。したがって、S i C側の不純物濃度（実効アクセプタ濃度または実効ドナー濃度）の変化はほとんどなく、このこともチャネル移動度や閾値電圧の変動の回避につながる。

[0020] また、上記の絶縁膜において、S i Cとの界面にリンが存在することがより好ましい。熱処理によって、リンが絶縁膜に添加されていくが、S i Cとの界面にまでリンが到達することで、絶縁膜とS i Cの界面欠陥（界面準位密度）が大幅に低減できるからである。

[0021] 具体的には、上記の絶縁膜において、界面準位密度が $1 \times 10^{11} \text{ cm}^{-2} \text{ e V}^{-1}$ 以下であることがより好ましい。熱処理によって、リンが絶縁膜に添加されていき、S i Cとの界面にまでリンが到達することで、従来、界面準位密度が $1 \times 10^{12} \text{ cm}^{-2} \text{ e V}^{-1}$ 程度であったものが、1桁程度、界面準位密度を低減できるからである。

[0022] また、上記の絶縁膜において、S i Cとの界面のリンの密度が $1 \times 10^{21} \text{ cm}^{-3}$ 以上であることがより好ましい。S i Cとの界面のリンの密度が大きいことによって、絶縁膜とS i Cの界面欠陥（界面準位密度）が大幅に低減できるからである。

[0023] また、上記の絶縁膜において、膜厚方向に、S i Cとの界面までリン濃度が一様に分布していることが好ましい。膜質を均一にできるからである。

[0024] 上記の絶縁膜は、具体的には、ゲート絶縁膜として用いられることが好ましい態様である。

絶縁膜とS i Cの界面欠陥が低減できているため、ゲート絶縁膜として用いることで、M I S（M O S）F E T等のチャネル移動度の向上が図れ、トランジスタのオン抵抗の低減につながることになるからである。

[0025] この他、上記の絶縁膜は、表面パッシベーション膜として用いられることも好ましい態様である。

絶縁膜とS i Cの界面欠陥が低減できているため、表面パッシベーション

膜として用いることで、S i C表面、すなわちS i Cと絶縁膜の界面におけるキャリアの再結合が押さえられ、リーク電流の低減やバイポーラトランジスタおよびサイリスタなどにおける増幅率の向上につながるようになるからである。

[0026] 次に、本発明のS i C半導体素子の作製方法について説明する。

本発明のS i C半導体素子の作製方法は、下記の（ステップS 10）および（ステップS 20）を少なくとも備える構成とされる。

（ステップS 10）S i Cからなる半導体基板上に絶縁膜を形成する絶縁膜形成工程

（ステップS 20）上記の絶縁膜に熱処理によりリンを添加するリン添加工程

[0027] 上記（ステップS 10）の絶縁膜形成方法は既存の知られた形成方法であればよく、特に限定されるものではない。

また、上記（ステップS 20）のリン添加工程において、熱処理で絶縁膜にリンを添加させるのは、リンをS i C側に添加させないためである。熱処理で絶縁膜にリンを添加させた場合、S i Cとの界面に達したリンは、S i C側にはほとんど添加されない。その理由は、S i C中におけるリンの拡散係数が非常に小さいためである。リンをS i C側に添加させないことで、S i C側の不純物濃度（実効アクセプタ濃度または実効ドナー濃度）の変化はほとんど起こらず、チャネル移動度や閾値電圧の変動の回避につながる。

[0028] また、本発明のS i C半導体素子の作製方法において、更に、下記の（ステップS 15）および（ステップS 30）を備えることが好ましい。

（ステップS 15）形成した上記の絶縁膜に対して、NOやN₂Oなどの酸化窒素ガスを用いて界面窒化および残留炭素の除去を行う界面窒化工程

（ステップS 30）水素アニールを用いて未結合手を終端する終端工程

[0029] また、本発明のS i C半導体素子の作製方法において、上記の（ステップS 20）のリン添加工程の後に、不活性ガスを用いてアニール処理を行う不活性ガスアニール工程（リン拡散工程）（ステップS 25）を含むことが更

に好ましい。

不活性ガスは、例えば、窒素ガスやアルゴンガスが好適に用いられる。

リン添加工程の後に、不活性ガスを用いてアニール処理を行うことにより、絶縁膜中をリンが拡散していき、絶縁膜とSiC半導体の界面にまでリンを確実に到達させることが可能となるからである。

[0030] 本発明のSiC半導体素子の作製方法の各工程の順序は、特に限定されるものではないが、好ましくは、絶縁膜形成工程（ステップ10）の後、界面窒化工程（ステップ15）、リン添加工程（ステップ20）、リン拡散工程（ステップ25）、終端工程（ステップ30）のように、処理温度の高い工程から低い工程の順序で行う。これにより、工程間の温度管理がより容易になる。なお、各工程の間に、SiC半導体素子に対してその他の工程や処理を行うことも可能である。

[0031] ここで、上記（ステップS20）のリン添加工程は、絶縁膜に対して、具体的には、塩化ホスホリル（ POCl_3 ）溶液をバブリングし、酸素・窒素などの酸素および不活性ガスの混合ガス雰囲気、 $950\sim 1100^\circ\text{C}$ の温度で熱処理を行う。

塩化ホスホリル（ POCl_3 ）溶液のバブリングは、例えば、常温以下の塩化ホスホリル（ POCl_3 ）溶液に窒素を用いてバブリングする。そして、バブリングしたガスと酸素ガスと窒素ガスの混合した雰囲気、 $950\sim 1100^\circ\text{C}$ の温度範囲で10分程度、熱処理を行う。

[0032] さらに、上記熱処理後、引き続き同一温度で、窒素などの不活性ガス雰囲気中で数10分間、熱処理を行う。

なお、（ステップS20）のリン添加工程は、上記方法以外にも、ホスフィン（ PH_3 ）やターシャリーブチルホスフィン（TBP）などのリンを含んだガスや、溶液を気化させた原料を使用した雰囲気中にて熱処理することによっても可能である。

[0033] また、本発明のSiC半導体素子の作製方法において、（ステップS20）のリン添加工程は、絶縁膜に対して、塩化ホスホリル（ POCl_3 ）溶液を

バブリングし、酸素および不活性ガスの混合ガス雰囲気、800～1100°Cの温度で熱処理を行い、(ステップS25)の不活性ガスアニール工程は950～1100°Cの温度で行うことが更に好ましい態様である。

発明の効果

[0034] 本発明によれば、絶縁膜に対してリンを含むガスで熱処理することにより、絶縁膜とSiCの界面欠陥(界面準位密度)が大幅に低減でき、チャネル移動度を従来と比べて飛躍的に向上できるといった効果を有する。チャネル移動度を向上できることで、本発明を用いたパワーデバイスの消費電力低減が図れるといった効果を有する。

また、本発明を用いた表面パッシベーション膜は、リーク電流の低減や増幅率の向上が図れるといった効果を有する。

図面の簡単な説明

[0035] [図1] SiCのパワーMOSFETの代表例であるDMOSFETの模式図である。

[図2] 4H-SiCの構造模式図である。

[図3] チャネル移動度をパラメータとしたパワーMOSFETのオン抵抗と絶縁破壊電圧の相関図である。

[図4] 実施例1の作製方法の説明図である。

[図5] 実施例1の作製フローを示す。

[図6] 界面準位密度およびチャネル移動度の評価のための作製デバイスの模式図である。

[図7] 界面準位密度の測定結果を示すグラフである。

[図8] n-MOSFETの特性を説明するグラフである。

[図9] チャネル移動度の測定結果1を示すグラフである。

[図10] チャネル移動度の測定結果2を示すグラフである。

[図11] チャネル移動度の測定結果3を示すグラフである。

[図12] チャネル移動度の測定結果4を示すグラフである。

[図13] 従来技術であるドライ酸化膜のチャネル移動度特性を示すグラフであ

る。

[図14]実施例1で作製した酸化膜の膜厚方向におけるリン濃度を示すグラフである。

[図15]その他の実施例の作製フローを示す図である。

発明を実施するための最良の形態

[0036] 以下、本発明の実施形態について、図面を参照しながら詳細に説明していく。なお、本発明の範囲は、以下の実施例や図示例に限定されるものではなく、幾多の変更及び変形が可能である。

[0037] 図1に、SiCのMOSFETの模式図を示す。SiCのMOSFETは、SiC半導体10の基板の上にゲート絶縁膜20を形成し、ゲート電極11、ソース電極12、ドレイン電極13の端子を設ける。ここで、SiC半導体10は図1に示すように、 n^+ 層、pボディ層、 n^- ドリフト層、 n^+ 基板層などいくつかの層に分けられる。そして、ソース電極12からドレイン電極13にかけて、電流抵抗となる部位が存在する。

[0038] 例えば、ソース電極12と n^+ 層の間の抵抗値 R_{cs} 、 n^+ 層の抵抗値 R_n 、ゲート絶縁膜20とSiC半導体10の界面21のチャネル抵抗値 R_{ch} 、pボディ層に挟まれた n^- ドリフト層のJFET抵抗値 R_j 、 n^- ドリフト層の抵抗値 R_d 、 n^+ 基板層の抵抗値 R_{sub} 、 n^+ 基板層とドレイン電極13の間の抵抗値 R_{cd} である。

これらの抵抗値のうち、特に支配的なのが、界面21のチャネル抵抗値 R_{ch} である。

[0039] 上述したように、4H-SiC（図2に構造模式図を示す）では、バルク中の電子移動度が $800-1000\text{ cm}^2/\text{Vs}$ と高いのに対し、SiCのMOSFETの界面のチャネル移動度は、 $10\text{ cm}^2/\text{Vs}$ と小さいことが問題として挙げられている。これについて、図3を用いて説明する。図3は、チャネル移動度（ μ_{ch} ）とトランジスタのオン抵抗の相関図を示しており、横軸は絶縁破壊電圧、すなわち半導体素子の耐圧を示している。

[0040] 図3において、4H-SiCの場合、Siの場合と比べて、同一耐圧の半

導体素子に対するオン抵抗値は、シリコン単体（Si limit）とSiC半導体のドリフト層と基板（drift+sub. limit）を比較すると、絶縁破壊電圧 10^3 V付近においては、1000分の1程度と小さいことが示されている。また、チャネル移動度（ μ_{ch} ）に反比例してオン抵抗値が低減されることが示されている。なお、SiC半導体において、チャネル抵抗、nドリフト層の抵抗およびn+基板層の抵抗以外の抵抗値は無視できる大きさである。特にチャネル抵抗値の低減がSiC半導体デバイスの性能向上に不可欠である。

SiCのMOSFETの界面のチャネル移動度（ μ_{ch} ）を従来の $10\text{ cm}^2/\text{Vs}$ 程度から $100\text{ cm}^2/\text{Vs}$ 程度まで性能向上することで、本来の4H-SiCの高いポテンシャルを活用できることとなる。

[0041] 以下の実施例では、チャネル移動度（ μ_{ch} ）を $90\text{ cm}^2/\text{Vs}$ 程度まで性能向上できるSiC半導体素子ならびにその製造方法を詳細に説明する。

実施例 1

[0042] 図4と図5を用いて実施例1の作製方法を説明する。図4は、SiC半導体10にゲート絶縁膜20を形成し、そのゲート絶縁膜20にリン30を添加する様子を示している。ここでは、絶縁膜として酸化膜（ SiO_2 ）を用いた例を示している。図4（2）では、絶縁膜とSiCの界面21にまでリン30が到達している。絶縁膜とSiCの界面21にまでリン30が達することにより、界面欠陥を低減でき、チャネル移動度を向上することができることになる。

[0043] SiC基板上の絶縁膜にリンを添加する手順は、図5に示すように、まず、SiC基板上に絶縁膜を形成し（S10）、次に、絶縁膜に対してリンを添加する（S20）。そして、確実にリンを絶縁膜とSiCの界面21に到達させるため、拡散工程を行う（S25）。

[0044] 具体的に、SiC基板上の絶縁膜にリンを添加する手順について説明する。ここでは、絶縁膜として酸化膜（ SiO_2 ）を用いた例について説明する。まず、n型シリコン面の4H-SiCをドライ酸化により、 1200°C 、

160分で55nmの絶縁膜である酸化膜を形成した試料を準備した。その試料に、2.25slmの窒素ガス、1.0slmの酸素ガスおよび15°Cに保ったPOCl₃溶液に0.75slmの窒素をバブリングしたガスを混合した雰囲気中で、950°Cで10分間、熱処理を行った。その後、引き続き同一温度で、窒素雰囲気中で30分間、熱処理を行った。これにより、SiC上の絶縁膜にのみリンを添加することができた。同様に、熱処理の温度を1000°C、1050°Cおよび1100°CにおいてSiC基板上の絶縁膜へのリンの添加を行った。

[0045] 第1の比較例として、ドライ酸化のみを行ったSiC半導体素子を作製した。具体的には、n型シリコン面の4H-SiCをドライ酸化により、1200°C、160分で55nmの絶縁膜である酸化膜を形成した。

次に、第2の比較例として、実施例1とは熱処理の温度を変更し、その他の点は実施例1と同様な処理を行ってSiC半導体素子を作成した。具体的には、n型シリコン面の4H-SiCをドライ酸化により、1200°C、160分で55nmの絶縁膜である酸化膜を形成した試料を準備した。その試料に、2.25slmの窒素ガス、1.0slmの酸素ガスおよび15°Cに保ったPOCl₃溶液に0.75slmの窒素をバブリングしたガスを混合した雰囲気中で、900°Cで10分間、熱処理を行った。その後、引き続き同一温度で、窒素雰囲気中で30分間、熱処理を行った。

[0046] 図6は、作製したデバイスを示している。これは、界面準位密度およびチャネル移動度の評価のための作製デバイスの模式図である。

ゲート電極の形成について説明する。ゲート電極は、アルミニウム、タンガステン、モリブデンなどの金属や、N型ポリシリコンあるいはP型ポリシリコンなどのいずれの材料でも構わない。ここでは、ゲート電極としてアルミニウムを使用した。さらに、このゲート電極の上にWSi₂膜、MoSi₂膜、あるいはTiSi₂膜などのシリサイド膜を形成しても構わない。さらに、この後に、裏面電極としてアルミニウムを形成した。

[0047] 図6(1)に示すMOSキャパシタの作製について説明する。MOSキャ

パシタは、先ず、4H-SiC（不純物濃度 $N_d - N_a = 8 \times 10^{15} \text{ cm}^{-3}$ ）を通常のRCA洗浄をした後に、絶縁膜である酸化膜を形成した。その後、形成された絶縁膜を5%フッ酸で除去した。この後に、ゲート絶縁膜を形成して、その後、窒素中で400度、30分の熱処理（PMA: Post Metallization Anneal）を行い、MOSキャパシタを作製した。

[0048] 次に、図6（2）に示すnチャネルMOSFETの作製について説明する。nチャネルMOSFETは、同様のゲート絶縁膜の形成手法と、その後の熱処理で、p型の4H-SiC（不純物濃度 $N_a - N_d = 7 \times 10^{15} \text{ cm}^{-3}$ ）を用いてチャンネル長/幅=100/200 μm のMOSFETを作製したものである。

[0049] 図7は、界面準位密度の測定結果を示すグラフである。図7から、950 $^{\circ}\text{C}$ 、1000 $^{\circ}\text{C}$ 、1050 $^{\circ}\text{C}$ および1100 $^{\circ}\text{C}$ で熱処理を行ったものは、界面準位密度が低減されていることがわかる。900 $^{\circ}\text{C}$ で熱処理したものは、ドライ酸化のみのもと同様な結果を示しており、界面準位密度の低減効果は確認できなかった。これに対して、950~1100 $^{\circ}\text{C}$ の温度範囲で熱処理したものは、界面準位密度が1桁以上低減され、 $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下~ $1 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 台半ばにまで低減できた。

[0050] 図8は、実施例1の作製方法を用いて、1000 $^{\circ}\text{C}$ で10分間、熱処理を施し、SiCのゲート絶縁膜である酸化膜にリンを添加したn-MOSFET（チャンネル長/幅 $L/W = 100/200 \mu\text{m}$ ）の特性を示している。図8に示すように、ノーマリーオフの特性であり、閾値電圧（ V_{th} ）が0.04Vであり、ゲート電圧の印加に伴い、ドレイン電流がリニアに増大していく様子が示されている。

[0051] 次に、図9~12は、実施例1の作製方法を用いて、1000 $^{\circ}\text{C}$ で10分間、熱処理を施したSiCのMOSFETに対して、チャンネル移動度を示すグラフである。

図9は、MOSFETのチャンネル長/幅（ L/W ）は、10/200 μm

であり、図10は、MOSFETのチャネル長/幅(L/W)は、30/200 μm であり、図11は、MOSFETのチャネル長/幅(L/W)は、50/200 μm であり、図12は、MOSFETのチャネル長/幅(L/W)は、100/200 μm である。

[0052] 図9~12によれば、作製したSiCのMOSFETのチャネル移動度は、すべて90 cm^2/Vs まで向上している。比較対照データとして、図13にリンをゲート絶縁膜である酸化膜に添加していないドライ酸化の場合のMOSFETのチャネル移動度を示す。図13において、Dry/N₂とは、ドライ酸化後に窒素雰囲気中で熱処理したものであり、この場合のチャネル移動度は4 cm^2/Vs である。また、Dry/NOとは、ドライ酸化後に一酸化窒素(NO)ガスを用いて熱処理したものであり(酸化膜を窒化させたもの)、この場合のチャネル移動度は25 cm^2/Vs である。なお、MOSFETのチャネル長/幅(L/W)は、30/200 μm である。

[0053] このように、従来技術であるドライ酸化の場合、チャネル移動度は、一般的に4~25 cm^2/Vs 程度であるが、リンをゲート絶縁膜に導入することにより、90 cm^2/Vs まで大幅に向上できたことがわかる。

このように、実施例1の作製方法を用いることにより、チャネルのサイズ(チャネル長/幅)に関係なく、MOSFETのチャネル移動度が向上でき、それに伴いオン抵抗値がチャネル移動度に反比例して低減できるのである。

[0054] 図14は、実施例1で作製した酸化膜の膜厚方向におけるリン原子の濃度分布を示している。図14のグラフから、SiCとの界面までリン濃度は、 $2 \times 10^{21} \text{cm}^{-3}$ の濃度で一様に分布していることがわかる。

なお、図14において、リンがSiC側にまで少し入っているように見えるが、これは濃度の高いほうから測定したために起こる見かけ上のものであり、SiC側に熱処理によって添加されたリンは存在していない。

[0055] (他の実施例)

さらに、界面欠陥を低減させ、チャネル移動度を向上させる方法としては

、図15のフローに示すように、酸化窒素ガス（例えば、NOガス）による界面窒化および残留炭素の除去を行う界面窒化工程（S15）、H₂アニールによる未結合手の終端を行う終端工程（S30）のステップを、実施例1のプロセスに加える。

産業上の利用可能性

[0056] 本発明は、電気自動車、ハイブリッド自動車、鉄道、家電、電力系統などのインバータのスイッチで用いられるMIS（MOS）型電界効果トランジスタ（MIS（MOS）FET）に有用である。また、MIS（MOS）FETよりも高耐圧領域で用いられる絶縁ゲート型バイポーラトランジスタ（IGBT）にも利用できる。さらに、ゲートターンオフ（GTO）サイリスタ、接合型バイポーラトランジスタ（BJT）、接合型電界効果トランジスタ（JFET）、P（i）Nダイオード、ショットキーバリアダイオード（SBD）などの表面パッシベーション膜に適用可能である。

符号の説明

[0057] 10 SiC半導体
 11 ゲート電極
 12 ソース電極
 13 ドレイン電極
 20 ゲート絶縁膜
 21 界面
 30 リン

請求の範囲

- [請求項1] 少なくともS i C半導体基板と、基板に接する絶縁膜を備える半導体素子において、前記絶縁膜にリンを含むことを特徴とするS i C半導体素子。
- [請求項2] 請求項1に記載のS i C半導体素子において、
前記S i C半導体基板と前記絶縁膜との界面の界面準位密度が、伝導帯端からのエネルギーが $0.2 \sim 0.6 \text{ eV}$ の範囲で $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下であることを特徴とするS i C半導体素子。
- [請求項3] 請求項1に記載のS i C半導体素子において、
前記S i C半導体基板と前記絶縁膜との界面の界面準位密度が、伝導帯端からのエネルギーが $0.2 \sim 0.6 \text{ eV}$ の範囲で $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下であり、かつ、
前記半導体素子のチャネル移動度が、 $35 \text{ cm}^2/\text{Vs}$ 以上であることを特徴とするS i C半導体素子。
- [請求項4] 請求項1に記載のS i C半導体素子において、
前記S i C半導体基板と前記絶縁膜との界面の界面準位密度が、伝導帯端からのエネルギーが $0.2 \sim 0.6 \text{ eV}$ の範囲で $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下であり、かつ、
前記半導体素子のチャネル移動度が、 $85 \text{ cm}^2/\text{Vs}$ 以上であることを特徴とするS i C半導体素子。
- [請求項5] 前記絶縁膜に熱処理によってリンが添加され、S i C半導体基板の不純物濃度が変化しないことを特徴とする請求項1に記載のS i C半導体素子。
- [請求項6] 前記絶縁膜と前記S i C半導体基板との界面にリンが存在することを特徴とする請求項1～5のいずれかに記載のS i C半導体素子。
- [請求項7] 前記絶縁膜において、S i C半導体基板との界面のリンの密度が $1 \times 10^{21} \text{ cm}^{-3}$ 以上であることを特徴とする請求項6に記載のS i C半導体素子。

- [請求項8] 前記絶縁膜において、膜厚方向に、S i C半導体基板との界面までリン濃度が一様に分布していることを特徴とする請求項6に記載のS i C半導体素子。
- [請求項9] 前記絶縁膜がゲート絶縁膜として用いられることを特徴とする請求項1～8のいずれかに記載のS i C半導体素子。
- [請求項10] 前記絶縁膜が表面パッシベーション膜として用いられることを特徴とする請求項1～8のいずれかのS i C半導体素子。
- [請求項11] 請求項1～10のいずれかに記載のS i C半導体素子の作製方法において、
S i Cからなる半導体基板上に絶縁膜を形成する絶縁膜形成工程、
前記絶縁膜に熱処理によってリンを添加するリン添加工程、
を少なくとも備えたS i C半導体素子の作製方法。
- [請求項12] 請求項11に記載のS i C半導体素子の作製方法において、さらに、
形成した前記絶縁膜に対して、酸化窒素ガスを用いて界面窒化および残留炭素の除去を行う界面窒化工程、
水素アニールを用いて未結合手を終端する終端工程、
を備えたS i C半導体素子の作製方法。
- [請求項13] 前記リン添加工程の後に、
不活性ガスを用いてアニール処理を行う不活性ガスアニール工程を含む、
ことを特徴とする請求項11又は12に記載のS i C半導体素子の作製方法。
- [請求項14] 前記リン添加工程は、前記絶縁膜に対して、
塩化ホスホリル（ POCl_3 ）溶液をバブリングし、酸素および不活性ガスの混合ガス雰囲気中、 $950\sim 1100^\circ\text{C}$ の温度で熱処理を行う、
ことを特徴とする請求項11～13のいずれかに記載のS i C半導

体素子の作製方法。

[請求項15]

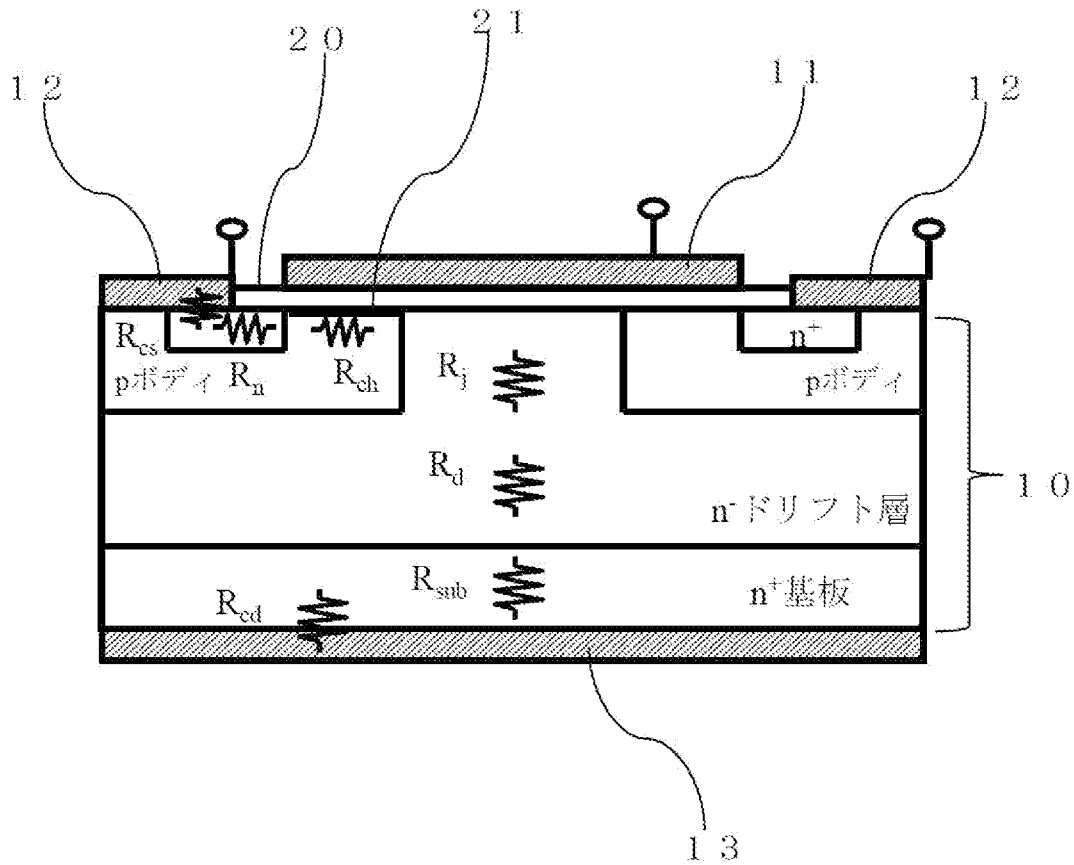
前記リン添加工程は、前記絶縁膜に対して、
塩化ホスホリル（ POCl_3 ）溶液をバブリングし、酸素および不
活性ガスの混合ガス雰囲気、 $800\sim 1100^\circ\text{C}$ の温度で熱処理を
行い、

前記不活性ガスアニール工程は $950\sim 1100^\circ\text{C}$ の温度で行うこ
とを特徴とする請求項13に記載のSiC半導体素子の作製方法。

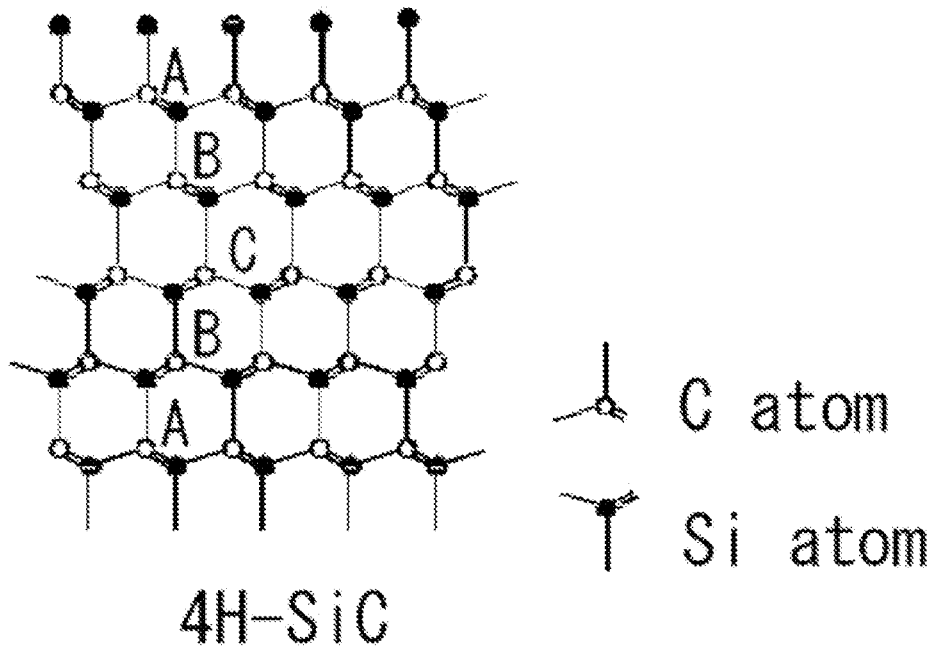
[請求項16]

前記不活性ガスが窒素ガスまたはアルゴンガスであることを特徴と
する請求項13～15のいずれかに記載のSiC半導体素子の作製方
法。

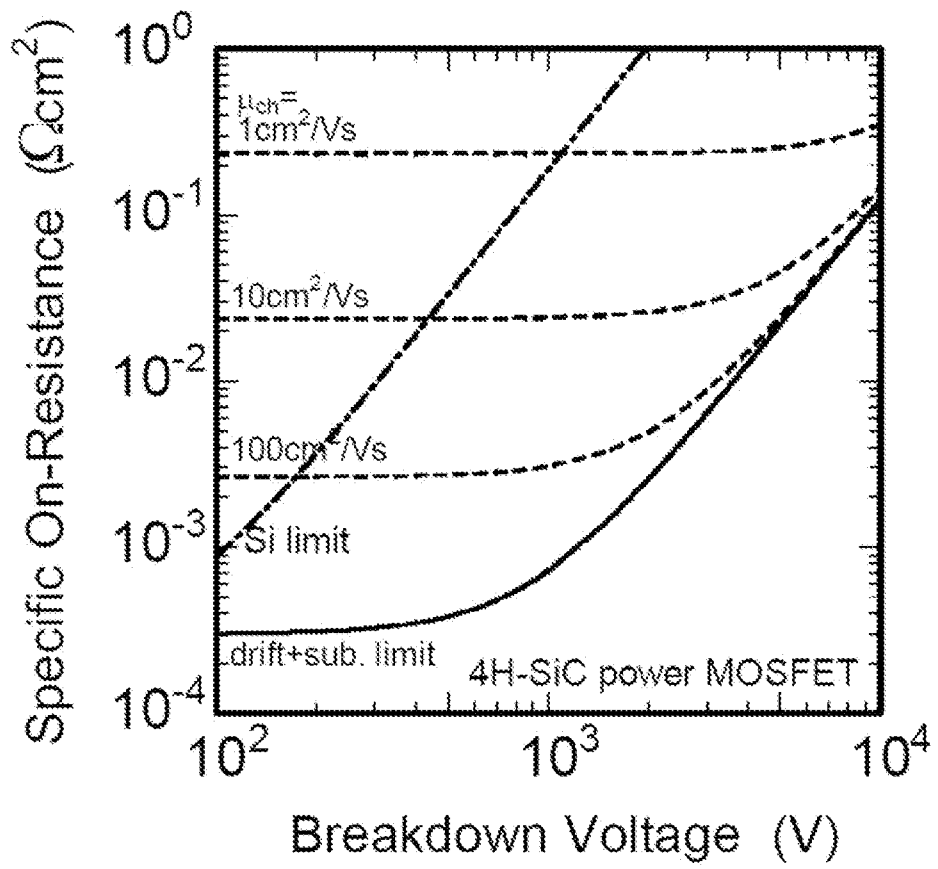
[図1]



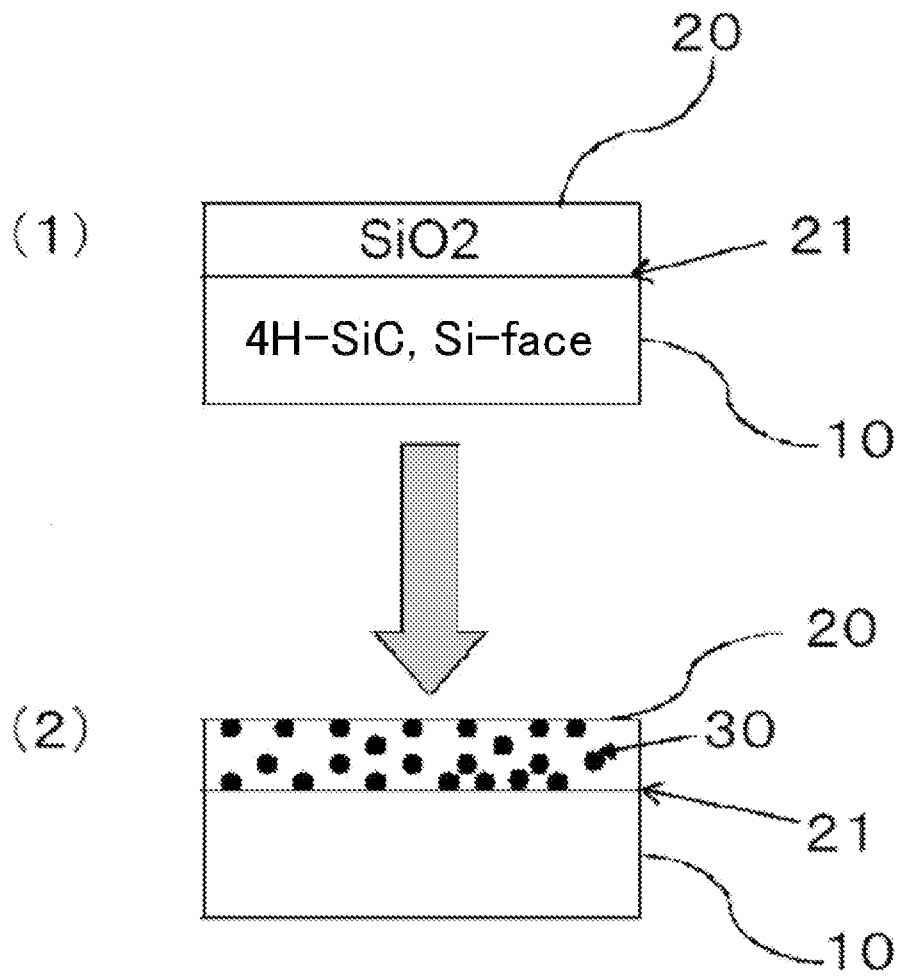
[図2]



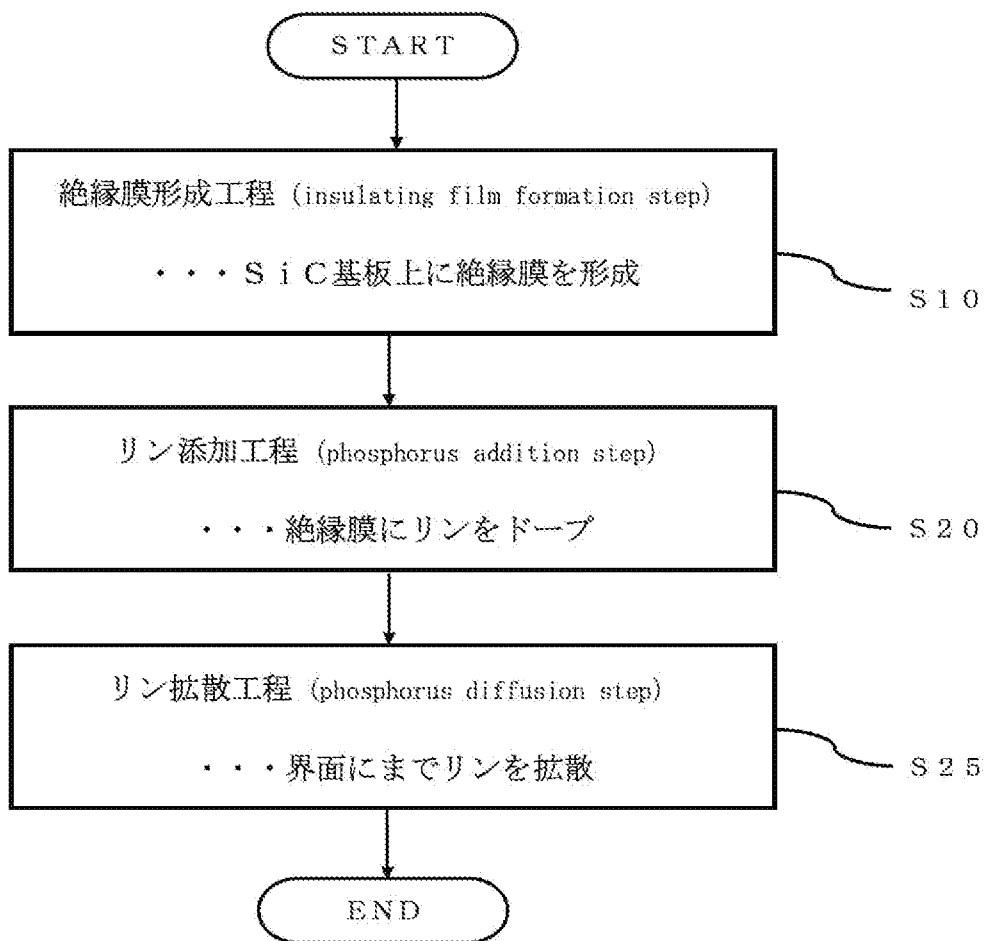
[図3]



[図4]

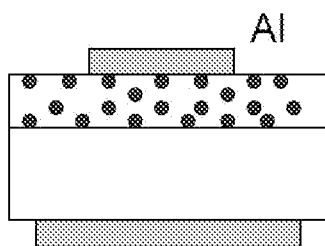


[図5]



[図6]

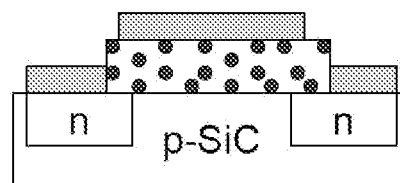
(1) n-MOSキャパシタ



$$\text{Nd-Na} = 8 \times 10^{15} \text{cm}^{-3}$$

ゲート電極直径: 300 μm

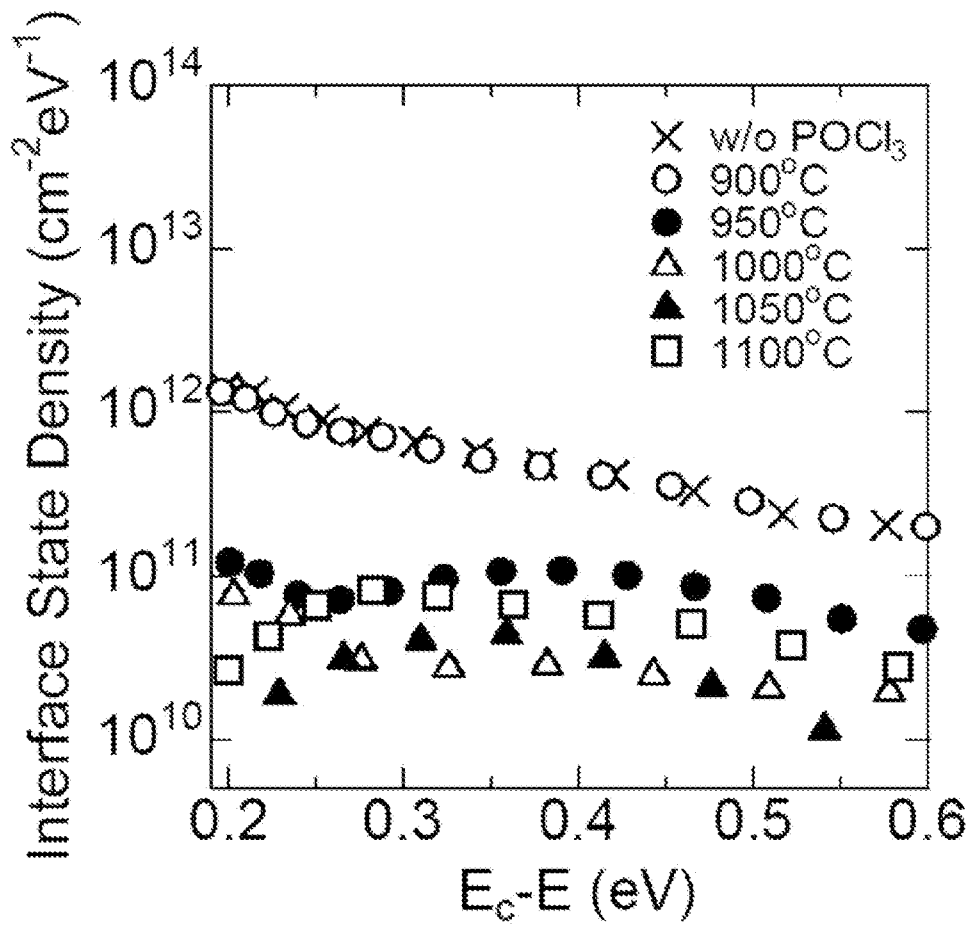
(2) nチャネルMOSFET



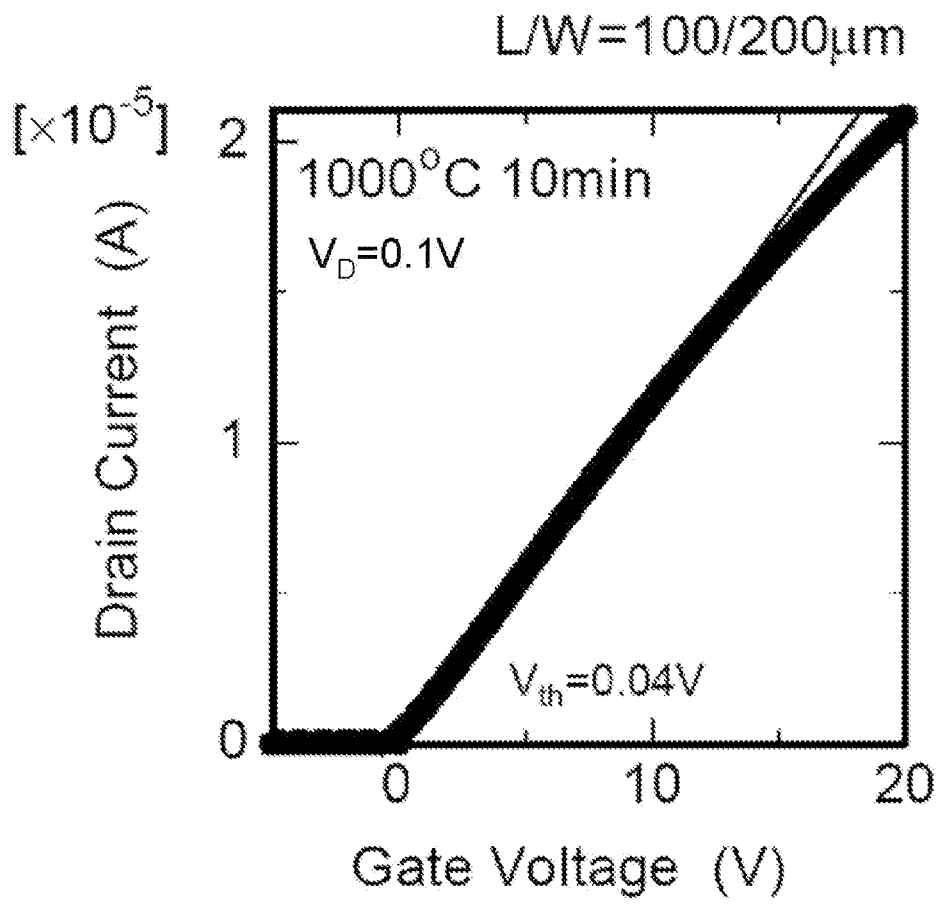
$$\text{Na-Nd} = 7 \times 10^{15} \text{cm}^{-3}$$

チャンネル長/幅 = 100/200 μm

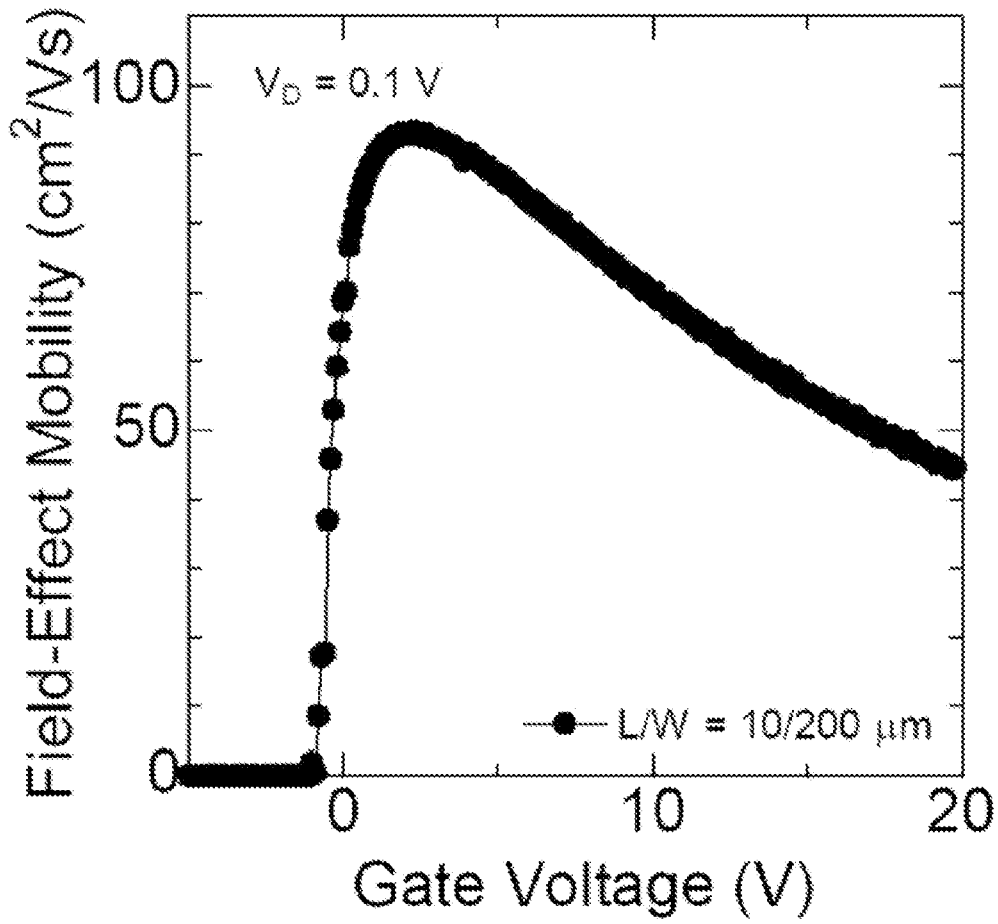
[図7]



[図8]

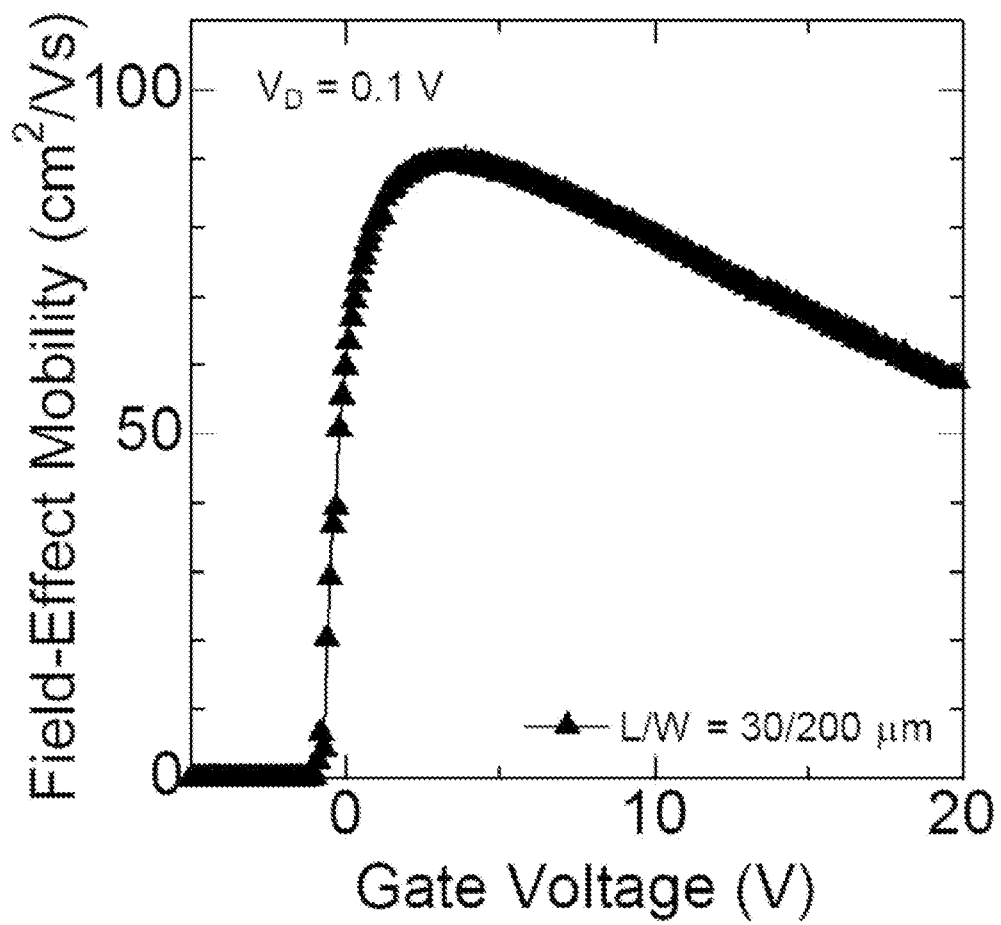


[図9]



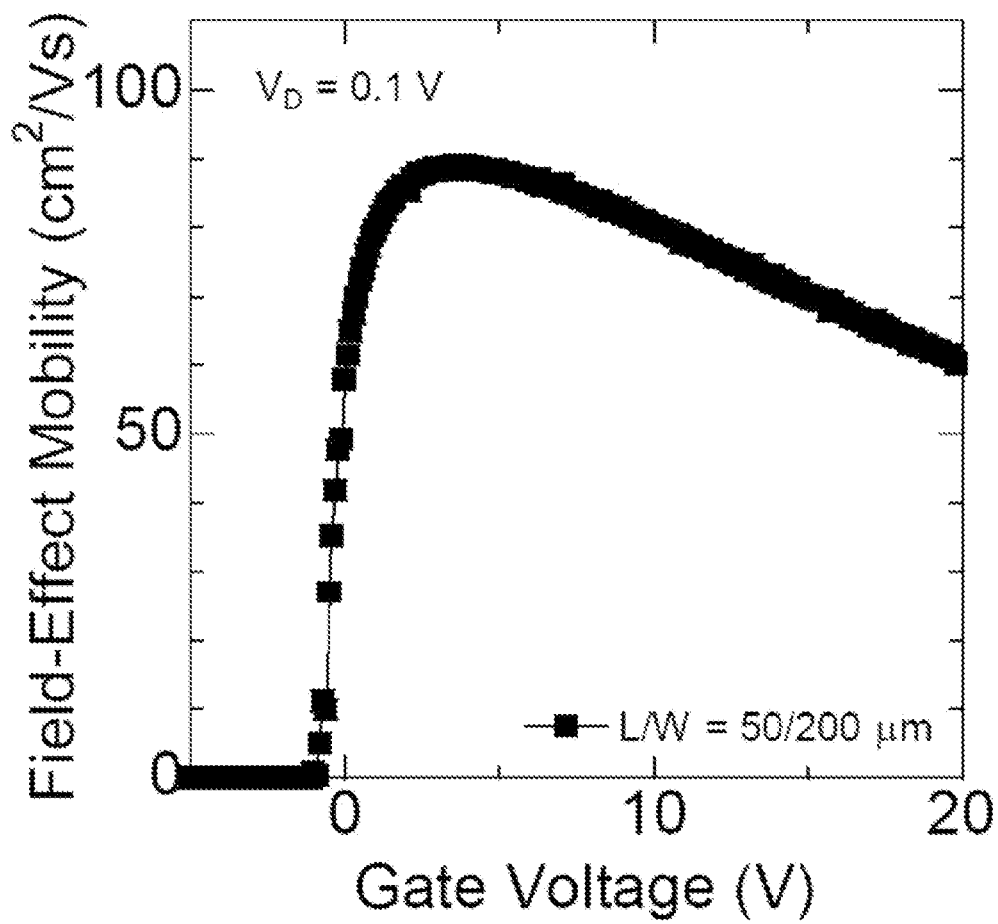
POCIアニール 1000度
チャネル長／幅 $L/W=10/200\mu\text{m}$

[図10]



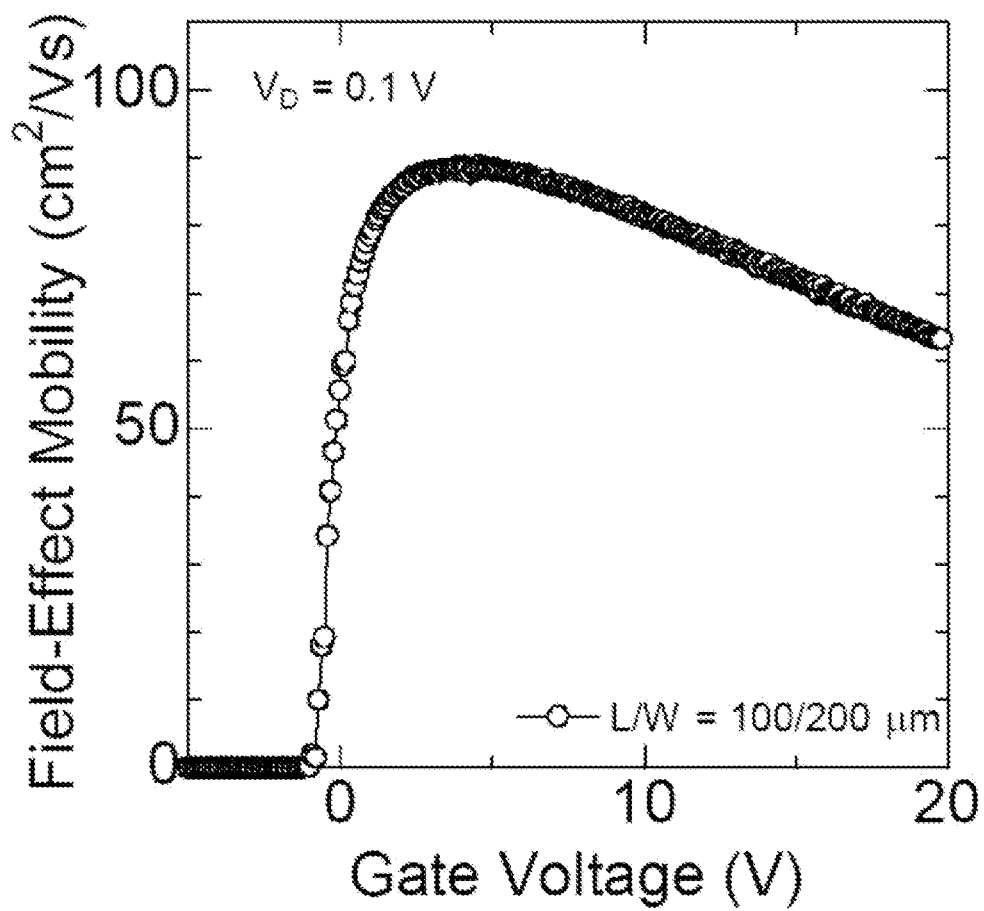
POCIアニール 1000度
チャンネル長／幅 $L/W=30/200\mu\text{m}$

[図11]



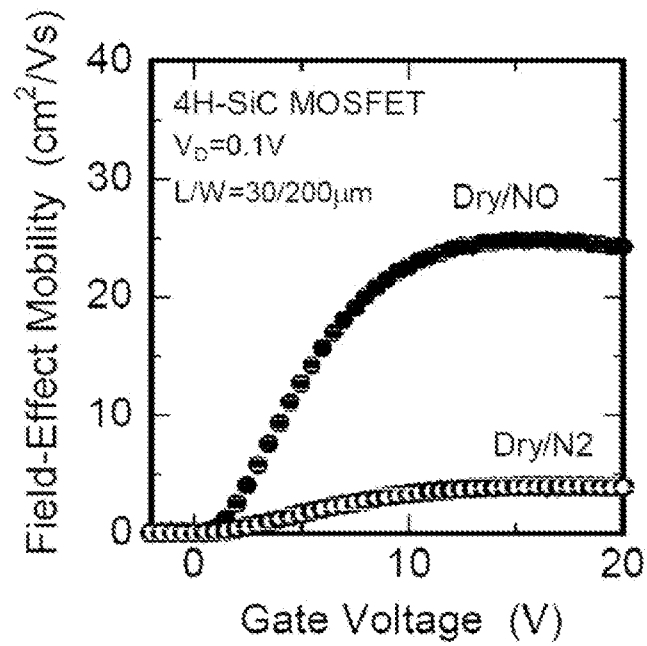
POCIアニール 1000度
チャンネル長／幅 L/W=50/200μm

[図12]



POCl₃アニール 1000度
チャンネル長／幅 $L/W = 100/200 \mu\text{m}$

[図13]



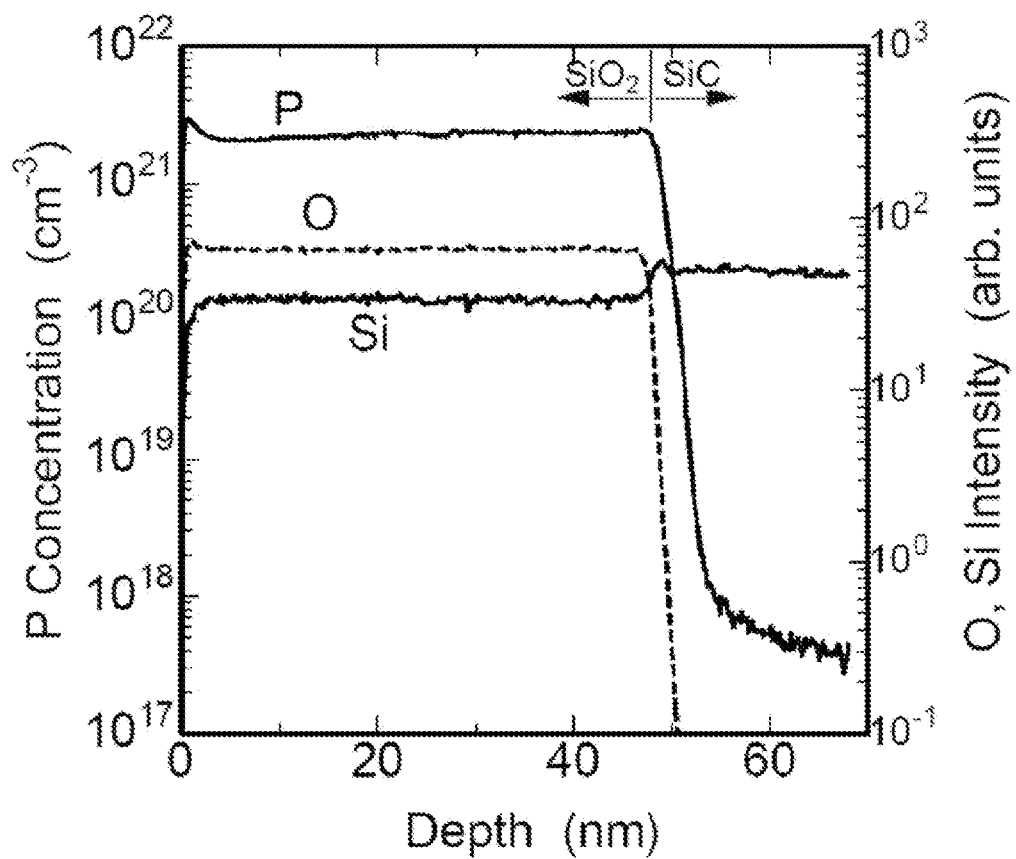
従来技術

Dry/N2:ドライ酸化+N2アニール(窒化なし) 移動度= $4 cm^2/Vs$

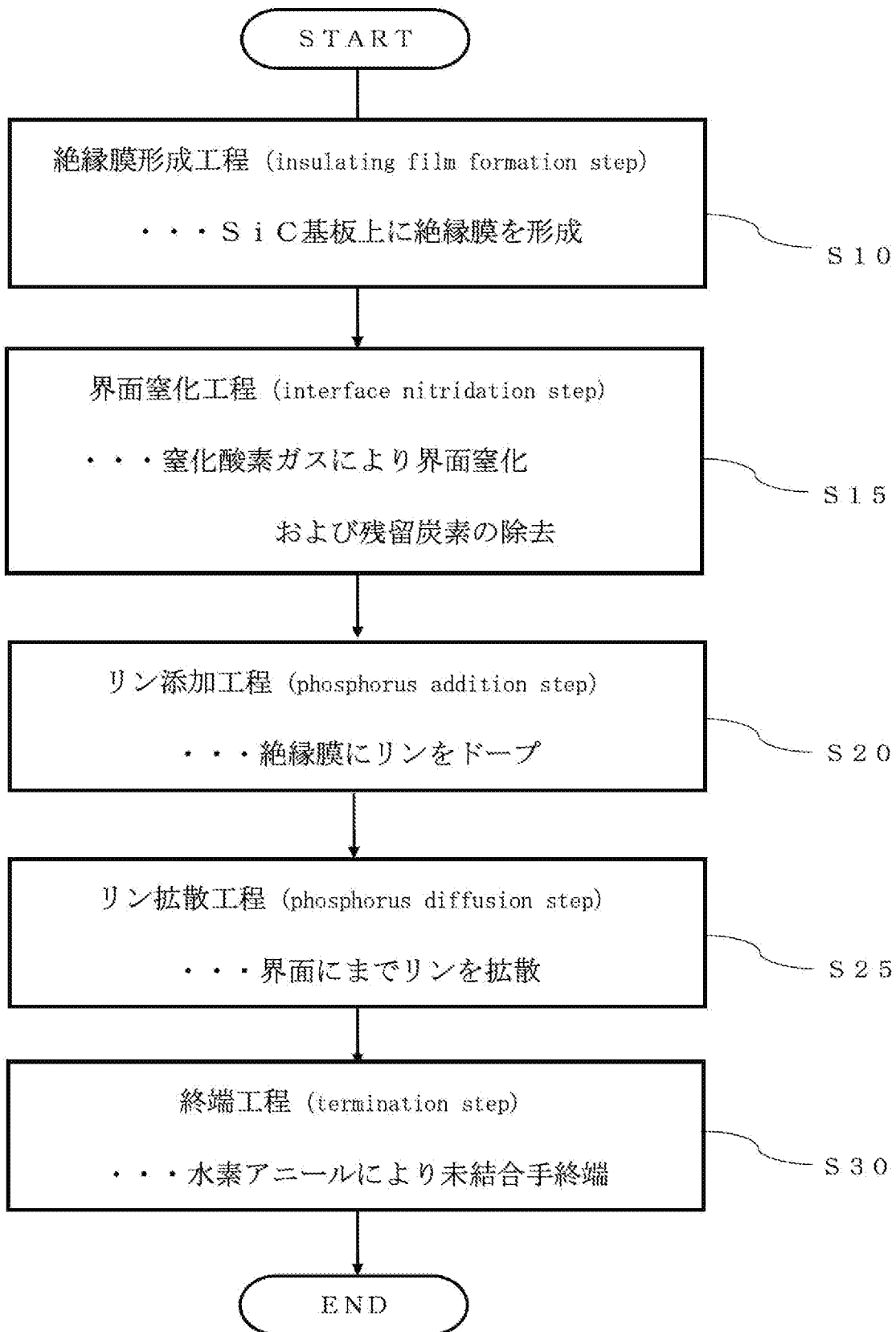
Dry/NO:ドライ酸化+NOアニール(窒化あり) 移動度= $25 cm^2/Vs$

チャンネル長/幅 $L/W=30/200\mu m$

[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/007231

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/283(2006.01)i, H01L21/316(2006.01)i,
H01L21/336(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/283, H01L21/316, H01L21/336, H01L29/12, H01L29/51

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2005-136386 A (Matsushita Electric Industrial Co., Ltd.), 26 May 2005 (26.05.2005), entire text; fig. 1 to 12 & US 2005/0077569 A1 & EP 1523032 A2 & CN 1606140 A	1-9, 11 10, 12-16
X Y	JP 2007-287992 A (Fuji Electric Holdings Co., Ltd.), 01 November 2007 (01.11.2007), entire text; fig. 1 to 3 & US 2007/0243722 A1 & DE 102007015942 A & KR 10-2007-0103297 A & CN 101060081 A	1-4, 9 5-8, 10-16

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 March, 2011 (28.03.11)

Date of mailing of the international search report
12 April, 2011 (12.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/007231

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-185015 A (The Kansai Electric Power Co., Inc.), 28 June 2002 (28.06.2002), entire text; fig. 1 to 11 & WO 2002/049114 A2	1,10 2-9,11-16
Y	JP 2002-222950 A (Denso Corp.), 09 August 2002 (09.08.2002), entire text; fig. 1 to 7 (Family: none)	2-16
Y	JP 2008-244456 A (Denso Corp.), 09 October 2008 (09.10.2008), entire text; fig. 1 to 26 & US 2008/0203441 A1 & DE 102008011648 A	12-16
Y	WO 2007/096996 A1 (Mitsubishi Electric Corp.), 30 August 2007 (30.08.2007), entire text; fig. 1 to 9 & US 2009/0267191 A1 & EP 2006894 A2 & CN 101385130 A	14-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L21/283(2006.01)i, H01L21/316(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L21/283, H01L21/316, H01L21/336, H01L29/12, H01L29/51

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2005-136386 A (松下電器産業株式会社) 2005.05.26, 全文, 図1-12 & US 2005/0077569 A1 & EP 1523032 A2 & CN 1606140 A	1-9, 11 10, 12-16
X Y	JP 2007-287992 A (富士電機ホールディングス株式会社) 2007.11.01, 全文, 図1-3 & US 2007/0243722 A1 & DE 102007015942 A & KR 10-2007-0103297 A & CN 101060081 A	1-4, 9 5-8, 10-16
X Y	JP 2002-185015 A (関西電力株式会社) 2002.06.28, 全文, 図1-11 & WO 2002/049114 A2	1, 10 2-9, 11-16

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 28.03.2011	国際調査報告の発送日 12.04.2011
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 安田 雅彦 電話番号 03-3581-1101 内線 3462

4M 9447

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-222950 A (株式会社デンソー) 2002.08.09, 全文, 図1-7 (ファミリーなし)	2-16
Y	JP 2008-244456 A (株式会社デンソー) 2008.10.09, 全文, 図1-26 & US 2008/0203441 A1 & DE 102008011648 A	12-16
Y	WO 2007/096996 A1 (三菱電機株式会社) 2007.08.30, 全文, 図1-9 & US 2009/0267191 A1 & EP 2006894 A2 & CN 101385130 A	14-16