

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月23日(23.02.2012)

PCT

(10) 国際公開番号
WO 2012/023277 A1

- (51) 国際特許分類:
G11C 11/41 (2006.01) G06F 12/12 (2006.01)
G06F 12/08 (2006.01) G11C 11/413 (2006.01)
G06F 12/10 (2006.01)
- (21) 国際出願番号: PCT/JP2011/004580
- (22) 国際出願日: 2011年8月14日(14.08.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-181481 2010年8月14日(14.08.2010) JP
- (71) 出願人(米国を除く全ての指定国について): 公益財団法人新産業創造研究機構(THE NEW INDUSTRY RESEARCH ORGANIZATION) [JP/JP]; 〒6500047 兵庫県神戸市中央区港島南町1-5-2 神戸キメックセンタービル6F Hyogo (JP).
- (72) 発明者: および
- (75) 発明者/出願人(米国についてのみ): 吉本 雅彦(YOSHIMOTO, Masahiko) [JP/JP]; 〒6578501 兵庫県神戸市灘区六甲台町1-1 国立大学法人神戸大学内 Hyogo (JP). 川口 博(KAWAGUCHI, Hiroshi) [JP/JP]; 〒6578501 兵庫県

神戸市灘区六甲台町1-1 国立大学法人神戸大学内 Hyogo (JP). 中田 洋平(NAKATA, Yohei) [JP/JP]; 〒6578501 兵庫県神戸市灘区六甲台町1-1 国立大学法人神戸大学内 Hyogo (JP). 奥村 俊介(OKUMURA, Shunsuke) [JP/JP]; 〒6578501 兵庫県神戸市灘区六甲台町1-1 国立大学法人神戸大学内 Hyogo (JP).

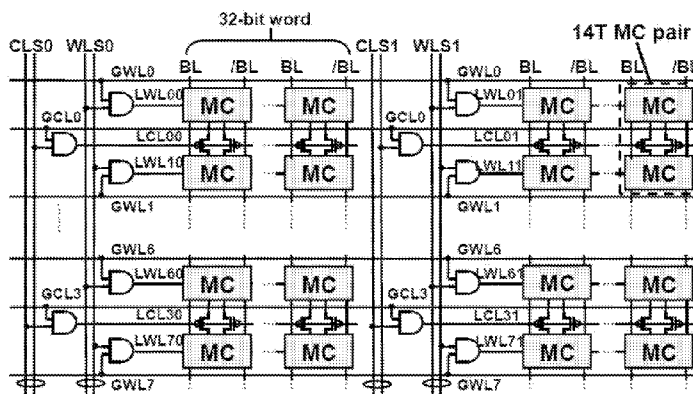
- (74) 代理人: 特許業務法人グローバル知財(THE PATENT CORPORATE BODY GLOBAL INTELLECTUAL PROPERTY); 〒6500024 兵庫県神戸市中央区海岸通4番地 新明海ビル3F Hyogo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: LOW-VOLTAGE SEMICONDUCTOR MEMORY

(54) 発明の名称: 低電圧動作の半導体メモリ

[図6]



(57) Abstract: Provided is memory which is capable of dynamically changing memory cell bit reliability and of switching the operating mode so as to accommodate process variations, thereby reducing the operating voltage. The memory is provided with a mode control line selection circuit for dividing mode control lines into word units and using control line selection signals and global control signals to control the mode control lines divided into word units, and a word line selection circuit for dividing the word lines that control the conduction of switching units into word units and using word line selection signals and global word signals to control the word lines divided into word units. The mode control line switching circuit is used to switch between a 1 bit / 1 cell mode and a 1 bit / n cell mode in word units. When reading out data, the word line selection circuit is used to select the word line of the memory cell on the side of the word having the highest operating margin from among the memory cells for linked word units used in the 1 bit / n cell mode.

(57) 要約:

[続葉有]

WO 2012/023277 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

メモリセルのビット信頼性を動的に変化でき、プロセスはらつきに対応し動作モードの切替が可能で、動作電圧を低減するメモリを提供する。モード制御ラインをワード単位で分割し、ワード単位で分割された各モード制御ラインを、制御ライン選択信号とグローバル制御信号で制御するモード制御ライン選択回路と、スイッチ部の導通を制御するワードラインをワード単位で分割し、ワード単位で分割された各ワードラインを、ワードライン選択信号とグローバルワード信号で制御するワードライン選択回路を備える。1ビット/1セルモードと1ビット/nセルモードの切り替えを、モード制御ライン選択回路を用いてワード単位で行う。1ビット/nセルモードで用いられる連結されたワード単位のメモリセルの中で、動作マージンが高いワード側のメモリセルのワードラインを、ワードライン選択回路を用いてデータ読出し時に選択する。

明 細 書

発明の名称：低電圧動作の半導体メモリ

技術分野

[0001] 本発明は、低電圧動作の半導体メモリのアーキテクチャ、並びにその制御方法に関する技術である。

背景技術

[0002] 近年のSRAM (Static Random Access Memory) 等の半導体メモリは、SoCに搭載されるCMOSプロセス技術が進展し、集積回路の加工寸法（スケーリングサイズ）が縮小され、より高いチップ密度と低いチップコストが実現され、メモリ容量が増大している。

このようなスケーリングサイズの縮小は、SRAM等のメモリセルを構成するトランジスタの閾値電圧のばらつきを拡大し、メモリセルにおける読み出しや書き込みのノイズマージンを低下させ、メモリセル動作を不安定化し、ビット誤り率 (BER ; Bit Error Rate) を増大させている。

[0003] 図1に、CMOSトランジスタにおけるプロセステクノロジーノードとCMOS動作電圧の相関グラフを示す。スケーリングサイズの縮小、すなわちプロセステクノロジーノードの微細化が進むにつれて、印加電圧 V_{DD} は降下していくが、グラフ中の点線枠に示すように、プロセステクノロジーノードが65 (nm) 以下となると、プロセスばらつきによる電圧降下限界が現れる。これは、プロセステクノロジーノードの微細化が進むことによって、製造プロセスやメモリセルの場所などシステムティックな要因や、温度環境や宇宙線に起因するソフトエラーなどの動作環境の変動などのプロセスばらつきが、CMOSトランジスタの閾値のばらつきを拡大し信頼性を低下させるため、CMOSトランジスタの最小動作電圧 V_{min} が上昇するからである。

従って、先端微細VLSIにとって低電圧動作は非常に重要な課題であり

、CMOSトランジスタで構成するメモリセルの動作の安定性を確保して低消費電力化および高信頼性化を実現していくことが求められている。

[0004] 上記状況に鑑みて、本発明者らは、アプリケーションやメモリ状況に応じてメモリセルのビット信頼性を動的に変化させることができ、動作の安定性を確保して低消費電力化および高信頼性化を実現できるメモリを提供することを目的として、1ビットが1個のメモリセルで構成されるモード（1ビット／1セルモード、以下「通常モード」と称する）と、1ビットが n （ n は2以上）個のメモリセルを連結して構成されるモード（1ビット／ n セルモード、以下「高信頼モード」と称する）とを動的に切り替えることができ、通常モードから高信頼モードに切り替えることにより、1ビットの動作安定性の増大および読出し動作のセル電流の増大（読出し動作の高速化）を行い、またビットエラーの自己修復が行えるといった新規な半導体メモリを既に提案している（例えば、特許文献1を参照。）。

[0005] かかる提案の半導体メモリの一実施例は、図2に示すように、各々の出力がメモリセルの列に対応して配置される一対のビットラインの各々に至る経路に接続されるクロスカップル接続された一対のインバータと、ビットラインとインバータの出力との間に設けられた一対のスイッチ部と、スイッチ部の導通が制御し得る1本のワードラインとから構成されるメモリセルにおいて、隣接する2つのメモリセルのデータ保持ノード間に、1対のP型MOSトランジスタと、該P型MOSトランジスタが導通するように制御し得る1本のモード制御ラインを追加した構成とされる。

[0006] ここで、図2のメモリセルの回路動作を簡単に説明する。

図2に示すメモリセル（MC01）は、電源電位 V_{DDA} および接地電位 $V_{GND A}$ の間に直列に接続されるP型MOSトランジスタ（M00）およびN型MOSトランジスタ（M02）と、電源電位 V_{DDA} および接地電位 $V_{GND A}$ の間に直列に接続されるP型MOSトランジスタ（M01）およびN型MOSトランジスタ（M03）とからなるラッチ回路を構成している。メモリセル（MC01）自体は、一般的な6トランジスタの構成のメ

メモリセルである。

メモリセル (MC10) も同様に、電源電位 V_{VDD}B および接地電位 V_{GND}B の間に直列に接続される P 型 MOS トランジスタ (M10) および N 型 MOS トランジスタ (M12) と、電源電位 V_{VDD}B および接地電位 V_{GND}B の間に直列に接続される P 型 MOS トランジスタ (M11) および N 型 MOS トランジスタ (M13) とからなるラッチ回路を構成している。メモリセル (MC10) 自体も、一般的な 6 トランジスタの構成のメモリセルである。

[0007] メモリセル (MC01) では、P 型 MOS トランジスタ (M00) および N 型 MOS トランジスタ (M02) のゲート端子は、共に P 型 MOS トランジスタ (M01) および N 型 MOS トランジスタ (M03) のノード (N01) に接続されている。また、P 型 MOS トランジスタ (M01) および N 型 MOS トランジスタ (M03) のゲート端子は、共に P 型 MOS トランジスタ (M00) および N 型 MOS トランジスタ (M02) のノード (N00) に接続されている。このように M00 ~ M03 のトランジスタはクロスカップル接続されているため、P 型 MOS トランジスタ (M00, M01) は負荷トランジスタとして動作し、N 型 MOS トランジスタ (M02, M03) は駆動トランジスタとして動作する。メモリセル (MC10) も同様である。

[0008] またメモリセル (MC01) は、相補なビットライン (BL, /BL) と、ノード (N00, N01) との間にそれぞれ接続された N 型 MOS トランジスタ (M04, M05) のスイッチ部を備える。N 型 MOS トランジスタ (M04, M05) のゲート端子は、共に共通のワードライン (WLA) に接続されており、N 型 MOS トランジスタ (M04, M05) のゲート電位はワードライン (WLA) により制御される。すなわち、メモリセル (MC01) においては、P 型 MOS トランジスタ (M00, M01) を負荷トランジスタとし、N 型 MOS トランジスタ (M02, M03) を駆動トランジスタとし、N 型 MOS トランジスタ (M04, M05) をスイッチ部として動

作するのである。

また、メモリセル（MC10）も、相補なビットライン（BL、 \overline{BL} ）と、ノード（N10、N11）との間にそれぞれ接続されたN型MOSトランジスタ（M14、M15）のスイッチ部を備える。N型MOSトランジスタ（M14、M15）のゲート端子は、共に共通のワードライン（WLA）に接続されており、N型MOSトランジスタ（M14、M15）のゲート電位はワードライン（WLA）により制御される。

[0009] そして、メモリセル（MC01、MC10）のデータ保持ノード間（N00とN10の間、N01とN11の間）に、モード制御スイッチ部となる1対のP型MOSトランジスタ（M20、M21）が設けられ、このP型MOSトランジスタ（M20、M21）の導通を制御する1本のモード制御ライン（ \overline{CTRL} ）が設けられている。

[0010] 以上のような回路構成のメモリセルでは、1ビットのデータをメモリセル（MC01）に記憶する場合と、1ビットのデータをメモリセル（MC01）とメモリセル（MC10）の2つのメモリセルに記憶する場合とを、モード制御ライン（ \overline{CTRL} ）を用いて、使い分けることが可能である。上記回路構成のメモリセルは、1ビットが1個のメモリセルで構成されるモード（通常モード）と、1ビットが2個のメモリセルを連結して構成されるモード（高信頼モード）の2つの状態を有し、アプリケーションやメモリ状況に応じてメモリセルのビット信頼性を動的に変化させることができ、動作の安定性を確保して低消費電力化および高信頼性化を実現する。

[0011] 従来においては、1ビットが1個のメモリセルで構成される通常モードと、1ビットが2個のメモリセルを連結して構成される高信頼モードの切り替えは、図3に示すように、メモリセルのブロックレベルで制御していた。しかしながら、動作モードの切り替え制御をメモリブロック毎に一様に行うと、プロセスはらつきの影響によって、低動作電圧化が阻害されるという問題が生じていた。

[0012] 一方、既に知られている低電圧動作キャッシュメモリなどは、プロセスは

らつきの影響によるメモリセルの低動作電圧化の阻害要因を排除すべく、予め故障ワードマップを作成し、故障ワードが排除されたメモリを使用することで低動作電圧化を図っていた。

これは、図4に示すように、1物理キャッシュライン（図4では8ワードで1つのキャッシュラインを構成）において、4個の故障ワード（動作マージンの小さいワード）を予め特定し、故障ワードマップ（例：01010011）を作成し、ロジック回路を用いて、故障のないワード（動作マージンの大きいワード）を4個使用するようにして、1個の1/2論理キャッシュラインを用意する。同様に、他の1物理キャッシュラインにおいても、4個の故障ワードを作成し、ロジック回路を用いて、故障のないワード（動作マージンの大きいワード）を4個使用するようにして、1個の1/2論理キャッシュラインを用意する。

[0013] そして、図5に示すように、2個の1/2論理キャッシュラインを結合して1論理キャッシュラインを用意する。この1論理キャッシュラインを構成するワードは、全て動作マージンが大きく、低電圧動作が可能となるというものである。

しかしながら、2個の1/2論理キャッシュラインを結合して1論理キャッシュラインを用意する方法では、キャッシュメモリ容量と連想度は半減してしまうことになる。

先行技術文献

特許文献

[0014] 特許文献1：国際公開2009/088020のパフレット

発明の概要

発明が解決しようとする課題

[0015] 上述したように、提案中の半導体メモリでは、通常モードと高信頼モードの2つの動作モードの切り替え制御をメモリブロック毎に一様に行うと、プロセスはらつきの影響によって、低動作電圧化が阻害されるという問題があ

る。

[0016] 上記状況に鑑みて、本発明は、メモリセルのビット信頼性を動的に変化できる提案中の半導体メモリにおいて、プロセスはらつきに対応して2つの動作モードの切り替えがワード単位で可能で、更なるメモリの低動作電圧化を図れる半導体メモリを提供することを目的とする。

課題を解決するための手段

[0017] 上記目的を達成するため、本発明の第1の観点の半導体メモリは、各々の出力がメモリセルの列に対応して配置される一対のビットラインの各々に至る経路に接続されるクロスカップル接続された一対のインバータと、ビットラインとインバータの出力との間に設けられた一対のスイッチ部と、スイッチ部の導通を制御する1本のワードラインと、から構成されるメモリセルと、隣接するメモリセルのデータ保持ノード間にモード制御スイッチ部と、該モード制御スイッチ部の導通を制御する1本のモード制御ラインと、を備え、1ビットが1個のメモリセルで構成されるモード（1ビット／1セルモード）と、1ビットが n （ n は2以上）個のメモリセルを連結して構成されるモード（1ビット／ n セルモード）とを、モード制御ラインを用いて動的に切り替えできる半導体メモリにおいて、

（1-1）モード制御ラインをワード単位で分割し、ワード単位で分割された各モード制御ラインを選択するためのモード制御ライン選択回路と、

（1-2）スイッチ部の導通を制御するワードラインをワード単位で分割し、ワード単位のメモリセルの比較で動作マージンが大きいワード側のメモリセルのワードラインを、データ読出し時に選択するためのワードライン選択回路と、を更に備える。

かかる構成によれば、1ビット／1セルモードと1ビット／ n セルモードの切り替えを、モード制御ライン選択回路を用いてワード単位で行うことができる。また、1ビット／ n セルモードで用いられる連結されたワード単位のメモリセルの中で、最も動作マージンが大きなワード単位のメモリセルのワードラインを、データ読出し時に、ワードライン選択回路を用いて選択で

きる。

[0018] 従来から提案中の半導体メモリにおいては、1ビット／1セルモードと1ビット／nセルモードの切り替えは、メモリブロック単位で行うことが望ましいとしていた。これは、周辺回路（XYデコーダ回路、センスアンプ回路）の設計を考慮したからである。すなわち、モードの切り替えをブロック単位で行うのではなく、行単位や列単位などで行う場合は、制御方法が複雑になることから、ブロック単位でモードの切り替えを行うこととしていたものである。

[0019] しかしながら、本発明者らは、鋭意研究を重ねた結果、従来から提案中の半導体メモリにおいて、1ビット／1セルモードと1ビット／nセルモードのモード切り替えをワードレベルでの細粒度で行うことにより、CMOSトランジスタで構成するメモリセルの信頼性を低下させる要因となっていた上述のプロセスばらつきに対応してモード切り替えが可能となり、提案中の半導体メモリの更なる低動作電圧化が可能となるといった知見を得た。

[0020] すなわち、従来から提案中の半導体メモリにおいて、1ビット／1セルモードと1ビット／nセルモードのモード切り替えをブロック単位で一様に行う場合、プロセステクノロジーノードの微細化が進むにつれ、プロセスばらつきの影響により低動作電圧化が阻害されていた。これに対して、1ビット／1セルモードと1ビット／nセルモードのモード切り替えをワード単位で行うことにより、キャッシュメモリの機能を保ちながら、プロセスばらつきに対応したワード単位でのモード切り替えが可能となり、従来のブロック単位でのモード切り替えの場合と比較して、最小動作電圧を大幅に低減でき、動作マージンの向上が図れるのである。

[0021] ここで、ワード単位のモード切り替えとは、例えば、32ビットが1ワードとなる場合は、32個のメモリセル単位にモードを切り替えることを意味する。例えば、キャッシュメモリにおける1物理キャッシュラインが8ワードで構成される場合、プロセスばらつきに対応して、いずれかのワード（1ワードだけとは限らない）は動作マージンが大きい（動作不良を起こし

やすい)ことが予想される。

その場合に、動作マージンが大きい(動作不良を起こしやすい)ワードに対して、モード切り替えを行い、1ビット/1セルモードから1ビット/nセルモードへと移行させ、動作マージンを大きくする(動作不良を起こしにくくする)のである。

[0022] 具体的なメモリアレイ構造は、実施例で後述するが、1ビット/1セルモードと1ビット/nセルモードのモード切り替えをワード単位で行うために、上記(1-1)の如く、モード制御ラインをワード単位で分割し、ワード単位で分割された各モード制御ラインをモード制御ライン選択回路で選択する。具体的には、モード制御ライン選択回路は、ワード単位にマトリックスで選択可能な制御ライン選択信号とグローバル制御信号とで制御される構造とする。

また、上記(1-2)の如く、スイッチ部の導通を制御するワードラインをワード単位で分割し、ワード単位で分割された各ワードラインをワードライン選択回路で選択する。具体的には、ワードライン選択回路は、ワード単位にマトリックスで選択可能なワードライン選択信号とグローバルワード信号とで制御される構造とする。

ここで、モード制御ライン選択回路とワードライン選択回路が、従来から提案中の半導体メモリに追設されるものである。

[0023] そして、上記の如く、モード制御ライン選択回路を用いて、1ビット/1セルモードと1ビット/nセルモードの切り替えをワード単位で行えるようにする。

また、上記の如く、ワードライン選択回路を用いて、1ビット/nセルモードで用いられる連結されたワード単位のメモリセルの中で、最も動作マージンが大きなワード単位のメモリセルのワードラインを、データ読出し時に選択する。

ここで、ワード単位のメモリセルの中で、動作マージンが最も大きなワード単位のメモリセルとは、ワード単位のメモリセルのビットエラーレートを

測定するテストを事前に行って、1ビット/nセルモードとして連結されるワード単位のメモリセルの中で、最も動作マージンが大きなもの（低電圧でもビットエラーレートが小さいもの）として選定されたものである。ワードライン選択回路が、選定されたメモリセルを優先的に1ビット/1セルモードに割り当て、選定されたメモリセルの動作マージンを更に大きくすべく1ビット/nセルモードに移行可能とすることで、例えば8ワードで構成されるような1物理キャッシュラインはプロセスばらつきの影響を最小限にとどめることができることになる。

[0024] また、本発明の第2の観点の半導体メモリは、各々の出力がメモリセルの列に対応して配置される一对のビットラインの各々に至る経路に接続されるクロスカップル接続された一对のインバータと、ビットラインとインバータの出力との間に設けられた一对のスイッチ部と、スイッチ部の導通を制御する1本のワードラインと、から構成されるメモリセルと、隣接するメモリセルのデータ保持ノード間にモード制御スイッチ部と、該モード制御スイッチ部の導通を制御する1本のモード制御ラインと、を備え、1ビットが1個のメモリセルで構成されるモード（1ビット/1セルモード）と、1ビットが2個のメモリセルを連結して構成されるモード（1ビット/2セルモード）とを、モード制御ラインを用いて動的に切り替えできる半導体メモリにおいて、

（2-1）モード制御ラインをワード単位で分割し、ワード単位で分割された各モード制御ラインを選択するためのモード制御ライン選択回路と、

（2-2）スイッチ部の導通を制御するワードラインをワード単位で分割し、ワード単位のメモリセルの比較で動作マージンが大きいワード側のメモリセルのワードラインを、データ読出し時に選択するためのワードライン選択回路と、を更に備える。

かかる構成によれば、1ビット/1セルモードと1ビット/2セルモードの切り替えを、モード制御ライン選択回路を用いてワード単位で行うことができる。また、1ビット/2セルモードで用いられる連結されたワード単位

のメモリセルの中で、動作マージンが大きなワード単位のメモリセルのワードラインを、データ読出し時に、ワードライン選択回路を用いて選択できる。

[0025] これは、上述の第1の観点の構成において、2つのメモリセルが連結されたワードペアのメモリセルに限定するものである。1ビット／1セルモードと1ビット／2セルモードの切り替えを、モード制御ライン選択回路を用いてワード単位で行うことにより、後述する実施例に示すように、最小動作電圧を0.5V程度にまで約24%程度低減することができる。

[0026] また、本発明の半導体メモリのワード単位メモリセルの決定方法は、上述の第1の観点又は第2の観点の半導体メモリにおけるワード単位のメモリセルの比較で動作マージンが大きいワード側のメモリセルを決定する方法であり、以下の(1a)～(1d)を備えるものである。

[0027] (1a) 有意な複数ワードに対して、所定閾値電圧だけ印加電圧を低減しながらメモリブロックにおけるマージン不良故障箇所を特定する処理

(1b) 動作マージンが小さく動作が不安定となるワード単位のメモリセルを特定した場合、特定したワード単位のメモリセルには1ビット／nセルモード(nは2以上)を適用する処理

(1c) 全てのワード単位のメモリセルに1ビット／nセルモードを適用するまで上記(1a)～(1b)を繰り返す処理

(1d) 各ワード単位のメモリセルにおいて、1ビット／nセルモードを適用する際に、特定したワード単位のメモリセルのワードペアの他方のメモリセルを、動作マージンが大きいワード側のメモリセルとして決定する処理

[0028] 本発明の半導体メモリのワード単位メモリセルの決定方法によれば、1ビット／nセルモードを適用するワード単位のメモリセルの数を最大化でき、プロセスばらつきの影響を最小限にとどめることができ、更なる低動作電圧化を図ることができる。

[0029] また、本発明の半導体メモリのワード単位メモリセルの決定方法は、上述の第2の観点の半導体メモリにおけるワード単位のメモリセルの比較で動作

マージンが大きいワード側のメモリセルを決定する方法であり、以下の（2 a）～（2 d）を備えるものである。

[0030] （2 a） 1 キャッシュラインの複数ワードに対して、所定閾値電圧だけ印加電圧を低減しながらメモリブロックにおけるマージン不良故障箇所を特定する処理

（2 b） 動作マージンが小さく動作が不安定となるワード単位のメモリセルを特定した場合、特定したワード単位のメモリセルには1ビット／2セルモードを適用する処理

（2 c） 1 キャッシュラインの全てのワード単位のメモリセルに1ビット／2セルモードを適用するまで上記（2 a）～（2 b）を繰り返す処理

（2 d） 各ワード単位のメモリセルにおいて、1ビット／2セルモードを適用する際に、特定したワード単位のメモリセルのワードペアの他方のメモリセルを、動作マージンが大きいワード側のメモリセルとして決定する処理

[0031] 本発明の半導体メモリのワード単位メモリセルの決定方法によれば、1ビット／2セルモードを適用するワードペアのメモリセルの数を最大化でき、プロセスばらつきの影響を最小限にとどめることができ、更なる低動作電圧化を図ることができる。

[0032] また、本発明の第1の観点又は第2の観点の半導体メモリにおいて、具体的に、モード制御ライン選択回路は、制御ライン選択信号の信号ラインとグローバル制御信号の信号ラインとのAND回路の出力信号がワード単位で分割されたモード制御ラインに印加され、ワードライン選択回路は、ワードライン選択信号の信号ラインとグローバルワード信号の信号ラインとのAND回路の出力信号がワード単位で分割されたワードラインに印加される構成とされる。

[0033] かかる構成によれば、ワード単位でのメモリセルのモード切り替えが容易となり、追加回路を最小限にできる。

[0034] また、本発明の第1の観点又は第2の観点の半導体メモリにおいて、上述の半導体メモリのワード単位メモリセルの決定方法を用いて、ワード単位の

メモリセルの比較で動作マージンが大きいワード側のメモリセルを選択するように、ワードライン選択信号を予め所定レベルに固定させることが好ましい態様である。

- [0035] 上述の半導体メモリのワード単位メモリセルの決定方法で得られた動作マージンが大きいワード側のメモリセルのロケーションマップから、該ロケーションマップに対応したワードライン選択信号を予め所定レベルに固定させて、動作マージンのより大きいワード単位のメモリセルを読み出し時に選択するようにする。

発明の効果

- [0036] 本発明の半導体メモリによれば、通常モードと高信頼モードの2つの動作モードの切り替えをワードレベルでの細粒度で行い、プロセスはらつきに対応して2つの動作モードの切り替えがワード単位で可能で、メモリの低電圧動作が可能となる。

図面の簡単な説明

- [0037] [図1] CMOSトランジスタにおけるプロセステクノロジーノードとCMOS動作電圧の相関グラフ
- [図2]メモリセルのビット信頼性を動的に変化させ得る提案中のメモリセルの回路構成図
- [図3]提案中の半導体メモリのメモリセルブロックの概念図
- [図4]従来の低電圧動作のキャッシュメモリの説明図(1)
- [図5]従来の低電圧動作のキャッシュメモリの説明図(2)
- [図6]実施例1のメモリの回路構成図
- [図7]物理キャッシュラインペアの模式図
- [図8]偶数ラインと奇数ラインで構成される物理キャッシュラインペアの模式図1
- [図9]全ワードペアに対して高信頼モード(1ビット/2セルモード)を適用する処理フローチャート
- [図10]偶数ラインと奇数ラインで構成される物理キャッシュラインペアの模

式図 2

[図11]ビットエラーレート（BER）の比較シミュレーション結果を示すグラフ

[図12]性能評価の比較グラフ

[図13]動作電圧と消費電力の比較グラフ

[図14]L1キャッシュの入力アドレスと出力データの流れを示す1way（4KB）分のブロック図

[図15]L2キャッシュの入力アドレスと出力データの流れを示す1way（512KB）分のブロック図

発明を実施するための最良の形態

[0038] 以下、本発明の実施形態について、図面を参照しながら詳細に説明していく。なお、本発明の範囲は、以下の実施例や図示例に限定されるものではなく、幾多の変更及び変形が可能である。

実施例 1

[0039] 実施例1のメモリの回路構成について、32ビットを1ワードとするキャッシュメモリのメモリアレイの構成を例にして、図6を参照しながら説明する。

実施例1のメモリは、上述の図2に示すように、6トランジスタで構成される1ビットのメモリセルのペア（MC01，MC10）のデータ保持ノード間に、モード制御スイッチ部として1対のP型MOSトランジスタ（M20，M21）と、このP型MOSトランジスタの導通を制御する1本のモード制御ライン（/CTRL）とが設けられ、2個のメモリセルで通常モードと高信頼モードの2つのモードを実現する。

通常モードは、1ビットが1個のメモリセル（MC01、或いは、MC10）で構成される。一方、高信頼モードは、1ビットが2個のメモリセルのペア（MC01，MC10）で構成される。2つの動作モードの切り替えは、メモリセルのペア（MC01，MC10）の間にあるP型MOSトランジスタの導通を制御する1本のモード制御ライン（/CTRL）で行う。

このようなメモリセルのペアをマトリックス状に配置した回路図が、図6の回路構成図である。なお、図6におけるMCの表記は、図2に示す回路構成のメモリセルを表している。

[0040] 図6に示すメモリアレイは、メモリセルを行方向に32個並べて、32ビットの1ワードを形成している(32-bit word)。図6に示すように、メモリアレイは、メモリセルペアのモード制御ラインをワード単位(32ビット単位)で分割する回路構成としている。具体的には、図6に示すように、メモリアレイは、32ビットの1ワード(32-bit word)単位に、制御ライン選択信号の信号ラインCLS0, CLS1 (CLS: Control line selection signal)とグローバル制御信号の信号ラインGCL0, ..., GCL3 (GCL: Global Control line)とで制御するモード制御ライン選択回路としてのAND回路が設けられている。そして、AND回路の出力信号ラインLCL00, LCL01, ..., LCL30, LCL31 (LCL: Local Control line)は、ワード単位に分割されたモード制御ラインとして機能する。

[0041] また、図6に示すように、メモリアレイは、各メモリセル(MC)のスイッチ部の導通を制御するワードラインをワード単位で分割する回路構成としている。具体的には、図6に示すように、メモリアレイは、32ビットの1ワード(32-bit word)単位に、ワードライン選択信号の信号ラインWLS0, WLS1 (WLS: Word line Selection signal)とグローバルワード信号の信号ラインGWL0, GWL1, ..., GWL6, GWL7 (GWL: Global Word line)とで制御するワードライン選択回路としてのAND回路が設けられている。そして、AND回路の出力信号ラインLWL00, LW

L01, . . . , LWL70, LWL71 (LWL : Local Word line) がワードラインとして機能する。

[0042] また、図6では、32ビットワードのメモリセルペア（2個のメモリセルで1ペア）が行方向に2セット示され、列方向に4段示されている（2段目と3段目は記載省略）。図6の左上（一列目の一段目）の32ビットワードのメモリセルペアでは、上段と下段のメモリセルのワードラインをLWL00, LWL10で表記し、モード制御ラインをLCL00で表記する。図6の右下（二列目の4段目）の32ビットワードのメモリセルペアでは、上段と下段のメモリセルのワードラインをLWL61, LWL71で表記し、モード制御ラインをLCL31で表記する。

図6に示すワード単位のメモリセルペアが2列×4段（内2段目、3段目は省略）の場合は、CLS0, CLS1がそれぞれ4本ずつ必要となる。図6の表記では2本で示しているが、実際は4本である。ここで、メモリセルペアの段数が増えた場合、それぞれCLS0, CLS1の本数が増えることになる。例えば、ワード単位のメモリセルペアがM×Nセット（M段×N列）になると、CLSはM本必要である。

これに対して、WLS0やWLS1は、読出し／書込み動作は同時に1行のみに対して行われるため、各ワード単位のメモリセルペアに対して必要な本数は2本である。WLSの本数は、32ビットワードのメモリセルペアの段数が増えても変わらない。

[0043] 以上述べたような回路構成にすることにより、1ビット／1セルモードと1ビット／2セルモードの切り替えを、モード制御ライン選択回路を用いてワード単位で行うことを可能にしている。また、ワード単位毎に、メモリセルペアのうち動作マージンの大きいメモリセルを後述するテストを実施することにより、予め判別しておく。そして、動作マージンの大きいメモリセルには、ワードライン選択回路の出力信号ライン（LWL）の信号をONにして、データ読出しを行うようにする。

[0044] 例えば、図7に示すような物理キャッシュラインペアを想定する。この物

理キャッシュラインペアは、8個のワード単位のメモリセルペアで構成されている。1つのワード単位のメモリセルペアは、図6に示すメモリアレイ回路構成となっている。つまり、1つのワード単位のメモリセルペアは、32ビットワード（32-bit word）であり、1ビット/1セルモードと1ビット/2セルモードの切り替えがモード制御ライン選択回路を用いてワード単位で行えるものである。

図7に示すように、この物理キャッシュラインペアには、プロセスばらつきによって、動作マージンの大きいワードと動作マージンの小さいワードが潜在的にランダムに存在する。このような場合、1ビット/1セルモードで使用するワードは、動作マージンの大きいワードを優先的に使用する方が、信頼性が高く安定的に動作する。そこで、この物理キャッシュラインペアから、動作マージンの大きいワードを予め判別する。

[0045] 以下に、図7の物理キャッシュラインペアから、動作マージンの大きいワードを判別する方法を説明する。

まず、図8に、偶数ラインと奇数ラインで構成される物理キャッシュラインペアを示す。

上述の如く、図4で説明した従来方法では、プロセスばらつきの影響によるメモリセルの低動作電圧化の阻害要因を排除すべく、予め故障ワードマップを作成し、故障ワードが排除されたメモリを使用することで低動作電圧化を図っている。従来方法で、図8に示すキャッシュラインペアにおいて、故障ワードを排除する場合を想定する。従来方法では、故障ワードを排除するために、印加電圧を少しずつ低減し、動作が不安定となるものを特定する。そして、8ワードのうち動作マージンの小さいワードを4個特定し、それらを故障ワードとして排除する。

[0046] この従来方法を図8に示すキャッシュラインペアに用いると、奇数ラインの8ワードと偶数ラインの8ワードの全16ワードのうち、動作マージンの小さいワードを8個特定することになる。動作マージンの小さいワードは、

プロセスはらつきにより潜在的にランダムに存在するため、図8に示すような故障ワードの出現が考えられる。すなわち、故障ワードはワードペアのいずれかに存在するとは限らず、例えば、図8中の矢印で示すように、左から3つ目のワードペアのように両方のワードが故障ワードとされたり、また、左から4つ目のワードペアのように両方のワードが故障ワードでないとされたりすることが考えられる。

そのため、従来方法では、図8に示すキャッシュラインペアにおいて、ワードペアの各ワードを同時に故障ワードとみなす場合が発生し、全てのワードペアに対して、高信頼モードである1ビット／2セルモードを適用できないことになる。

[0047] そこで、図8に示すキャッシュラインペアにおいて、全てのワードペアに対して高信頼モードである1ビット／2セルモードを適用できるようにし、高信頼性を図る方法を発案した。具体的な方法としては、先ず、1キャッシュラインの複数ワードに対して、所定閾値電圧だけ印加電圧を低減しながらメモリブロックにおけるマージン不良故障箇所を特定し、次に、動作マージンが小さく動作が不安定となるワード単位のメモリセルを特定する。特定したワードペアには、1ビット／2セルモードを適用する。1回この処理を実行することで、ワードペアに対して、高信頼モードである1ビット／2セルモードを適用できることになる。

1キャッシュラインの全てのワードペアに、1ビット／2セルモードを適用するまでこれらの処理を繰り返す。そして、各ワード単位のメモリセルにおいて、1ビット／2セルモードを適用する際に、特定したワード単位のメモリセルのワードペアの他方のメモリセルを、動作マージンが大きいワード側のメモリセルとして決定する。

[0048] 図9に、キャッシュラインの8個のワードペアに対して高信頼モードである1ビット／2セルモードを適用する方法の処理フローチャートを示す。

最初は、キャッシュラインの8個のワードペアが健全であるとする。印加電圧は1V程度とし、十分マージンがある状態で読み出し動作テストを実施

する（ステップS02）。その際、故障ワードを検出したか否かを確認する（ステップS02）。故障ワードが検出されなければ、所定閾値だけ（例えば、50mV）印加電圧を下げて（ステップS05）、再び、読み出し動作テストを実施する（ステップS02）。故障ワードが検出されれば（ステップS03）、検出した故障ワードに1ビット/2セルモード（高信頼モード）を適用する（ステップS04）。

繰り返し処理のはじめに、8ワードペア全てに1ビット/2セルモード（高信頼モード）を適用したかをチェックする（ステップS01）。8ワードペア全てに適用されれば処理を終了するが、全てに適用されるまでは、上記の処理を繰り返す。

[0049] 上記の方法を用いることで、図10に示すキャッシュラインペアのように、各ワードペアには故障ワードが1つだけ存在することになり、ワードペアの各ワードを同時に故障ワードとみなす場合が発生しないことになる。

[0050] 図11のグラフは、従来の6トランジスタで構成されるメモリセル（6T）と、1ビットECC（Error Check and Correct）を用いるもの（1-bit ECC）と、図4で説明した故障ワードを特定する従来方法を用いるもの（word-disable）と、1ビット/2セルモードを用いる従来から提案中のメモリセル（14T Dependable）と、上記説明の全てのワードペアに対して高信頼モードである1ビット/2セルモードを適用する方法を用いるもの（14T word-enhancing）の6種類のキャッシュメモリに対して、読み出し動作時のビットエラーレート（BER）の比較シミュレーションの結果である。ここで、プロセステクノロジーノードは65nmプロセスで行っている。

[0051] 図11のグラフから、全てのワードペアに対して高信頼モードである1ビット/2セルモードを適用する方法を用いるもの（14T word-enhancing）が、動作電圧が0.5Vまで低減されてもBERが $1.0E^{-10}$ ～ $1.0E^{-11}$ の範囲であり（4MBのキャッシュメモリの99.9%の歩

留まりライン)、最も信頼性が高いことが確認できる。

[0052] また、従来の6トランジスタで構成されるメモリセル(6T)と、故障ワードを特定する従来方法を用いるもの(word-disable)と、全てのワードペアに対して高信頼モードである1ビット/2セルモードを適用する方法を用いるもの(14T word-enhancing)の3種類のキャッシュメモリに対して、性能評価を比較したものを図12のグラフに、動作電圧とダイナミック消費電力を比較したものをそれぞれ図13(1)、図13(2)に示す。

[0053] 図12に示すIPC(Instructions Per Cycle)性能評価のために、SESC[8]シミュレータを用いた。
1つのパイプライン・ステージのために20F04のゲートディレイを実装し、65nmサイズのSPICEシミュレーションで動作周波数を得た。

下記表1は、従来の6トランジスタで構成されるメモリセル(6T)と、故障ワードを特定する従来方法を用いるもの(word-disable)と、全てのワードペアに対して高信頼モードである1ビット/2セルモードを適用する方法を用いるもの(14T word-enhancing)の3種類のキャッシュメモリにおける供給電圧V_{dd}に依存する構成パラメータを示している。

また、下記表2は、供給電圧V_{dd}に依存しない構成パラメータを示している。

[0054]

[表1]

	High-voltage operation (6T; baseline)	Low-voltage operation w/ word-disable	Low-voltage operation w/ 14T word-enhancing
Vdd (supply voltage)	1.2V	0.63V	0.5V
Frequency	2.6GHz	900MHz	500MHz
Memory access latency	260 cycles	90 cycles	50 cycles

[0055] [表2]

# of cores	2
Technology	65-nm CMOS
L1 Instruction cache	32KB, 8-way, 2-cycle latency
L1 Data cache	32KB, 8-way, 2-cycle latency
Shared L2 cache	4MB, 8-way, 14-cycle latency
Cache line size	64B
Fetch / Issue / Retire	4/4/4
INT / FP registers	128/128

[0056] 故障ワードを特定する従来方法を用いるもの (word-disable) と、全てのワードペアに対して高信頼モードである1ビット/2セルモードを適用する方法を用いるもの (14T word-enhancing) では、従来の6トランジスタで構成されるメモリセル (6T) よりも全てのキャッシュアクセスに対して1サイクルのペナルティがある。図12は、IPC性能評価として、SPEC2000 CINT/CFPの各ベンチマークおよびSPLASH2のベンチマークを

実施した結果と、それらの平均値を示している。

図12に示すように、故障ワードを特定する従来方法を用いるもの (word-disable) と全てのワードペアに対して高信頼モードである1ビット/2セルモードを適用する方法を用いるもの (14T word-enhancing) は、従来の6トランジスタで構成されるメモリセル (6T) に比べて、3.7~3.8%程度のIPC性能の低下を招くことがわかる。

[0057] 下記表3のVminは、図11のグラフ中、4MBのキャッシュメモリの99.9%の歩留まりライン (4MB 99.9% yield line) における3種類のキャッシュメモリの最低動作電圧を求めたものである。また、下記表3のpowerは、ダイナミック消費電力 (Dynamic power consumption) を示している。このダイナミック消費電力は下記式1で算出できる。ここで、Capacitanceは、キャッシュメモリの放電される負荷容量を示す。これは、電圧・周波数によらず一定値である。そのため、下記表3のNormalized powerのような相対値を算出する際には、係数として無視できる。

[0058] [表3]

	6T (Baseline)	Word- disable	14T word- enhancing
Vmin (mV)	855	630	500
Normalized area	1	1.15	1.24
Frequency (MHz)	1700	900	500
Normalized power	1	0.29	0.1
IPC	1.36	1.31	1.31

[0059] (数1)

ダイナミック消費電力 (Dynamic power consumption)

$$= \text{Frequency} \times \text{Capacitance} \times V_{\text{min}}^2 \quad \dots \quad (\text{式1})$$

[0060] 図13(1)は、4MBのキャッシュメモリの99.9%の歩留まりラインにおける3種類のキャッシュメモリの最低動作電圧 V_{min} を比較した結果である。高信頼モードである1ビット/2セルモードを適用する方法を用いるもの(14T word-enhancing)は、従来の6トランジスタで構成されるメモリセル(6T)に比べて、最低動作電圧を42%低減できている。また、高信頼モードである1ビット/2セルモードを適用する方法を用いるもの(14T word-enhancing)は、故障ワードを特定する従来方法を用いるもの(word-disable)に比べて、最低動作電圧を21%低減できている。

[0061] 次に、図13(2)は、表3の正規化消費電力(Normalized power)をグラフ化して、3種類のキャッシュメモリのダイナミック消費電力を比較した結果を表したものである。高信頼モードである1ビット/2セルモードを適用する方法を用いるもの(14T word-enhancing)は、従来の6トランジスタで構成されるメモリセル(6T)に比べて、ダイナミック消費電力を90%低減できている。また、高信頼モードである1ビット/2セルモードを適用する方法を用いるもの(14T word-enhancing)は、故障ワードを特定する従来方法を用いるもの(word-disable)に比べて、ダイナミック消費電力を65%低減できている。

[0062] 図12, 図13から、全てのワードペアに対して高信頼モードである1ビット/2セルモードを適用する方法を用いるもの(14T word-enhancing)が、従来の6トランジスタで構成されるメモリセル(6T)に比べて、4%以下のIPC性能の低下を招くものの、動作電圧と消費電力が比較した3種類の中で最も大幅に削減できていることが確認できる。

[0063] 高信頼モードである1ビット/2セルモードを適用する方法を用いるもの(14T word-enhancing)は、従来の6トランジスタで構成

されるメモリセル（6 T）のようにふるまう通常モードと比べて、アクセス時間が増加する。特に、0.5 Vなどの低電圧動作時にアクセスサイクル数が増加する。下記表4に、ダイナミック動作時のアクセス時間のデータについて、通常モードと高信頼モード、キャッシュサイズが32 KBと4 MB、供給電圧V_{dd}が1.2 Vと0.5 Vについて比較結果を示す。

[0064] [表4]

V _{dd} (supply voltage)	1.2 V	0.5 V
通常モード (32 KB)	0.75 ns	3.89 ns
高信頼モード (32 KB)	0.95 ns	4.93 ns
通常モード (4 MB)	5.20 ns	27.01 ns
高信頼モード (4 MB)	5.81 ns	30.12 ns

[0065] 図14は、32 KB L1キャッシュの入力アドレスと出力データの流れを示す1way（4 KB）分のブロック図を示している。また、図15は、4 MB L2キャッシュの入力アドレスと出力データの流れを示す1way（512 KB）分のブロック図を示している。

読出し時は、読出し対象のアドレスに対応するIndex（Index__in）をTag ArrayとData Arrayに入力し、Index__inによって読出し対象の行を決定する。同様にして、読出し対象のアドレスに対応するTag__inをTag Arrayに入力する。Tag ArrayのIndex__inに対応する行に格納されているデータとTag__inが一致する場合、Match__outに“1”を出力する。同時に、Data ArrayからはIndex__inに対応するData__outが出力される。

一方、書込み時は、Index__inでTag ArrayとData Arrayの書込み対象のラインを特定し、Tag__inとData__inの入力によって、Tag ArrayとData Arrayの書込み対象のラインに対する書込みデータを特定する。

産業上の利用可能性

[0066] 本発明は、コンピュータのキャッシュメモリ等に使用されるSRAMに有用である。

符号の説明

[0067] MC, MC01, MC10 メモリセル
CLS: Control line selection signal
WLS: Word line Selection
signal
GCL: Global Control line
GWL: Global Word line
LCL: Local Control line
LWL: Local Word line

請求の範囲

[請求項1]

各々の出力がメモリセルの列に対応して配置される一対のビットラインの各々に至る経路に接続されるクロスカップル接続された一対のインバータと、ビットラインとインバータの出力との間に設けられた一対のスイッチ部と、スイッチ部の導通を制御する1本のワードラインと、から構成されるメモリセルと、

隣接するメモリセルのデータ保持ノード間にモード制御スイッチ部と、該モード制御スイッチ部の導通を制御する1本のモード制御ラインと、を備え、

1ビットが1個のメモリセルで構成されるモード（1ビット／1セルモード）と、1ビットが n （ n は2以上）個のメモリセルを連結して構成されるモード（1ビット／ n セルモード）とを、モード制御ラインを用いて動的に切り替えできる半導体メモリにおいて、

モード制御ラインをワード単位で分割し、ワード単位で分割された各モード制御ラインを選択するためのモード制御ライン選択回路と、

スイッチ部の導通を制御するワードラインをワード単位で分割し、ワード単位のメモリセルの比較で動作マージンが大きいワード側のメモリセルのワードラインを、データ読出し時に選択するためのワードライン選択回路と、

を更に備えたことを特徴とする半導体メモリ。

[請求項2]

各々の出力がメモリセルの列に対応して配置される一対のビットラインの各々に至る経路に接続されるクロスカップル接続された一対のインバータと、ビットラインとインバータの出力との間に設けられた一対のスイッチ部と、スイッチ部の導通を制御する1本のワードラインと、から構成されるメモリセルと、

隣接するメモリセルのデータ保持ノード間にモード制御スイッチ部と、該モード制御スイッチ部の導通を制御する1本のモード制御ラインと、を備え、

1ビットが1個のメモリセルで構成されるモード（1ビット／1セルモード）と、1ビットが2個のメモリセルを連結して構成されるモード（1ビット／2セルモード）とを、モード制御ラインを用いて動的に切り替えできる半導体メモリにおいて、

モード制御ラインをワード単位で分割し、ワード単位で分割された各モード制御ラインを選択するためのモード制御ライン選択回路と、

スイッチ部の導通を制御するワードラインをワード単位で分割し、ワード単位のメモリセルの比較で動作マージンが大きいワード側のメモリセルのワードラインを、データ読出し時に選択するためのワードライン選択回路と、

を更に備えたことを特徴とする半導体メモリ。

[請求項3]

請求項1又は2に記載の半導体メモリにおけるワード単位のメモリセルの比較で動作マージンが大きいワード側のメモリセルを決定する方法であって、

(a) 有意な複数ワードに対して、所定閾値電圧だけ印加電圧を低減しながらメモリブロックにおけるマージン不良故障箇所を特定する処理と、

(b) 動作マージンが小さく動作が不安定となるワード単位のメモリセルを特定した場合、特定したワード単位のメモリセルには1ビット／ n セルモード（ n は2以上）を適用する処理と、

(c) 全てのワード単位のメモリセルに1ビット／ n セルモードを適用するまで前記(a)～(b)を繰り返す処理と、

(d) 各ワード単位のメモリセルにおいて、1ビット／ n セルモードを適用する際に、特定したワード単位のメモリセルのワードペアの他方のメモリセルを、動作マージンが大きいワード側のメモリセルとして決定する処理と、

を備えたことを特徴とする半導体メモリのワード単位メモリセルの決定方法。

[請求項4] 請求項2に記載の半導体メモリにおけるワード単位のメモリセルの比較で動作マージンが大きいワード側のメモリセルを決定する方法であって、

(a) 1 キャッシュラインの複数ワードに対して、所定閾値電圧だけ印加電圧を低減しながらメモリブロックにおけるマージン不良故障箇所を特定する処理と、

(b) 動作マージンが小さく動作が不安定となるワード単位のメモリセルを特定した場合、特定したワード単位のメモリセルには1ビット/2セルモードを適用する処理と、

(c) 1 キャッシュラインの全てのワード単位のメモリセルに1ビット/2セルモードを適用するまで前記(a)～(b)を繰り返す処理と、

(d) 各ワード単位のメモリセルにおいて、1ビット/2セルモードを適用する際に、特定したワード単位のメモリセルのワードペアの他方のメモリセルを、動作マージンが大きいワード側のメモリセルとして決定する処理と、

を備えたことを特徴とする半導体メモリのワード単位メモリセルの決定方法。

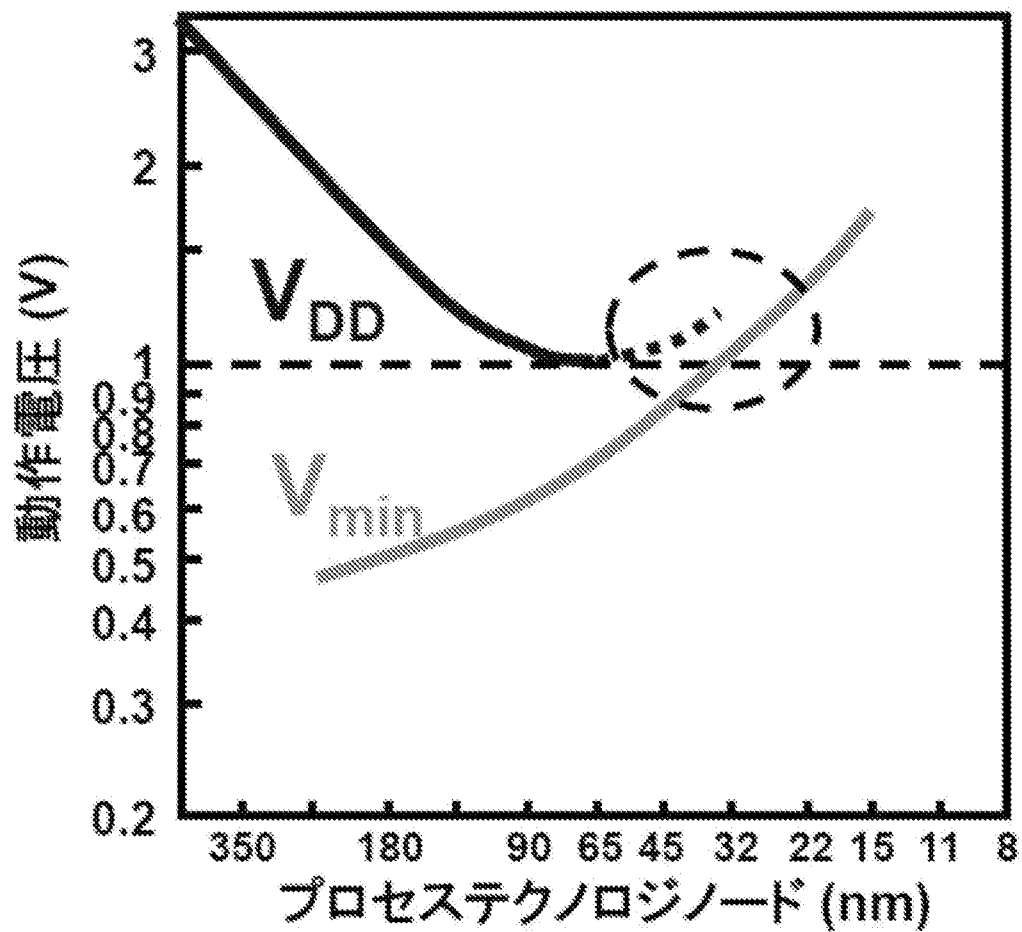
[請求項5] 前記モード制御ライン選択回路は、ワード単位にマトリックスで選択可能な制御ライン選択信号とグローバル制御信号とで制御されることを特徴とする請求項1又は2に記載の半導体メモリ。

[請求項6] 前記モード制御ライン選択回路は、前記制御ライン選択信号の信号ラインと前記グローバル制御信号の信号ラインとのAND回路の出力信号がワード単位で分割された前記モード制御ラインに印加されることを特徴とする請求項5に記載の半導体メモリ。

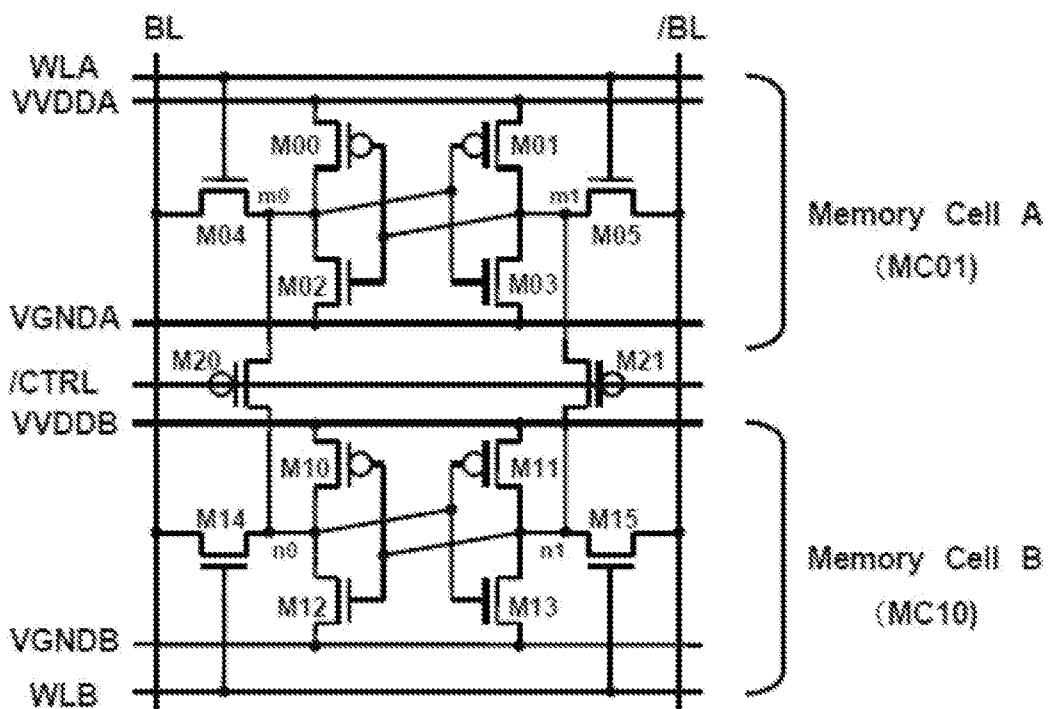
[請求項7] 前記ワードライン選択回路は、ワード単位にマトリックスで選択可能なワードライン選択信号とグローバルワード信号とで制御されることを特徴とする請求項1又は2に記載の半導体メモリ。

- [請求項8] 前記ワードライン選択回路は、前記ワードライン選択信号の信号ラインと前記グローバルワード信号の信号ラインとのAND回路の出力信号がワード単位で分割された前記ワードラインに印加されることを特徴とする請求項7に記載の半導体メモリ。
- [請求項9] 請求項3に記載の半導体メモリのワード単位メモリセルの決定方法を用いて、ワード単位のメモリセルの比較で動作マージンが大きいワード側のメモリセルを選択するように、前記ワードライン選択信号を予め所定レベルに固定させたことを特徴とする請求項1又は2に記載の半導体メモリ。
- [請求項10] 請求項4に記載の半導体メモリのワード単位メモリセルの決定方法を用いて、ワード単位のメモリセルの比較で動作マージンが大きいワード側のメモリセルを選択するように、前記ワードライン選択信号を予め所定レベルに固定させたことを特徴とする請求項2に記載の半導体メモリ。

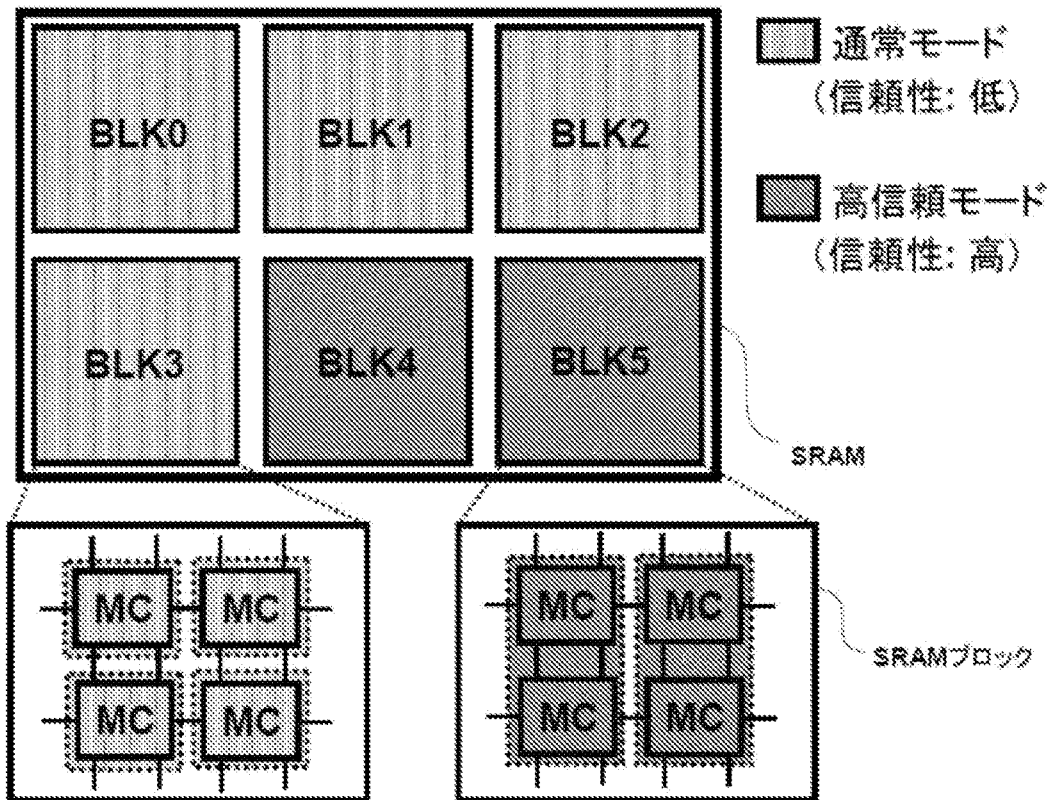
[図1]



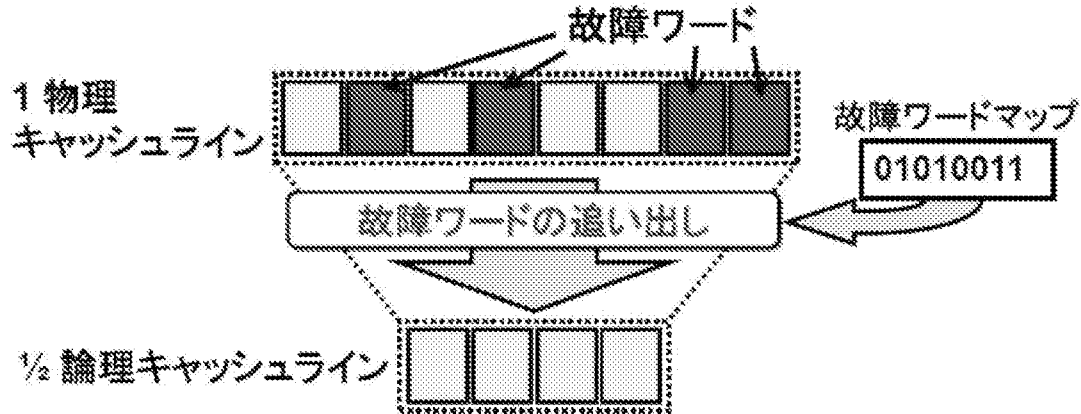
[図2]



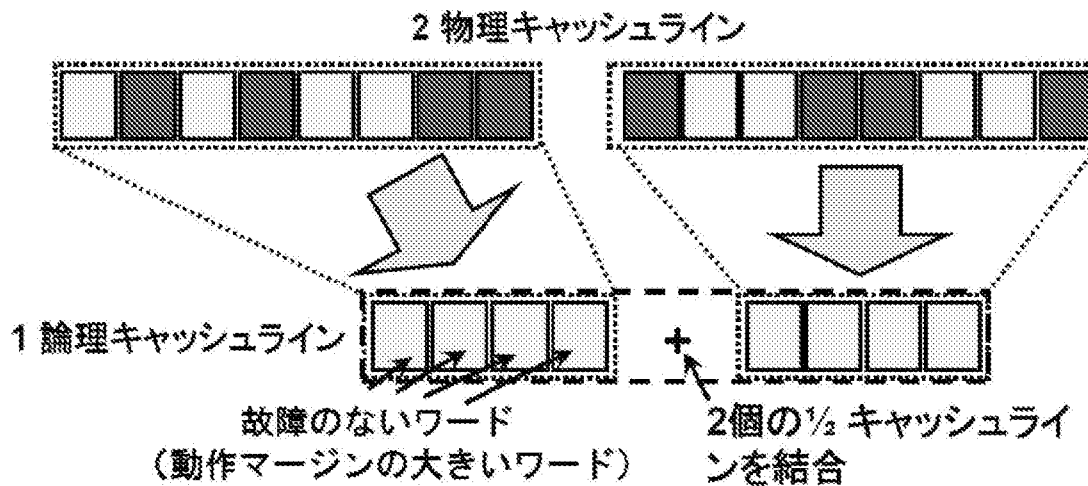
[図3]



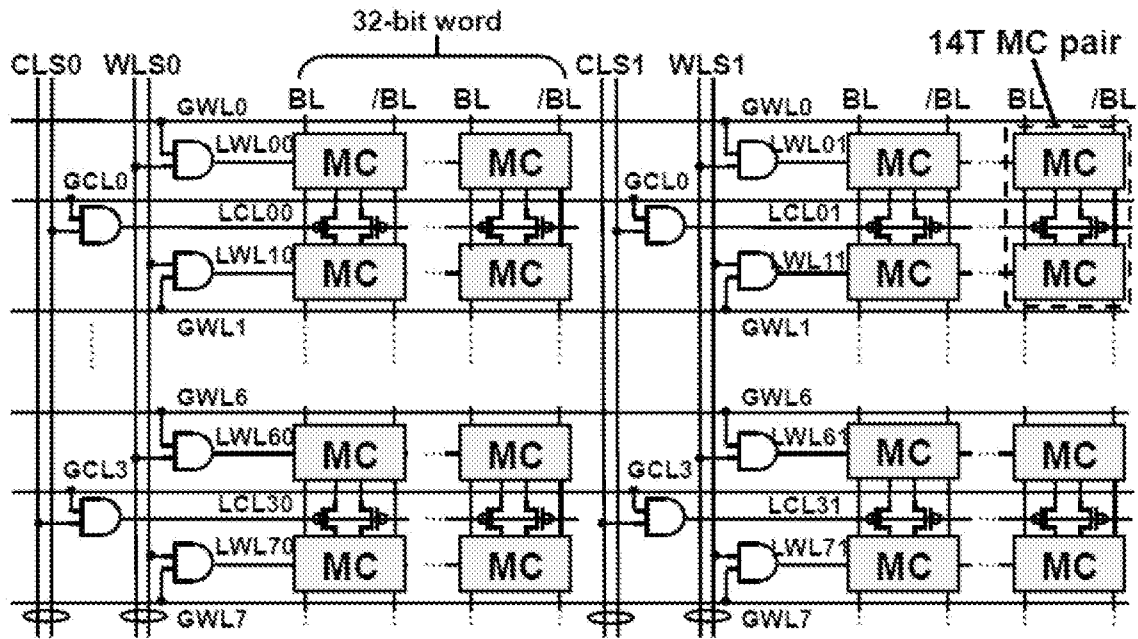
[図4]



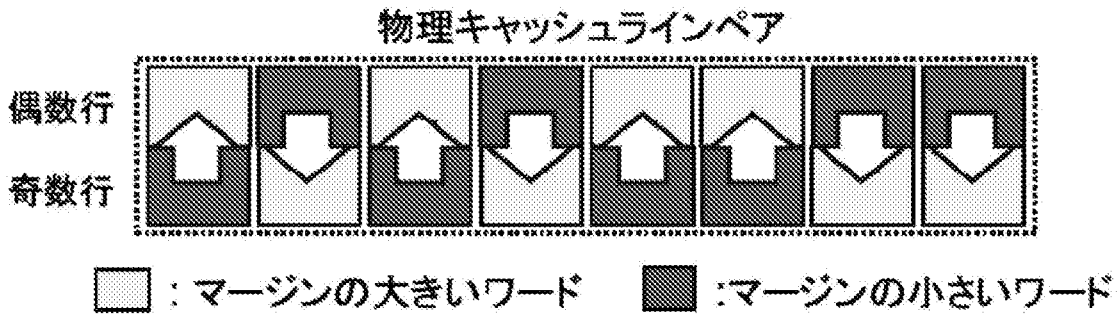
[図5]



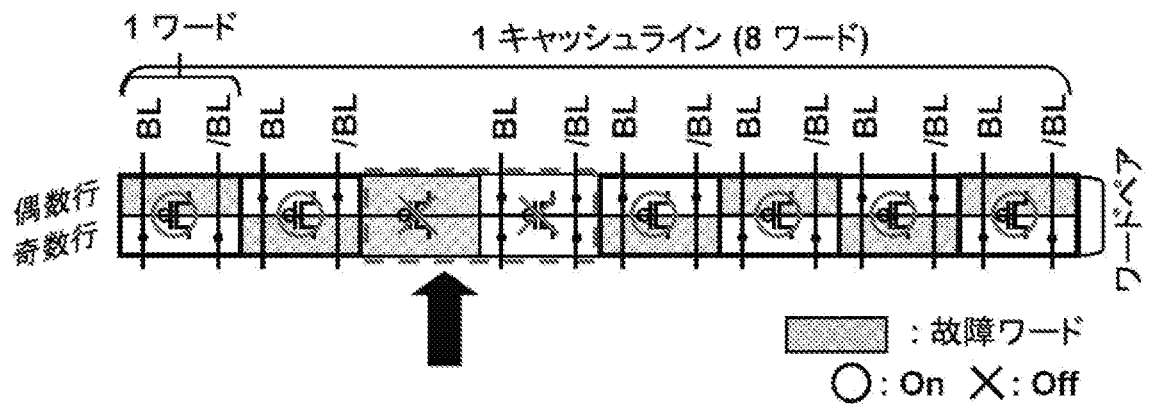
[図6]



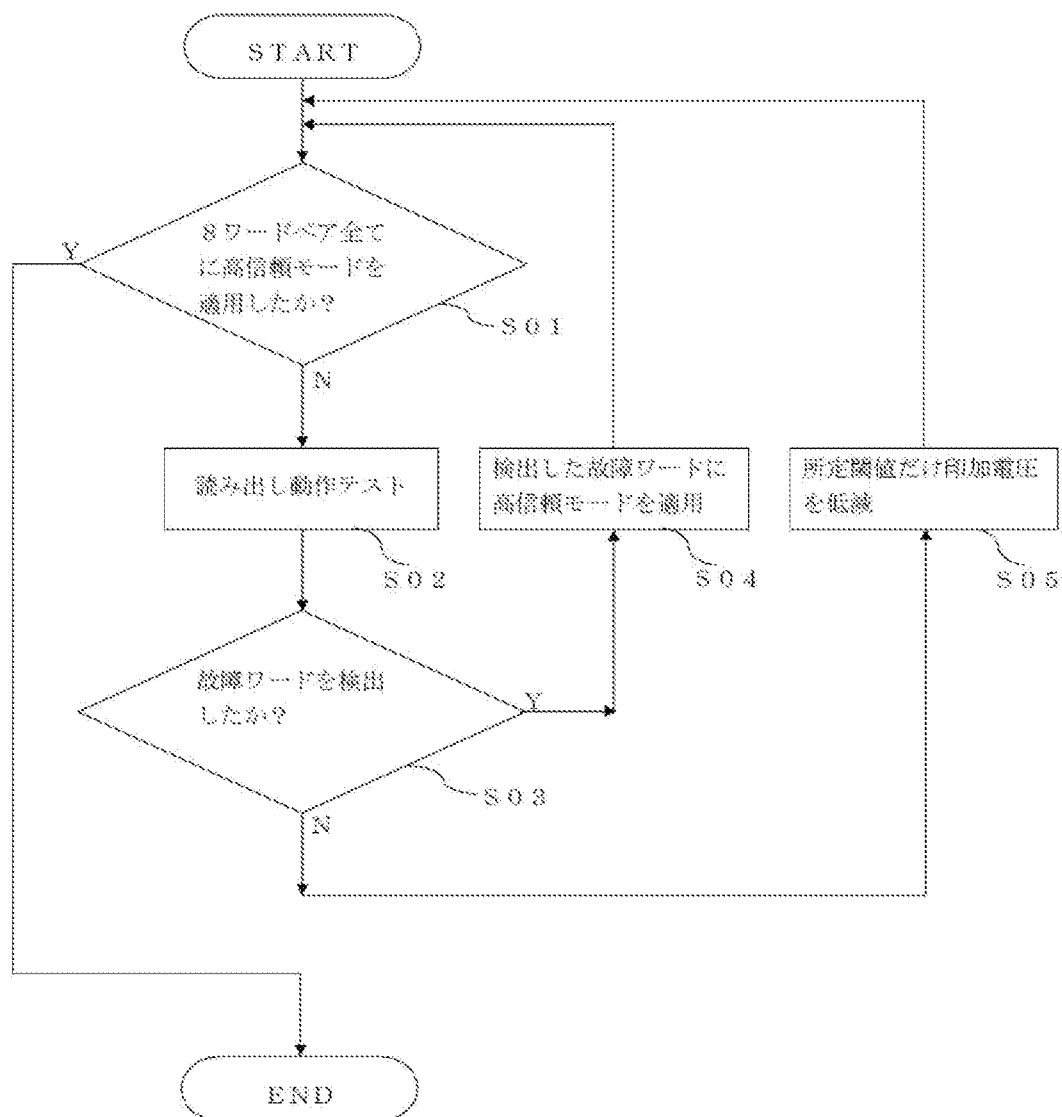
[図7]



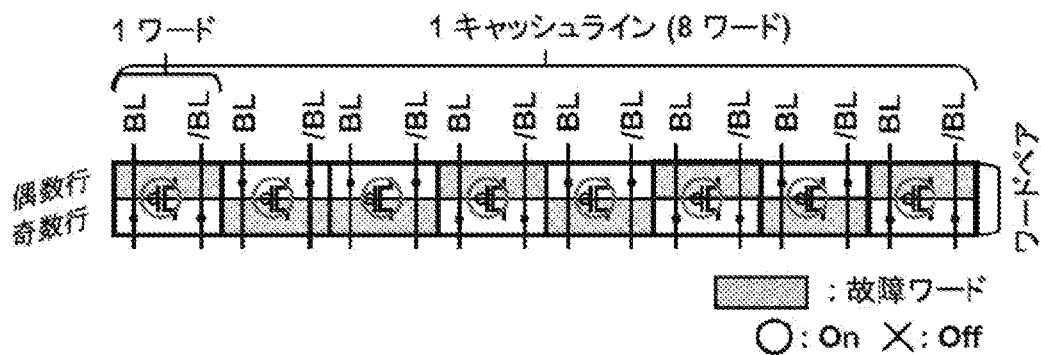
[図8]



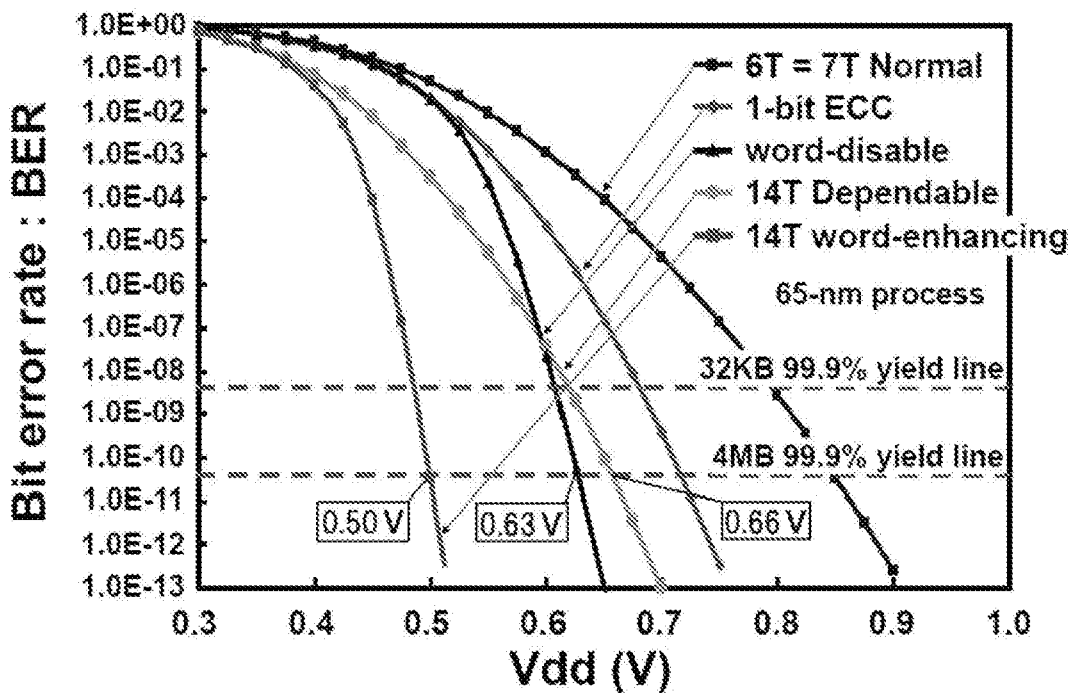
[図9]



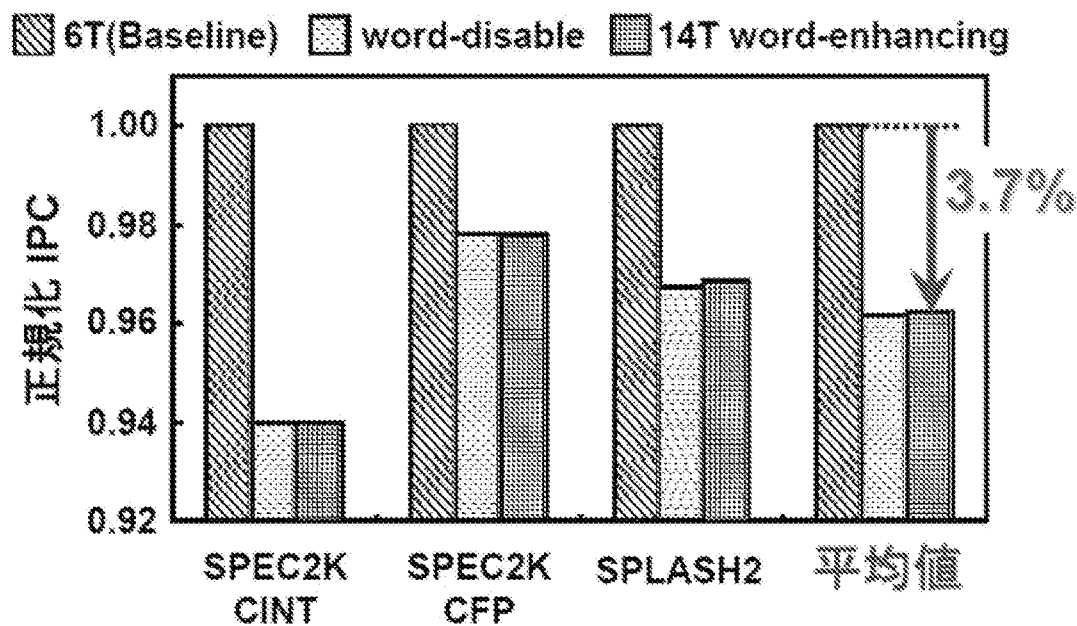
[図10]



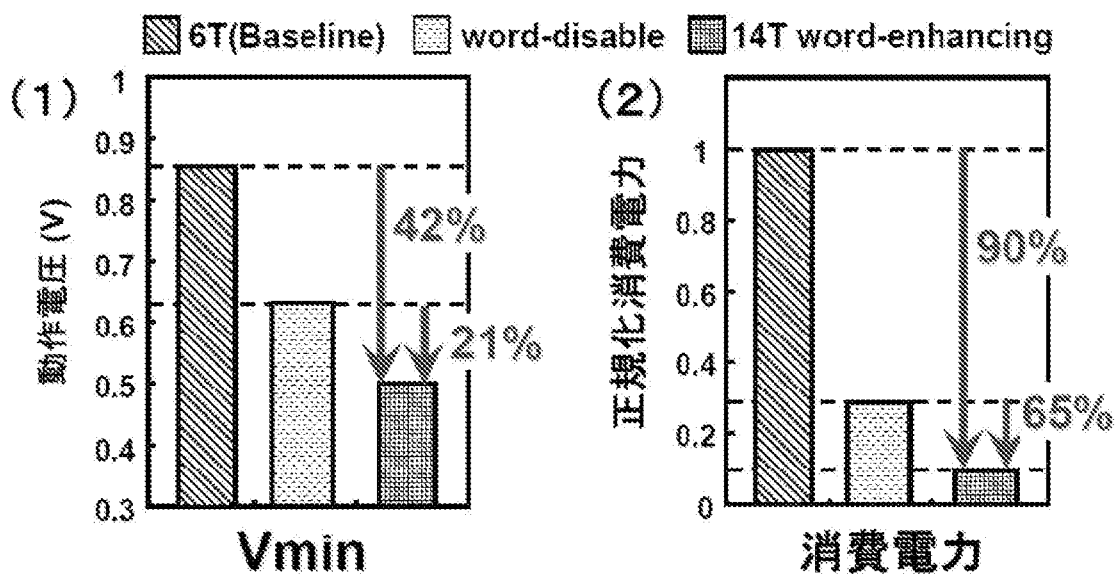
[図11]



[図12]

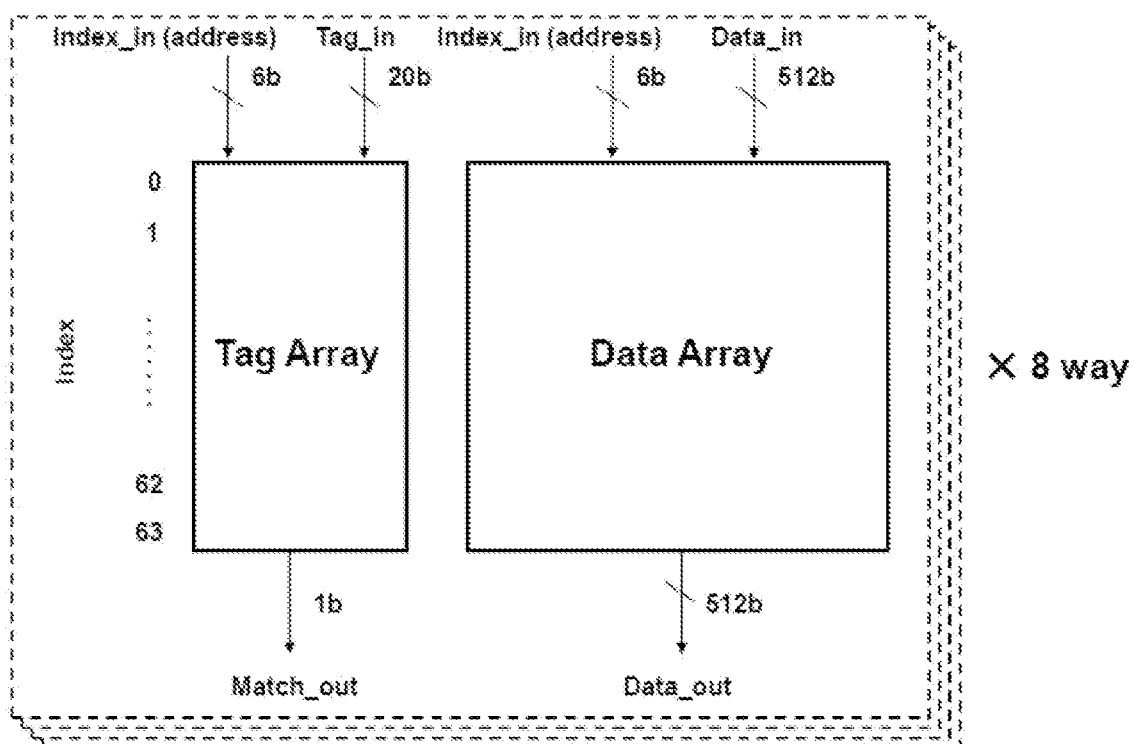


[図13]



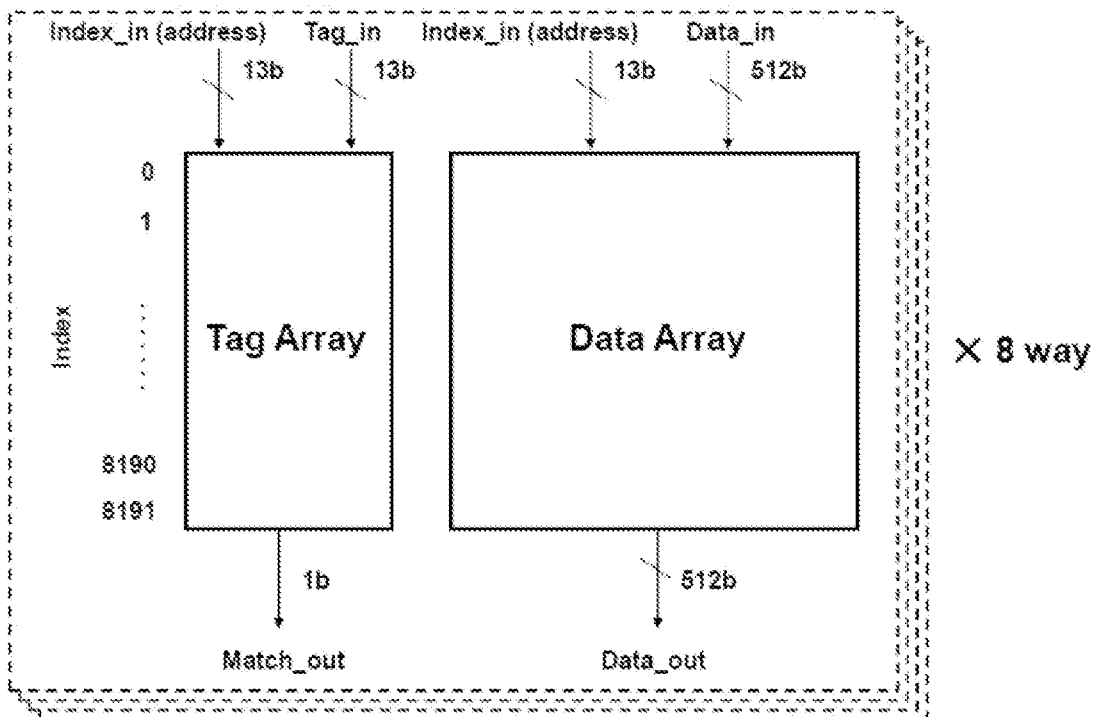
[図14]

1 way (4 KB) 分のブロック図



[図15]

1 way (512 KB) 分のブロック図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004580

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/41(2006.01)i, G06F12/08(2006.01)i, G06F12/10(2006.01)i, G06F12/12(2006.01)i, G11C11/413(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/41, G06F12/08, G06F12/10, G06F12/12, G11C11/413

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/088020 A2 (The New Industry Research Organization), 16 July 2009 (16.07.2009), paragraphs [0075] to [0107]; fig. 12 to 29 & US 2010/0271865 A1	1-10
A	JP 2010-157297 A (Kobe University), 15 July 2010 (15.07.2010), entire text; all drawings (Family: none)	1-10
A	JP 2009-123306 A (Kobe University), 04 June 2009 (04.06.2009), paragraph [0047]; fig. 10 (Family: none)	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
22 November, 2011 (22.11.11)

Date of mailing of the international search report
06 December, 2011 (06.12.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004580

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-018514 A (Toshiba Corp.), 25 January 2007 (25.01.2007), entire text; all drawings & US 2007/0011406 A1	1-10
A	JP 59-094283 A (NEC Corp.), 30 May 1984 (30.05.1984), entire text; all drawings (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G11C11/41(2006.01)i, G06F12/08(2006.01)i, G06F12/10(2006.01)i, G06F12/12(2006.01)i, G11C11/413(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G11C11/41, G06F12/08, G06F12/10, G06F12/12, G11C11/413

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/088020 A2 (財団法人新産業創造研究機構) 2009.07.16, 段落【0075】 - 【0107】, 第12図-第29図 & US 2010/0271865 A1	1-10
A	JP 2010-157297 A (国立大学法人神戸大学) 2010.07.15, 全文, 全図 (ファミリーなし)	1-10
A	JP 2009-123306 A (国立大学法人神戸大学) 2009.06.04, 段落【0047】, 第10図 (ファミリーなし)	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

22.11.2011

国際調査報告の発送日

06.12.2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

園田 康弘

5 N

3578

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-018514 A (株式会社東芝) 2007.01.25, 全文, 全図 & US 2007/0011406 A1	1-10
A	JP 59-094283 A (日本電気株式会社) 1984.05.30, 全文, 全図 (ファミリーなし)	1-10