

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年7月26日(26.07.2012)



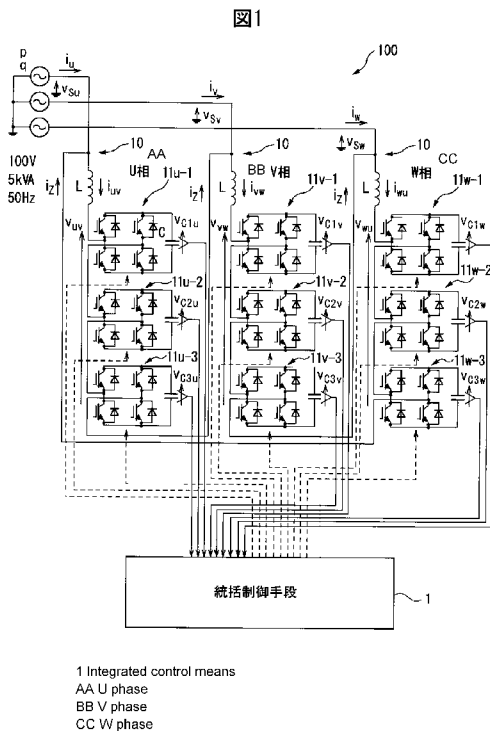
(10) 国際公開番号
WO 2012/099176 A1

- (51) 国際特許分類:
G05F 1/70 (2006.01)
- (21) 国際出願番号: PCT/JP2012/050982
- (22) 国際出願日: 2012年1月18日(18.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-008112 2011年1月18日(18.01.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 国立
大学法人東京工業大学(Tokyo Institute of Techno-
logy) [JP/JP]; 〒1528550 東京都目黒区大岡山2-
1 2-1 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 赤木 泰文
(AKAGI, Hirofumi) [JP/JP]; 〒1528550 東京都目黒区
大岡山2-1 2-1 国立大学法人東京工業大
学内 Tokyo (JP). 萩原 誠(HAGIWARA, Makoto)
[JP/JP]; 〒1528550 東京都目黒区大岡山2-1 2
-1 国立大学法人東京工業大学内 Tokyo (JP).
- (74) 代理人: 青木 篤, 外(AOKI, Atsushi et al.); 〒
1058423 東京都港区虎ノ門三丁目5番1号 虎
ノ門3 7森ビル 青和特許法律事務所 Tokyo
(JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: POWER CONVERTER AND METHOD FOR CONTROLLING SAME

(54) 発明の名称: 電力変換器およびその制御方法



(57) Abstract: A power converter (100) comprises: DC capacitors (C); semiconductor switch groups which comprise two semiconductor switches connected in a series; bridge cells (11u-j, 11v-j, and 11w-j) which comprise a DC capacitor (C) and two semiconductor switch groups connected in parallel to the DC capacitor (C); delta connection units (10) in which one or a plurality of the directly connected bridge cells (11u-j, 11v-j, and 11w-j) are delta connected; and a universal controller (1) for controlling the circulating current flowing in the delta connection unit so that the average values of each DC capacitor phase obtained by averaging the voltage value of the DC capacitor (C) in each phase follow a DC capacitor 3-phase average value obtained by averaging the voltage values of the DC capacitor (C) in all three phases.

(57) 要約: 電力変換器(100)は、直流コンデンサ(C)と、直列接続された2つの半導体スイッチを有する半導体スイッチ群と、直流コンデンサ(C)および直流コンデンサ(C)に2つ並列接続される半導体スイッチ群を有するブリッジセル(11u-j、11v-j、11w-j)と、1つまたは複数、1つまたは複数、11u-j、11v-j、11w-j)がデルタ接続されたデルタ結線部(10)と、三相全ての直流コンデンサ(C)の電圧値を平均して得られた直流コンデンサ三相分平均値に各相ごとの直流コンデンサ(C)の電圧値を平均して得られた直流コンデンサ相別平均値それぞれが追従するよう、デルタ結線部内を流れる循環電流を制御する統括制御手段(1)とを備える。

1 Integrated control means
AA U phase
BB V phase
CC W phase

WO 2012/099176 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：電力変換器およびその制御方法

技術分野

[0001] 本発明は、電力変換器およびその制御方法に関し、特に、モジュラーマルチレベルカスケード型の電力変換器およびその制御方法に関する。

背景技術

[0002] 実装が容易で大容量・高圧用途に適した次世代トランスレス電力変換器として、モジュラーマルチレベルカスケード変換器 (MMCC: Modular Multilevel Cascade Converter) がある。モジュラーマルチレベルカスケード変換器は、無効電力補償装置 (STATCOM: STATic synchronous COMPensator) への適用が期待されている。

[0003] モジュラーマルチレベルカスケード変換器は、コンバータセルのカスケード接続に特長があり、コンバータセルの回路構成とアームの結線法から4種類に分類できる (例えば、非特許文献2参照。)

[0004] このうち、単一スターブリッジセル (MMCC-SSBC: Modular Multilevel Cascade Converter based on Single-Star Bridge-Cells) を用いた無効電力補償装置は、拡張性や冗長性に富むという特長を有する (例えば、非特許文献3参照。)。しかしながら、スター結線 (Y結線) であるがゆえに相間に循環電流を流すことができず、逆相無効電力を制御することが困難である。

[0005] 一方、単一デルタブリッジセル (MMCC-SDBC: Modular Multilevel Cascade Converter based on Single-Delta Bridge-Cells) を用いた無効電力補償装置は、デルタ結線内に循環電流が流れるので、この循環電流を制御することにより逆相無効電力を調整することができる (例えば、非特

許文献4参照。)

[0006] 図12は、単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器の回路図である。

[0007] 単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器100は、内部にデルタ結線部を備える。デルタ結線部の各相上には、1つのブリッジセルまたは複数個が直列接続されたブリッジセルが設けられる。すなわち、ブリッジセルは、デルタ結線部上の各相 u 、 v および w において、1個、あるいは複数個直列接続されたとして設けられる。図12に示す例では、デルタ結線部上の各相において、直列接続された3つのブリッジセル $11u-j$ 、 $11v-j$ および $11w-j$ （ただし、 $j=1\sim 3$ ）がそれぞれ設けられている。デルタ結線部上の各相において設けられるブリッジセルの個数はこれに限定されるものではなく、1個、または、直列接続された複数個であってもよい。なお、図12において、電力変換器100のデルタ結線部上の各相のリアクトル成分は L で表している。

[0008] 各ブリッジセル $11u-j$ 、 $11v-j$ および $11w-j$ （ただし、 $j=1\sim 3$ ）は、直流コンデンサ C と、この直流コンデンサ C に2つ並列接続される半導体スイッチ群と、を有する。各半導体スイッチ群は、直列接続された2つの半導体スイッチをそれぞれ有する。半導体スイッチは、オン時に一方向に電流を通す半導体スイッチング素子と、この半導体スイッチング素子に逆並列に接続された帰還ダイオードと、を有する。

[0009] 図12において、系統側の電源電圧の各相の相電圧を v_{Su} 、 v_{Sv} および v_{Sw} 、ならびに各相の電流（以下、「電源電流」と称する。）を i_u 、 i_v および i_w とする。また、電力変換器100のデルタ結線部の各相にそれぞれ流入する電流（以下、「変換器電流」と称する。）を i_{uv} 、 i_{vw} および i_{wu} とする。また、電力変換器100のデルタ結線部の各相の出力電圧、すなわち電力変換器100の出力端子における線間電圧を v_{uv} 、 v_{vw} および v_{wu} とする。また、各ブリッジセル $11u-j$ 、 $11v-j$ および $11w-j$ 内の直流コンデンサの電圧を v_{Cju} 、 v_{Cjv} および v_{Cjw} （ただし、 $j=1\sim 3$ ）とする。以降、異なる

図面において同じ参照符号が付されたものは同じ機能を有する構成要素であることを意味するものとする。

[0010] 例えば、アーク炉においては、アーク炉に起因する電圧降下および電圧変動を抑制するため、高速な正相および逆相の無効電力制御、ならびに低周波数の有効電力制御を実行することができる大容量のフリッカ補償装置を用いる必要がある。図13は、フリッカ補償装置の一般的構成を示す図である。一般に、フリッカ補償装置200は、三相電源300に連系変圧器400を介して直列に接続されたアーク炉500に対し、並列に接続される。図13において、PCC (Point of common coupling) は、フリッカ補償装置200の系統との接続点を表す。また、pおよびqはそれぞれ、PCCとフリッカ補償装置200との間で授受する瞬時有効電力および瞬時有効電力を表す。アーク炉500に流れ込む負荷電流 i_L には、正相有効電流の他に、電圧フリッカを誘発する正相無効電流、逆相無効電流、および低周波数有効電流が含まれる。ここで、フリッカ補償装置200を設けない場合には、これら電流が直接電源電流 i_s に表れるので、電圧フリッカが発生する。フリッカ補償装置200は、このような電圧フリッカを抑制するために、補償電流 i_c を生成する。

[0011] このようなフリッカ補償装置として、1980年代以前より用いられてきたSVC (Static Var Compensator) と呼ばれるサイリスタを用いたフリッカ補償装置がある (例えば、非特許文献5参照。) 図14は、SVCを用いたフリッカ補償装置を示す回路図である。SVCからなるフリッカ補償装置200には、図14(a)に示すような逆並列接続されたサイリスタ T_r とこれに直列接続されたリアクトル L_1 とからなるTCR (Thyristor controlled reactor) と呼ばれるものと、図14(b)に示すような逆並列接続されたサイリスタ T_r とこれに直列接続されたコンデンサ C_1 およびリアクトル L_2 とからなるTSC (Thyristor switched capacitor) と呼ばれるものがある。

[0012] また、2000年代には、自励式無効電力補償装置（STATCOM）を用いたフリッカ補償装置が実用化されている（例えば、非特許文献6参照）。図15は、非特許文献6に記載されたフリッカ補償装置を示す回路図である。非特許文献6に記載されたSTATCOMを用いたフリッカ補償装置200では、IEGTと呼ばれる自己消弧型素子を用いたIEGT変換器202を複数台用いることで大容量化を実現している。各IEGT変換器202は多巻線変圧器201を介して多段接続される。このような多巻線変圧器を用いた電力変換器は、大容量であり、かつ逆相無効電力を制御することができるので、このような無効電力補償装置としての用途に適している。

先行技術文献

非特許文献

[0013] 非特許文献1：萩原誠、赤木泰文著、「モジュラー・マルチレベル変換器（MMC）のPWM制御法と動作検証」、電気学会論文誌D、第128巻、第7号、pp957～965、2008年7月

非特許文献2：赤木泰文、萩原誠著、「モジュラー・マルチレベル・カスケード変換器（MMCC）の分類と名称」、電気学会全国大会、no. 4-043、pp71～72、2010年3月

非特許文献3：吉井剣、井上重徳、赤木泰文著、「6.6kV トランスレス・カスケードPWM STATCOM」、電気学会論文誌D、第127巻、第8号、pp781～788、2007年5月

非特許文献4：K. フジイ（K. Fujii）、U. シュワルツァ（U. Schwarzer）、R. W. デ・ドンカー（R. W. De Doncker）著、「(Comparison of hard-switched multi-level inverter topologies for STATCOM by loss-implemented simulation and cost estimation)」、(米国)、米国電気電子学会議事録（IEEE. Rec）、米国電気電子学会パワーエレクトロニクス専門家会議（IEEE-PESC）、pp340～346、2

005年6月

非特許文献5：宇都克哉、篠原博、鈴木明夫著、「フリッカ補償システムの最新制御技術」、富士時報、第80巻、第2号、pp131～134、2007年2月

非特許文献6：K. ウツキ (K. Usuki)、F. アオヤマ (F. Aoyama)、M. ハナマツ (M. Hanamatsu)、「電圧変動を抑制するSVC制御の開発 (Development of SVC control for suppressing voltage fluctuations)」、(米国)、米国電気電子学会議事録 (IEEE, Rec)、米国電気電子学会パワーエレクトロニクス国際会議 (IEEE-ICPE)、pp2073～2080、2011年

発明の概要

発明が解決しようとする課題

[0014] 上述のように、単一デルタブリッジセル (MMCC-SDBC) を用いたモジュラーマルチレベルカスケード型の電力変換器は、大容量であり、かつ逆相無効電力を制御することができるので、このような無効電力補償装置としての用途に適している。

[0015] しかしながら、単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器においては、各ブリッジセル内の直流コンデンサの電圧を安定に維持する制御を行う必要がある。特にこの電力変換器を無効電力補償装置として用いた場合には、高速な正相および逆相の無効電力制御、ならびに低周波数の有効電力制御を実行しながら、全ての動作モードにおいて直流コンデンサの電圧を安定に維持しつつ制御しなければならない。

[0016] また、フリッカ補償装置のフリッカ補償率のさらなる向上も求められている。日本では、当時の日本電熱協会アーク炉委員会の開発したフリッカ発生量を表す尺度として $\Delta V10$ と呼ばれるものがある。 $\Delta V10$ は、100V系統に換算したときの1分間当たりの電圧変動の実効値 (V) の割合に視感度係数を反映したものである。フリッカ補償率は、フリッカ補償装置を用い

ることでのどの程度 ΔV_{10} が低減されたかを示す指数である。フリッカ補償率は0～100%の値をとり、数字が大きいほどフリッカ補償率は高いことを示す。

[0017] 非特許文献5に記載されたSVCを用いたフリッカ補償装置は、大容量化が容易であり、低コストであるという利点がある。しかしながら、フリッカ補償率は低く、非特許文献5の記載によれば、その値は57.6%である。

[0018] 非特許文献6に記載されたIGBT素子を用いたSTATCOMからなるフリッカ補償装置は、非特許文献5に記載されたSVCを用いたフリッカ補償装置よりもフリッカ補償率が高く、非特許文献6の記載によれば、その値は74%である。しかしながら、非特許文献6に記載されたフリッカ補償装置では、変換器容量の増大のために用いている多巻線変圧器が存在するため、体積および重量の増大を免れず、コストも高い。

[0019] 従って本発明の目的は、上記問題に鑑み、あらゆる動作モードにおいて直流コンデンサを安定に制御することができる、単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器およびこの制御方法を提供することにある。

課題を解決するための手段

[0020] 上記目的を実現するために、本発明においては、単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器は、

直流コンデンサと、

直列接続された2つの半導体スイッチを有する半導体スイッチ群と、

上記直流コンデンサと、上記直流コンデンサに2つ並列接続される上記半導体スイッチ群と、を有するブリッジセルと、

1つまたは複数個が直列接続されたブリッジセルがデルタ接続されたデルタ結線部と、

三相全ての直流コンデンサの電圧値を平均して得られた直流コンデンサ三相分平均値に、各相ごとの直流コンデンサの電圧値を平均して得られた直流コンデンサ相別平均値それぞれが追従するよう、デルタ結線部内を流れる循

環電流を制御する制御部と、
を備える。

[0021] すなわち、本発明においては、単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器は、

直流コンデンサと、この直流コンデンサに2つ並列接続される半導体スイッチ群であって、各半導体スイッチ群は、直列接続された2つの半導体スイッチをそれぞれ有する半導体スイッチ群と、を有するブリッジセルと、

1つまたは複数が直列接続されたブリッジセルがデルタ接続されたデルタ結線部と、

三相全ての直流コンデンサの電圧値を平均して得られた直流コンデンサ三相分平均値に、各相ごとの直流コンデンサの電圧値を平均して得られた直流コンデンサ相別平均値それぞれが追従するよう、デルタ結線部内を流れる循環電流を制御する制御部と、

[0022] また、本発明においては、直列接続された2つの半導体スイッチを有する半導体スイッチ群が直流コンデンサに2つ並列接続されることで構成されたブリッジセルが、デルタ結線部上の各相において、1つもしくは直列接続された複数設けられる電力変換器の制御方法は、

三相全ての直流コンデンサの電圧値を平均した値である直流コンデンサ三相分平均値、および各相ごとの直流コンデンサの電圧値を平均した値である直流コンデンサ相別平均値を生成する平均値算出ステップと、

直流コンデンサ三相分平均値に、各直流コンデンサ相別平均値それぞれが追従するよう、デルタ結線部内を流れる循環電流の値を制御する制御ステップと、
を備える。

発明の効果

[0023] 本発明によれば、単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器を、高速な正相および逆相の無効電力制御、ならびに低周波数の有効電力制御を実行しながら、全ての動作モードにおいて

直流コンデンサの電圧を安定に維持しつつ制御することができる。

図面の簡単な説明

[0024] [図1]本発明の実施例による単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器の回路図である。

[図2]本発明の実施例による電力変換器の統括制御手段のブロック図である。

[図3]本発明の実施例による電力変換器の平均値制御部のブロック線図である。

。

[図4]本発明の実施例による電力変換器の循環電流制御部のブロック線図である。

[図5]本発明の実施例による電力変換器のバランス制御部のブロック線図であって、(a)はu相バランス制御部、(b)はv相バランス制御部、(c)はw相バランス制御部のブロック線図である。

[図6]本発明の実施例による電力変換器の電力制御部のブロック線図である。

[図7]本発明の実施例による電力変換器の電圧指令値生成部のブロック線図であって、(a)はu相の、(b)はv相の、(c)はw相の、それぞれ電圧指令値の生成を示すブロック線図である。

[図8]本発明の実施例による電力変換器において、逆相無効電力制御を実行したときの実験波形を示す図である。

[図9]本発明の実施例による電力変換器において、正相無効電力制御、逆相無効電力制御および有効電力制御を同時に実行したときの実験波形を示す図である。

[図10]本発明の実施例による電力変換器の、逆相無効電力制御時の過渡特性についての実験波形を示す図である。

[図11]本発明の実施例による電力変換器の、低周波数有効電力制御の実験波形を示す図である。

[図12]単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器の回路図である。

[図13]フリッカ補償装置の一般的構成を示す図である。

[図14] SVCを用いたフリッカ補償装置を示す回路図である。

[図15] 非特許文献6に記載されたフリッカ補償装置を示す回路図である。

発明を実施するための形態

[0025] 図1は、本発明の実施例による単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器の回路図である。図1に示すモジュラーマルチレベルカスケード変換器100の、統括制御手段1以外の回路構成は、図12に示した回路構成と同様である。

[0026] 単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器100は、内部にデルタ結線部10を備える。デルタ結線部10の各相上には、1つのブリッジセルまたは複数個が直列接続されたブリッジセルが設けられる。すなわち、ブリッジセルは、デルタ結線部10上の各相u、vおよびwにおいて、1個、あるいは複数個直列接続されたとして設けられる。図1に示す例では、デルタ結線上の各相において、直列接続された3つのブリッジセル11u-j、11v-jおよび11w-j（ただし、j=1~3）がそれぞれ設けられる。以下、本発明の実施例においてはブリッジセルの個数を3個として説明するが、デルタ結線部10上の各相において設けられるブリッジセルの個数は本発明を限定するものではなく、1個のみ、または、直列接続された複数個であってもよい。なお、図1において、電力変換器100のデルタ結線部10上の各相のリアクトル成分はLで表している。

[0027] 各ブリッジセル11u-j、11v-jおよび11w-j（ただし、j=1~3）は、直流コンデンサCと、この直流コンデンサCに2つ並列接続される半導体スイッチ群と、を有する。各半導体スイッチ群は、直列接続された2つの半導体スイッチをそれぞれ有する。半導体スイッチは、オン時に一方向に電流を通す半導体スイッチング素子と、この半導体スイッチング素子に逆並列に接続された帰還ダイオードと、を有する。

[0028] 図1において、系統側の電源電圧の各相の相電圧を v_{su} 、 v_{sv} および v_{sw} 、電源電流を i_u 、 i_v および i_w とする。また、電力変換器100のデルタ結線部1

0の各相にそれぞれ流入する変換器電流を i_{uv} 、 i_{vw} および i_{wu} とする。また、電力変換器100のデルタ結線部10の各相の出力電圧、すなわち電力変換器100の出力端子における線間電圧を v_{uv} 、 v_{vw} および v_{wu} とする。また、各ブリッジセル11 $u-j$ 、11 $v-j$ および11 $w-j$ 内の直流コンデンサの電圧を v_{cju} 、 v_{cjb} および v_{cjc} (ただし、 $j=1\sim 3$) とする。

[0029] 統括制御手段1は、電力変換器100の各ブリッジセル11 $u-j$ 、11 $v-j$ および11 $w-j$ 内の半導体スイッチのスイッチング動作の制御に用いられるスイッチング信号を演算処理により生成するものであり、例えばDSPやFPGAなどの演算処理装置で実現される。公知の検出器によって検出された、電力変換器100のデルタ結線部10の各相にそれぞれ流入する変換器電流 i_{uv} 、 i_{vw} および i_{wu} 、各ブリッジセル11 $u-j$ 、11 $v-j$ および11 $w-j$ 内の直流コンデンサの電圧 v_{cju} 、 v_{cjb} および v_{cjc} 、電力変換器100のデルタ結線部10の各相の出力電圧すなわち電力変換器100の出力端子における線間電圧 v_{uv} 、 v_{vw} および v_{wu} 、が、統括制御手段1に入力され、統括制御手段1において演算処理が実行される。

[0030] 電源電流 i_u 、 i_v および i_w と変換器電流 i_{uv} 、 i_{vw} および i_{wu} との間には式1~3が成り立つ。

[0031] [数1]

$$i_u = i_{uv} - i_{wu} \quad \dots (1)$$

[0032] [数2]

$$i_v = i_{vw} - i_{uv} \quad \dots (2)$$

[0033] [数3]

$$i_w = i_{wu} - i_{vw} \quad \dots (3)$$

[0034] このとき、デルタ結線部10内を循環する電流（以下、「循環電流」と称する。） i_z は式4のように表わされる。

[0035] [数4]

$$i_z = \frac{1}{3}(i_{uv} + i_{vw} + i_{wu}) \quad \dots (4)$$

[0036] 単一デルタブリッジセル (MMCC-SDBC) を用いた電力変換器 100 は、上述したようにデルタ結線内に流れる循環電流 i_z を制御することにより逆相無効電力を調整することができるが、本発明の実施例ではさらに、この循環電流 i_z を、各チョッパセル内の直流コンデンサの電圧を安定に維持するための制御にも用いる。

[0037] 図 2 は、本発明の実施例による電力変換器の統括制御手段のブロック図である。本発明の実施例による電力変換器 100 の統括制御手段 1 は、平均値制御部 21 と、循環電流制御部 22 と、u 相バランス制御部 23-u と、v 相バランス制御部 23-v と、w 相バランス制御部 23-w と、電力制御部 24 と、電圧指令値生成部 25 と、を備える。統括制御手段 1 は、例えば DSP や FPGA などの演算処理装置で実現される。なお、本発明の実施例においてはブリッジセルの個数を一例として 3 個としたので、図 2 において $j = 1 \sim 3$ である。

[0038] 平均値制御 (average control) 部 21 および循環電流制御 (circulating-current control) 部 22 は、三相全ての直流コンデンサの電圧値を平均して得られた直流コンデンサ三相分平均値 v_{Cave} に、u 相、v 相、および w 相の各相ごとの直流コンデンサの電圧値を平均して得られた直流コンデンサ相別平均値 v_{Cuave} 、 v_{Cvave} および v_{Cwave} それぞれが追従するよう、デルタ結線部 10 内を流れる循環電流 i_z を制御する。

[0039] 図 3 は、本発明の実施例による電力変換器の平均値制御部のブロック線図である。u 相、v 相、および w 相の各相ごとの直流コンデンサの電圧値を平均して得られた直流コンデンサ相別平均値 v_{Cuave} 、 v_{Cvave} および v_{Cwave} は、式 5 ~ 7 のように表わされる。

[0040]

[数5]

$$V_{Cuave} = \frac{1}{3} \sum_{j=1}^3 V_{Cju} \quad \dots (5)$$

[0041] [数6]

$$V_{Cvave} = \frac{1}{3} \sum_{j=1}^3 V_{Cjv} \quad \dots (6)$$

[0042] [数7]

$$V_{Cwave} = \frac{1}{3} \sum_{j=1}^3 V_{Cjw} \quad \dots (7)$$

[0043] なお、u相、v相、およびw相の各相においてブリッジセル11u-1、11v-1および11w-1が1つのみ設けられる場合は、ブリッジセル11u-1、11v-1および11w-1の各直流コンデンサの電圧値 V_{C1u} 、 V_{C1v} および V_{C1w} が、そのまま直流コンデンサ相別平均値 v_{Cuave} 、 v_{Cvave} および v_{Cwave} に対応することになる。

[0044] 三相全ての直流コンデンサの電圧値を平均して得られた直流コンデンサ三相分平均値 v_{Cave} は、式8のように表わされる。

[0045] [数8]

$$V_{Cave} = \frac{V_{Cuave} + V_{Cvave} + V_{Cwave}}{3} \quad \dots (8)$$

[0046] 平均値制御部21は、各直流コンデンサ相別平均値 v_{Cuave} 、 v_{Cvave} および v_{Cwave} を直流コンデンサ三相分平均値 v_{Cave} に追従させるフィードバックループを構成するため、直流コンデンサ三相分平均値 v_{Cave} と各直流コンデンサ相別平均値 v_{Cuave} 、 v_{Cvave} および v_{Cwave} とに基づいて、循環電流指令値 i_z^* を生成する。具体的には、直流コンデンサ三相分平均値 v_{Cave} とu相の直流コンデンサ相別平均値 v_{Cuave} との差にゲイン「 $K_1 + K_2/s$ 」をかけ、位相分を加味したものと、直流コンデンサ三相分平均値 v_{Cave} とv相の直流コンデンサ相別平均値 v_{Cvave}

との差にゲイン「 $K_1 + K_2 / s$ 」をかけ、位相分を加味したものと、直流コンデンサ三相分平均値 v_{Cave} と w 相の直流コンデンサ相別平均値 v_{Cwave} との差にゲイン「 $K_1 + K_2 / s$ 」をかけ、位相分を加味したものと、を加算することで、循環電流指令値 i_z^* を生成する。なお、式 5～8 に基づいて算出される直流コンデンサ三相分平均値 v_{Cave} ならびに各直流コンデンサ相別平均値 v_{Cuave} 、 v_{Cvave} および v_{Cwave} は、実際には直流成分のほかに交流成分を含んでいるが、この交流成分は制御系にとっては外乱となる。したがって、図 3 に示す平均値制御部 21 による演算処理では、算出された各平均値について直流成分のみを抽出したものをを用いる。直流成分の抽出方法は公知のものを用いればよく、例えば、ローパスフィルタを用いる方法、理論近似式を利用する方法、移動平均（100Hz）を利用する方法などがある。

- [0047] 平均値制御部 21 による演算処理において、各相において加味される上記位相分は、電源側の u 相の相電圧の位相成分を「 $\sin \omega t$ 」としてこれを基準としたものであり、したがって「 $\sin (\omega t + \pi / 6)$ 」は電力変換器 100 の $u-v$ 相間の出力端子における線間電圧 v_{uv} と同相成分を表わす。ここで、電力変換器 100 に対する有効電力の流出入についての平均値制御部 21 による効果を例えば u 相分について検討すると、直流コンデンサ三相分平均値 v_{Cave} が u 相の直流コンデンサ相別平均値 v_{Cuave} よりも大きい場合、循環電流 i_z （本制御により循環電流指令値 i_z^* に追従しているものとする「 $i_z = i_z^*$ 」である。）は $u-v$ 相間の線間電圧 v_{uv} と同相成分を含むので、線間電圧 v_{uv} と循環電流 i_z とで正の有効電力を形成することになる。その結果、電力変換器 100 の u 相に正の有効電力が流入し、 u 相の直流コンデンサ相別平均値 v_{Cuave} の電圧は増加する。一方、直流コンデンサ三相分平均値 v_{Cave} が u 相の直流コンデンサ相別平均値 v_{Cuave} よりも小さい場合、循環電流 i_z は $u-v$ 相間の線間電圧 v_{uv} と逆相成分を含むことになるので、線間電圧 v_{uv} と循環電流 i_z とで負の有効電力を形成する。その結果、電力変換器 100 の u 相に負の有効電力が流入（すなわち電力変換器 100 の u 相から正の有効電力が流出）し、 u 相の直流コンデンサ相別平均値 v_{Cuave} の電圧は減少する。

[0048] 図4は、本発明の実施例による電力変換器の循環電流制御部のブロック線図である。循環電流 i_z は式4で算出されるが、循環電流制御部22は、この循環電流 i_z を循環電流指令値 i_z^* に追従させるフィードバックループを形成する。すなわち、循環電流制御部22は、平均値制御部21によって生成された循環電流指令値 i_z^* に循環電流 i_z が追従するよう、半導体スイッチのスイッチング動作を制御するための、各相共通の第1の指令値 v_A^* を生成する。

[0049] 図5は、本発明の実施例による電力変換器のバランス制御部のブロック線図であって、(a)はu相バランス制御部、(b)はv相バランス制御部、(c)はw相バランス制御部のブロック線図である。バランス制御 (balancing control) は、各相ごと、なおかつ当該相内の各ブリッジセルごとに実行される。なお、本発明の実施例においてはブリッジセルの個数を一例として3個としたので、図5において $j = 1 \sim 3$ である。

[0050] u相バランス制御部23-u、v相バランス制御部23-v、およびw相バランス制御部23-wは、それぞれ図5(a)～図5(c)および式9～11に示すように、電力変換器100の各ブリッジセル11u-j、11v-jおよび11w-j (ただし、 $j = 1 \sim 3$) の出力電圧 v_{cju} 、 v_{civ} および v_{civ} と、デルタ結線部10のu相、v相およびw相の各相にそれぞれ流入する変換器電流 i_{uv} 、 i_{vw} および i_{wu} と、の間で有効電力を形成することで電圧バランスを実現する。

[0051] [数9]

$$v_{Bju}^* = K_4 (v_{Cuave} - v_{cju}) i_{uv} \quad \dots (9)$$

ただし $j = 1 \sim 3$

[0052] [数10]

$$v_{Biv}^* = K_4 (v_{Cvave} - v_{civ}) i_{vw} \quad \dots (10)$$

ただし $j = 1 \sim 3$

[0053]

[数11]

$$v_{Bjw}^* = K_4 (v_{Cwve} - v_{Cjw}) i_{wu} \quad \dots (11)$$

ただし $j=1\sim 3$

[0054] すなわち、u相バランス制御部23-u、v相バランス制御部23-v、およびw相バランス制御部23-wは、各相内の各ブリッジセル11u-j、11v-jおよび11w-jごとに、当該相の直流コンデンサ相別平均値と当該ブリッジセル内の直流コンデンサの電圧値との偏差と、当該相に流入する交流電流の値と、を乗算することで得られた値を用いて、当該ブリッジセル内の前記半導体スイッチのスイッチング動作を制御するための第2の指令値 v_{Bju}^* 、 v_{Bjv}^* および v_{Bjw}^* を生成する。具体的には、u相バランス制御部23-uは、図5(a)および式9に示すように、直流コンデンサ相別平均値 v_{Cuave} とブリッジセル11u-j内の直流コンデンサ v_{Cju} の電圧値との偏差と、電力変換器100のu相に流入する交流電流 i_{uv} の値と、を乗算し、これにゲイン K_4 をかけることで、u相についての第2の指令値 v_{Bju}^* を生成する。また、v相バランス制御部23-vは、図5(b)および式10に示すように、直流コンデンサ相別平均値 v_{Cvave} とブリッジセル11v-j内の直流コンデンサ v_{Cjv} の電圧値との偏差と、電力変換器100のv相に流入する交流電流 i_{vw} の値と、を乗算し、これにゲイン K_4 をかけることで、v相についての第2の指令値 v_{Bjv}^* を生成する。また、w相バランス制御部23-wは、図5(c)および式11に示すように、直流コンデンサ相別平均値 v_{Cwve} とブリッジセル11w-j内の直流コンデンサ v_{Cjw} の電圧値との偏差と、電力変換器100のw相に流入する交流電流 i_{wu} の値と、を乗算し、これにゲイン K_4 をかけることで、w相についての第2の指令値 v_{Bjw}^* を生成する。

[0055] 図6は、本発明の実施例による電力変換器の電力制御部のブロック線図である。電力制御部24は、正相無効電力制御、逆相無効電力制御および有効電力制御のうち少なくとも1つを実行するための線間電圧指令値である第3の指令値 v_{uv}^* 、 v_{vw}^* 、および v_{wv}^* を生成する。図6に示すブロック線図は、無

効電力補償装置（STATCOM）についての正相無効電力制御、逆相無効電力制御および有効電力制御のための制御ブロックとして一般的なものである。図6において、 p^* は電源側瞬時有効電力指令値、 q^* は電源側瞬时无効電力指令値を表わす。直流コンデンサ三相分平均値 v_{Cave} を直流コンデンサの電圧指令値 v_c^* に追従させるフィードバックループを構成し、 d 軸電流指令値 i_d^* に追従させる。

[0056] 正相無効電力制御を実行する場合には電力制御部24の電源側瞬時有効電力指令値 p^* にゼロ（0）を与えると共に電源側瞬时无効電力指令値 q^* に直流成分をそれぞれ与え、逆相無効電力制御を実行する場合には、電力制御部24の電源側瞬時有効電力指令値 p^* および電源側瞬时无効電力指令値 q^* に2次成分（位相差90度）を与える。また、有効電力制御を実行する場合には、電力制御部24の電源側瞬时无効電力指令値 q^* にゼロ（0）を与え、電源側瞬時有効電力指令値 p^* に低周波数成分を与える。電力制御部24は、これら各制御を適宜組み合わせて実行する。線間電圧指令値である第3の指令値 v_{uv}^* 、 v_{vw}^* 、および v_{wu}^* は電源電流の非干渉制御より決定する。

[0057] 平均値制御部21および循環電流制御部22により生成された第1の指令値 v_A^* 、 u 相バランス制御部23-u、 v 相バランス制御部23-v、および w 相バランス制御部23-wにより生成された第2の指令値 v_{Bju}^* 、 v_{Bjv}^* および v_{Bjw}^* 、ならびに電力制御部24により生成された第3の指令値 v_{uv}^* 、 v_{vw}^* 、および v_{wu}^* は、電圧指令値生成部25に入力される。

[0058] 図7は、本発明の実施例による電力変換器の電圧指令値生成部のブロック線図であって、(a)は u 相の、(b)は v 相の、(c)は w 相の、それぞれ電圧指令値の生成を示すブロック線図である。なお、本発明の実施例においてはブリッジセルの個数を一例として3個としたので、図5において $j = 1 \sim 3$ である。

[0059] 電圧指令値生成部25は、電力変換器100の各ブリッジセル $11u-j$ 、 $11v-j$ および $11w-j$ 内の半導体スイッチのスイッチング動作を制御するスイッチング指令値を生成するためのスイッチング指令値生成部とし

ての機能を有する。電圧指令値生成部 25 は、図 7 (a) に示すように、第 1 の指令値 v_A^* と、第 2 の指令値 $v_{Bj_u}^*$ と、第 3 の指令値 v_{uv}^* をブリッジセルの個数で割った値（本発明の実施例では「3」）と、を加算して、u 相の各ブリッジセル 11 u-j の電圧指令値 v_{ju}^* を生成し、図 7 (b) に示すように、第 1 の指令値 v_A^* と、第 2 の指令値 $v_{Bj_v}^*$ と、第 3 の指令値 v_{vw}^* を 3 で割った値と、を加算して、v 相の各ブリッジセル 11 v-j の電圧指令値 v_{jv}^* を生成し、図 7 (c) に示すように、第 1 の指令値 v_A^* と、第 2 の指令値 $v_{Bj_w}^*$ と、第 3 の指令値 v_{wu}^* を 3 で割った値と、を加算して、w 相の各ブリッジセル 11 w-j の電圧指令値 v_{jw}^* を生成する。

[0060] 生成された電圧指令値 v_{ju}^* 、 v_{jv}^* および v_{jw}^* は各直流コンデンサの電圧 v_c で規格化され、スイッチング指令値として利用される。このスイッチング指令値は、スイッチング制御手段（図示せず）によりキャリア周波数 f_c の三角波キャリア信号（最大値：1、最小値：-1）と比較され、PWMスイッチング信号が生成される。この PWM スwitching 信号の生成は、例えば DSP や FPGA などの演算処理装置を用いて実現される。生成された PWM スwitching 信号は、対応するブリッジセル 11-j 内の半導体スイッチのスイッチング制御に用いられる。

[0061] 次に、本発明の実施例による電力変換器 100 の実験結果について説明する。実験は、電力変換器 100 を、無効電力補償装置として用いた場合を想定し、電力システムを模した交流電源を相電圧 100 V、容量 5 kVA、周波数 50 Hz とした。表 1 に実験に用いた回路パラメータを示す。

[0062]

[表1]

表1 回路パラメータ

定格容量		5kVA
線間電圧実効値	V_s	100V
電源周波数	f_s	50Hz
電源電流	I	29A
変換器電流	$I/\sqrt{3}$	17A
ブリッジセルの直流コンデンサの容量	C	16.4mF/900mF
直流コンデンサ電圧	V_c	60V
単位静電定数	H	53ms/2.9s
キャリア周波数	f_c	2kHz
等価スイッチング周波数	$6f_c$	12kHz
交流連系インダクタ	L	1.2mH (6%)

100V, 17A, 50Hz基準

- [0063] なお、実験波形の計測には横河電機社製PCベース計測器「WE7000」を使用し、サンプリング速度は、図8～10では100kS/sとし、図11では20kS/sとした。
- [0064] 図8は、本発明の実施例による電力変換器において、逆相無効電力制御を実行したときの実験波形を示す図である。実験では、各ブリッジセルの直流コンデンサ電圧の容量 C を16.4mF、変換器の単位静電定数を53msとし、5kVAの定格逆相無効電力を補償するよう動作させた。電源電圧 v_{su} 、 v_{sv} 、および v_{sw} に対し、逆相の無効電流 i_{uv} 、 i_{vw} 、および i_v （もしくは i_{uv} 、 i_{wu} 、および i_{vw} ）が流れていることがわかる。
- [0065] 図9は、本発明の実施例による電力変換器において、正相無効電力制御、逆相無効電力制御および有効電力制御を同時に実行したときの実験波形を示す図である。実験では、電力変換器100をフリッカ補償装置として動作させた場合を想定し、各ブリッジセルの直流コンデンサ電圧の容量 C を16.4mF、変換器の単位静電定数を53msとし、1.7kVAの正相無効電力および1.7kVAの逆相無効電力を補償するよう動作させ、なおかつ有効電力が10Hz、1.7kVAとなるよう制御した。図9から、 u 相、 v 相および w 相の各相の直流コンデンサの電圧 v_{c1u} 、 v_{c1v} および v_{c1w} が安定して維持できていることがわかる。また、 d 軸電流 i_d には100Hz成分（すな

わち電源周波数の2倍)および10Hz成分が乗っており、q軸電流 i_q には直流成分および100Hz成分が乗っていることがわかる。

[0066] 図10は、本発明の実施例による電力変換器の、逆相無効電力制御時の過渡特性についての実験波形を示す図である。実験では、各ブリッジセルの直流コンデンサ電圧の容量 C を16.4mF、変換器の単位静電定数を53msとし、無効電力指令値を2.5kVAから5kVAに(すなわち定格の50%から100%に)ランプ関数状(2.5kVA/20ms)に増加させ、20ms後に5kVAから2.5kVAにランプ関数状(-2.5kVA/20ms)に減少させた。u相、v相およびw相の各相の直流コンデンサの電圧 v_{c1u} 、 v_{c1v} および v_{c1w} は過渡時に若干の変動があるもの、徐々に安定に維持できていることがわかる。また、逆相の無効電流 i_u 、 i_w 、および i_v (もしくは i_{uv} 、 i_{wu} 、および i_{vw})も制御できていることがわかる。

[0067] 図11は、本発明の実施例による電力変換器の、低周波数有効電力制御の実験波形を示す図である。実験では、各ブリッジセルの直流コンデンサ電圧の容量 C を0.9F、変換器の単位静電定数を2.9msとし、有効電力が1Hz、5kVAとなるよう制御した。本実験では無効電力を補償していないので、図11に示すように循環電流 i_z は流れていない。このような条件下でもu相、v相およびw相の各相の直流コンデンサの電圧 v_{c1u} 、 v_{c1v} および v_{c1w} は過渡時に若干の変動があるもの、安定に維持できていることがわかる。

[0068] このように図8~11に示す実験波形から、本発明により、単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器について、高速な正相および逆相の無効電力制御、ならびに低周波数の有効電力制御を実行しながら、全ての動作モードにおいて直流コンデンサの電圧を安定に維持しつつ制御することができることが示された。

[0069] このような本発明による単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器をフリッカ補償装置に用いた場合、フリッカ補償率の点でも従来技術と比べてより有利な効果を奏する。例えば、本発明を適用する単一デルタブリッジセルを用いたモジュラーマルチレベルカ

スケード型の電力変換器で用いられる各素子を、非特許文献6に記載されたフリッカ補償装置を構成する単相ブリッジ I E G T モジュールで用いられた素子と同じスイッチング周波数および電圧電流定格を有し、かつ素子の個数も両者同じであると仮定した場合、単相ブリッジ I E G T モジュールは本発明における上述の単一デルタブリッジセルに相当し、その構成は同一であるので、本発明によるモジュラーマルチレベルカスケード型の電力変換器を用いたフリッカ補償装置は、非特許文献6に記載されたフリッカ補償装置と同等のフリッカ補償率74%を少なくとも達成することはできる。また、本発明を適用する単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器で用いられる各半導体スイッチング素子を低耐圧の I G B T (例えば1.7kV耐圧の I G B T) とした場合、本発明における単一デルタブリッジセルの数は、非特許文献6の場合の単相ブリッジ I E G T モジュールの個数に比べて増加するが、高いスイッチング周波数(例えば2kHz)に設定できるので、上述の74%よりも高いフリッカ補償率が期待できる。

[0070] また、本発明では、非特許文献6に記載されたフリッカ補償装置におけるような多巻線変圧器を用いない。すなわち、本発明によれば多巻線変圧器を用いずに高圧化および大容量化を実現することができるので、高圧化および大容量化しても変換器重量、体積およびコストの大幅な増大を避けることができる点で非特許文献6に記載されたフリッカ補償装置より有利である。またさらに、本発明では多巻線変圧器を用いないので、例えば設計変更の要求があっても、相毎のコンバータ数の変更が比較的容易である利点がある。

産業上の利用可能性

[0071] 本発明は、単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器の制御に適用することができる。本発明を適用した単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の変換器では、高速な正相および逆相の無効電力制御、ならびに低周波数の有効電力制御を実行しながらも、直流コンデンサの電圧は安定に維持される。例え

ばアーク炉用電圧フリッカ補償装置の場合、アーク炉に起因する電圧降下および電圧変動を抑制するため、高速な正相および逆相の無効電力制御、ならびに低周波数の有効電力制御を実行することができる大容量の無効電力補償装置を用いる必要があるが、本発明を適用した単一デルタブリッジセルを用いたモジュラーマルチレベルカスケード型の電力変換器は、このような用途に最適である。

符号の説明

- [0072]
- 1 統括制御手段
 - 10 デルタ結線部
 - 11 u-j、11 v-j、11 w-j ブリッジセル
 - 21 平均値制御部
 - 22 循環電流制御部
 - 23-u u相バランス制御部
 - 23-v v相バランス制御部
 - 23-w w相バランス制御部
 - 24 電力制御部
 - 25 電圧指令値生成部
 - 100 電力変換器
 - C 直流コンデンサ

請求の範囲

- [請求項1] 直流コンデンサと、
直列接続された2つの半導体スイッチを有する半導体スイッチ群と、
、
前記直流コンデンサと、前記直流コンデンサに2つ並列接続される前記半導体スイッチ群と、を有するブリッジセルと、
1つまたは複数が直列接続された前記ブリッジセルがデルタ接続されたデルタ結線部と、
三相全ての前記直流コンデンサの電圧値を平均して得られた直流コンデンサ三相分平均値に、各相ごとの前記直流コンデンサの電圧値を平均して得られた直流コンデンサ相別平均値それぞれが追従するように、前記デルタ結線部内を流れる循環電流を制御する制御部と、
を備えることを特徴とする電力変換器。
- [請求項2] 前記制御部は、
前記直流コンデンサ三相分平均値と各前記直流コンデンサ相別平均値とに基づいて、循環電流指令値を生成する平均値制御部と、
前記循環電流指令値に前記循環電流が追従するように制御する循環電流制御部と、
を備える請求項1に記載の電力変換器。
- [請求項3] 前記循環電流制御部は、前記循環電流指令値に前記循環電流が追従するように、前記半導体スイッチのスイッチング動作を制御するための、各相共通の第1の指令値を生成する請求項2に記載の電力変換器。
- [請求項4] 各相内の各前記ブリッジセルごとに、当該相の前記直流コンデンサ相別平均値と当該ブリッジセル内の直流コンデンサの電圧値との偏差と、当該相に流入する交流電流の値と、を乗算することで得られた値を用いて、当該ブリッジセル内の前記半導体スイッチのスイッチング動作を制御するための第2の指令値を生成するバランス制御部をさらに備える請求項3に記載の電力変換器。

- [請求項5] 正相無効電力制御、逆相無効電力制御および有効電力制御のうち少なくとも1つを実行するための第3の指令値を生成する電力制御部をさらに備える請求項4に記載の電力変換器。
- [請求項6] 前記第1の指令値と前記第2の指令値と前記第3の指令値とを用いて各前記ブリッジセル内の前記半導体スイッチのスイッチング動作を制御するスイッチング指令値を生成するスイッチング指令値生成部をさらに備える請求項5に記載の電力変換器。
- [請求項7] 各前記半導体スイッチは、
オン時に一方向に電流を通す半導体スイッチング素子と、
該半導体スイッチング素子に逆並列に接続された帰還ダイオードと、
、
を有する請求項1～6のいずれか一項に記載の電力変換器。
- [請求項8] 直列接続された2つの半導体スイッチを有する半導体スイッチ群が直流コンデンサに2つ並列接続されることで構成されたブリッジセルが、デルタ結線部上の各相において、1つもしくは直列接続された複数設けられる電力変換器の制御方法であって、
三相全ての前記直流コンデンサの電圧値を平均した値である直流コンデンサ三相分平均値、および各相ごとの前記直流コンデンサの電圧値を平均した値である直流コンデンサ相別平均値を生成する平均値算出ステップと、
前記直流コンデンサ三相分平均値に、各前記直流コンデンサ相別平均値それぞれが追従するよう、前記デルタ結線部内を流れる循環電流の値を制御する制御ステップと、
を備えることを特徴とする電力変換器の制御方法。
- [請求項9] 前記制御ステップは、
前記直流コンデンサ三相分平均値と各前記直流コンデンサ相別平均値とに基づいて、循環電流指令値を生成する平均値制御ステップと、
前記循環電流指令値に前記循環電流が追従するよう制御する循環電

流制御ステップと、

を備える請求項 8 に記載の電力変換器の制御方法。

[請求項10] 前記循環電流制御ステップは、前記循環電流指令値に前記循環電流が追従するよう、前記半導体スイッチのスイッチング動作を制御するための、各相共通の第 1 の指令値を生成する請求項 9 に記載の電力変換器の制御方法。

[請求項11] 各相内の各前記ブリッジセルごとに、当該相の前記直流コンデンサ相別平均値と当該ブリッジセル内の直流コンデンサの電圧値との偏差と、当該相に流入する交流電流の値と、を乗算することで得られた値を用いて、当該ブリッジセル内の前記半導体スイッチのスイッチング動作を制御するための第 2 の指令値を生成するバランス制御ステップをさらに備える請求項 10 に記載の電力変換器の制御方法。

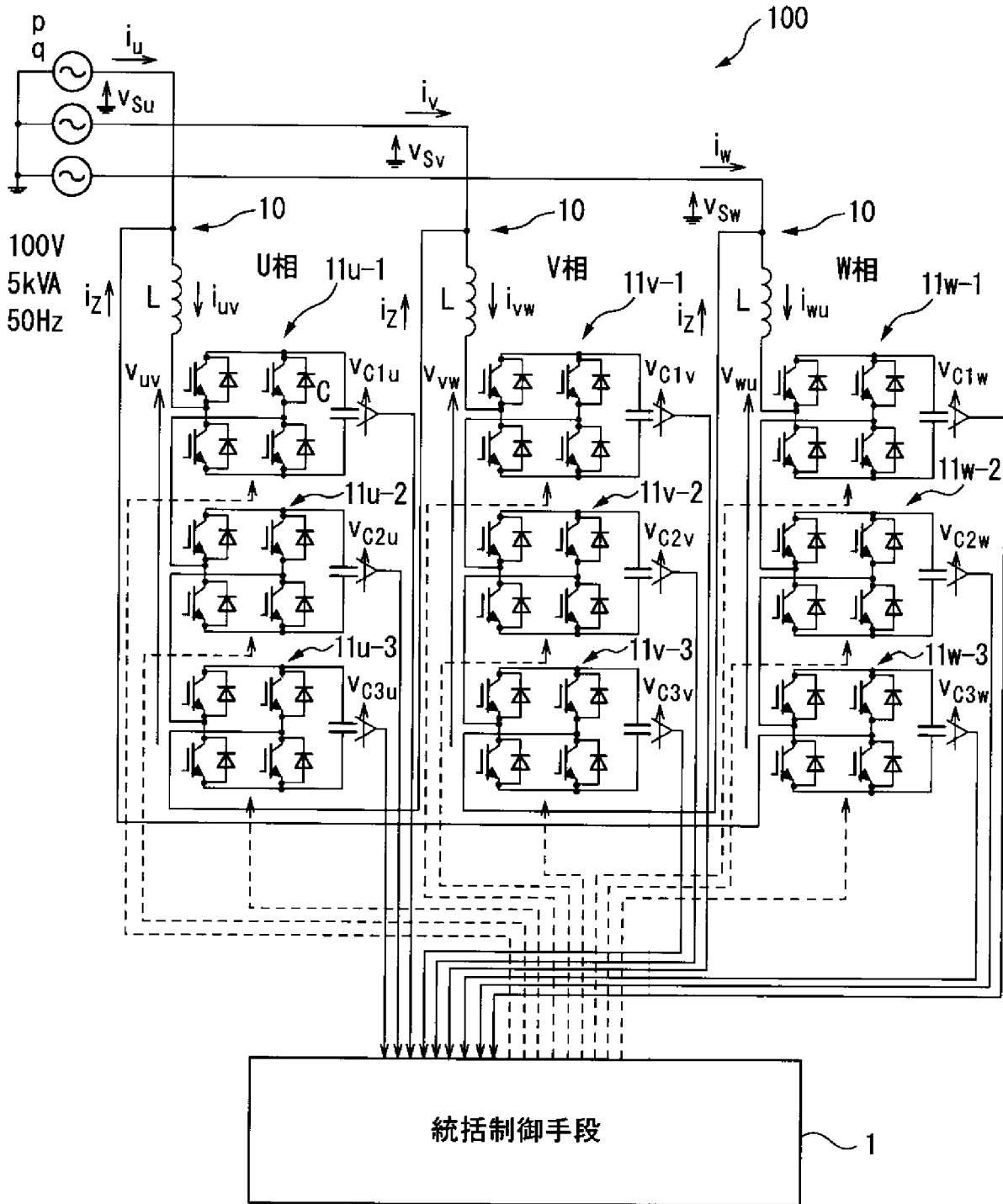
[請求項12] 正相無効電力制御、逆相無効電力制御および有効電力制御のうち少なくとも 1 つを実行するための第 3 の指令値を生成する電力制御ステップをさらに備える請求項 11 に記載の電力変換器の制御方法。

[請求項13] 前記第 1 の指令値と前記第 2 の指令値と前記第 3 の指令値とを用いて各前記ブリッジセル内の前記半導体スイッチのスイッチング動作を制御するスイッチング指令値を生成するスイッチング指令値生成ステップをさらに備える請求項 12 に記載の電力変換器の制御方法。

[請求項14] 各前記半導体スイッチは、
オン時に一方向に電流を通す半導体スイッチング素子と、
該半導体スイッチング素子に逆並列に接続された帰還ダイオードと、
、
を有する請求項 8 ～ 13 のいずれか一項に記載の電力変換器の制御方法。

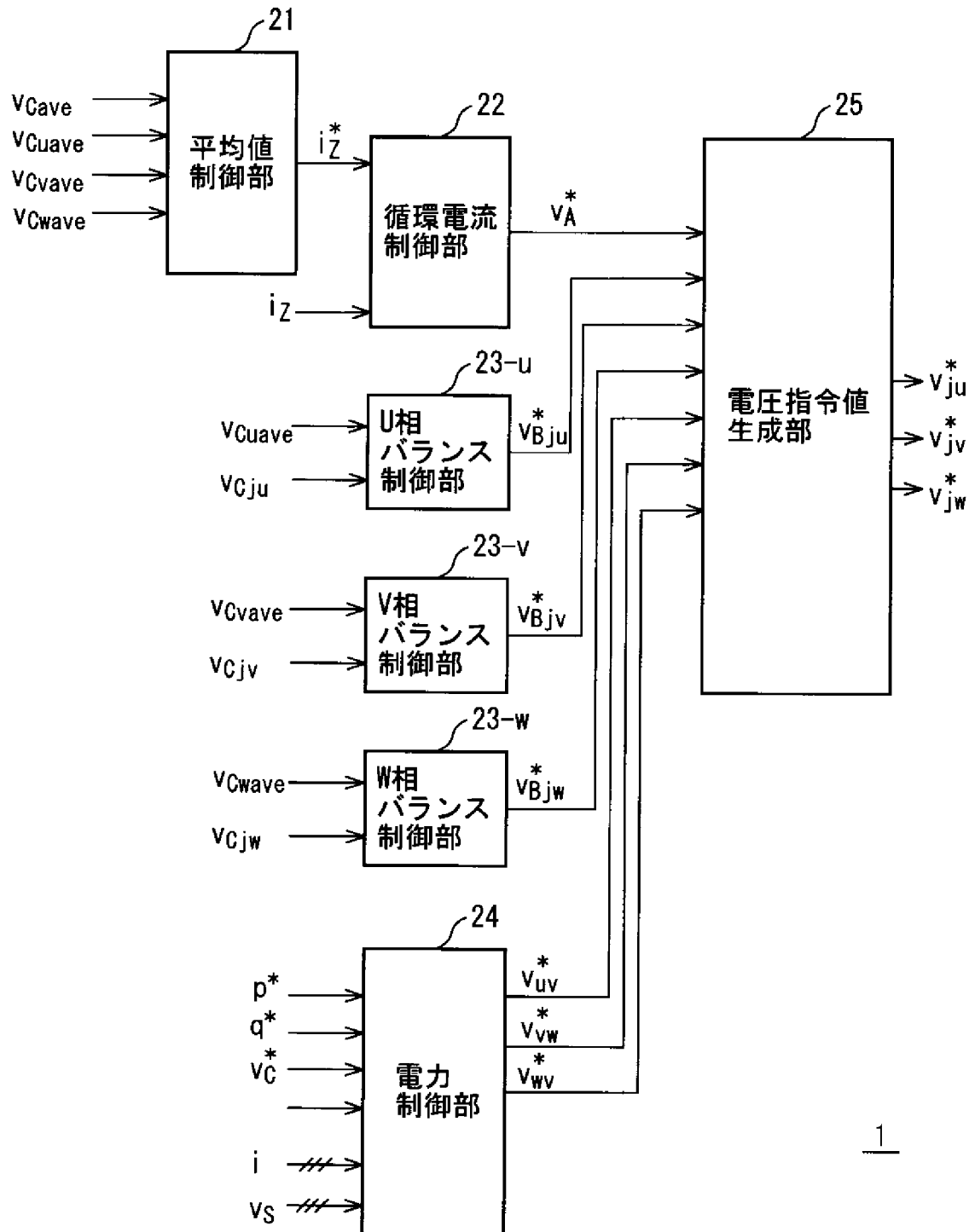
[図1]

図1



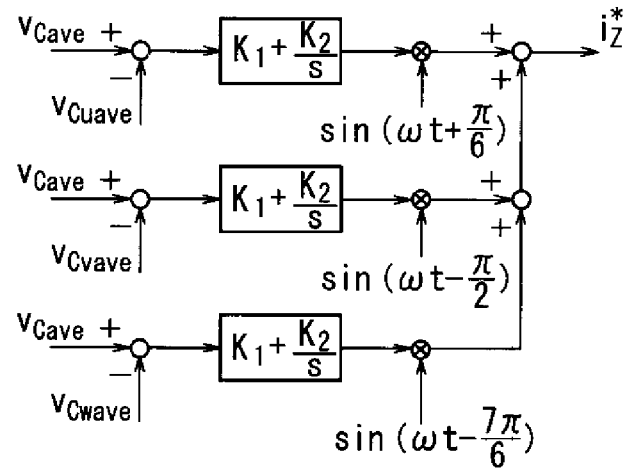
[図2]

図2



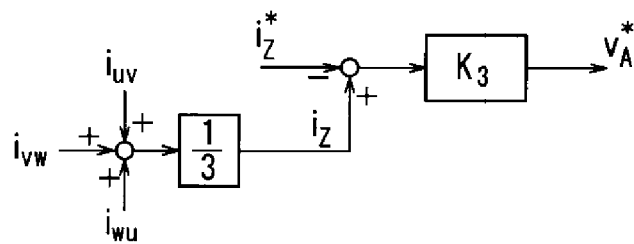
[図3]

図3



[図4]

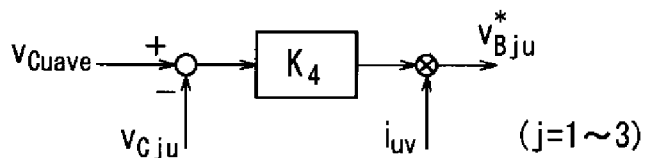
図4



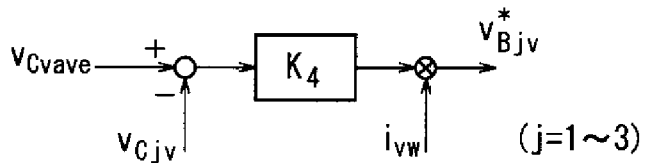
[図5]

図5

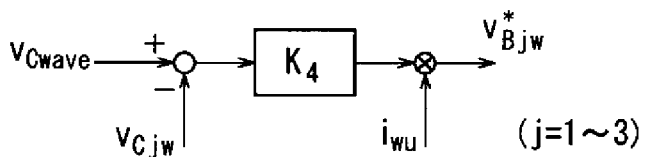
(a)



(b)

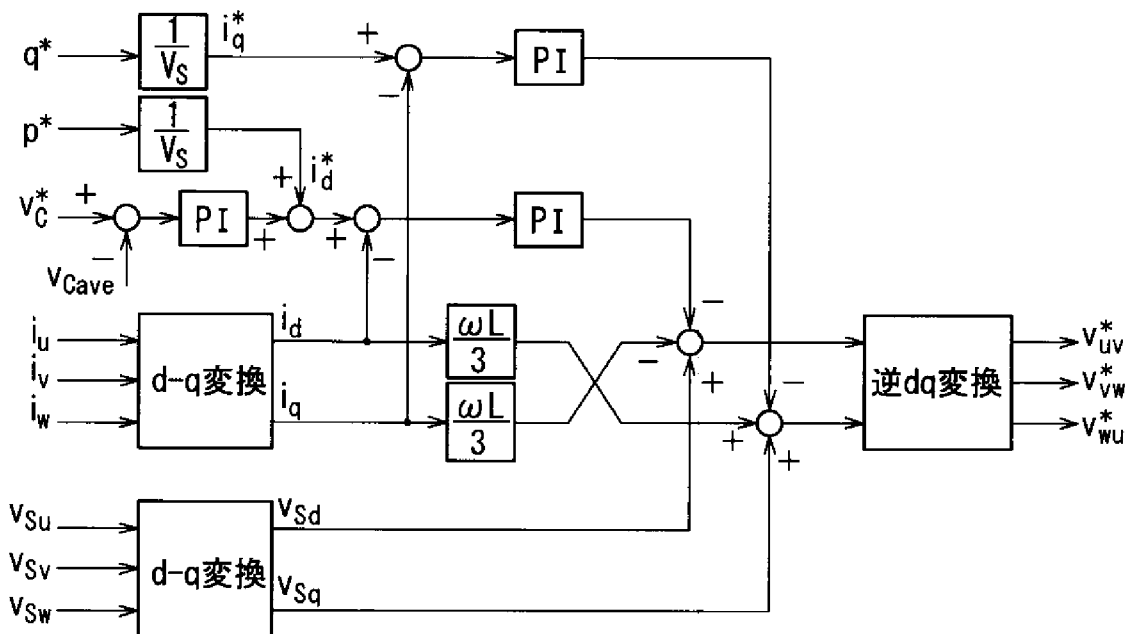


(c)



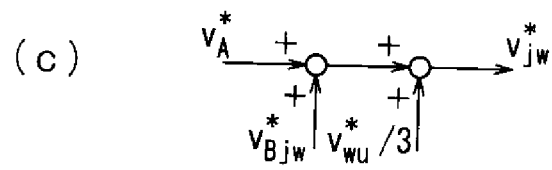
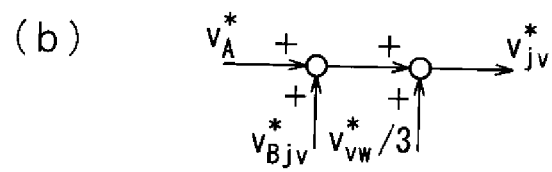
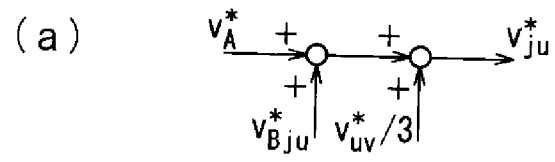
[図6]

図6



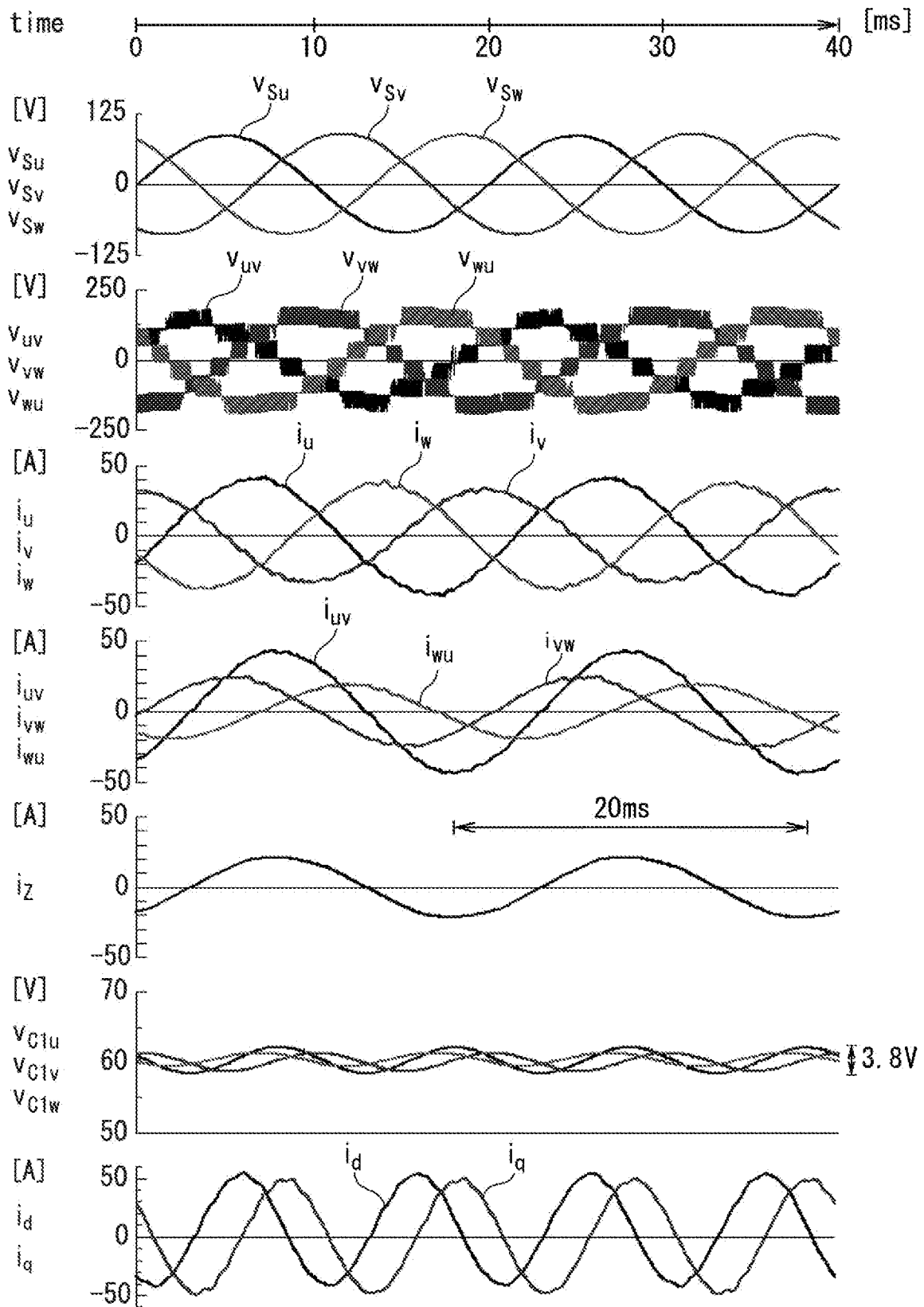
[図7]

図7



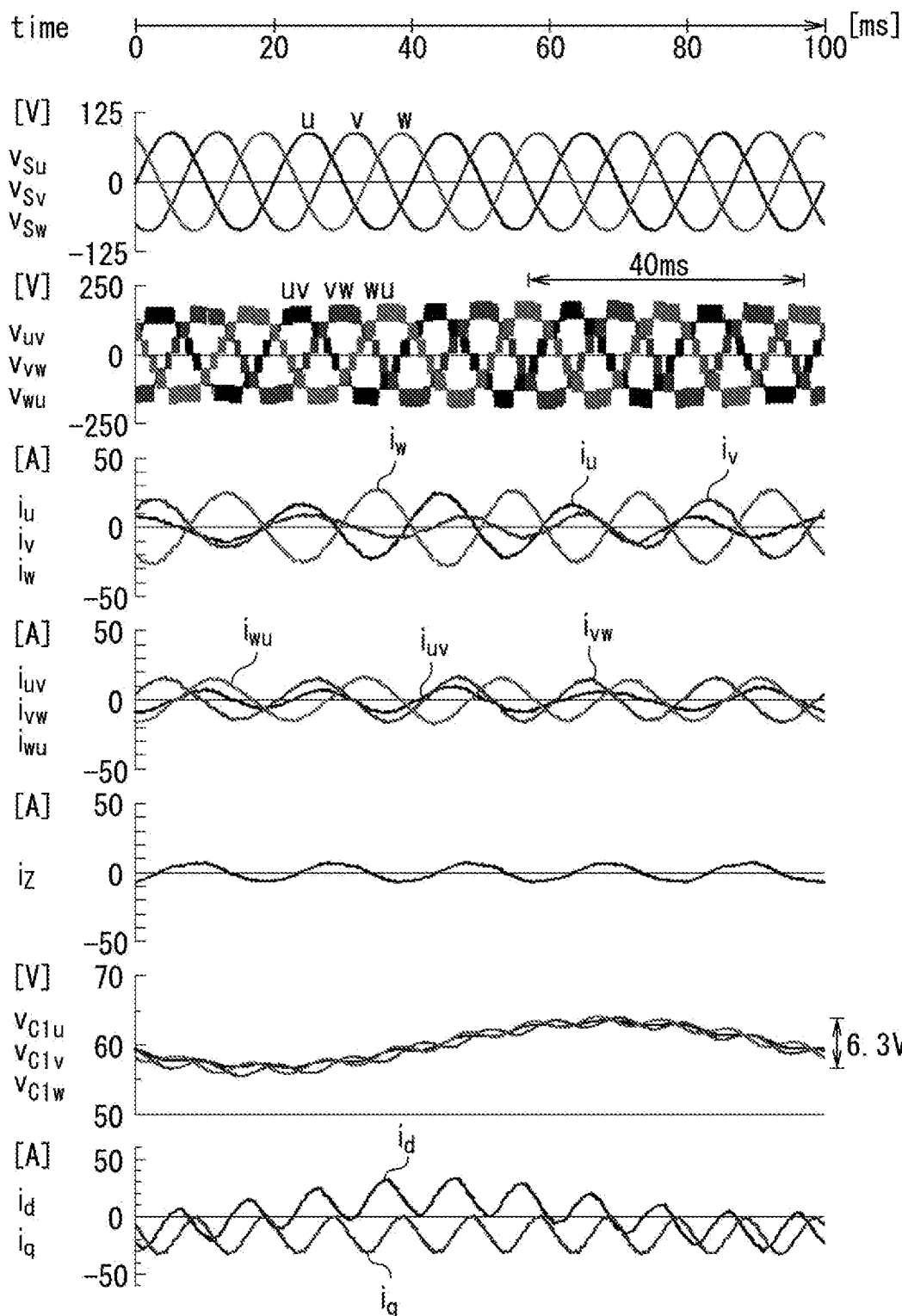
[図8]

[図8]



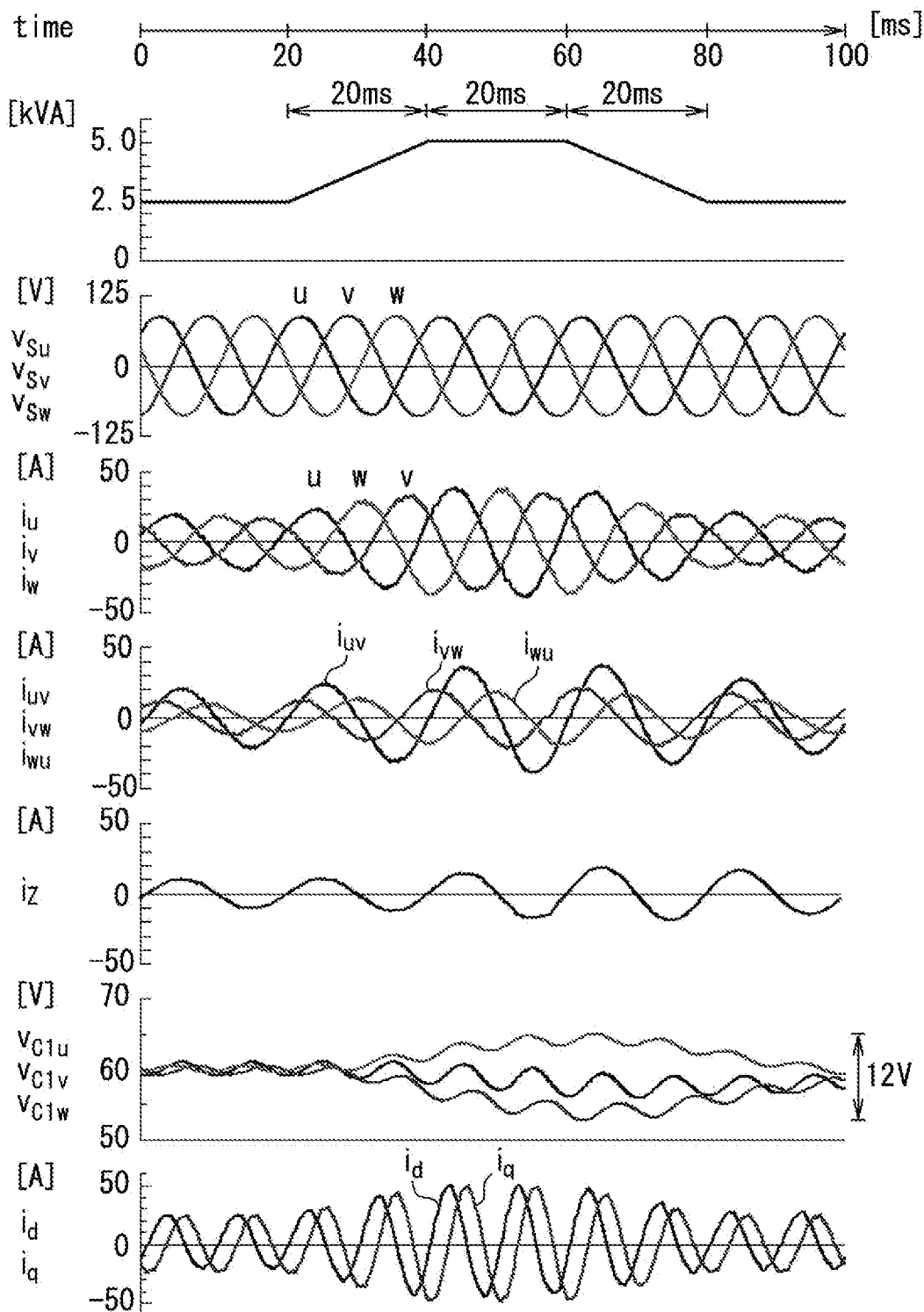
[図9]

図9



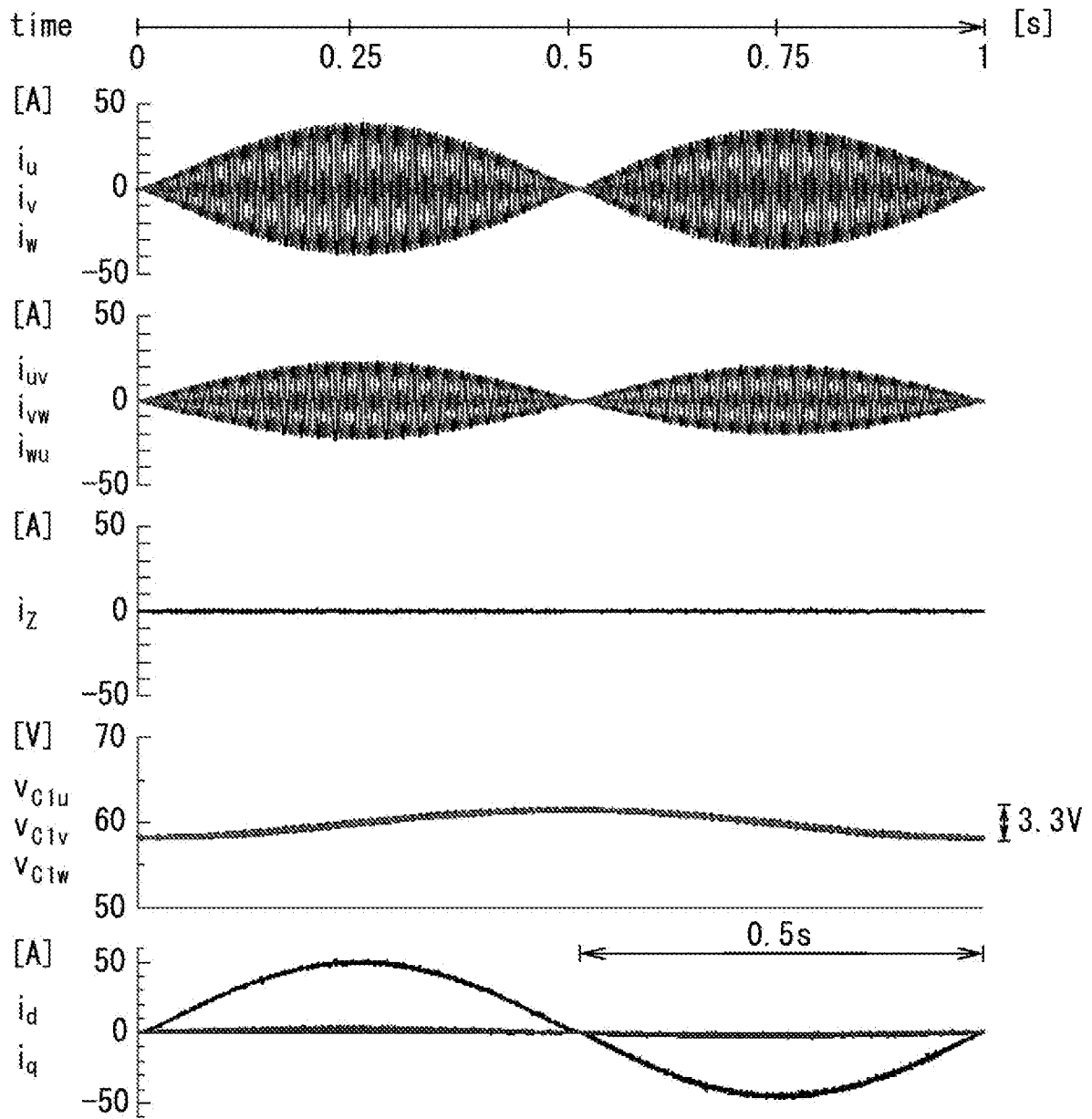
[図10]

図10



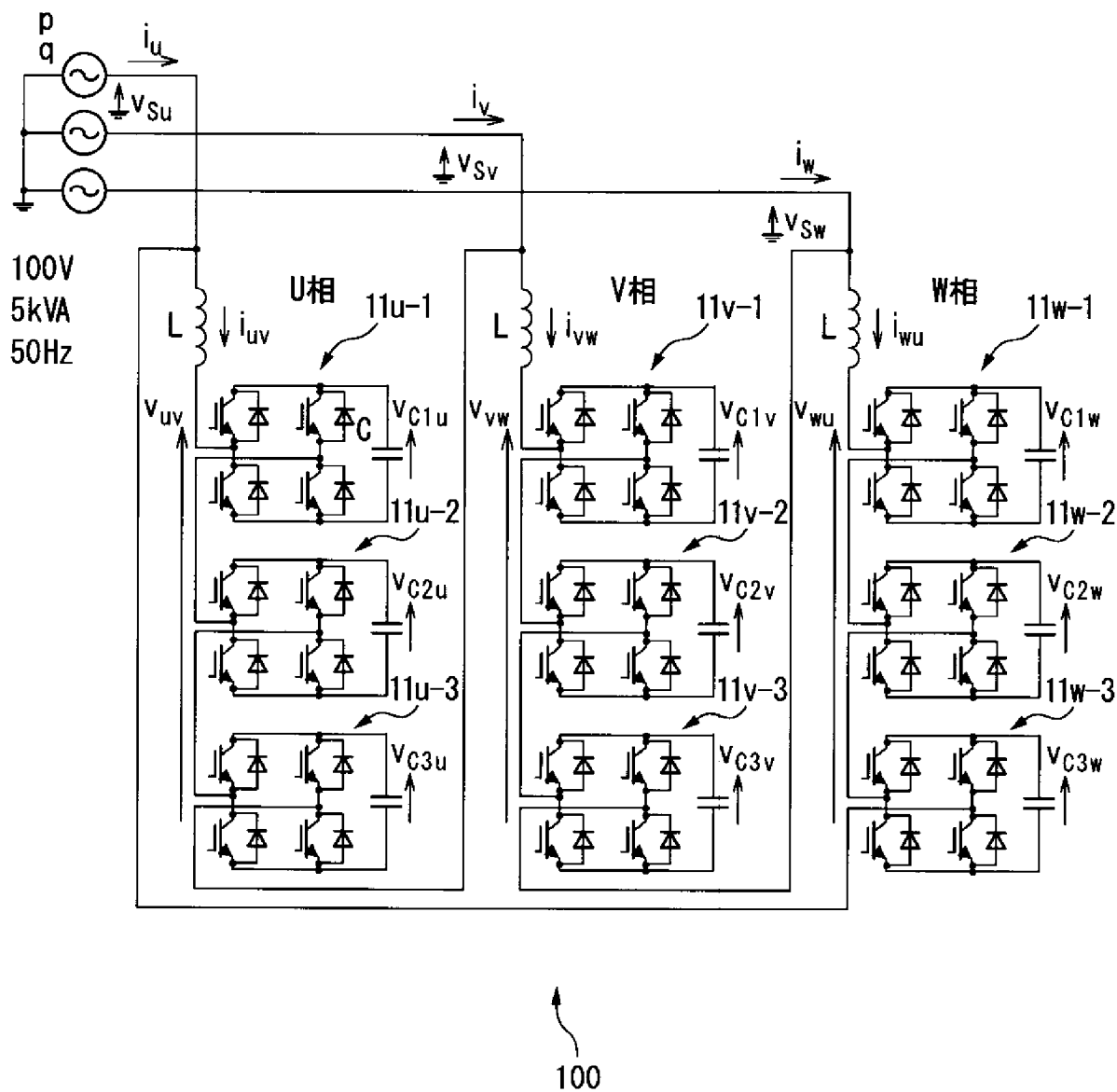
[図11]

図11



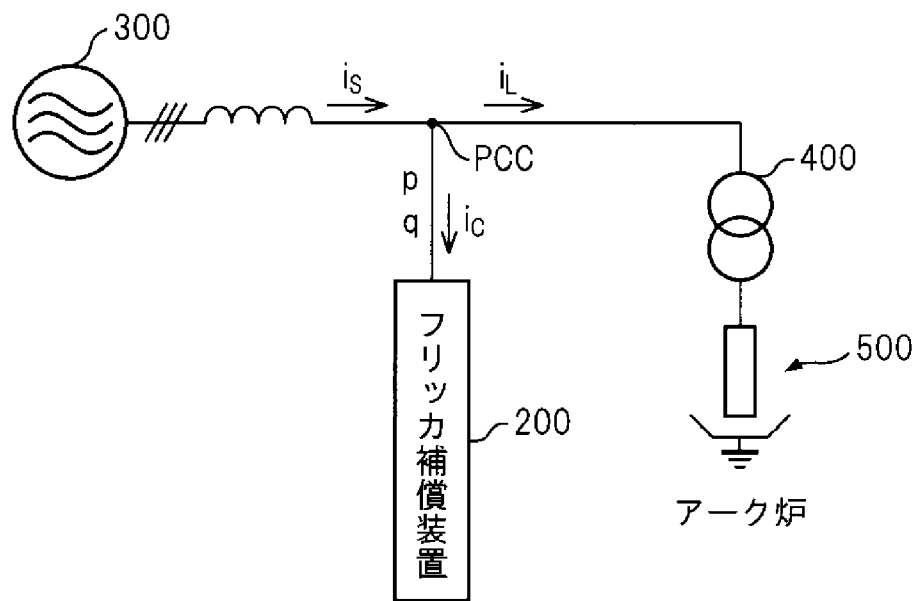
[図12]

図12



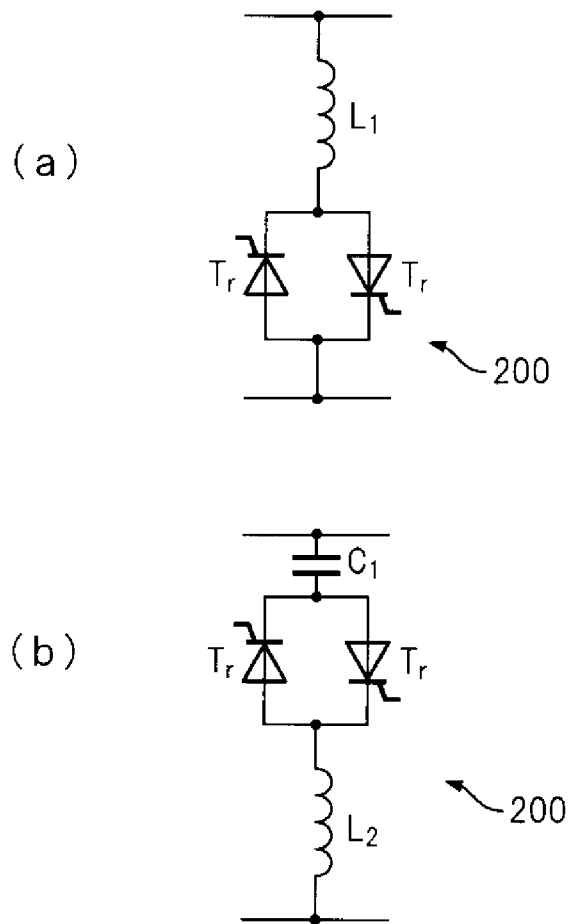
[図13]

図13

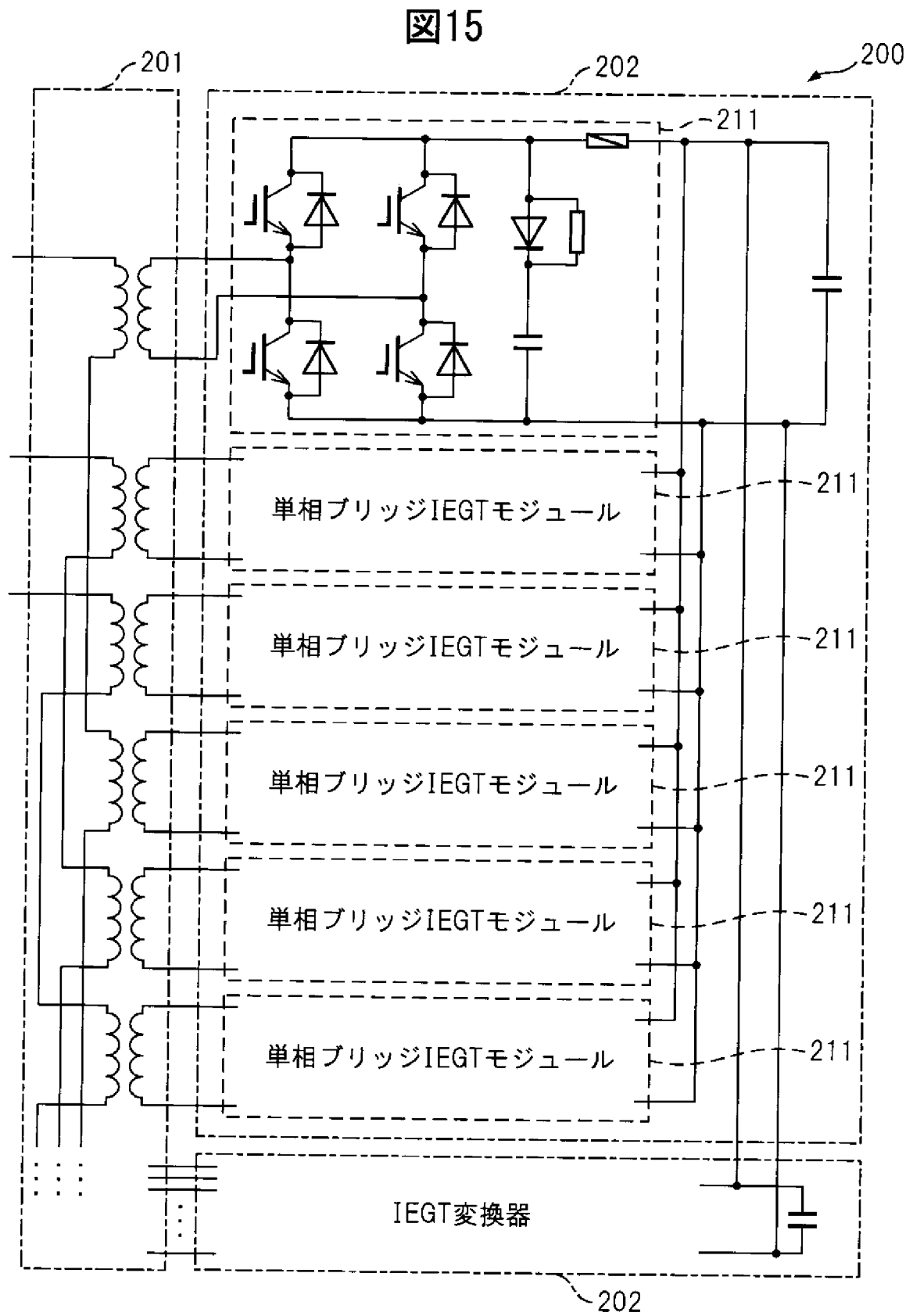


[図14]

図14



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/050982

A. CLASSIFICATION OF SUBJECT MATTER

G05F1/70 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F1/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-280358 A (Tokyo Institute of Technology), 25 October 2007 (25.10.2007), paragraphs [0020] to [0029]; fig. 1 to 4 (Family: none)	1-14
A	FUJII K. SCHWARZER U. DE DONCKER R.W., Comparison of Hard-Switched Multi-Level Inverter Topologies for STATCOM by Loss- Implemented Simulation and Cost Estimation, Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th, 2005.06.16, p340-346, ISBN: 0-7803-9033-4	1-14

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 April, 2012 (13.04.12)Date of mailing of the international search report
24 April, 2012 (24.04.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/050982

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	WO 2011/129223 A1 (HITACHI, LTD.), 20 October 2011 (20.10.2011), fig. 1 to 7 (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G05F1/70(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G05F1/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-280358 A (国立大学法人東京工業大学) 2007. 10. 25, 【0020】 - 【0029】、図1-4 (ファミリーなし)	1-14
A	FUJII K, SCHWARZER U, DE DONCKER R. W., Comparison of Hard-Switched Multi-Level Inverter Topologies for STATCOM by Loss-Implemented Simulation and Cost Estimation, Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th, 2005. 06. 16, p340-346, ISBN: 0-7803-9033-4	1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

13. 04. 2012

国際調査報告の発送日

24. 04. 2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

槻木澤 昌司

3V

9326

電話番号 03-3581-1101 内線 3358

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
PA	WO 2011/129223 A1 (HITACHI, LTD.) 2011.10.20, 図1-7 (ファ ミリーなし)	1-14