

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年8月23日(23.08.2012)

WIPO | PCT

(10) 国際公開番号

WO 2012/111133 A1

- (51) 国際特許分類:
H04L 25/49 (2006.01) H04L 7/027 (2006.01)
- (21) 国際出願番号: PCT/JP2011/053416
- (22) 国際出願日: 2011年2月17日(17.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 国立
大学法人北海道大学(National University Corpora-
tion Hokkaido University) [JP/JP]; 〒0600808 北海道
札幌市北区北8条西5丁目 Hokkaido (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 佐野 栄一
(SANO Eiichi), 両宮 好仁(AMEMIYA Yoshihito).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et
al.); 〒1000005 東京都千代田区丸の内二丁目1番
1号丸の内 MY PLAZA (明治安田生命
ビル) 9階 創英国際特許法律事務所 Tokyo
(JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,

CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY,
TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,
ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

規則 4.17 に規定する申立て:

- 不利にならない開示又は新規性喪失の例外に関
する申立て(規則 4.17(v))

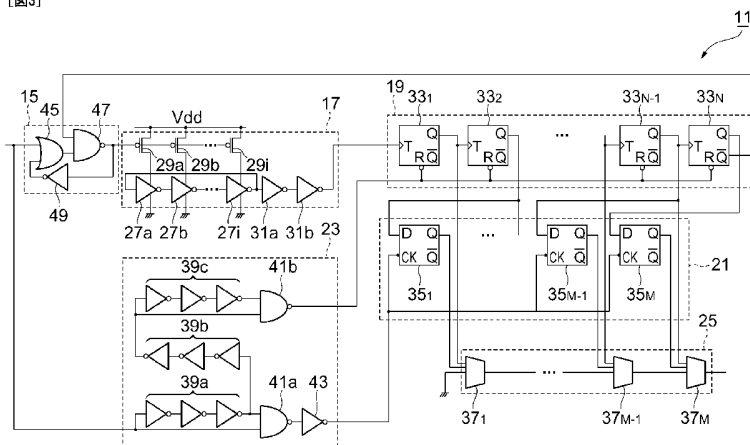
添付公開書類:

- 国際調査報告(条約第 21 条(3))

(54) Title: CLOCK DATA RECOVERY CIRCUIT AND WIRELESS MODULE INCLUDING SAME

(54) 発明の名称: クロックデータ再生回路及びそれを含む無線モジュール

[図3]



(57) Abstract: This clock data recovery circuit (11) is provided with: a ring oscillator (17); an oscillation control circuit unit (15) which starts and stops operation of the ring oscillator (17) depending upon the presence or absence of input of a PWM signal; a counter circuit unit (19) for counting pulse signals and holding an N-bit count value; a register circuit unit (21) which has an M-bit register and is configured so as to be able to transfer the upper M bits among the N-bit count value as a reference count value in response to the input of a transfer signal; a comparator circuit unit (25) which outputs a timing clock if the count number held by the counter circuit unit (19) exceeds the reference count value held by the register circuit unit (21); and a transfer control circuit unit (23) which, in synchronization with the start-up timing of the PWM signal, generates the transfer signal for transferring the reference count value from the counter circuit unit (19) to the register circuit unit (21) and a reset signal for resetting the counter circuit unit (19).

(57) 要約:

[続葉有]

WO 2012/111133 A1



このクロックデータ再生回路 11 は、リング発振器 17 と、PWM 信号の入力有無に応じてリング発振器 17 の動作を開始および停止させる発振制御回路部 15 と、パルス信号をカウントして、N ビットのカウンタ値を保持するカウンタ回路部 19 と、M ビットレジスタを有し、転送信号の入力に応じて、N ビットのカウンタ値のうち上位 M ビットを基準カウンタ値として転送可能に構成されたレジスタ回路部 21 と、カウンタ回路部 19 によって保持されたカウンタ数が、レジスタ回路部 21 によって保持された基準カウンタ値を超えた場合にタイミングクロックを出力する比較回路部 25 と、PWM 信号の立ち上がりのタイミングと同期して、カウンタ回路部 19 からレジスタ回路部 21 に基準カウンタ値を転送する転送信号、及びカウンタ回路部 19 をリセットするリセット信号を生成する転送制御回路部 23 と、を備える。

明 細 書

発明の名称：

クロックデータ再生回路及びそれを含む無線モジュール

技術分野

[0001] 本発明は、ベースバンド信号からクロックを再生するクロックデータ再生回路及びそれを含む無線モジュールに関する。

背景技術

[0002] 近年、情報通信分野における重要な技術としてセンサネットワークが注目されている。センサネットワークが社会に浸透するためには、システム化技術、ハードウェア技術に関する種々の課題を解決することが必要である。それらの課題のうち超低消費電力集積回路技術はセンサネットワーク実用化の鍵を握る技術の1つである。大量に敷設されたネットワーク等の通信環境あるいは構造物の監視センサの保守を行うことは莫大な労力を必要とする。そのため、メンテナンスフリーの監視センサを実現することが望まれ、センシング情報の処理と伝達機能を有する集積回路には、小型電池や自然エネルギーを利用して10年以上動作するようなマイクロワット級の超低消費電力性が要求される（下記非特許文献1参照）。

[0003] 図5には、従来のセンサ装置の構成例を示している。このセンサ装置は、センサからのアナログ信号をデジタル信号に変換するA/D変換器、デジタル信号を符号化する符号化器、符号化デジタル信号を変調する変調器と、変調信号を増幅してアンテナを介して送信する増幅器、及びアンテナを介して外部から信号を受信するウェークアップ受信器によって構成されており、データ収集装置等の外部装置からの指令信号の受信に応じて監視機能を起動する。センサ装置の構成要素のうちウェークアップ受信器のみが常時動作し、指令信号を監視している。センサ装置のその他の構成要素は通常オフ状態であり、ウェークアップ受信器からの信号によりオン状態となる。このようなセンサ装置によりある程度の低消費電力化が可能になる。

[0004] 上述した従来のセンサ装置を構成するウェークアップ受信器として利用されるワイヤレス受信機の構成例を図6に示す。図6に示すコヒーレント方式のワイヤレス受信機901では、位相変調あるいは振幅変調された信号をアンテナ902で受信し、その信号を、低雑音増幅器903で増幅した後、搬送波と同一周波数で発振するように調整された電圧制御発振器904の出力とミキシングすることにより、ベースバンド信号に変換する。さらに、クロックデータ再生回路906で、増幅器905により増幅されたベースバンド信号からクロックを再生し、このクロックによりタイミングを調整しながらデジタルデータを再生する。

先行技術文献

非特許文献

[0005] 非特許文献1: N. M. Pletcher, S. Gambini, and J. Rabaey, "A 52 μ W wake-up receiver with -72 dBm sensitivity using an uncertain-IF architecture," IEEE J. Solid-State Circuits, vol. 44, no. 1, pp. 269-280, January 2009.

発明の概要

発明が解決しようとする課題

[0006] 上述した従来のワイヤレス受信機901に使用されるクロックデータ再生回路906では、復調されたベースバンド信号からクロック信号を再生し、再生したクロック信号によりベースバンド信号のデジタル値“0”“1”の判定を行う。このクロックデータ再生回路906には抵抗及びキャパシタを含むフィルタや積分回路が必要となるので、クロックデータ再生回路の面積が大きくなる傾向にある。また、クロックデータ再生回路906は、外部装置からの指令信号を受信しない時でも常時動作する必要があるため、低消費電力化に限界が生じる傾向にある。

[0007] そこで、本発明は、かかる課題に鑑みて為されたものであり、回路規模を小さくでき、かつ、消費電力を低減することが可能なクロックデータ再生回

路、及びそれを含む無線モジュールを提供することを目的とする。

課題を解決するための手段

[0008] 上記課題を解決するため、本発明の一側面に係るクロックデータ再生回路は、パルス信号を発生させる発振器と、PWM信号の入力有無に応じて発振器の動作を開始および停止させる第1の制御回路部と、パルス信号をカウントして、N個（Nは自然数）のビットカウンタにカウント値を保持するカウンタと、M個（MはNより小さい自然数）のビットレジスタを有し、転送信号の入力に応じて、N個のビットカウンタによって保持されたカウント値のうちの上位Mビットを基準カウント値として転送可能に構成されたレジスタと、カウンタによって保持されたカウント数と、レジスタによって保持された基準カウント値とを比較し、カウント数が基準カウント値を超えた場合にタイミングクロックを出力する比較器と、PWM信号の立ち上がりのタイミングと同期して、カウンタからレジスタに基準カウント値を転送する転送信号、及びカウンタをリセットするリセット信号を生成する第2の制御回路部と、を備える。

[0009] このクロックデータ再生回路によれば、発振器によって発生したパルス信号のカウント値がカウンタに保持され、入力されるPWM信号の立ち上がり時に、カウンタからレジスタにカウント値の上位ビットが基準カウント値として転送されると同時に、カウンタのカウント値がリセットされる。さらに、カウンタのカウント値が基準カウント値を超えた場合にタイミングクロックが生成される。これにより、PWM信号のデジタル値を判定するためのタイミングクロックが、1つ前のPWM信号の周期に基づいて生成されるので、高精度の発振器が不要となる。また、タイミングクロックの生成タイミングを決定するための構成としてカウンタに保持されたカウント値の上位ビットをレジスタに転送する構成を採用している。さらには、PWM信号の入力が無い場合には発振器の動作が停止される。その結果、回路規模を小さくすることができ、消費電力を低減することもできる。

[0010] 本発明の別の側面に係る発明は、上述したクロックデータ再生回路と、P

WM信号を受信するアンテナと、PWM信号を増幅する増幅器と、を備える無線モジュールであることを特徴としている。この無線モジュールによれば、回路規模を小さくすることができ、消費電力を低減することもできる。

発明の効果

[0011] 以上説明したように、本発明によれば、回路規模を小さくでき、かつ、消費電力を低減することができる。

図面の簡単な説明

[0012] [図1]本発明の好適な一実施形態にかかるワイヤレス受信機1の構成を示すブロック図である。

[図2]図1のクロックデータ再生回路11で処理されるPWM信号のベースバンド信号と、このベースバンド信号を対象にしてクロックデータ再生回路11で生成されるタイミングクロックを示すタイミングチャートである。

[図3]図1のクロックデータ再生回路11の要部を示す回路ブロック図である。

[図4]図3のクロックデータ再生回路11で処理された信号のタイミングチャートである。

[図5]従来のセンサ装置の構成例を示すブロック図である。

[図6]図5の従来のセンサ装置を構成するワイヤレス受信機の構成例を示すブロック図である。

[図7]本発明の比較例であるクロックデータ再生回路の構成を示すブロック図である。

発明を実施するための形態

[0013] 本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続いて、添付図面を参照しながら、本発明のクロックデータ再生回路及びそれを含む無線モジュールに係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

[0014] PWM信号を受信してデジタルデータを再生可能な無線モジュールである

ワイヤレス受信機を説明する。図1は、本発明の好適な一実施形態にかかるワイヤレス受信機1の構成を示すブロック図である。ワイヤレス受信機1は、PWM信号をアンテナ3で受信し、受信したPWM信号を、低雑音増幅器5で増幅した後にPWM信号の搬送波と同一周波数で発振するように調整された電圧制御発振器7とミキシングすることにより、ベースバンド信号に変換する。また、ワイヤレス受信機1は、ベースバンド信号を、増幅器9で増幅した後にクロックデータ再生回路11に入力することによってタイミングクロックを再生し、フリップフロップ13で、再生したタイミングクロックを用いてベースバンド信号からデジタルデータを再生して出力する。すなわち、ワイヤレス受信機1に備えられるフリップフロップ13は、ベースバンド信号から再生されたタイミングクロックによりベースバンド信号のデジタル値“0”“1”の判定を行うとともに、判定したデジタル値を示す信号の出力タイミングをタイミングクロックによって調整することによってデジタルデータを出力する。

[0015] 図2は、クロックデータ再生回路11で処理されるPWM信号のベースバンド信号と、このベースバンド信号を対象にしてクロックデータ再生回路11で生成されるタイミングクロックを示すタイミングチャートである。

[0016] PWM信号はデジタルデータ“0”“1”をパルスの持続時間で表現している(図2(a))。PWM信号のパルス信号は同一周期で立ち上がり、例えば、時刻Aと時刻Bとの間の期間AB、及び時刻Bと時刻Cとの間の期間BCのそれぞれが、データ1ビットに対応し、期間ABのように各周期での持続時間の長いパルスでデジタル値“1”を、期間BCのように短いパルスでデジタル値“0”を表す。このようなPWM信号をデジタルデータに復調するために、クロックデータ再生回路11が各周期の途中で立ち上がるタイミングクロック(図2(b))を生成し、フリップフロップ13がその立ち上がり(時刻A1, B1, C1)に合わせてPWM信号の振幅値を読み取る。そして、フリップフロップ13は、振幅が大であれば、すなわち、PWM信号のパルスが立ち上がった状態であれば、デジタル“1”と判定し、振幅

が小、すなわち、PWM信号のパルスが立ち下がった状態であれば、デジタル値“0”と判定する。なお、クロックデータ再生回路11及びフリップフロップ13は、PWM信号のパルスとタイミングクロックのいずれか、あるいは両方が逆極性の場合も同様に、タイミングクロックの再生、デジタルデータの生成を行うことができる。また、フリップフロップ13は、長いパルスでデジタル値“0”、短いパルスでデジタル値“1”と判定してもよい。なお、一般的なPWM信号では、デジタル値“1”を表すときはPWM信号のパルス持続時間を周期の70%~90%とし、デジタル値“1”を表すときは周期の10%~30%として設定されている。このようなPWM信号を処理対象にしてデジタルデータを再生するためには、タイミングクロックを周期の40%~60%の時点で立ち上がるように設定する必要がある。

[0017] 図3は、図1に示したクロックデータ再生回路11の要部を示す回路ブロック図である。同図に示すように、クロックデータ再生回路11は、発振制御回路部15、リング発振器17、カウンタ回路部19、レジスタ回路部21、転送制御回路部23、及び比較回路部(比較器)25を備えて構成される。このクロックデータ再生回路11は、例えば、0.35 μ m-CMOSデバイスが採用され、各トランジスタは、リング発振器17以外はアスペクト比がゲート幅/ゲート長=1 μ m/0.35 μ mのものが用いられ、リング発振器17ではアスペクト比が1 μ m/5 μ mのものが用いられる。

[0018] リング発振器17は、9段のインバータを含み、入力されるPWM信号の周波数よりも高い周波数、例えば、PWM信号の周波数が50kHzの場合は2.6MHzで発振する発振パルス信号を発生させる。具体的には、リング発振器17は、リング状に接続された9段のインバータ27a, 27b, …27iと、それぞれのインバータ27a, 27b, …27iに電源電圧V_{dd}を供給するトランジスタ29a, 29b, …29iと、発振パルス信号を遅延させるインバータ31a, 31bとから構成されている。これらのトランジスタ29a, 29b, …29iは、発振制御回路部15の出力に接続されており、発振制御回路部15の出力する制御信号が“0”を示す場合に

、インバータ 27 a, 27 b, … 27 i に電源電圧 V_{dd} を供給することにより、発振動作を起こさせる一方で、発振制御回路部 15 の出力する制御信号が “1” を示す場合に、インバータ 27 a, 27 b, … 27 i への電源電圧 V_{dd} の供給を止めることにより、発振動作を停止させる。

[0019] カウンタ回路部 19 は、リング発振器 17 から出力された発振パルス信号のパルス数をカウントする回路であり、 N 個 (N は自然数) のビットカウンタであるトグルフリップフロップ (以下、「T フリップフロップ」と呼ぶ。) $33_1 \sim 33_N$ が縦列接続されて構成されている。すなわち、1 段目の T フリップフロップ 33_1 の T 入力にリング発振器 17 の出力が接続され、1 段目の T フリップフロップ 33_1 の Q 出力 (正転出力) が 2 段目の T フリップフロップ 33_2 の T 入力に接続され、前段側の T フリップフロップの Q 出力が後段側の T フリップフロップの T 入力に順次接続されている。また、最後段の T フリップフロップの Q B 出力 (反転出力) は、後述する発振制御回路部 15 に接続される。さらに、T フリップフロップ $33_1 \sim 33_N$ の R 入力 (リセット入力) には、転送制御回路部 23 の出力が接続されている。

[0020] このような構成のカウンタ回路部 19 においては、T フリップフロップ $33_1 \sim 33_N$ によってリング発振器 17 からの発振パルス信号の入力に応じて、発振パルス信号のパルスカウント値が保持され、T フリップフロップ $33_1 \sim 33_N$ の順に、下位ビット～上位ビットのパルスカウント値がそれぞれ保持される。また、T フリップフロップ $33_1 \sim 33_N$ に保持されるパルスカウント値は転送制御回路部 23 からのリセット信号によってリセット可能にされる。

[0021] レジスタ回路部 21 は、 M 段 (M は N 未満の自然数) のビットレジスタとしてのディレイドフリップフロップ (以下、「D フリップフロップ」と呼ぶ。) $35_1 \sim 35_M$ を含んでおり、転送制御回路部 23 からの転送信号に応じて、カウンタ回路部 19 に保持されたパルスカウント値の上位 M ビットを、基準カウント値としてカウンタ回路部 19 から転送可能に構成されている。すなわち、最後段の D フリップフロップ 35_M の D 入力には、最後段の T フリ

ップフロップ 33_NのQ出力が接続されており、最後段から1段前のDフリップフロップ 35_{M-1}のD入力には、最後段から1段前のTフリップフロップ 33_{N-1}のQ出力が接続され、同様に、他のDフリップフロップ 35_{M-2}~35₁のD入力には、それぞれ、最後段から数えた段数が互いに等しいTフリップフロップのQ出力が接続される。図3には、M=N-1の場合を例示しており、第1段目のDフリップフロップ 35₁のD入力には、最後段から数えてN-1段目のTフリップフロップ 33₂のQ出力が接続される。また、Dフリップフロップ 35₁~35_MのCK入力（クロック入力）には、転送制御回路部 23の出力がそれぞれ接続されている。

[0022] このようなレジスタ回路部 21では、転送制御回路部 23から転送信号を受けると、Tフリップフロップ 33₁~33_Nに保持されるパルスカウント値の各ビットのうちの上位Mビットが、Dフリップフロップ 35₁~35_Mに転送され保持される。このとき、Dフリップフロップ 35₁~35_Mの順で、基準カウント値の下位~上位ビットが保持される。例えば、M=N-1の場合には、Nビットのパルスカウント値のうちの上位N-1ビットが転送されるので、レジスタ回路部 21には、パルスカウント値がほぼ0.5倍された基準カウント値が保持されることになる。

[0023] 比較回路部 25は、Dフリップフロップ 35₁~35_Mの個数と同数のM個の比較器 37₁~37_Mによって構成されており、カウンタ回路部 19によって保持されたパルスカウント値とレジスタ回路部 21によって保持された基準カウント値を比較し、パルスカウント値が基準カウント値を超えたタイミングで、パルス状のタイミングクロックを出力する。これらの比較器 37₁~37_Mは、例えば、CMOS比較器である。具体的には、比較器 37₁の入力には、1段目のTフリップフロップ 33₁のQ出力、及び1段目のDフリップフロップ 35₁のQ出力が接続され、両方のQ出力を比較して一致する場合にオン状態の比較結果信号を出力する。また、比較器 37₂の入力には、2段目のTフリップフロップ 33₂のQ出力、2段目のDフリップフロップ 35₂のQ出力、及び比較器 37₁の出力が接続され、比較器 37₁の出力がオン状態

であって、かつ、両方のQ出力が一致する場合にオン状態の比較結果信号を出力する。以下同様に、比較器37_kの入力（kは3以上M以下の自然数）には、k段目のTフリップフロップ33_kのQ出力、k段目のDフリップフロップ35_kのQ出力、及び比較器37_{k-1}の出力が接続され、比較器37_{k-1}の出力がオン状態であって、かつ、両方のQ出力が一致する場合にオン状態の比較結果信号を出力する。さらに、比較器37_Mは、比較結果信号をパルス状のタイミングクロックとして出力する。これにより、比較回路部25は、Tフリップフロップ33₁~33_Mによって保持されたパルスカウント値の下位Mビットが、Dフリップフロップ35₁~35_Mによって保持された基準カウント値のMビットに一致したタイミングごとに、タイミングクロックを発生させることになる。

[0024] 転送制御回路部23は、カウンタ回路部19からレジスタ回路部21への基準カウント値の転送タイミング、及びカウンタ回路部19のリセットタイミングを制御し、レジスタ回路部21に対してリセット信号を出力し、レジスタ回路部21に対して転送信号を出力する。この転送制御回路部23は、3段のインバータをそれぞれ含む3個の遅延回路39a, 39b, 39cと、2個のNAND回路41a, 41bと、インバータ43とを有する。

[0025] 転送制御回路部23のNAND回路41aには、一方の入力に外部からベースバンド信号が入力され、他方の入力には遅延回路39aを経由して遅延および反転されたベースバンド信号が入力される。また、NAND回路41aの出力は、インバータ43を介してレジスタ回路部21の各Dフリップフロップ35₁~35_MのCK入力に接続されている。このようなNAND回路41aは、ベースバンド信号のパルス波の立ち上がりのタイミングで、基準カウント値を転送するためのオン状態の転送信号を出力するように動作する。

[0026] 転送制御回路部23のNAND回路41bには、一方の入力に遅延回路39a, 39bを経由して遅延したベースバンド信号が入力され、他方の入力には遅延回路39a, 39b, 39cを経由してさらに遅延し、反転された

ベースバンド信号が入力される。また、NAND回路41bの出力は、カウンタ回路部19の各Tフリップフロップ33₁~33_NのR入力に接続されている。このようなNAND回路41aは、ベースバンド信号のパルス波の立ち上がりのタイミングであって、転送信号の出力タイミングから遅延したタイミングで、カウンタ回路部19をリセットするためのオン状態のリセット信号を出力するように動作する。

[0027] 発振制御回路部15は、外部からのPWM信号のベースバンド信号の入力有無に応じてリング発振器17の動作を開始および停止させる。詳細には、発振制御回路部15は、OR回路45、NAND回路47、及びインバータ49を含んでいる。OR回路45には、その一方の入力にベースバンド信号が、他方の入力にインバータ49の出力が入力されている。また、NAND回路47には、その一方の入力にカウンタ回路部19の最後段のTフリップフロップ33_NのQB出力が入力され、他方の入力にOR回路45の出力が入力され、その出力はリング発振器17のトランジスタ29a, 29b, ..., 29iのゲート端子（制御端子）に反転されて入力されている。さらに、インバータ49には、その入力にNAND回路47の出力が与えられ、その出力がOR回路45の入力に戻されている。上記構成の発振制御回路部15における入出力の真理値表を表1に示す。

[表1]

PWM信号状態	PWM信号	QB出力	OR出力	NAND出力	トランジスタ動作状態
初期状態	0	0	0	1	OFF
信号ON	1	1	1	0	ON
信号OFF	0	1	1	0	ON
信号OFF後、 カウンタ値最大	0	0	0	1	OFF

[0028] 上記表1に示すように、初期状態ではPWM信号が入力されず信号レベル

は“0”であり、カウンタ回路部19のQB出力も“0”を示している。このとき、NAND回路47の出力が“1”を示すので、リング発振器17のトランジスタ29a, 29b, …, 29iがオフ状態にされてリング発振器17は発振しない。また、PWM信号のパルスが“1”に立ち上がると、転送制御回路部23のリセット信号によりTフリップフロップ33_NのQB出力が“1”になり、その結果、NAND回路47の出力が“0”を示し、トランジスタ29a, 29b, …, 29iがオン状態にされてリング発振器17の発振動作が開始される。これに対して、PWM信号のパルスが立ち下がった当初は、NAND回路47とインバータ49の働きによりNAND回路47の出力が維持されリング発振器17の発振動作が維持される。さらに、PWM信号のパルスが立ち下ってPWM信号が無くなった場合、カウンタ回路部19のカウント数が最大になってTフリップフロップ33_NのQB出力が“0”になり、その結果、トランジスタ29a, 29b, …, 29iがオフ状態にされてリング発振器17の発振動作が停止される。

[0029] 次に、図2を参照しながら、クロックデータ再生回路11におけるタイミングクロックの生成手順を説明する。

[0030] まず、PWM信号が入力されてそのPWM信号の最初のパルスが立ち上がると同時に、リング発振器17がPWM信号の周期より十分小さい周期で発振パルス信号が発生する。次に、PWM信号のある一周期の期間ABにおけるパルスの立ち上がり時刻Aから、カウンタ回路部19によるパルスカウント値のカウントが開始される。その後、時刻Bまでパルスカウント値がカウントアップされ、そのパルスカウント値の一定割合(0.4~0.6、代表値は0.5)を乗じた値が基準カウント値としてレジスタ回路部21に記憶される。それと同時に、時刻Bでカウンタ回路部19がリセットされ、あらためてカウンタ回路部19によるカウントが開始される。さらに、比較回路部25によって、レジスタ回路部21で保持された基準カウント値とカウンタ回路部19でカウントされたパルスカウント値が比較され、パルスカウント値が基準カウント値を超えたタイミングである時刻B1で、タイミングク

ロックを立ち上がらせる。このタイミングクロックは、次の期間CDのPWM信号に対する処理に影響を及ぼさないように、適切な時刻で立ち下げさせる。以降は、このような処理を繰り返し、次のPWM信号の立ち上がり時刻である時刻Cまで、パルスカウント値をカウントした後に、期間CDにおけるタイミングクロックを生成する。

[0031] また、図4には、クロックデータ再生回路11で処理された信号のタイミングチャートを示している。図4(a)に示すような周波数50kHzのPWM信号がクロックデータ再生回路11に入力された場合、図4(c)に示すように、PWM信号の入力に応じて発振パルス信号が発生する。それと同時に、図4(b)に示すように、PWM信号の各周期でデジタル値を読み取るためのタイミングクロックが発生する。この結果から、クロックデータ再生回路11では、PWM信号の二つ目のビットから正しいタイミングクロックが発生することがわかる。また、PWM信号の入力が無くなると、所定時間の後にリング発振器17が停止して回路の動作も停止することもわかった。このクロックデータ再生回路11は、PWM信号の周波数が1kHz~500kHzの範囲で正しく動作した。また、消費電力は1.5 μ W、待機電力は10nW以下であった。なお、上記の正常動作の周波数範囲は回路用途に応じて自由に設定できる。

[0032] 以上説明したクロックデータ再生回路11によれば、リング発振器17によって発生した発振パルス信号のパルスカウント値がカウンタ回路部19に保持され、入力されるPWM信号の立ち上がり時に、カウンタ回路部19からレジスタ回路部21にパルスカウント値の上位ビットが基準カウント値として転送されると同時に、カウンタ回路部19のパルスカウント値がリセットされる。さらに、カウンタ回路部19のパルスカウント値が基準カウント値を超えた場合にタイミングクロックが生成される。これにより、PWM信号のデジタル値を判定するためのタイミングクロックが、1つ前のPWM信号の周期に基づいて生成されるので、高精度の発振器が不要となる。これにより、構成が簡単で回路規模の小さいリング発振器を採用できる。また、タ

イミングクロックの生成タイミングを決定するための構成としてカウンタ回路部 19 に保持されたカウント値の上位ビットをレジスタ回路部 21 に転送する構成を採用している。このような構成も回路規模を小さくするためには有利である。さらには、PWM信号の入力が無い場合にはリング発振器 17 の動作が停止され、PWM信号の入力が立ち上がった際には2周期以内にタイミングパルスを立ち上げることができるので、待機電力を効果的に低減しながら動作の立ち上げも迅速に行うことができる。以上の結果、本実施形態では、回路規模を小さくすることができ、消費電力を低減することもできる。

[0033] さらに、カウンタ回路部 19 とレジスタ回路部 21 のビット数を大きくすれば、PWM信号の周波数を広範囲に変えても正常にタイミングクロックの生成動作を実現できる。また、そのようにしても、消費電力の増大を抑えることができる。

[0034] 図7には、本発明の比較例であるクロックデータ再生回路の構成を示している。図7(a)に示す位相同期方式のクロックデータ再生回路911は、位相比較器913、低域通過フィルタ915、電圧制御発振器917を含むフィードバック回路によりPWM信号の立ち上がりと位相同期した倍周波の発振信号を生成し、その倍周波信号からタイミングクロックを生成してフリップフロップ919に入力する。また、図7(b)に示すアナログ積分方式のクロックデータ再生回路921は、PWM信号の立ち上がりタイミングを立ち上がり検出回路923で検出し、そのタイミングで積分回路925を動作させ、その出力が所定の閾値を超えたか否かを比較器927で判定し、その判定結果をタイミングクロックとして発生させる。これらの比較例では、回路規模が大きくなる傾向にあり、消費電力も大きい。まず、位相同期方式は、フィルタに含まれる抵抗及びキャパシタに大面積が必要であり、PWM信号の周波数が低いほど面積が大きくなる。また、アナログ積分方式でも、積分回路に含まれる抵抗及びキャパシタに大面積が必要であり、それに加えて積分回路とコンパレータはPWM信号が無くても電力を消費する。さらに

、両方の方式とも、PWM信号の周波数範囲は回路設計の段階でほとんど固定されるので、PWM信号の周波数の広い範囲で使用することができない。これに対して、本実施形態のクロックデータ再生回路11は、回路規模を小さくして消費電力を低減することができるとともに、広い周波数範囲で正常に動作させることができる。

[0035] 好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、本実施の形態に開示された特定の構成に限定されるものではない。

[0036] カウンタは、ビットカウンタとしてN個のフリップフロップが縦列接続されて構成されており、レジスタは、ビットレジスタとしてM個のフリップフロップを有しており、カウンタのN個のフリップフロップのうちの上位Mビットに対応するフリップフロップの出力が、それぞれ、レジスタのM個のフリップフロップの入力に接続されている、ことでもよい。この場合、タイミングクロックの生成タイミングを決定するための回路を容易に小型化することができる。

[0037] また、比較器は、カウンタの下位Mビットに対応するフリップフロップの出力と、レジスタのM個のフリップフロップの出力とのそれぞれを比較する、ことでもよい。かかる構成を採れば、タイミングクロックの生成タイミングを決定するための回路を容易に小型化することができる。

産業上の利用可能性

[0038] 本発明は、クロックデータ再生回路、及びそれを含む無線モジュールを使用用途とし、回路規模を小さくでき、かつ、消費電力を低減することができるものである。

符号の説明

[0039] 1…ワイヤレス受信機（無線モジュール）、3…アンテナ、9…増幅器、11…クロックデータ再生回路、15…発振制御回路部（第1の制御回路部）、17…リング発振器、19…カウンタ回路部、21…レジスタ回路部、23…転送制御回路部（第2の制御回路部）、25…比較回路部（比較器）、33₁～33_N…Tフリップフロップ、35₁～35_M…Dフリップフロップ

、 $37_1 \sim 37_M$ …比較器。

請求の範囲

- [請求項1] パルス信号を発生させる発振器と、
PWM信号の入力有無に応じて前記発振器の動作を開始および停止させる第1の制御回路部と、
前記パルス信号をカウントして、N個（Nは自然数）のビットカウンタにカウント値を保持するカウンタと、
M個（MはNより小さい自然数）のビットレジスタを有し、転送信号の入力に応じて、前記N個のビットカウンタによって保持された前記カウント値のうちの上位Mビットを基準カウント値として転送可能に構成されたレジスタと、
前記カウンタによって保持された前記カウント数と、前記レジスタによって保持された前記基準カウント値とを比較し、前記カウント数が前記基準カウント値を超えた場合にタイミングクロックを出力する比較器と、
前記PWM信号の立ち上がりのタイミングと同期して、前記カウンタから前記レジスタに前記基準カウント値を転送する前記転送信号、及び前記カウンタをリセットするリセット信号を生成する第2の制御回路部と、
を備えることを特徴とするクロックデータ再生回路。
- [請求項2] 前記カウンタは、前記ビットカウンタとしてN個のフリップフロップが縦列接続されて構成されており、
前記レジスタは、前記ビットレジスタとしてM個のフリップフロップを有しており、
前記カウンタの前記N個のフリップフロップのうちの前記上位Mビットに対応する前記フリップフロップの出力が、それぞれ、前記レジスタの前記M個のフリップフロップの入力に接続されている、
ことを特徴とする請求項1記載のクロックデータ再生回路。
- [請求項3] 前記比較器は、前記カウンタの前記下位Mビットに対応する前記フ

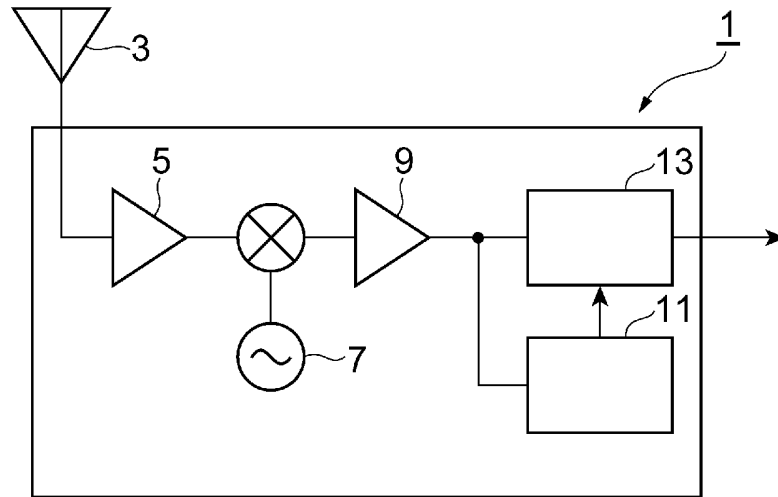
リップフロップの出力と、前記レジスタの前記M個のリップフロップの出力とのそれぞれを比較する、

ことを特徴とする請求項2記載のクロックデータ再生回路。

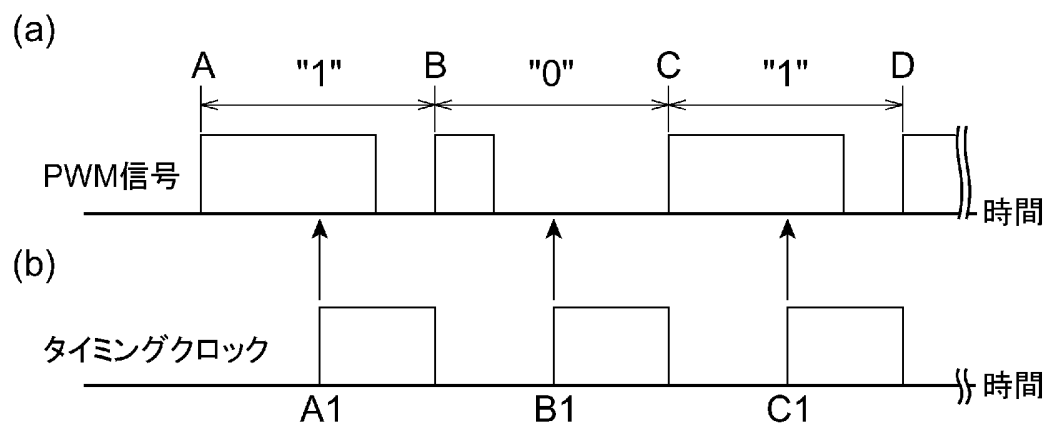
[請求項4]

請求項1～3のいずれか1項に記載のクロックデータ再生回路と、
前記PWM信号を受信するアンテナと、
前記PWM信号を増幅する増幅器と、
を備えることを特徴とする無線モジュール。

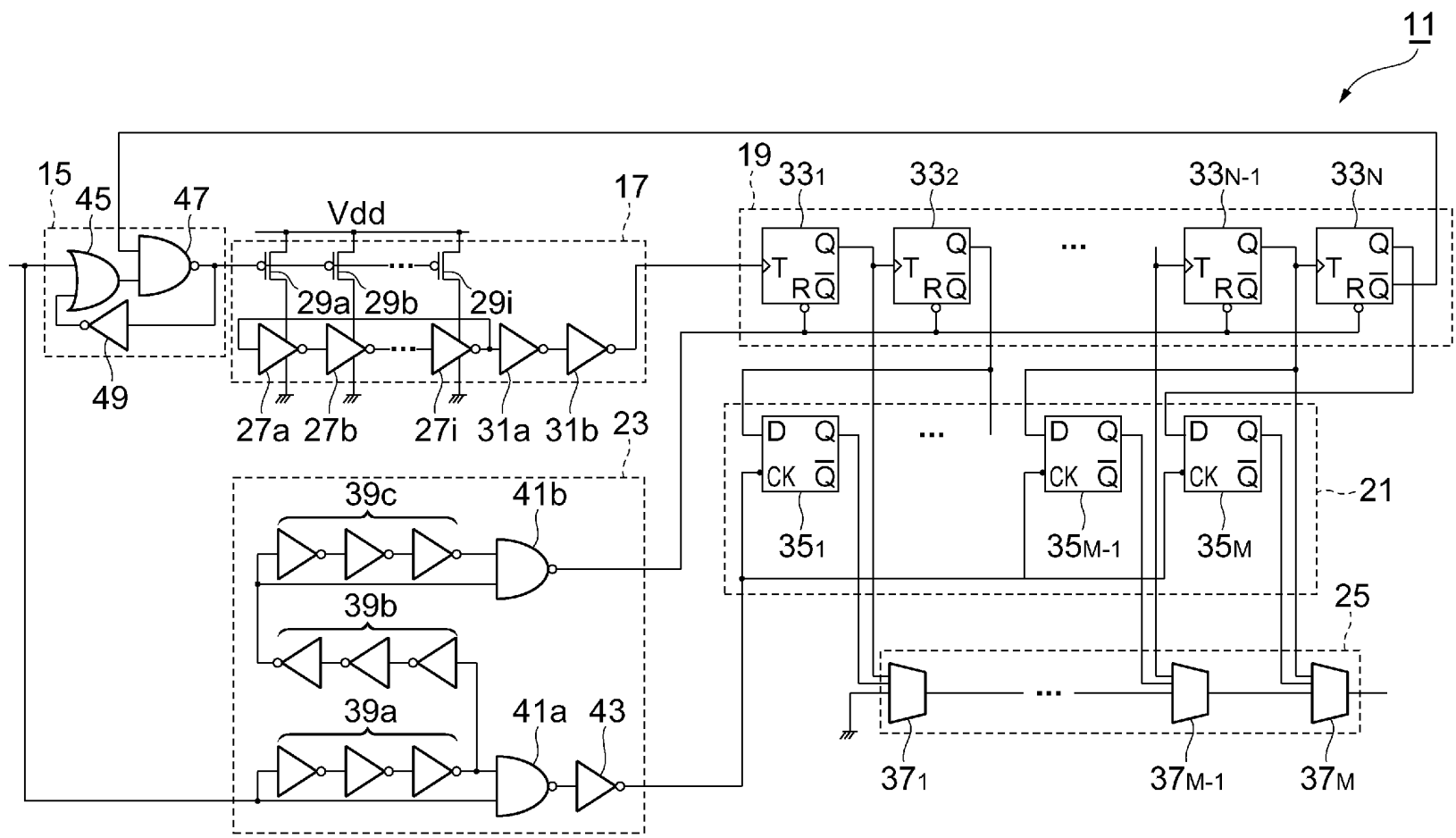
[図1]



[図2]

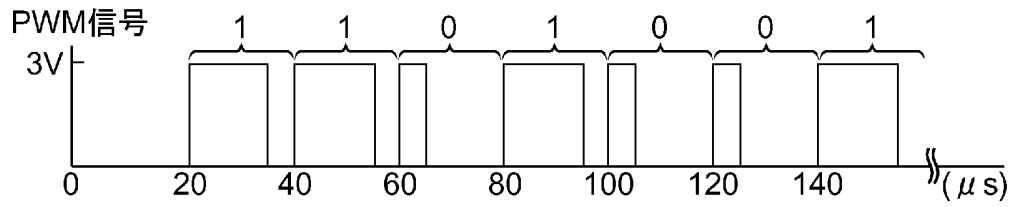


[図3]

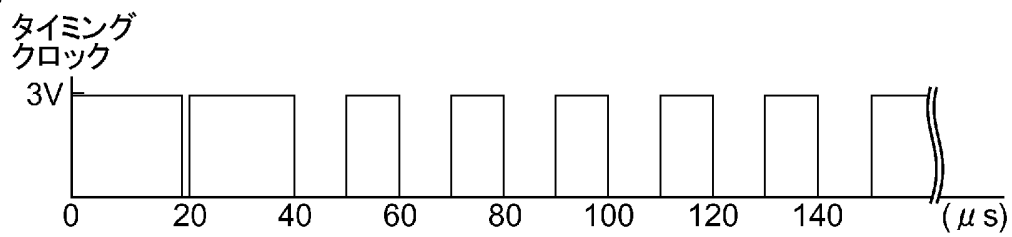


[図4]

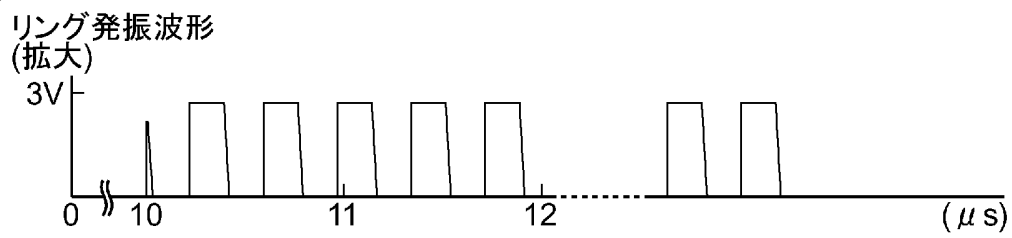
(a)



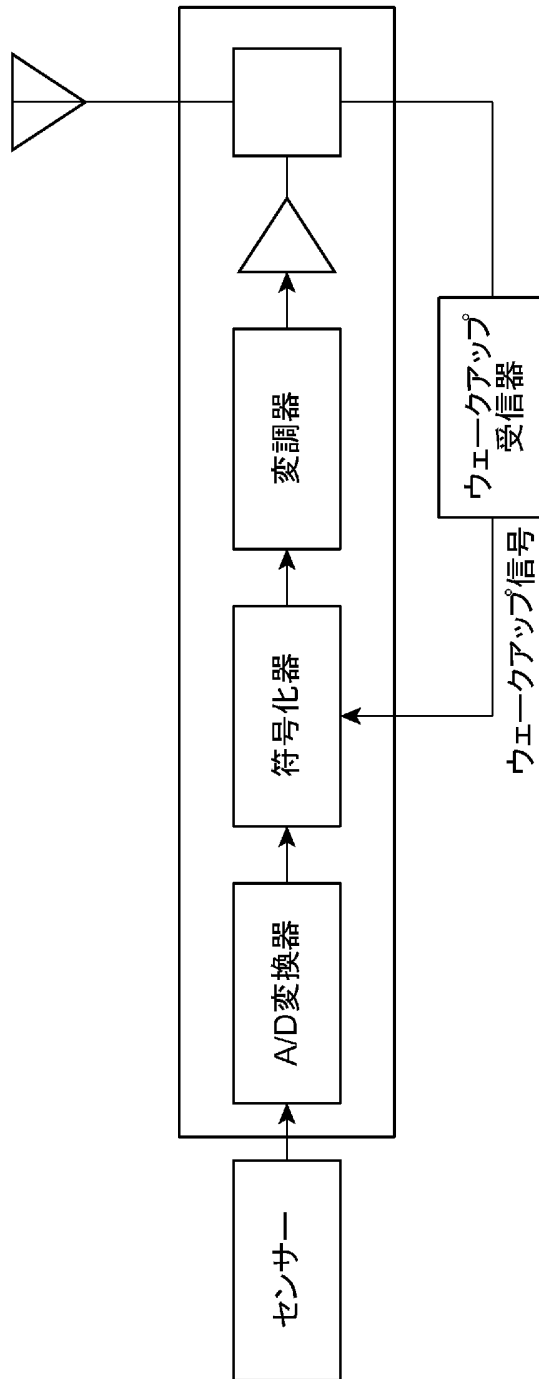
(b)



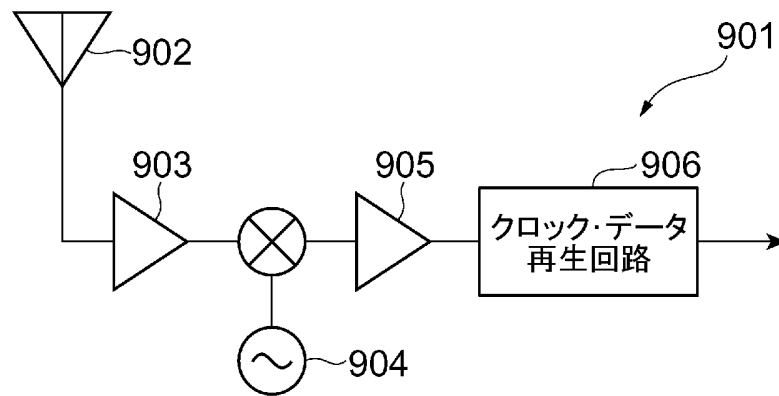
(c)



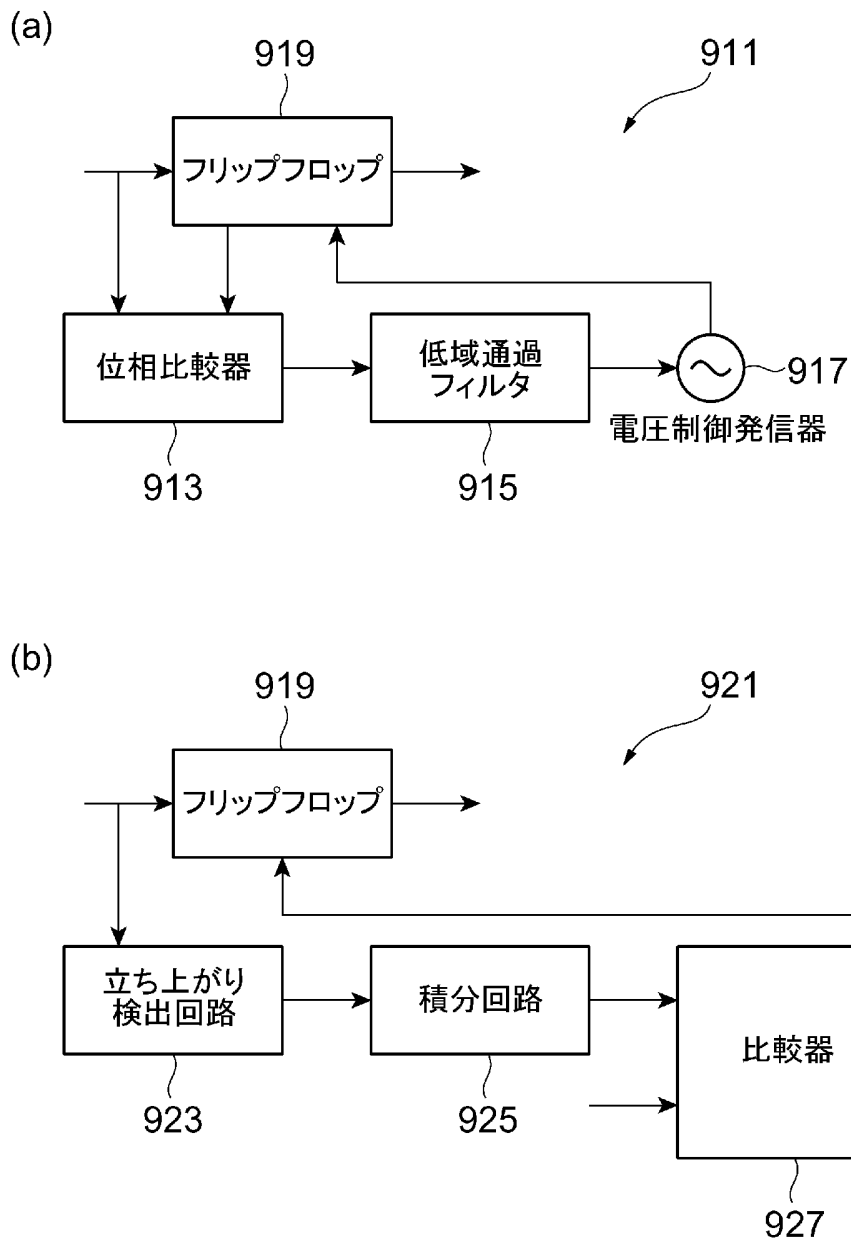
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/053416

A. CLASSIFICATION OF SUBJECT MATTER

H04L25/49(2006.01) i, H04L7/027(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/00-25/66, H04L7/027

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 61-72454 A (Fujikura Electric Wire Corp.), 14 April 1986 (14.04.1986), entire text; all drawings (Family: none)	1-4

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 April, 2011 (05.04.11)Date of mailing of the international search report
12 April, 2011 (12.04.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04L25/49(2006.01)i, H04L7/027(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04L25/00-25/66, H04L7/027

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2011年
 日本国実用新案登録公報 1996-2011年
 日本国登録実用新案公報 1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 61-72454 A (藤倉電線株式会社) 1986.04.14, 全文, 全図 (ファミリーなし)	1-4

☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 05.04.2011	国際調査報告の発送日 12.04.2011
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 白井 亮 5 K 3363 電話番号 03-3581-1101 内線 3556