

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2013年5月23日(23.05.2013)

WIPO | PCT

(10) 国際公開番号

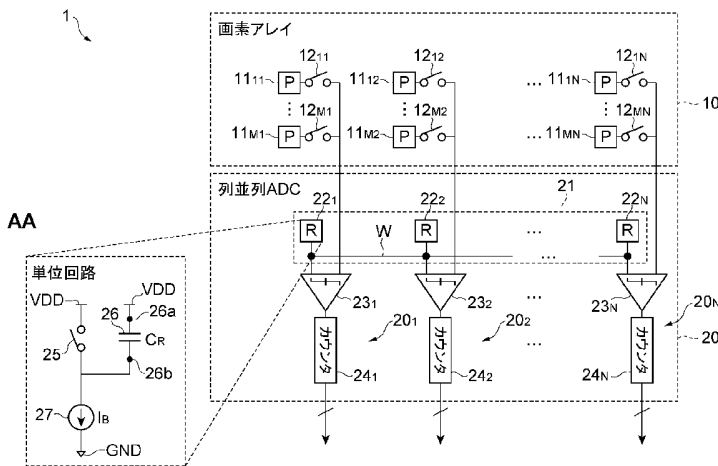
WO 2013/073585 A1

- (51) 国際特許分類:
H03M 1/56 (2006.01) H04N 5/378 (2011.01)
H03K 4/02 (2006.01)
- (21) 国際出願番号: PCT/JP2012/079535
- (22) 国際出願日: 2012年11月14日(14.11.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-250777 2011年11月16日(16.11.2011) JP
- (71) 出願人: 国立大学法人静岡大学(NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷 8 3 6 Shizuoka (JP).
- (72) 発明者: 川人 祥二(KAWAHITO Shoji); 〒4328561 静岡県浜松市中区城北 3 丁目 5 - 1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP). 今井 快多(IMAI Kaita); 〒4328561 静岡県浜松市中区城北 3 丁目 5 - 1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目 1 番 1 号丸の内 MY PLAZA (明治安田生命ビル) 9 階 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: LAMP SIGNAL GENERATION CIRCUIT AND CMOS IMAGE SENSOR

(54) 発明の名称: ランプ信号発生回路及びCMOSイメージセンサ



10 Pixel array
20 Column parallel ADC
24₁, 24₂, 24_N Counter
AA Unit circuit

(57) Abstract: This lamp signal generation circuit (21) is provided with a plurality of unit circuits (22₁ to 22_N), which have a capacitor (26) in which the potential of one end (26a) is fixed and a current source (27) which is connected to the other end (26b) of the capacitor (26), wherein each of the other ends (26b) of the capacitors (26) possessed by the plurality of unit circuits (22₁ to 22_N) are connected to one another by wiring members (W).

(57) 要約: ランプ信号発生回路 21 は、一端 26a の電位が固定されたキャパシタ 26 と、キャパシタ 26 の他端 26b に接続される電流源 27 と、を有する複数の単位回路 22₁ ~ 22_N を備え、複数の単位回路 22₁ ~ 22_N が有するキャパシタ 26 の他端 26b の各々が互いに配線部材 W によって接続されている。

WO 2013/073585 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : ランプ信号発生回路及びCMOSイメージセンサ

技術分野

[0001] 本発明は、ランプ信号発生回路及びCMOSイメージセンサに関するものである。

背景技術

[0002] アナログ信号を処理するための技術として、ランプ信号発生回路によってランプ信号を発生し、ランプ信号を参照信号としてアナログ信号と比較することによりアナログ信号の処理を行う技術が知られている。例えば、下記特許文献1には、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサの分野において、各画素から出力されるアナログ信号をAD変換するための技術が記載されている。コンパレータにランプ状の参照電圧を供給すると同時にクロック信号でのカウントを開始する。そして、受光素子を有する画素から入力されるアナログ信号と参照電圧とが等しくなると、カウント動作を停止し、その時点のカウント値を画素データとしてラッチする。これによって、アナログ信号に応じたデジタル値を出力可能にされる。また、非特許文献1および非特許文献2にも同様の技術が記載されている。

先行技術文献

特許文献

[0003] 特許文献1 : 特開2007-88971号公報

非特許文献

[0004] 非特許文献1 : Yong Lim et al., "A 1.1e- Temporal Noise 1/3.2-inch 8Mpixel CMOS Image Sensor Using Pseudo-Multiple Sampling", ISSCC 2010 Dig. Tech. Papers, pp.396-398

非特許文献2 : Sakkarapani Balagopal et al., "An On-chip Ramp Generator for Single-Slope Look Ahead Ramp(SSLAR) ADC", IEEE MW SCAS 2009, pp.373-376

発明の概要

発明が解決しようとする課題

[0005] 上記の特許文献1に記載の技術においては、二次元の格子状に配列される画素の各列に対してそれぞれ1個のコンパレータが配置される。また、全てのコンパレータに対して、1個の参照電圧生成部から参照電圧が供給される。このような構成をとった場合、参照電圧が各列のコンパレータに到達するまでのタイミングに差が生じる。また、特に参照電圧生成部からの距離が遠いコンパレータにおいては波形のひずみが大きくなる。イメージセンサの精度を向上させるためには、これらのタイミングの差や波形のひずみを小さくすることが必要であるが、そのためには、参照電圧生成部の消費電力を大きくしなければならない。

[0006] そこで、各列のコンパレータ1個に対して、そのコンパレータに参照電圧を供給するランプ信号発生回路を1個ずつ配置するという方法が考えられる。このような構成により、上記のタイミングの差や波形のひずみの問題を解消することができる。

[0007] しかしながら、コンパレータ1個に対してランプ信号発生回路を1個配置する構成をとった場合には、ランプ信号発生回路ごとのばらつきの問題が生じる。ランプ信号発生回路は、例えば、定電流源とキャパシタとを接続し、定電流源を用いてキャパシタを充放電する回路として構成することができる。この場合、定電流源を構成するトランジスタのばらつきやキャパシタのばらつきにより、ランプ信号発生回路の発生するランプ信号の勾配にばらつきが生じる。特に、消費電力を小さく抑えるために定電流源の流す電流を小さくすると、トランジスタやキャパシタのサイズを小さくしなければならないため、トランジスタやキャパシタのばらつきが一層大きくなり、その結果、ランプ信号の勾配のばらつきも大きくなる。

[0008] そこで、本発明は、上記の問題を解決するためのものであって、発生するランプ信号の勾配のばらつきが小さいランプ信号発生回路及びこれを用いたCMOSイメージセンサを提供することを目的とする。

課題を解決するための手段

- [0009] 上記課題を解決するために、本発明の一側面に係るランプ信号発生回路は、一端の電位が固定されたキャパシタと、キャパシタの他端に接続される電流源と、を有する複数の単位回路を備え、複数の単位回路が有するキャパシタの他端の各々が互いに配線部材によって接続されている。
- [0010] このようなランプ信号発生回路によれば、複数の単位回路が有するキャパシタの他端の各々が互いに配線部材によって接続されているため、キャパシタの容量値や電流源が流す電流の大きさのばらつきにかかわらず、各キャパシタの電圧が等しくなるように、複数の単位回路が有するキャパシタの他端同士を接続する配線を電流が通る。したがって、複数の単位回路が発生するランプ信号の勾配のばらつきが小さくなる。
- [0011] また、本発明の一側面に係るランプ信号発生回路においては、キャパシタの他端を基準電位線に接続するためのスイッチをさらに備えていてもよい。これによれば、キャパシタの他端を基準電位線に接続することにより、ランプ信号が発生する際の電圧の初期値を定めることが可能となる。
- [0012] また、本発明の一側面に係るランプ信号回路においては、複数の単位回路が有するキャパシタの容量値は全て等しくなるように設計されており、複数の単位回路が有する電流源が流す電流の大きさは全て等しくなるように設計されていてもよい。これによれば、全ての単位回路の有するキャパシタの容量値と電流源の電流値がほぼ等しくなるため、各単位回路が発生するランプ信号の勾配がほぼ等しくなる。
- [0013] また、本発明の一側面に係るCMOSイメージセンサは、複数行複数列の2次元に配列された画素を有する画素アレイと、上記のランプ信号発生回路を有する列並列ADCと、を備え、ランプ信号発生回路が備える複数の単位回路のそれぞれが、画素アレイの各列に対応して設けられている。
- [0014] このようなCMOSイメージセンサによれば、画素アレイの各列に対応する複数の単位回路のそれぞれが発生するランプ信号の傾きのばらつきが小さくなるため、ランプ信号に基づいてAD変換を行う列並列ADCの特性の列

ごとのばらつきが小さくなり、CMOSイメージセンサの特性の列ごとのばらつきが小さくなる。

[0015] 本発明の一側面に係るCMOSイメージセンサにおいて、列並列ADCは、画素アレイの各列の画素に接続される列ADCを備え、列ADCは、ランプ信号発生回路が備える単位回路と、画素アレイの各列の画素の出力と単位回路の出力とを比較する電圧比較器と、電圧比較器の出力が変化するまでの時間を計数するカウンタと、を備えていてもよい。このようなCMOSイメージセンサによれば、複数の単位回路のそれぞれが発生して出力するランプ信号の傾きのばらつきが小さい。したがって、単位回路の出力と画素アレイの各列の画素の出力を比較する電圧比較器の出力、及びこの電圧比較器の出力に基づくカウンタの出力の列ごとのばらつきも小さくなる。このため、列並列ADCの特性の列ごとのばらつきが小さくなり、CMOSイメージセンサの特性の列ごとのばらつきが小さくなる。

発明の効果

[0016] 本発明のランプ信号発生回路によれば、勾配のばらつきの小さいランプ信号を発生することができる。

図面の簡単な説明

[0017] [図1]本発明の一実施形態に係るランプ信号発生回路を備えるCMOSイメージセンサの構成を示すブロック図である。

[図2]本発明の一実施形態に係るランプ信号発生回路の回路図である。

[図3]本発明の一実施形態に係るランプ信号発生回路の発生するランプ信号の勾配の相対誤差を示す図である。

[図4]本発明の一実施形態に係るランプ信号発生回路の発生するランプ信号の勾配の相対誤差と配線抵抗の関係を示す図である。

[図5]本発明の一実施形態に係るランプ信号発生回路の発生するランプ信号の勾配の相対誤差と回路素子のばらつきの関係を示す図である。

発明を実施するための形態

[0018] 以下、添付図面を参照しながら、本発明によるランプ信号発生回路の実施

の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

[0019] 図1は、本発明の一実施形態に係るランプ信号発生回路を備えるCMOSイメージセンサの構成を示すブロック図である。このCMOSイメージセンサ1は、画素ごとに受光される光信号を電気信号に変換して出力するための装置である。CMOSイメージセンサ1は、画素アレイ10と列並列ADC (Analog to Digital Converter) 20とを備えて構成されている。

[0020] 画素アレイ10は、光を受光し、受光強度に応じたアナログ信号を後段の列並列ADC20に出力する。画素アレイ10は、M行N列の2次元に配列された画素 $11_{11} \sim 11_{1N}$ 、 $11_{21} \sim 11_{2N}$ 、 \dots 、 $11_{M1} \sim 11_{MN}$ を備えている。それぞれの画素11は、例えばフォトダイオードとMOSトランジスタを用いた公知の構成を有している。第i行第j列に配置されている画素 11_{ij} (iは1以上M以下の整数、jは1以上N以下の整数) には、それぞれスイッチ 12_{ij} が接続されている。画素 11_{ij} からの電気信号は、このスイッチ 12_{ij} をオン状態にすることによって読み出され、後段の列並列ADC20のうち第j列の列ADC 20_j へと出力される。

[0021] 列並列ADC20は、画素アレイ10のN列の画素11からアナログ電気信号を読み出し、それらをAD変換してデジタル値として出力するための部分である。列並列ADC20は、いわゆる積分型ADコンバータと呼ばれるAD変換器であり、ランプ信号発生回路21と、電圧比較器 $23_1 \sim 23_N$ と、カウンタ $24_1 \sim 24_N$ と、を備えて構成されている。また、列並列ADC20は、N列の列ADC $20_1 \sim 20_N$ に分かれて構成されている。列ADC 20_j (jは1以上N以下の整数) は、第j列の画素 $11_{1j} \sim 11_{Mj}$ に接続され、それぞれ単位回路 22_j 、電圧比較器 23_j 、カウンタ 24_j を含んで構成されている。

[0022] ランプ信号発生回路21は、N個の単位回路 $22_1 \sim 22_N$ を備えて構成されている。単位回路 $22_1 \sim 22_N$ は、それぞれ同じ列の電圧比較器 $23_1 \sim 23_N$ の入力端子に接続されている。単位回路 $22_1 \sim 22_N$ は、それぞれキャパ

シタ26と電流源27を備えて構成されている。それぞれの単位回路22₁～22_Nのキャパシタ26は、容量値が等しくなるように設計されている。キャパシタ26の一端26aは、電源ラインVDDに接続されており、電位が固定されている。また、キャパシタ26の他端26bは、電流源27に接続されている。キャパシタ26の他端26bにはスイッチ25の一端が接続され、スイッチ25の他端は電源ラインVDD（基準電位線）に接続されている。スイッチ25は、キャパシタ26の他端26bを電源ラインVDDに接続するためのスイッチである。スイッチ25は、ランプ信号発生回路21がランプ信号発生動作を始める前にキャパシタ26の一端26aと他端26bとを短絡し、他端26bの電位を電源ラインVDDの電位にリセットする。また、単位回路22₁～22_Nが有するキャパシタの他端26bの各々は互いに金属配線（配線部材）Wによって接続されている。また、それぞれの単位回路22₁～22_Nの電流源27₁～27_Nは、流す電流の大きさが全て等しくなるように設計されている。

[0023] なお、本明細書において、「等しくなる」とは、キャパシタの容量値や電流源の電流値が製造ばらつきなどにより変動しうる範囲内でばらつく場合を含んでいる。具体的には、素子値のばらつきが20%程度の範囲内であれば、好適に本実施形態の効果が得られる。

[0024] 電圧比較器23₁～23_Nは、画素アレイ10が出力するアナログ信号と、ランプ信号発生回路21が出力するランプ信号とを比較し、アナログ信号とランプ信号の大小関係に応じて、2種類の電圧レベルの信号を出力する。カウンタ24₁～24_Nは、電圧比較器23₁～23_Nの出力する信号の電圧レベルが変化するまでの時間を計数し、計数した結果を出力する。

[0025] 以上のように構成されるCMOSイメージセンサ1における読み出し時の動作を説明する。CMOSイメージセンサ1においては、一般的には1行分の画素11について同時に読み出しが行われる。以下の説明では、i行目の画素11_{i1}～11_{iN}の読み出しを行う場合について説明する。まず、スイッチ25をONにして、キャパシタ26の他端26bの電圧をVDDにリセッ

トする。次に、 i 行目のスイッチ $12_{i1} \sim 12_{iN}$ をオンにするとともに i 行目以外のスイッチ 12 をオフにして、画素 $11_{i1} \sim 11_{iN}$ の出力を電圧比較器 $23_1 \sim 23_N$ の一方の入力にそれぞれ接続する。そして、スイッチ 25 をオフにして単位回路 $22_1 \sim 22_N$ でのランプ信号発生動作を開始し、電圧比較器 $23_1 \sim 23_N$ のもう一方の入力にランプ信号を参照信号として入力する。また、単位回路 $22_1 \sim 22_N$ でのランプ信号発生動作の開始と同時にカウンタ $24_1 \sim 24_N$ での計数を開始する。単位回路 $22_1 \sim 22_N$ は単調減少するランプ信号を発生する。そのため、最初は単位回路 $22_1 \sim 22_N$ の出力するランプ信号の方が画素 $11_{i1} \sim 11_{iN}$ の出力するアナログ信号よりも電圧が高いが、ランプ信号の電圧が低下していくと、ランプ信号の方が画素 $11_{i1} \sim 11_{iN}$ の出力するアナログ信号よりも電圧が低くなる。このとき電圧比較器 $23_1 \sim 23_N$ の出力が変化する。カウンタ $24_1 \sim 24_N$ は、電圧比較器 $23_1 \sim 23_N$ の出力が変化したところで計数をやめ、計数結果をデジタル信号として出力する。画素 $11_{i1} \sim 11_{iN}$ の出力するアナログ信号の電圧が低ければ、電圧比較器 $23_1 \sim 23_N$ の出力が変化するまでの時間がより長くなるため、カウンタ $24_1 \sim 24_N$ が出力するデジタル信号の値はより大きくなる。このようにして、画素 $11_{i1} \sim 11_{iN}$ の出力するアナログ信号がAD変換され、カウンタ $24_1 \sim 24_N$ によって出力される。

[0026] 上記のような動作により、画素 11 からのアナログ信号がデジタル信号に変換されるため、ランプ信号発生回路 21 から電圧比較器 23 に供給されるランプ信号の勾配にばらつきがあると、そのままカウンタ 24 が出力する値のばらつきにつながる。したがって、列並列ADC 20 の列ごとのばらつきを抑えて精度を高めるためには、ランプ信号発生回路 21 の発生するランプ信号の勾配のばらつきを小さく抑えることが必要になる。

[0027] 次に、図2を用いて、ランプ信号発生回路 21 について、より詳細に説明する。ランプ信号発生回路 21 は、 N 個の単位回路 $22_1 \sim 22_N$ を並べて構成される。 i 番目の単位回路 22_i は、キャパシタ 26_i と電流源 27_i とを含んで構成される。キャパシタ 26_i は、電源ラインVDDとノード 28_i との

間に接続される。電流源 27_i は、ノード 28_i とグラウンドライン GND との間に接続される。この電流源 27_i は、例えば MOS トランジスタなどの素子を定電流動作させることによって実現される。また、ノード 28_i とノード 28_{i+1} とは、金属配線 W で接続されている。この金属配線 W の持つ電気抵抗を図 2 では配線抵抗 29_i として表している。

[0028] 以上で説明したランプ信号発生回路 21 が発生するランプ信号のばらつきについて、以下で説明する。ノード 28_i の電位を V_{Ri} 、電流源 27_i の流す電流を I_{Bi} 、キャパシタ 26_i から流れ出す電流を I_{Ci} 、ノード 28_i からノード 28_{i+1} へ流れる電流を I_{Ri} とする。また、キャパシタ 26_i の容量値を C_i 、ノード 28_i とノード 28_{i+1} の間の配線抵抗の逆数（コンダクタンス）を g_i とする。このとき、ノード 28₁ ~ 28_N に発生するランプ信号の電位を要素とするベクトル V_R 、電流源 27₁ ~ 27_N の流す電流を要素とするベクトル I_B をそれぞれ次の式（1）のように定義できる。

[数1]

$$\mathbf{V}_R = \begin{pmatrix} V_{R1} \\ \vdots \\ V_{RN} \end{pmatrix}, \mathbf{I}_B = \begin{pmatrix} I_{B1} \\ \vdots \\ I_{BN} \end{pmatrix} \quad \dots (1)$$

[0029] このとき、ノード 28_i におけるキルヒホッフの電流則から、ノード 28₁ ~ 28_N に発生するランプ信号の電位の勾配を要素とするベクトル dV_R/dt は、以下のように計算される。

[数2]

$$\frac{d\mathbf{V}_R}{dt} = \mathbf{C}^{-1}(\mathbf{G} \cdot \mathbf{V}_R - \mathbf{I}_B) \quad \dots (2)$$

[0030] ただし、 C と G は、それぞれ次の式（3）および式（4）で表される行列である。

[数3]

$$\mathbf{C} = \begin{pmatrix} C_1 & 0 & \dots & 0 \\ 0 & C_2 & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 \\ 0 & \dots & 0 & C_N \end{pmatrix} \quad \dots (3)$$

[数4]

$$\mathbf{G} = \begin{pmatrix} -g_1 & g_1 & 0 & \cdots & 0 \\ g_1 & -g_1 - g_2 & g_2 & & \vdots \\ 0 & g_2 & \ddots & \ddots & 0 \\ \vdots & & \ddots & \ddots & g_{N-1} \\ 0 & \cdots & 0 & g_{N-1} & -g_{N-1} \end{pmatrix} \cdots (4)$$

[0031] 以上の式(2)～(4)から、ランプ信号の電位の勾配のばらつきは、キャパシタ26_iの容量値C_iのばらつき、電流源27_iの電流値I_{B_i}のばらつき、そしてノード28_iとノード28_{i+1}の間の配線抵抗g_iによって変化することがわかる。

[0032] 以上のように構成されるランプ信号発生回路21が発生するランプ信号の勾配のばらつきの数値シミュレーション結果を図3～図5に示す。以下では、N=1024としている。また、図3～図5の説明における配線抵抗値は、隣り合うノード28_iとノード28_{i+1}との間の抵抗値である。また、図3および図4においては、キャパシタ26₁～26₁₀₂₄の容量値および電流源27₁～27₁₀₂₄の電流値の標準偏差を、それぞれの平均値の5%として計算している。

[0033] 図3は、ランプ信号発生回路21が発生するランプ信号の勾配の相対誤差を示す図である。横軸は単位回路22の列番号を示している。縦軸は、各単位回路22の発生するランプ信号の勾配の相対的な誤差を示している。配線抵抗が1MΩのときは、ランプ信号の勾配の相対誤差が最大で2.5%程度生じている。一方、配線抵抗を小さくして1kΩとすると、ランプ信号の勾配の相対誤差は0.1%程度まで小さくなる。さらに配線抵抗を小さくして1Ωとすると、ランプ信号の勾配の相対誤差はほぼ0となり、ランプ信号の勾配のばらつきがほぼなくなっている。なお、この配線抵抗の1Ωという値は、回路を実際に作製する場合にも十分に実現可能な値である。

[0034] 図4は、配線抵抗とランプ信号の勾配の相対誤差を示す図である。配線抵抗が大きい領域、特に1×10⁹Ω以上のところでは、ランプ信号の勾配の相対誤差はほぼ0.07となっている。この0.07という値は、ほぼ0.0

5のルート2倍であり、キャパシタ26₁~26₁₀₂₄の容量値および電流源27₁~27₁₀₂₄の電流値という2つの量のそれぞれの標準偏差の相対値0.05から誤差伝播の法則により計算される値である。一方、配線抵抗を小さくしていくと、ランプ信号の勾配の相対誤差は小さくなっていく。例えば配線抵抗を1Ωとした場合、ランプ信号の勾配の相対誤差は 2.7×10^{-6} となり、配線抵抗を1GΩとした場合と比べて、26000分の1まで小さくなる。

[0035] 図5は、キャパシタ26₁~26₁₀₂₄の容量値および電流源27₁~27₁₀₂₄の電流値の標準偏差の相対値と、ランプ信号の勾配の相対誤差の関係を示す図である。ここでは、配線抵抗値を1μΩから1GΩまで変化させて計算を行っている。図5に示されるように、キャパシタ26₁~26₁₀₂₄の容量値および電流源27₁~27₁₀₂₄の電流値の標準偏差が大きくなると、ランプ信号の勾配の相対誤差も大きくなる傾向がある。しかしながら、配線抵抗を小さくすることにより、ランプ信号の勾配の相対誤差を小さくすることも、この図5には示されている。例えば、キャパシタ26₁~26₁₀₂₄の容量値および電流源27₁~27₁₀₂₄の電流値の標準偏差の相対値をそれぞれ0.2、すなわち20%というかなり大きな値としても、配線抵抗を1Ωとしたときには、ランプ信号の勾配の相対誤差は 1×10^{-6} 程度という極めて小さな値に抑えられている。このため、低消費電力化のためにキャパシタ26を小さくし、電流源27の電流値を小さくすることにより、キャパシタ26および電流源27のばらつきが大きくなっても、各ノード28を低抵抗の金属配線Wで接続することにより、ランプ信号の勾配の相対誤差を小さく抑えることができる。したがって、必要な精度を確保しつつ、電流源27の電流値を小さくして低消費電力化を図ることができ、同時にキャパシタ26のサイズや電流源27を構成する素子のサイズを小さくして小面積化を図ることができる。

[0036] 以上で説明したように、本実施形態においては、ランプ信号発生回路21は、一端の電位が固定されたキャパシタ26と、キャパシタ26の他端に接

続される電流源 27 と、を有する複数の単位回路 22 を備え、複数の単位回路が有するキャパシタ 26 の他端の各々が互いに接続されている。そのため、キャパシタ 26 の容量値や電流源 27 が流す電流の大きさのばらつきにかかわらず、各キャパシタ 26 の電圧が等しくなるように、複数の単位回路 22 が有するキャパシタ 26 の他端同士を接続する配線を電流が通る。したがって、複数の単位回路 22 が発生するランプ信号の勾配のばらつきが小さくなる。

[0037] なお、本発明に係るランプ信号発生回路は、上記の実施形態に限られない。例えば、単位回路 22 において、キャパシタ 26 をノード 28 とグラウンドライン GND の間に接続し、電流源 27 を電源ライン VDD とノード 28 の間に接続して、単位回路 22 が発生するランプ信号を単調増加する信号としてもよい。

[0038] また、本発明に係るランプ信号発生回路は、CMOS イメージセンサ用に限定されるものではなく、ランプ信号を参照信号として利用する各種の回路において、本発明に係るランプ信号発生回路を使用することができる。また、ノード 28_i とノード 28_{i+1} とを接続する配線部材の材料としては金属だけでなく、例えばポリシリコンなどの公知の種々の材料を使用することもできる。

産業上の利用可能性

[0039] 本発明によれば、勾配のばらつき小さいランプ信号を発生することのできるランプ信号発生回路及びこれを用いた CMOS イメージセンサが提供される。

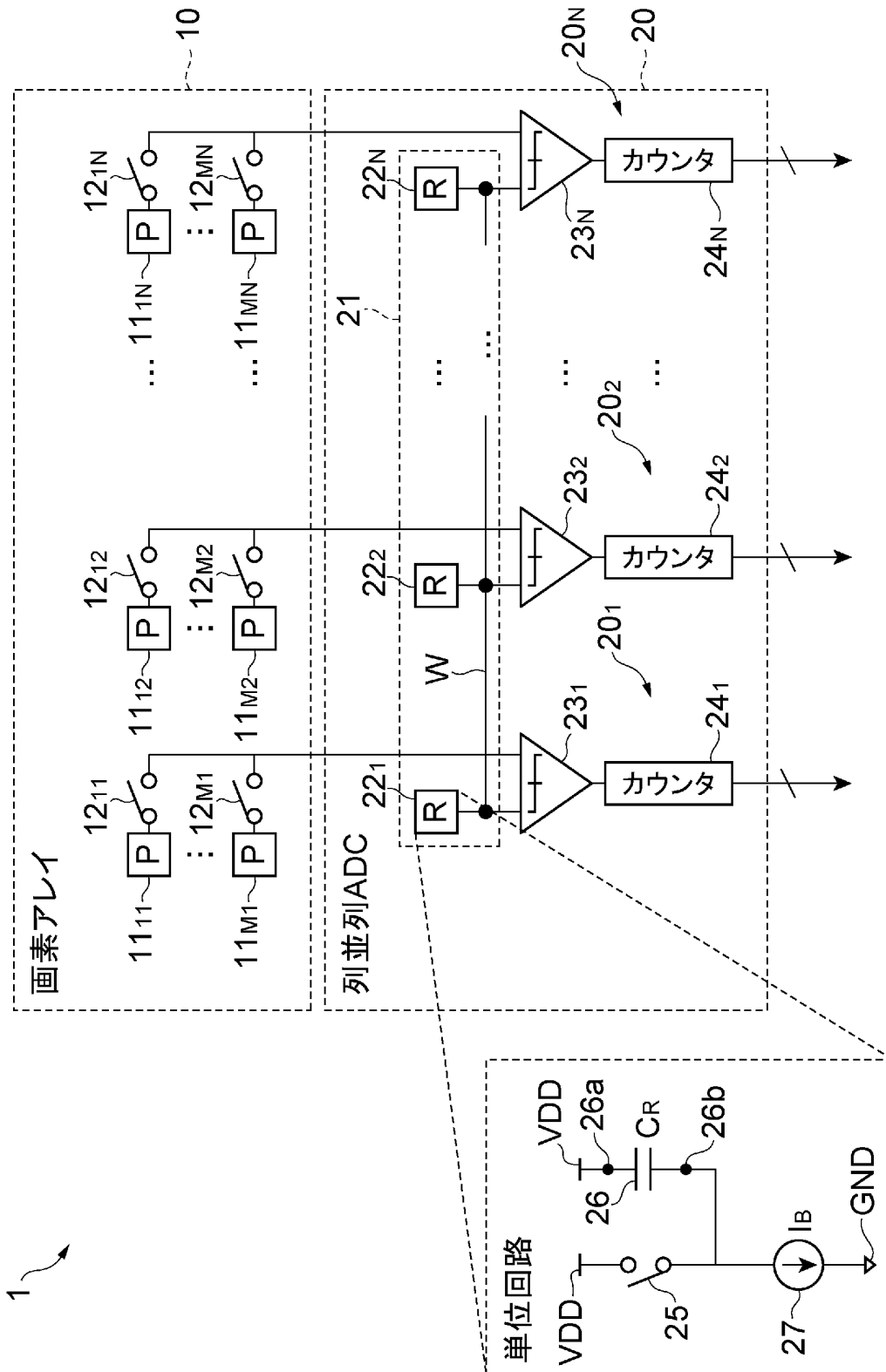
符号の説明

[0040] 1…CMOS イメージセンサ、10…画素アレイ、11…画素、12…スイッチ、20…列並列 ADC、 $20_1 \sim 20_N$ …列 ADC、21…ランプ信号発生回路、22…単位回路、23…電圧比較器、24…カウンタ、25…スイッチ、26…キャパシタ、27…電流源、28…ノード、29…配線抵抗、VDD…電源ライン（基準電位線）、W…金属配線（配線部材）。

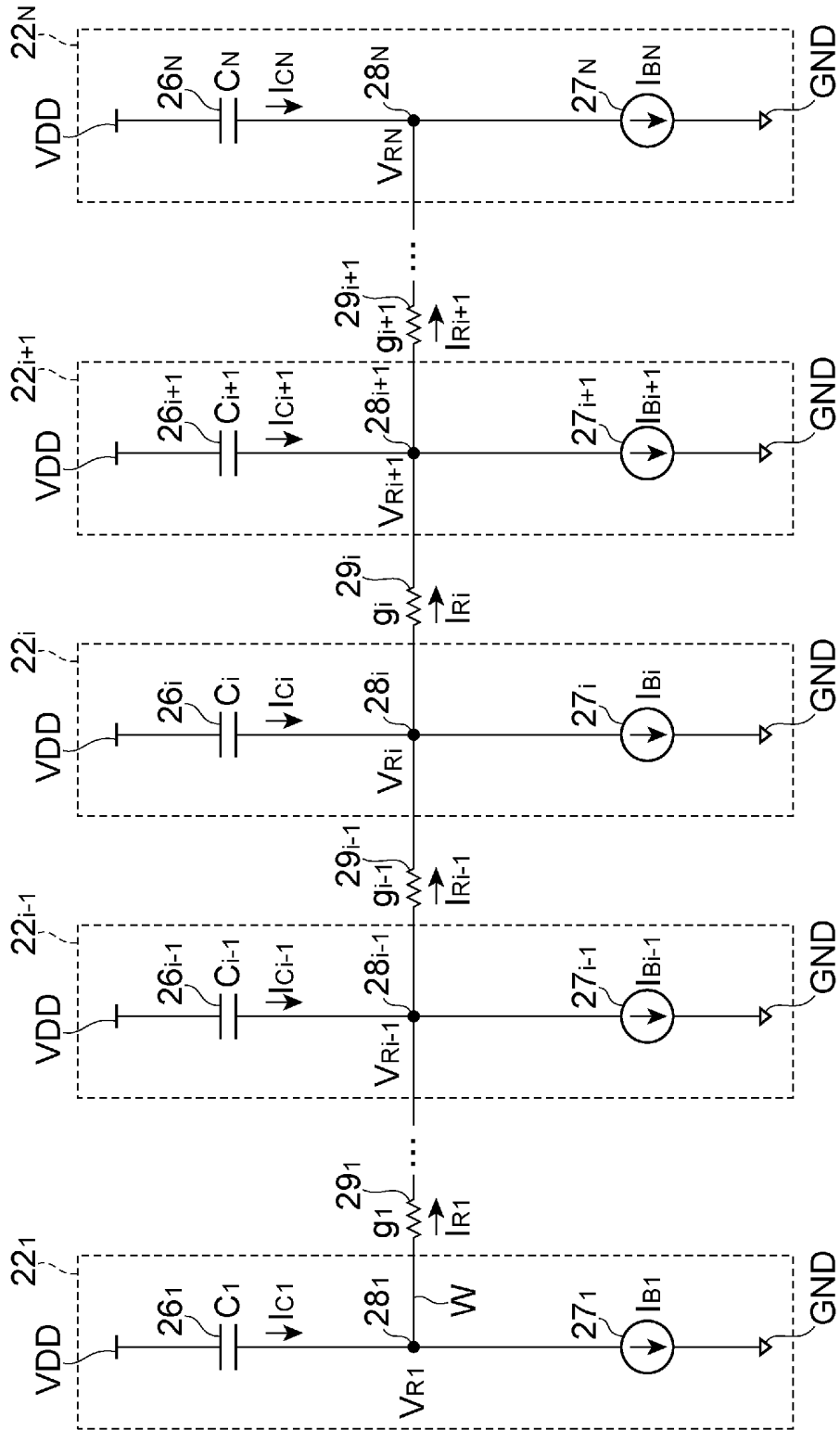
請求の範囲

- [請求項1] 一端の電位が固定されたキャパシタと、前記キャパシタの他端に接続される電流源と、を有する複数の単位回路を備え、
前記複数の単位回路が有する前記キャパシタの前記他端の各々が互いに配線部材によって接続されている、ランプ信号発生回路。
- [請求項2] 前記キャパシタの前記他端を基準電位線に接続するためのスイッチをさらに備える、請求項1に記載のランプ信号発生回路。
- [請求項3] 前記複数の単位回路が有する前記キャパシタの容量値は全て等しくなるように設計されており、
前記複数の単位回路が有する前記電流源が流す電流の大きさは全て等しくなるように設計されている、請求項1または2に記載のランプ信号発生回路。
- [請求項4] 複数行複数列の2次元に配列された画素を有する画素アレイと、
請求項1～3のいずれか一項に記載のランプ信号発生回路を有する列並列ADCと、
を備え、
前記ランプ信号発生回路が備える複数の単位回路のそれぞれが、前記画素アレイの各列に対応して設けられている、CMOSイメージセンサ。
- [請求項5] 前記列並列ADCは、前記画素アレイの各列の画素に接続される列ADCを備え、
前記列ADCは、
前記ランプ信号発生回路が備える前記単位回路と、
前記画素アレイの各列の画素の出力と前記単位回路の出力とを比較する電圧比較器と、
前記電圧比較器の出力が変化するまでの時間を計数するカウンタと、
を備える請求項4に記載のCMOSイメージセンサ。

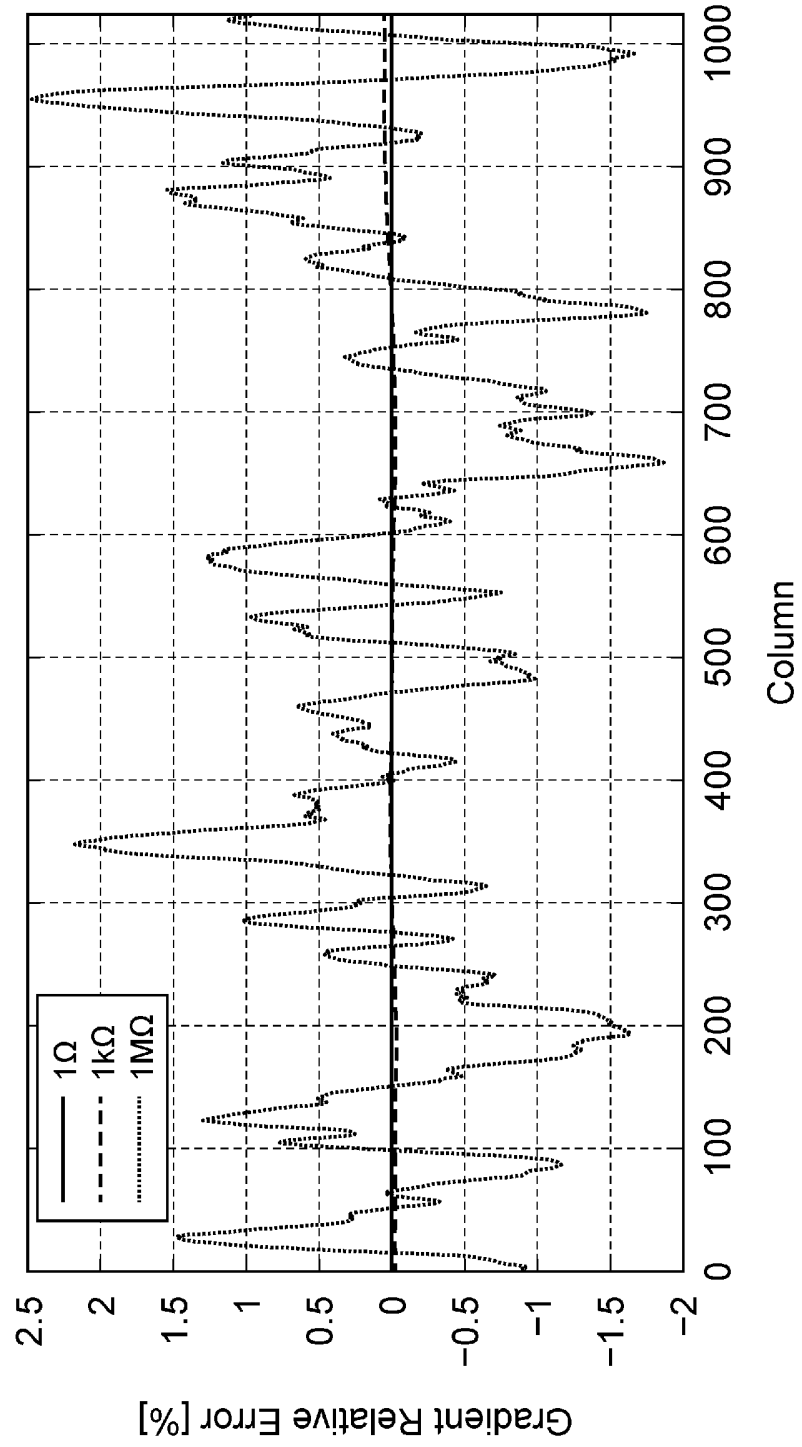
[図1]



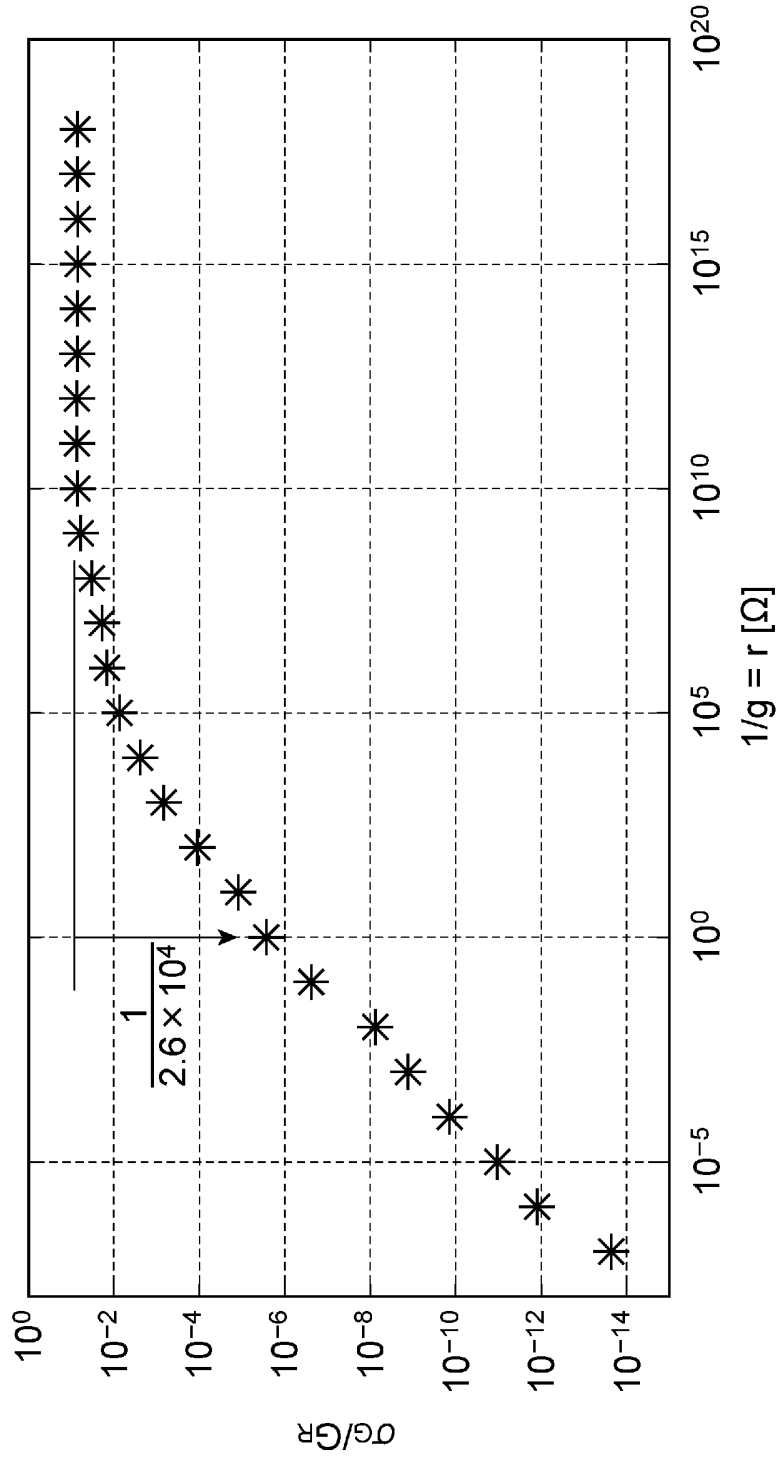
[圖2]



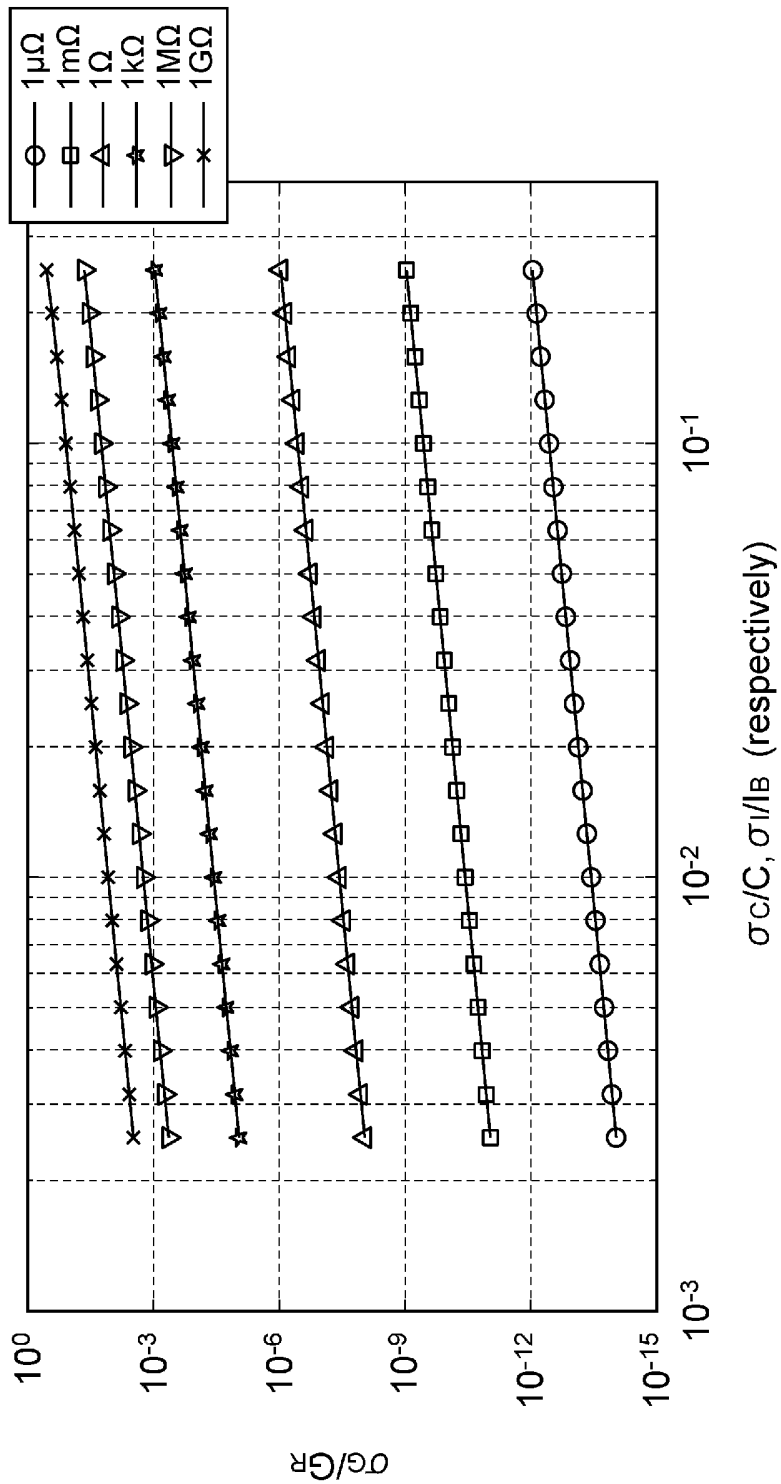
[図3]



[図4]



[圖5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079535

A. CLASSIFICATION OF SUBJECT MATTER H03M1/56(2006.01) i, H03K4/02(2006.01) i, H04N5/378(2011.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03M1/56, H03K4/02, H04N5/378		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-309811 A (Hiji High-Tech Co., Ltd.), 25 December 2008 (25.12.2008), front page; fig. 9 & JP 4064447 B & JP 3848358 B & US 2009/0302898 A1 & EP 1986178 A1 & WO 2007/040285 A1 & WO 2007/094088 A1 & KR 10-2007-0089782 A & CN 101044542 A	1-5
A	JP 2009-130828 A (Konica Minolta Business Technologies, Inc.), 11 June 2009 (11.06.2009), front page; paragraph [0061] (Family: none)	1-5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 November, 2012 (28.11.12)		Date of mailing of the international search report 11 December, 2012 (11.12.12)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/56(2006.01)i, H03K4/02(2006.01)i, H04N5/378(2011.01)i										
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/56, H03K4/02, H04N5/378										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2012年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2012年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2012年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2012年	日本国実用新案登録公報	1996-2012年	日本国登録実用新案公報	1994-2012年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2012年									
日本国実用新案登録公報	1996-2012年									
日本国登録実用新案公報	1994-2012年									
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2008-309811 A (株式会社日出ハイテック) 2008.12.25, フロントページ, 第9図 & JP 4064447 B & JP 3848358 B & US 2009/0302898 A1 & EP 1986178 A1 & WO 2007/040285 A1 & WO 2007/094088 A1 & KR 10-2007-0089782 A & CN 101044542 A	1-5								
A	JP 2009-130828 A (コニカミノルタビジネステクノロジーズ株式会社) 2009.06.11, フロントページ, 段落 61 (ファミリーなし)	1-5								
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献										
国際調査を完了した日 28.11.2012	国際調査報告の発送日 11.12.2012									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 柳下 勝幸 電話番号 03-3581-1101 内線 3596	5X 9561								