

【11】證書號數：I536454

【45】公告日：中華民國 105 (2016) 年 06 月 01 日

【51】Int. Cl. : H01L21/31 (2006.01)

發明

全 15 頁

【54】名稱：於銻層上具備有含氧化銻之膜的半導體結構及其製造方法

【21】申請案號：102115227

【22】申請日：中華民國 102 (2013) 年 04 月 29 日

【11】公開編號：201409566

【43】公開日期：中華民國 103 (2014) 年 03 月 01 日

【30】優先權：2012/08/24

日本

2012-185277

【72】發明人：鳥海明 (JP) TORIUMI, AKIRA；李忠賢 (KR) LEE, CHOONG-HYUN

【71】申請人：國立研究開發法人科學技術振興機構
JAPAN SCIENCE AND TECHNOLOGY AGENCY
日本

【74】代理人：惲軼群；陳文郎

【56】參考文獻：

Zhang, R. et al., "High mobility Ge pMOSFETs with 0.7nm ultrathin EOT using HfO₂/Al₂O₃/GeOX/Ge gate stacks fabricated by plasma post oxidation", Digest of Technical Papers-Symposium on VLSI Technology, June 2012, pp. 161-162

Lee, C. H., et al., "Ge/GeO₂ interface control with high-pressure oxidation for improving electrical characteristics", Applied Physics Express, 10 July, 2009. Vol. 2, No. 7, pp. 071404-1~071404-3

Jagadeesh Chandra, S. V. et al., "Effective metal work function of Pt gate electrode in Ge metal oxide semiconductor device", Journal of the Electrochemical Society, 6 April, 2010. Vol. 157, No. 5, pp. H546-H550

Nishimura, T., et al., "High-electron-mobility Ge n-channel metal-oxide-semiconductor field-effect transistors with high-pressure oxidized Y₂O₃", Applied Physics Express, 2 June, 2011. Vol. 4, No. 6, pp. 064201-1~064201-3

審查人員：陳英豪

[57]申請專利範圍

1. 一種半導體結構，其特徵在於具備有：銻層；及絕緣膜，其包含形成在前述銻層上之含有氧化銻的膜，及形成在前述含氧化銻之膜上，且比介電率較氧化矽大之高介電體氧化膜；又，前述絕緣膜之 EOT 係 2nm 以下，且其由平帶電壓施加 1V 當於前述絕緣膜上形成 Au 作為金屬膜時前述金屬膜之相對於銻層的電壓於累積區域側時，其漏電流密度係 $10^{-5 \times \text{EOT} + 4} \text{A/cm}^2$ ，其中前述銻層係 p 型，且當令前述銻層內之面電子密度為 $N_s (\text{cm}^{-2})$ ，且前述銻層之利用分離式 CV 法求出之電子移動度為 $\mu_{\text{eff}} (\text{cm}^2/\text{V} \cdot \text{s})$ 時，於 N_s 為 $5 \times 10^{12} \text{cm}^{-2}$ 以上時， $\log_{10} \mu_{\text{eff}} > -0.59 \times \log_{10} N_s + 10.19$ 。
2. 如申請專利範圍第 1 項之半導體結構，其中前述高介電體氧化膜包含氧化鉛膜、氧化銻膜、氧化鋁膜、氧化鈮膜、氧化釩膜及稀土類元素氧化膜之至少 1 種膜。

(2)

3. 如申請專利範圍第 1 或 2 項之半導體結構，其於前述絕緣膜上形成 Au 作為金屬膜時前述鍺層與前述金屬膜之頻率為 50kHz 以上時的電容值，在前述金屬膜之相對於前述鍺層的電壓由平帶電壓變化至反轉區域時係一樣地減少、或為固定。
4. 如申請專利範圍第 1 或 2 項之半導體結構，其於前述高介電體氧化膜上具備有閘極電極。

圖式簡單說明

圖 1(a)至圖 1(c)係顯示半導體結構之製作方法之截面圖。

圖 2(a)係顯示氧化鍺膜厚度對熱處理時間之圖，且圖 2(b)係顯示氧化鍺膜厚度對氧壓力之圖。

圖 3(a)及圖 3(b)係顯示氧化鍺膜厚度對蝕刻時間之圖。

圖 4(a)及圖 4(b)係顯示信號強度對氧分壓分別在室溫下 1 大氣壓與 70 大氣壓之樣本之結合能之圖。

圖 5 係顯示氧化鍺膜之密度對氧壓力之圖。

圖 6 係顯示漏電流對 EOT 之圖。

圖 7 係顯示電容 C 對電壓 V 之圖。

圖 8(a)及圖 8(b)係顯示實施例 1 之半導體結構之製造方法之截面圖。

圖 9(a)至圖 9(d)係顯示實施例 2 之半導體結構之製造方法之截面圖。

圖 10 係顯示電容 C 對電壓 V 之圖。

圖 11(a)係顯示 CET 對氧化時間之圖。圖 11(b)係顯示漏電流密度 J 對 EOT 之圖。

圖 12(a)係顯示界面態密度 D_{it} 對 EOT 之圖，且圖 12(b)係顯示界面態密度 D_{it} 對能量之圖。

圖 13(a)係使用實施例 1 之半導體結構之電晶體之截面，且圖 13(b)係使用實施例 2 之半導體結構之截面圖。

圖 14(a)及圖 14(b)係顯示移動度 μ_{eff} 對面電子密度 N_s 之圖。

(3)

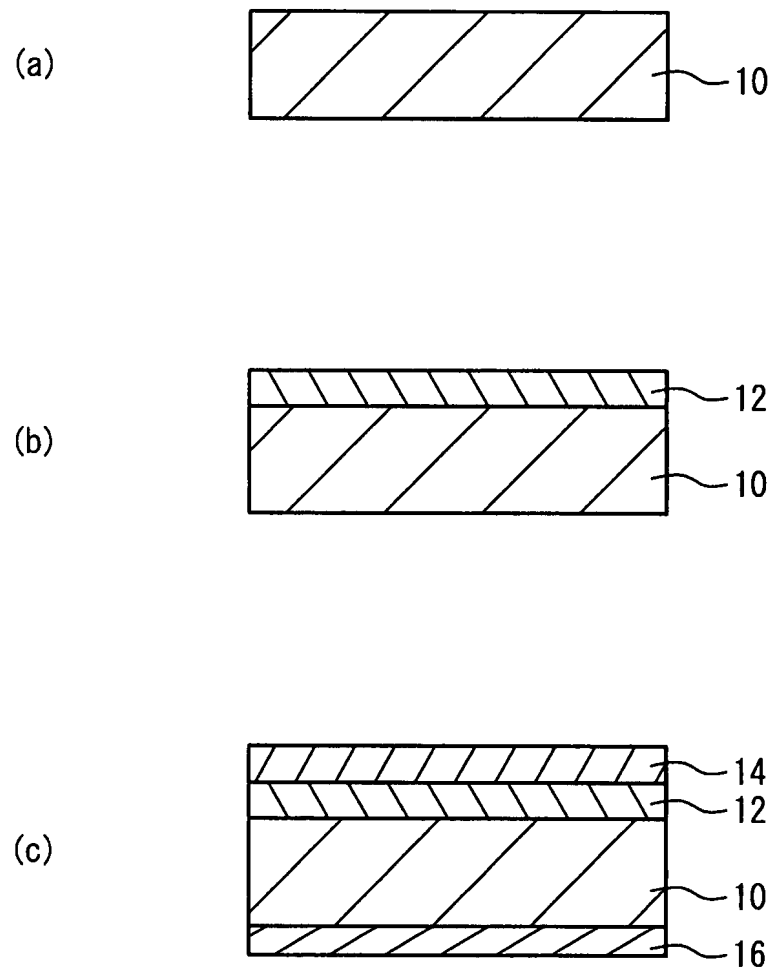


圖1

(4)

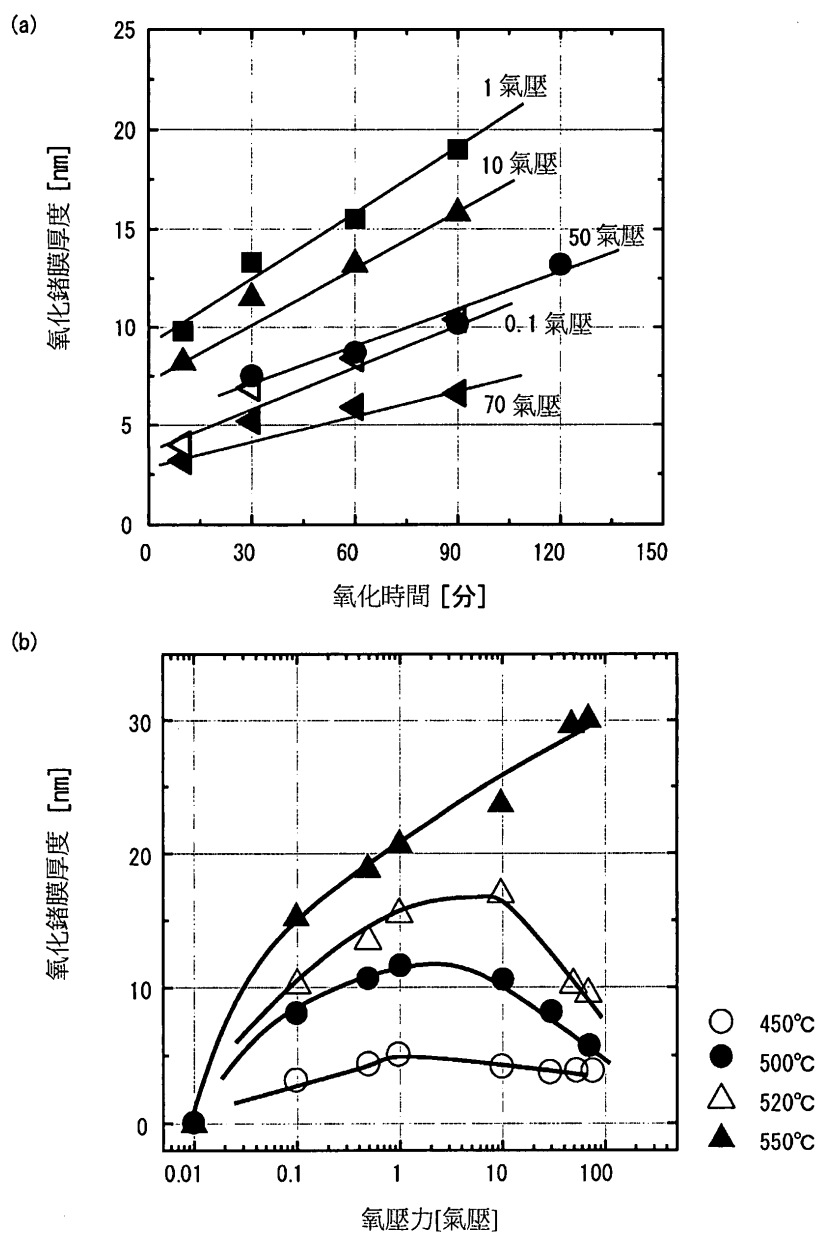


圖2

(5)

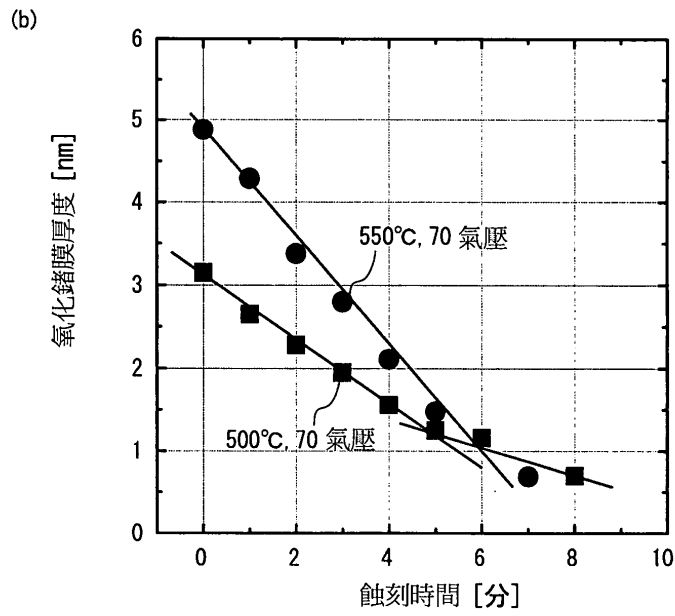
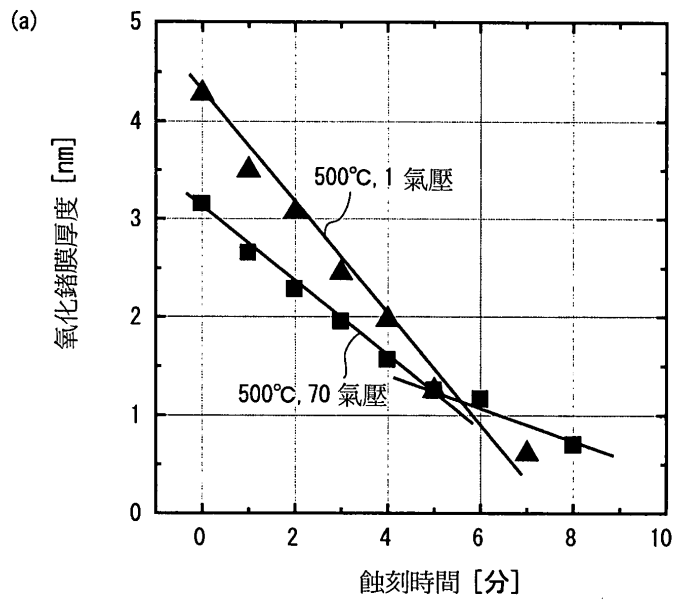


圖3

(6)

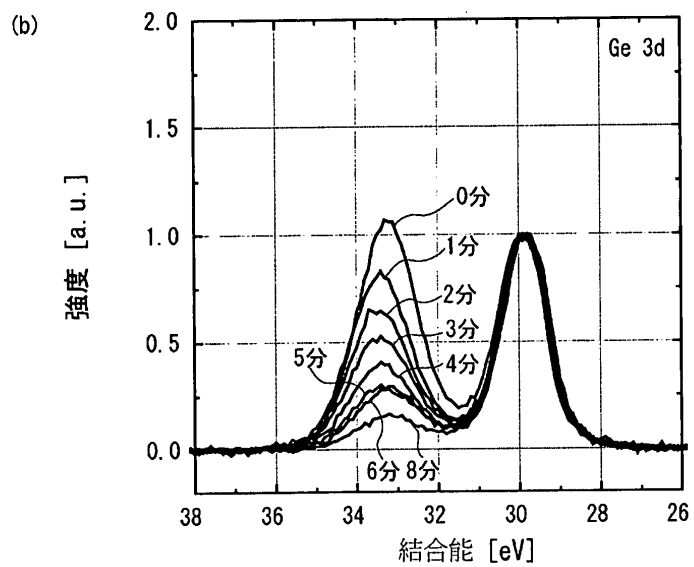
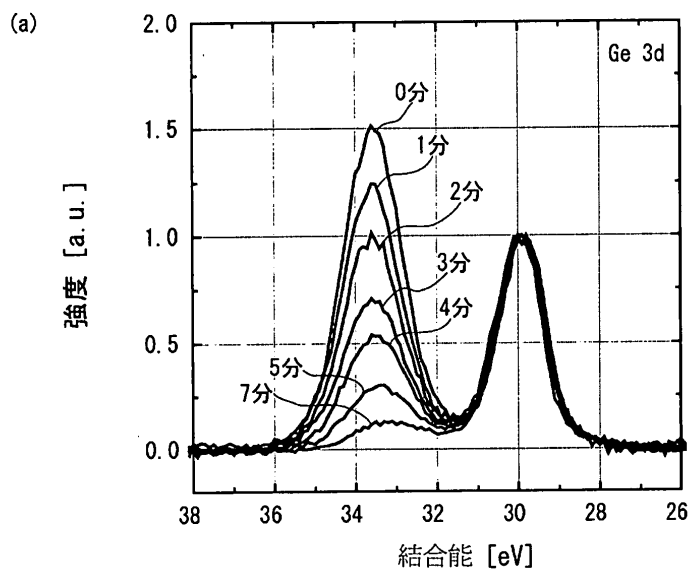


圖4

(7)

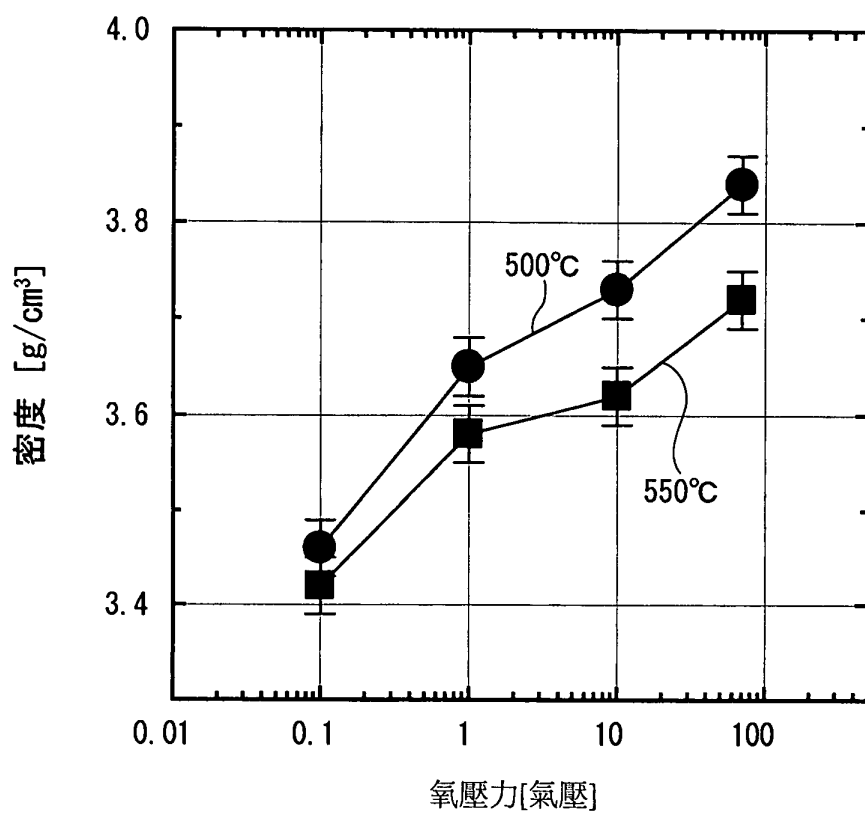


圖5

(8)

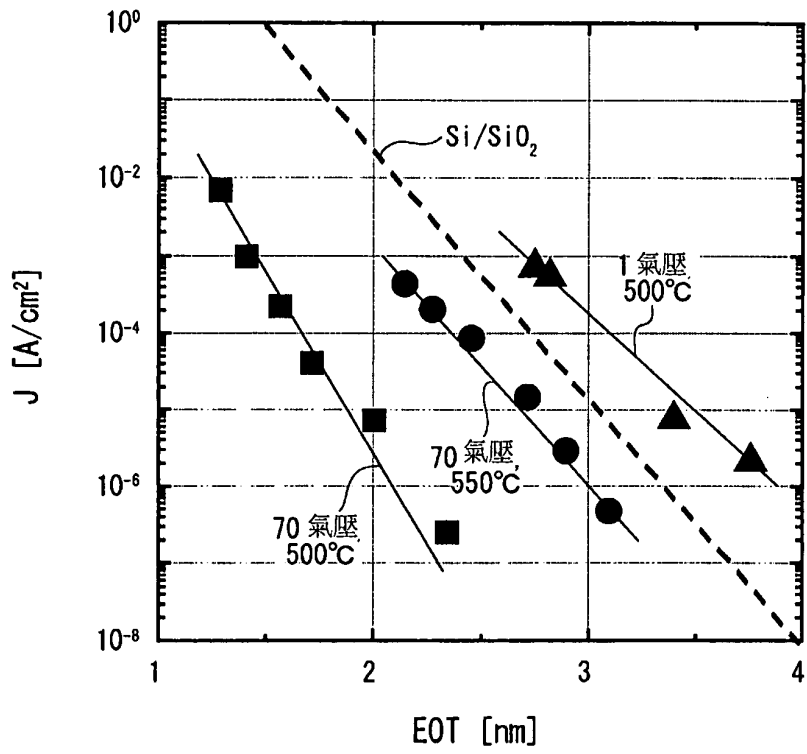


圖6

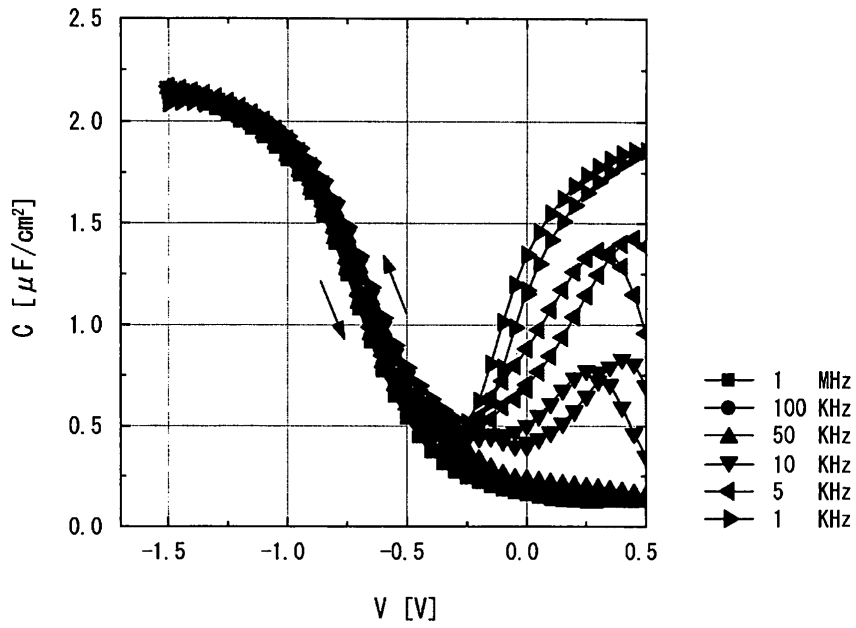


圖7

(9)

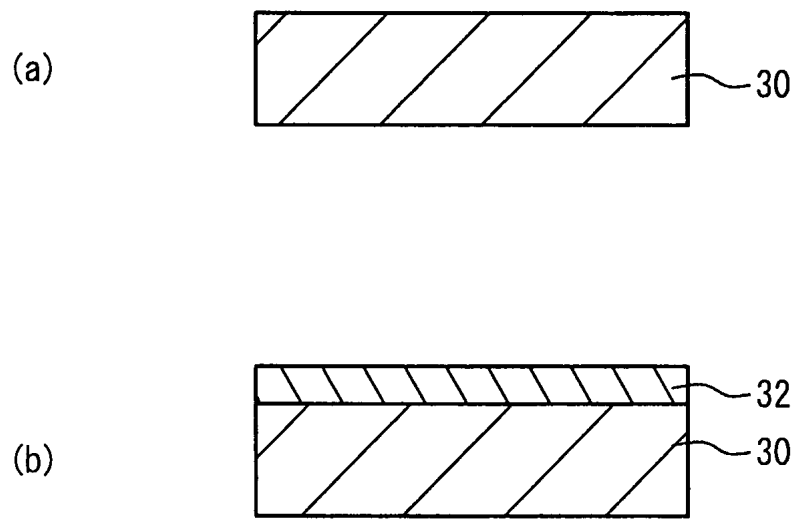


圖8

(10)

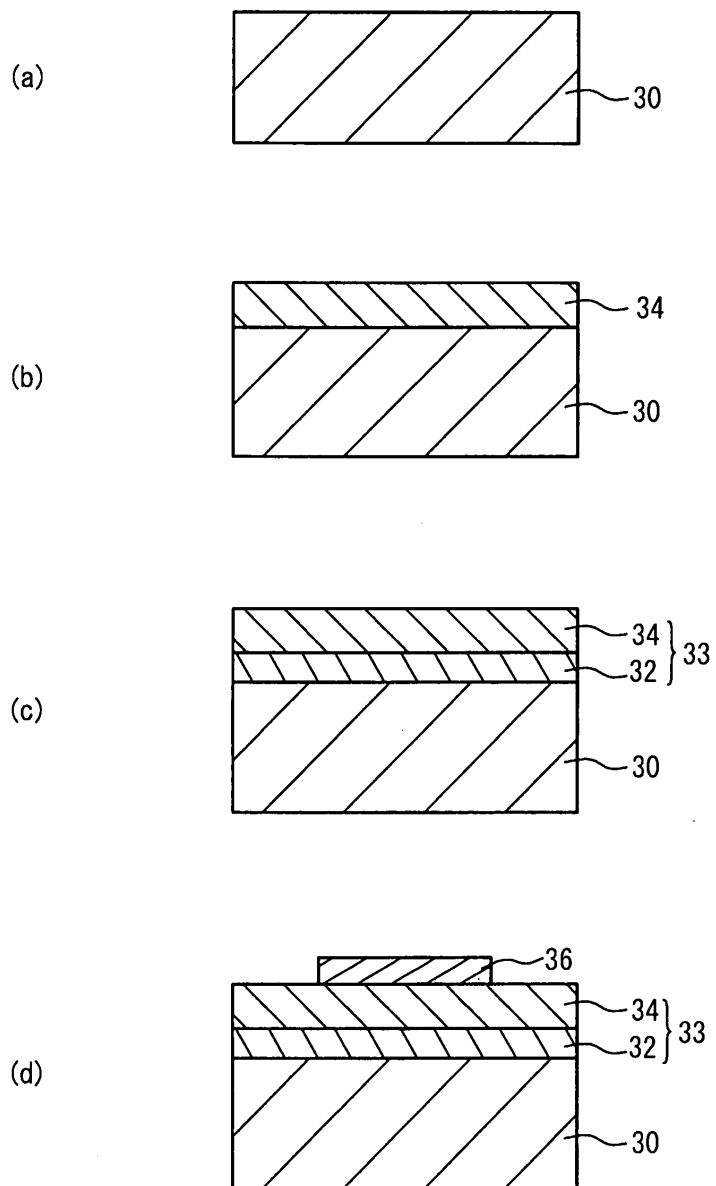


圖9

(11)

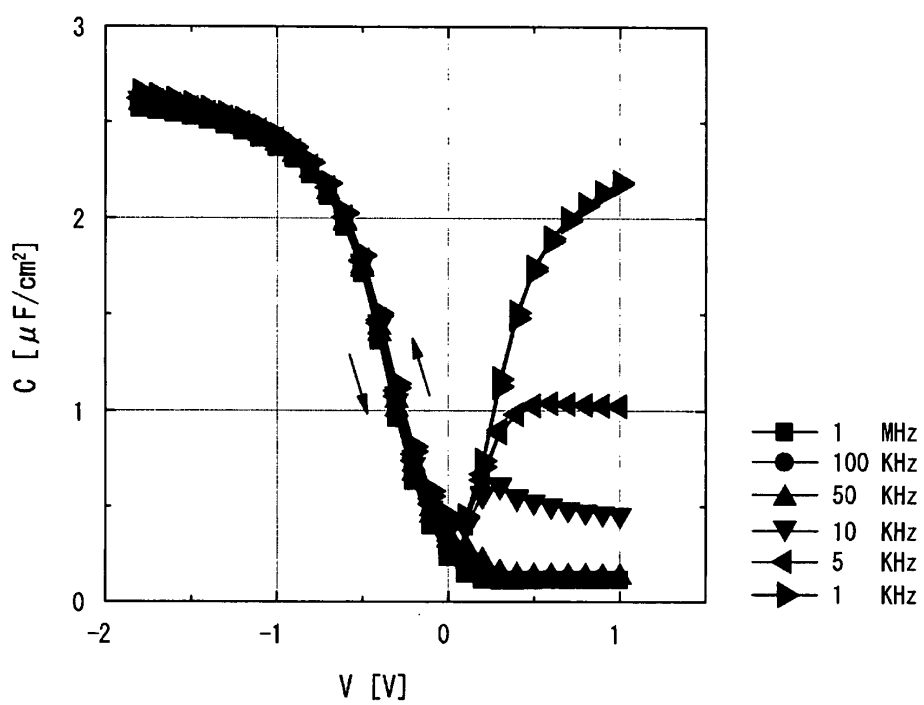


圖10

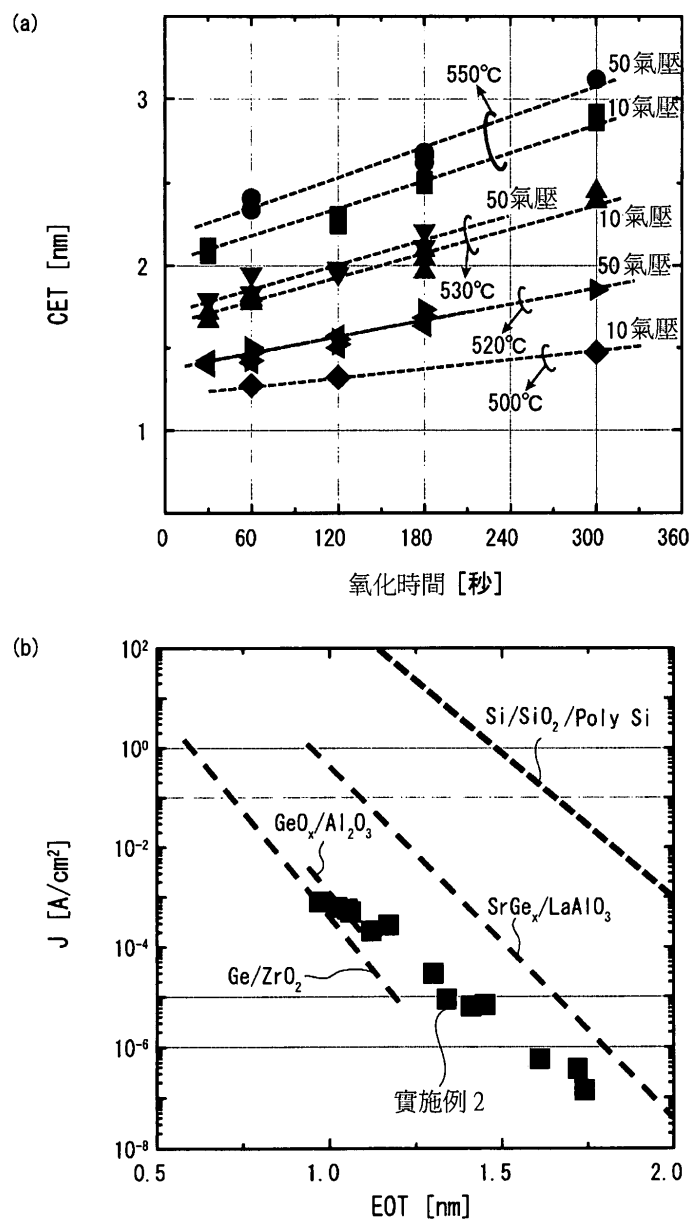


圖11

(13)

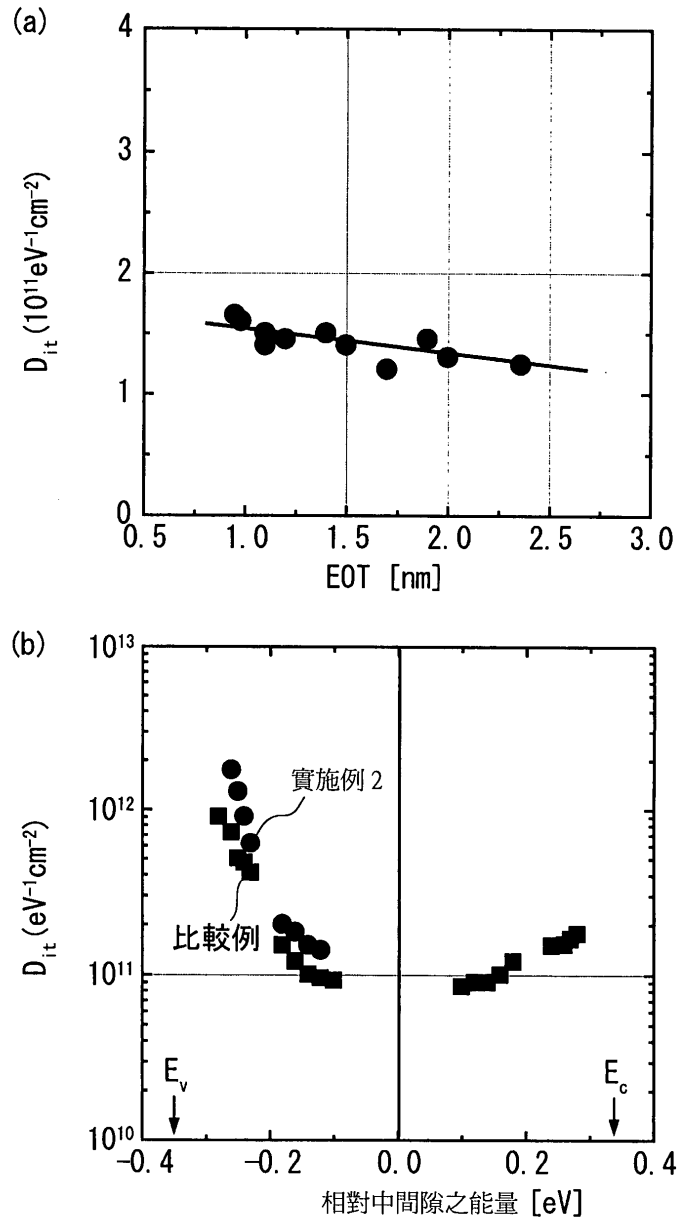


圖12

(14)

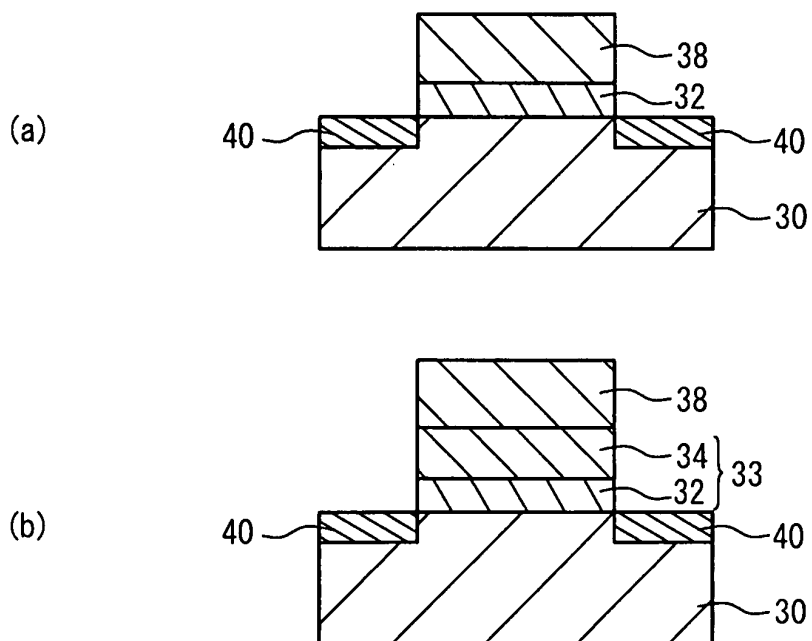


圖13

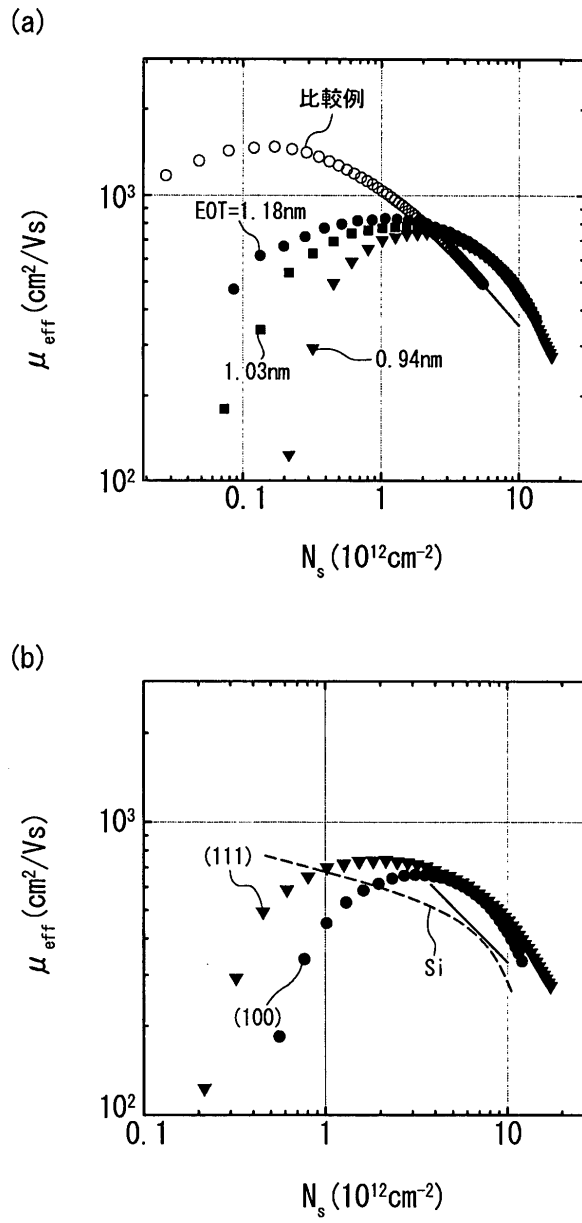


圖14