

【11】證書號數：I582764

【45】公告日：中華民國 106 (2017) 年 05 月 11 日

【51】Int. Cl. : G11C11/15 (2006.01) G11C11/413 (2006.01)

發明

全 16 頁

【54】名稱：記憶電路

【21】申請案號：102117351

【22】申請日：中華民國 102 (2013) 年 05 月 16 日

【11】公開編號：201411618

【43】公開日期：中華民國 103 (2014) 年 03 月 16 日

【30】優先權：2012/05/18

日本

2012-114988

【72】發明人：山本修一郎 (JP) YAMAMOTO, SHUICHIRO ; 周藤悠介 (JP) SHUTO, YUSUKE ; 菅原聰 (JP) SUGAHARA, SATOSHI

【71】申請人：國立研究開發法人科學技術振興機構  
JAPAN SCIENCE AND TECHNOLOGY AGENCY  
日本

【74】代理人：惲軼群；陳文郎

【56】參考文獻：

TW 548653

TW 201023187A

JP 2-81398A

JP 2004-63004A

US 2010/0202191A1

WO 2009/028298A1

審查人員：林明立

## 【57】申請專利範圍

1. 一種記憶電路，其特徵在於具備：複數記憶單元，各個記憶單元包含雙穩態電路及非揮發性元件，且該雙穩態電路可記憶資料，而該非揮發性元件可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中；及控制部，可於前述複數記憶單元中，就各個記憶單元判定前述雙穩態電路與前述非揮發性元件之資料是否一致，並於判定前述雙穩態電路與前述非揮發性元件之資料一致時，不儲存前述雙穩態電路之資料於前述非揮發性元件，判定前述雙穩態電路與前述非揮發性元件之資料不一致時，則儲存前述雙穩態電路之資料於前述非揮發性元件。
2. 如請求項第 1 項之記憶電路，其特徵在於前述非揮發性元件藉變更電阻值而儲存前述雙穩態電路之資料。
3. 如請求項第 1 項之記憶電路，其特徵在於前述非揮發性元件之一端連接前述雙穩態電路內之節點，另一端則連接控制線，前述控制部則基於朝前述雙穩態電路記憶資料時之前述控制線之輸出，而判定前述雙穩態電路與前述非揮發性元件之資料是否一致。
4. 如請求項第 3 項之記憶電路，其特徵在於前述雙穩態電路包含互補之第 1 節點及第 2 節點，前述非揮發性元件則包含一端連接前述第 1 節點而另一端連接前述控制線之第 1 非揮發性元件，以及一端連接前述第 2 節點而另一端與前述控制線之間已連接之第 2 非揮發性元件。
5. 如請求項第 3 項之記憶電路，其特徵在於具備可讀取前述雙穩態電路之資料之讀出電路，前述控制部則基於前述讀出電路之輸出及前述控制線之輸出，而判定前述雙穩態電路與前述非揮發性元件之資料是否一致。
6. 如請求項第 5 項之記憶電路，其特徵在於前述雙穩態電路包含互補之第 1 節點及第 2 節點，前述控制線包含第 1 控制線與第 2 控制線，前述非揮發性元件包含第 1 非揮發性元

(2)

件與第 2 非揮發性元件，該第 1 非揮發性元件係一端連接前述第 1 節點而另一端連接第 1 控制線，而該第 2 非揮發性元件係一端連接前述第 2 節點而另一端與第 2 控制線之間已連接，前述控制部基於前述讀出電路之輸出與前述第 1 控制線及第 2 控制線之輸出，而判定前述第 1 非揮發性元件與前述第 2 非揮發性元件之資料是否矛盾。

7. 如請求項第 1 項之記憶電路，其特徵在於前述控制部接收了跳過(skip)訊號後，則不進行前述雙穩態電路與前述非揮發性元件之資料是否一致之判定。
8. 一種記憶電路，其特徵在於具備：複數單元，各單元包含可記憶資料之雙穩態電路，以及可非揮發性地儲存前述雙穩態電路中記憶之資料，並將已非揮發性地儲存之資料重存於前述雙穩態電路中之非揮發性元件，且該複數單元分割成各領域包含至少 2 單元之複數領域；及控制部，可就前述複數領域的每一個領域，在前次已對前述雙穩態電路重存資料以後，判定對應之領域之單元所包含之至少一個單元中，是否已揮發性地重寫前述雙穩態電路之資料，在判定並未重寫時，於前述對應之領域所包含之單元中，不將前述雙穩態電路之資料儲存於前述非揮發性元件；在判定已重寫時，則於前述對應之領域所包含之單元中，將前述雙穩態電路之資料儲存於前述非揮發性元件。
9. 如請求項第 8 項之記憶電路，其特徵在於具備可就前述複數領域個別記憶是否已重寫前述雙穩態電路之至少 1 筆資料之記憶部。
10. 如請求項第 8 項之記憶電路，其特徵在於前述控制部接收了跳過訊號後，則不進行在前次已對前述雙穩態電路重存資料以後，前述複數之雙穩態電路之資料是否已揮發性地重寫之判定。
11. 如請求項第 1 或 8 項之記憶電路，其特徵在於前述非揮發性元件是鐵磁穿隧接合元件。
12. 如請求項第 1 或 8 項之記憶電路，其特徵在於前述非揮發性元件之一端連接前述雙穩態電路內之節點，另一端則連接控制線，前述非揮發性元件之前述一端與前述雙穩態電路內之前述節點之間連接有第 1 開關，前述複數單元設成矩陣形，行之單元共用可控制前述開關之開關線，列之單元則共用前述控制線。
13. 如請求項第 12 項之記憶電路，其特徵在於前述雙穩態電路內之前述節點與輸出入線之間連接有第 2 開關，前述行之單元共用可控制前述第 2 開關之字線，前述列之單元則共用前述輸出入線。
14. 一種記憶電路，其特徵在於具備：鐵磁穿隧接合元件；讀出電路，可讀取前述鐵磁穿隧接合元件中已非揮發性地寫入之資料；及控制部，可在前述讀出電路之輸出與對前述鐵磁穿隧接合元件非揮發性地寫入之資料一致時，不對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料，並在前述讀出電路之輸出與前述非揮發性地寫入之資料不一致時，對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料。
15. 如請求項第 14 項之記憶電路，其特徵在於前述控制部可判定前述讀出電路之輸出與前述鐵磁穿隧接合元件中非揮發性地寫入之資料是否一致，並於判定為一致時，不對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料，判定為不一致時，則對前述鐵磁穿隧接合元件寫入前述非揮發性地寫入之資料。
16. 如請求項第 15 項之記憶電路，其特徵在於前述控制部接收了跳過訊號時，則不進行前述讀出電路之輸出與前述鐵磁穿隧接合元件中非揮發性地寫入之資料是否一致之判定。

圖式簡單說明

圖 1(a)及圖 1(c)顯示鐵磁穿隧接合元件之一例。圖 1(b)顯示鐵磁穿隧接合元件之電流-電壓特性。

圖 2 為記憶單元之電路圖。

圖 3 為顯示記憶單元之控制之時間圖。

(3)

圖 4(a)及圖 4(b)為顯示記憶單元之他例之電路圖。

圖 5(a)及圖 5(b)為顯示第 1 實施例之記憶電路及記憶單元之功能區圖。

圖 6 為第 1 實施例之記憶單元與判定部之功能區圖。

圖 7(a)及圖 7(b)為電源、開關線及控制線之時間圖。

圖 8 為第 2 實施例之記憶電路之功能區圖。

圖 9 為開關線與控制線之時間圖。

圖 10 為第 3 實施例之記憶單元與判定部之功能區圖。

圖 11 為第 3 實施例之記憶電路之電路圖。

圖 12 為各訊號之時間圖。

圖 13 為顯示第 4 實施例之記憶電路之功能區圖。

圖 14 為顯示儲存時之控制部之處理之流程圖。

圖 15 為顯示第 4 實施例之變形例之記憶電路之功能區圖。

圖 16 為第 5 實施例之記憶電路之功能區圖。

圖 17 為第 5 實施例之記憶電路之更詳細之功能區圖。

圖 18(a)及圖 18(b)為第 1 及 2 比較例之記憶電路之模式圖。

圖 19 為第 6 實施例之記憶電路之模式圖。

(4)

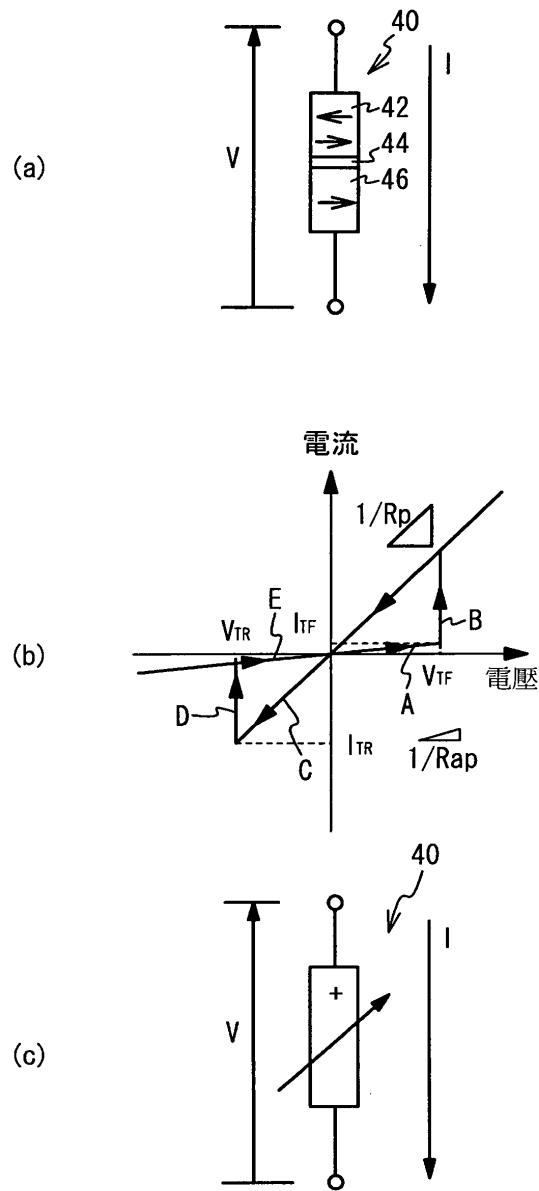


圖1

(5)

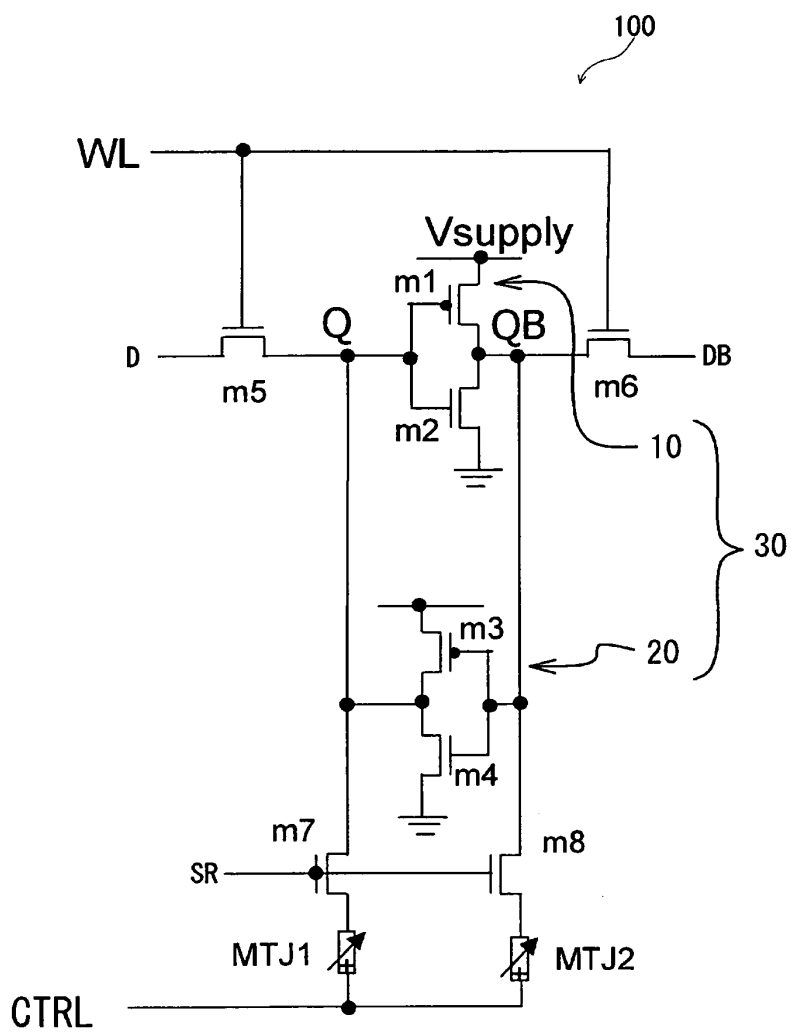


圖2

(6)

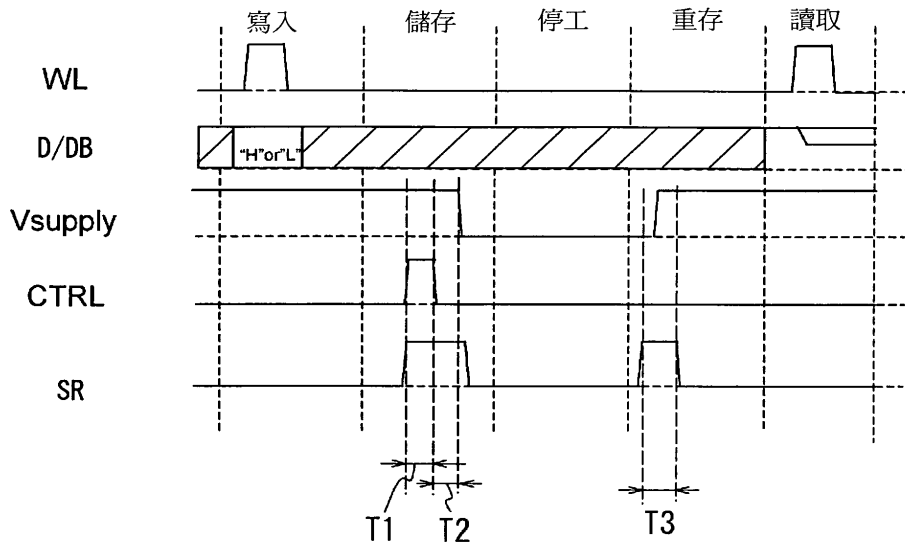


圖3

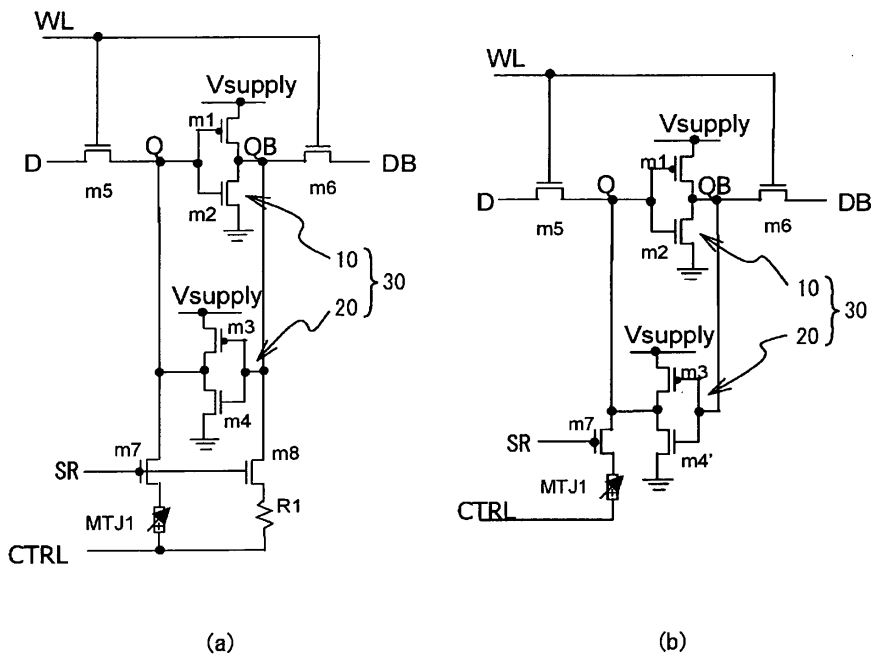


圖4

(7)

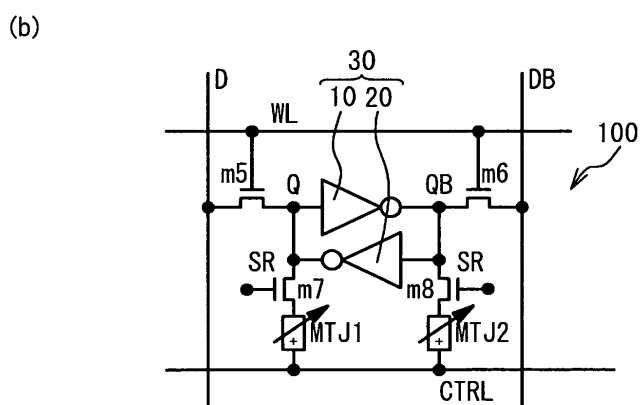
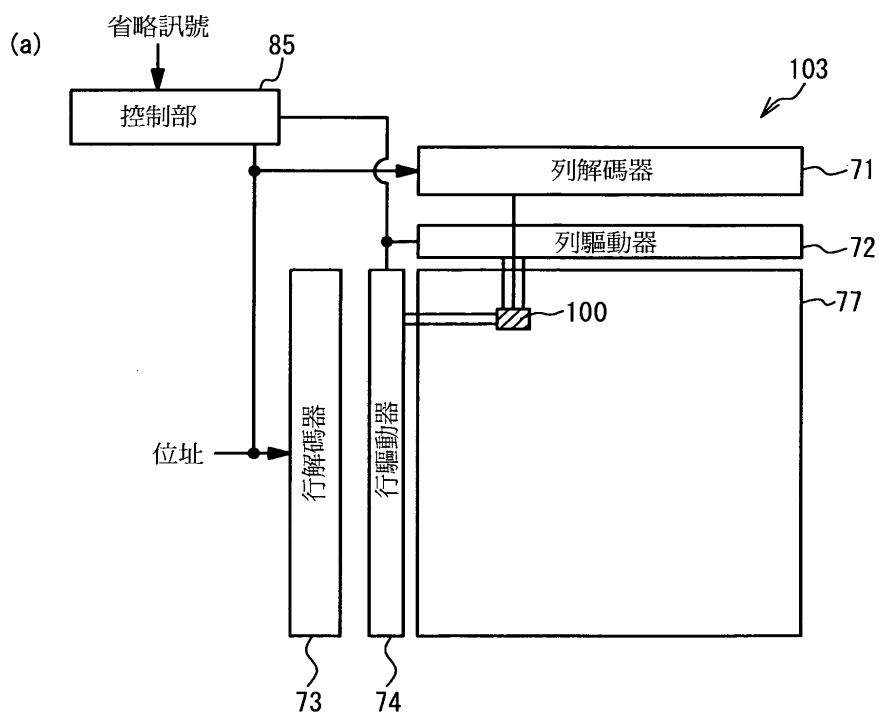


圖5

(8)

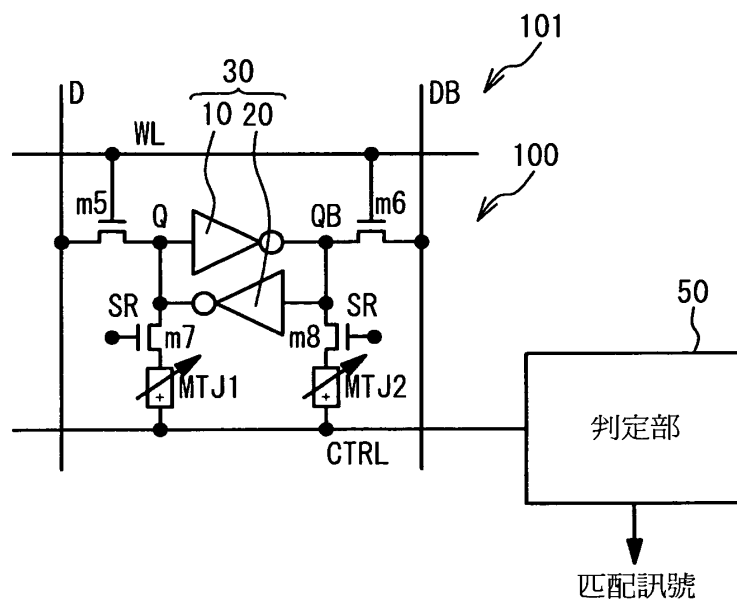


圖6



(9)

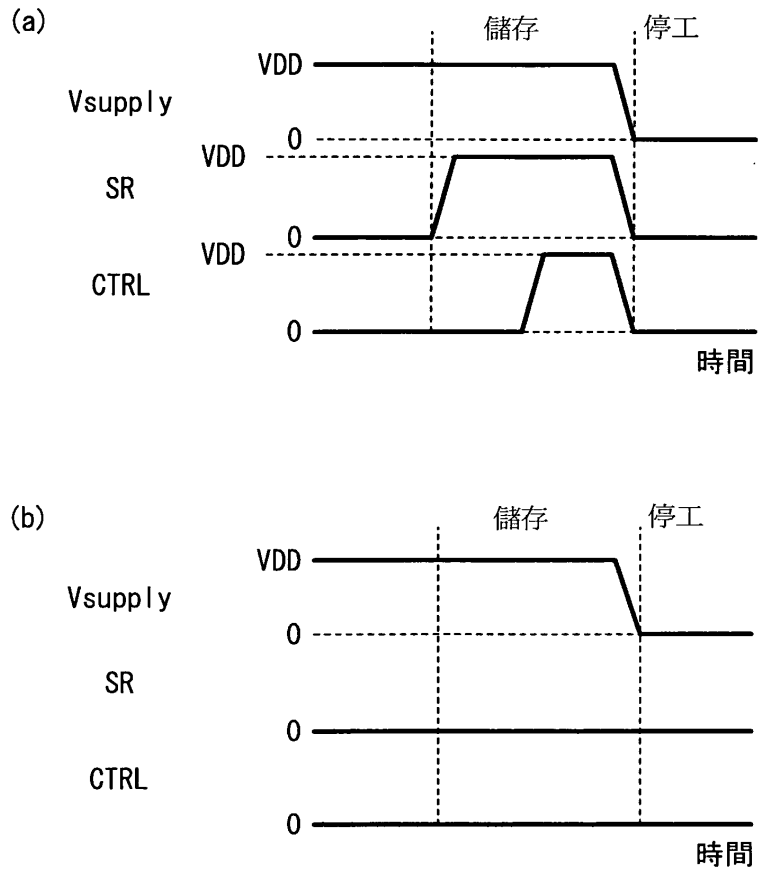


圖7

(10)

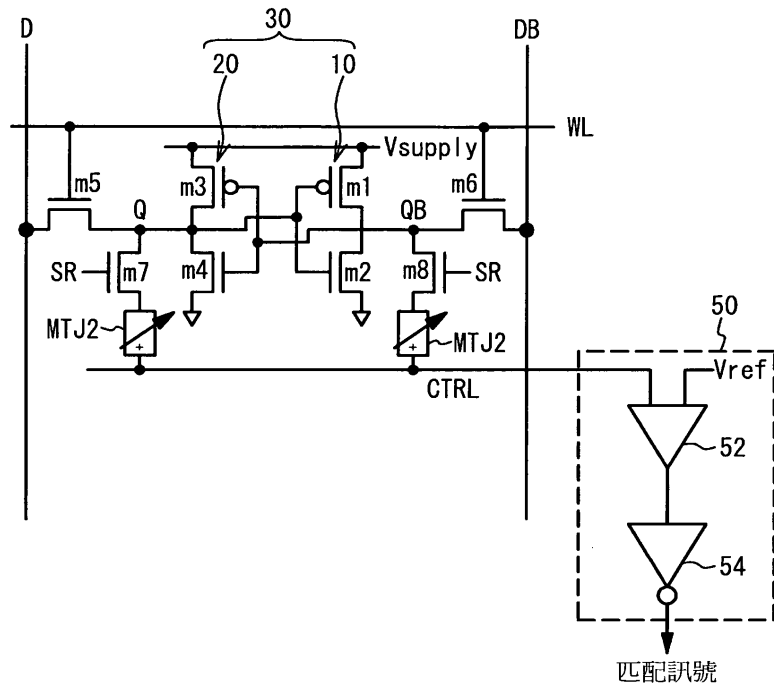


圖8

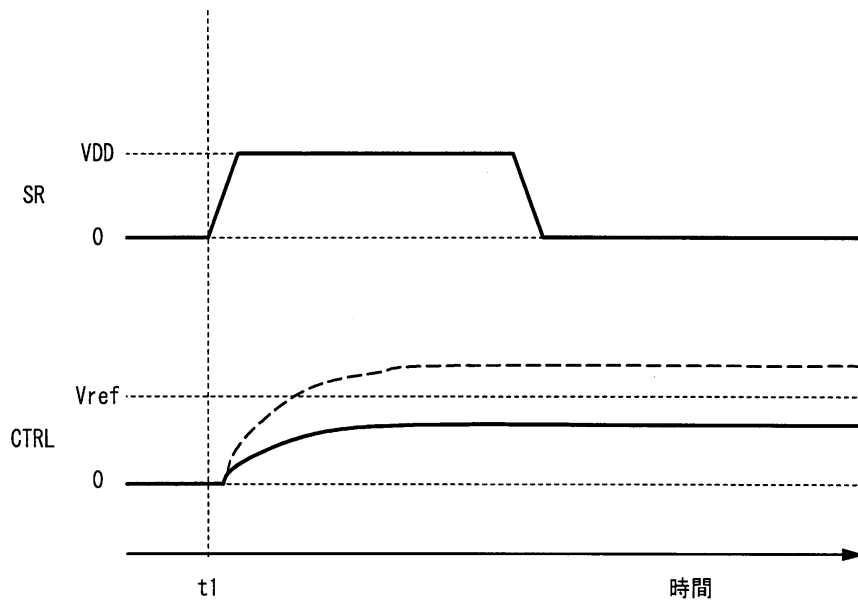


圖9

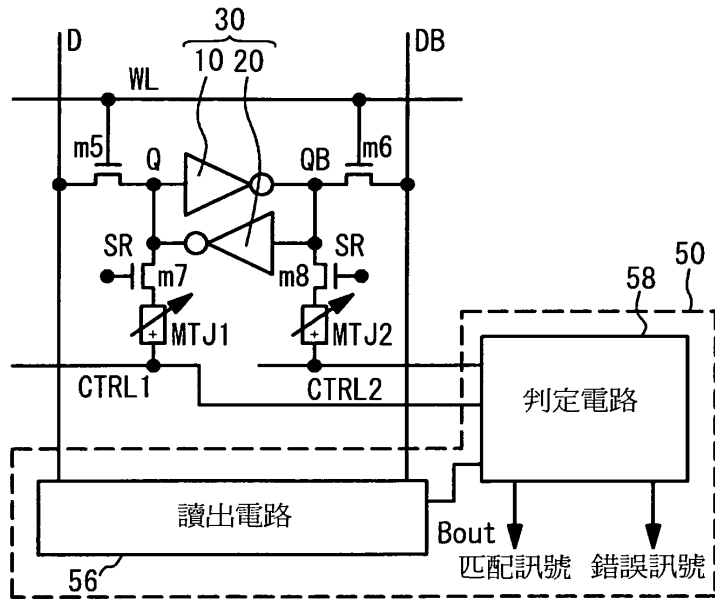


圖10

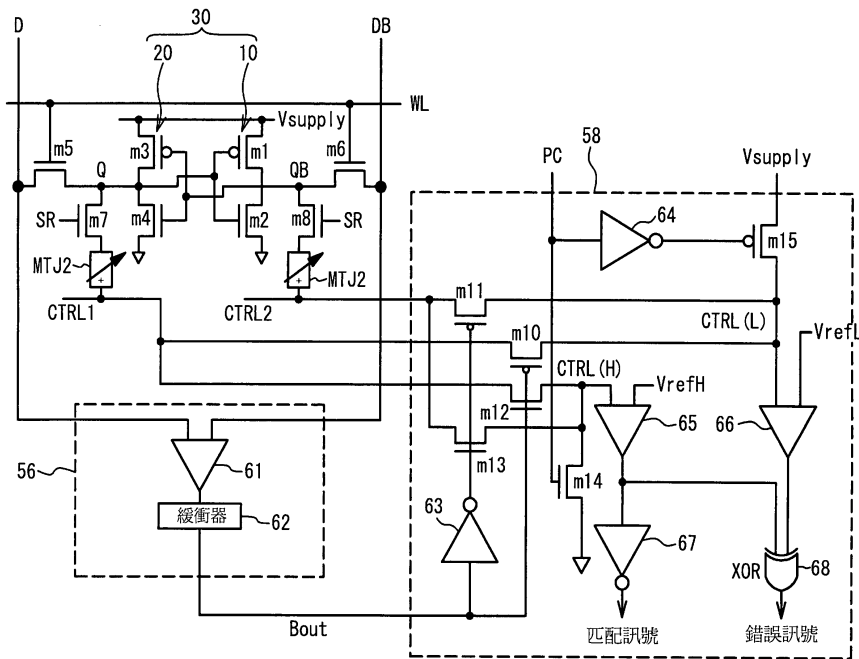


圖11

(12)

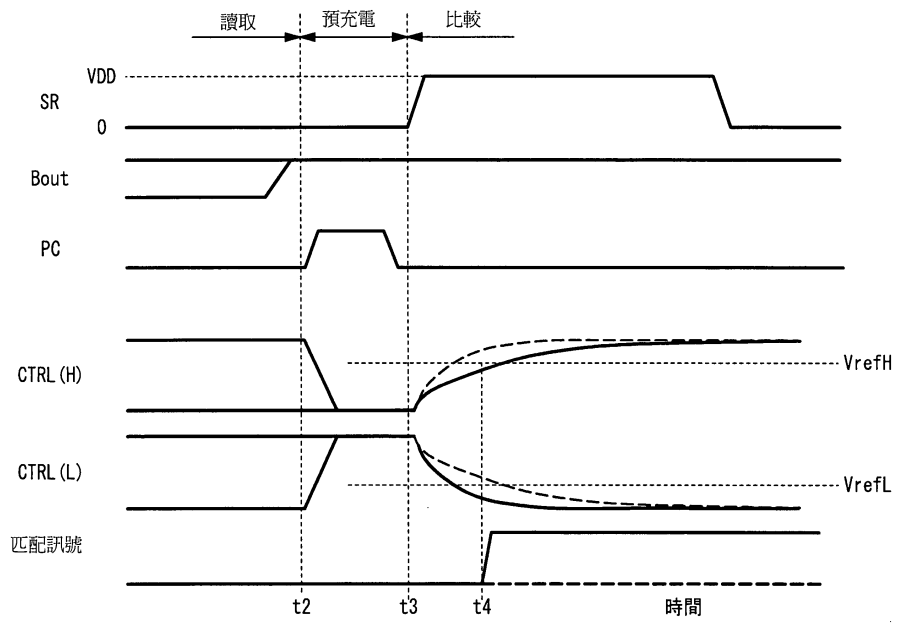


圖12

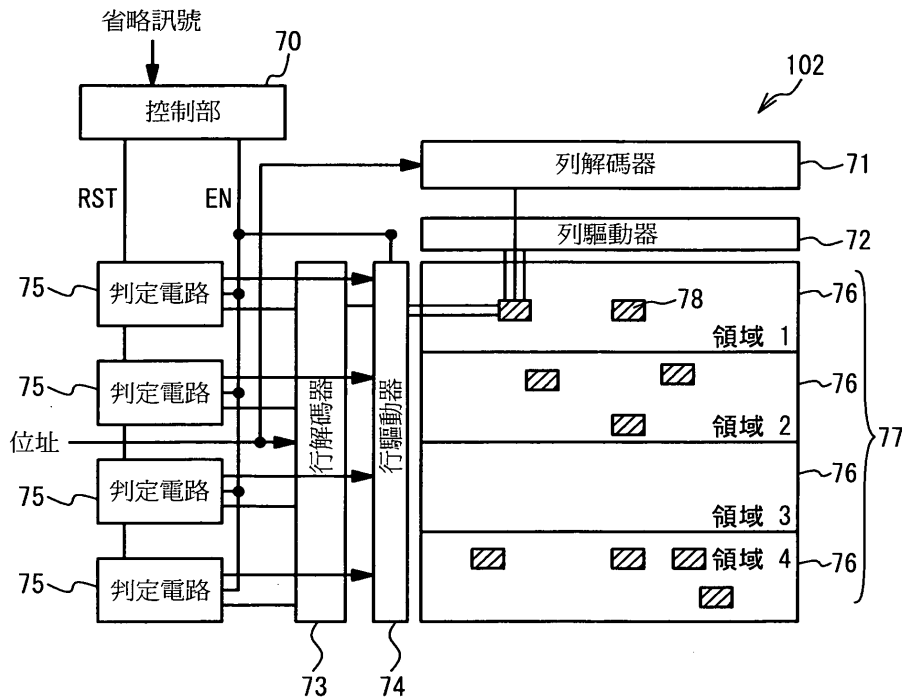


圖13

(13)

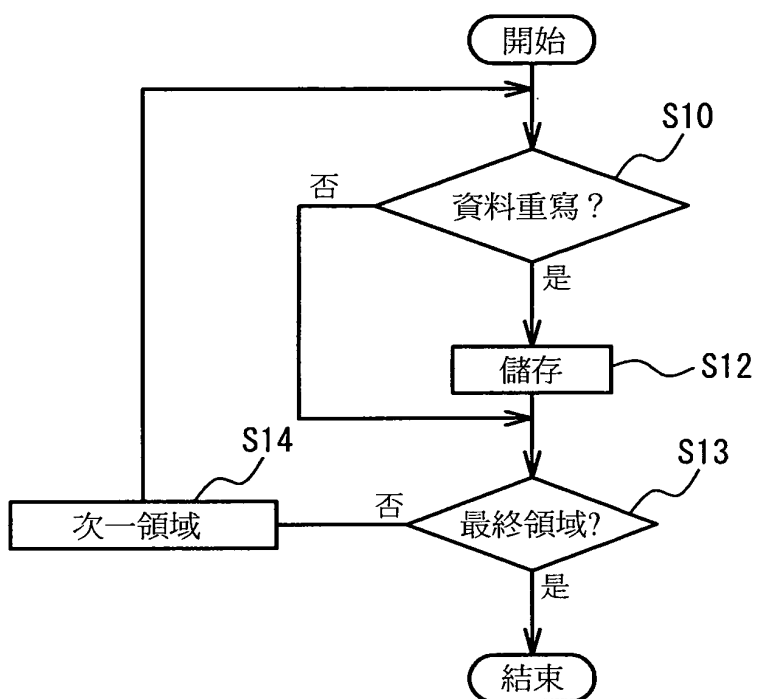


圖14

(14)

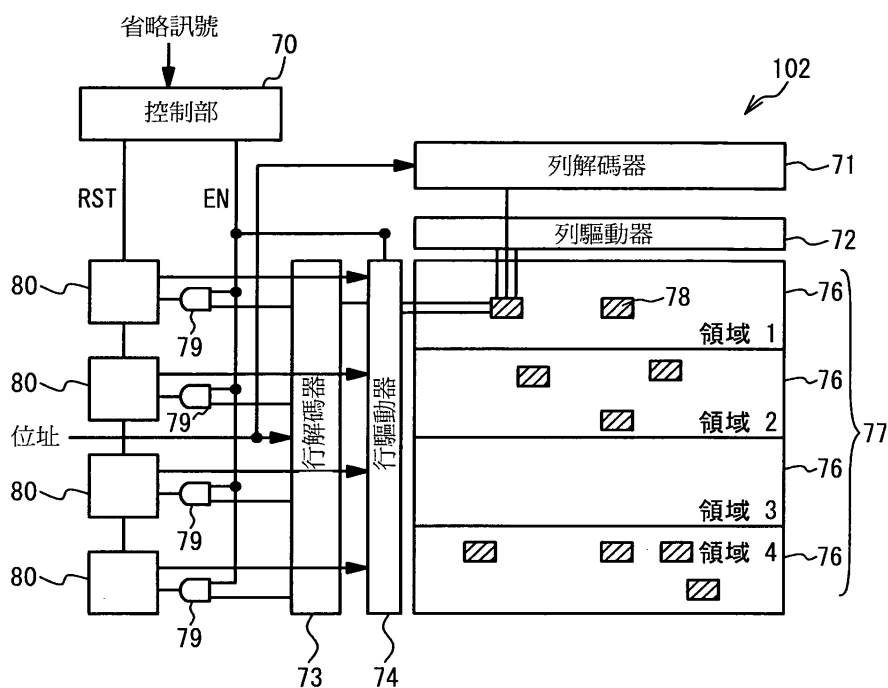


圖15

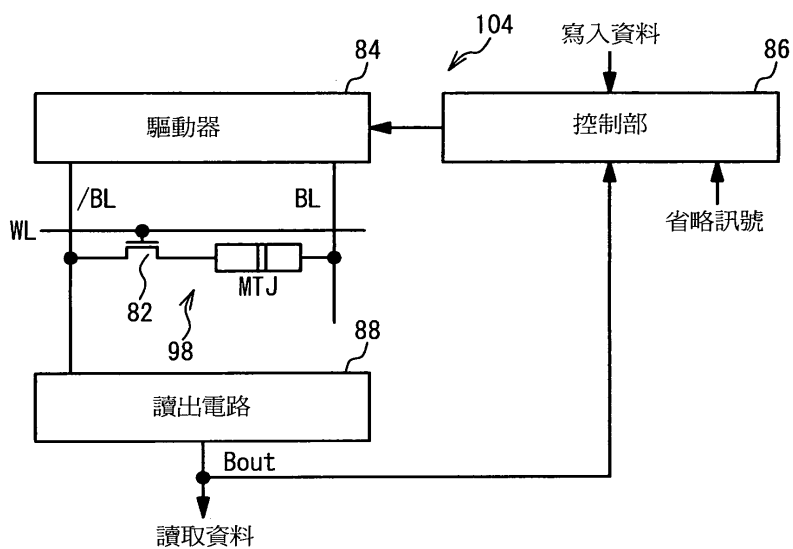


圖16

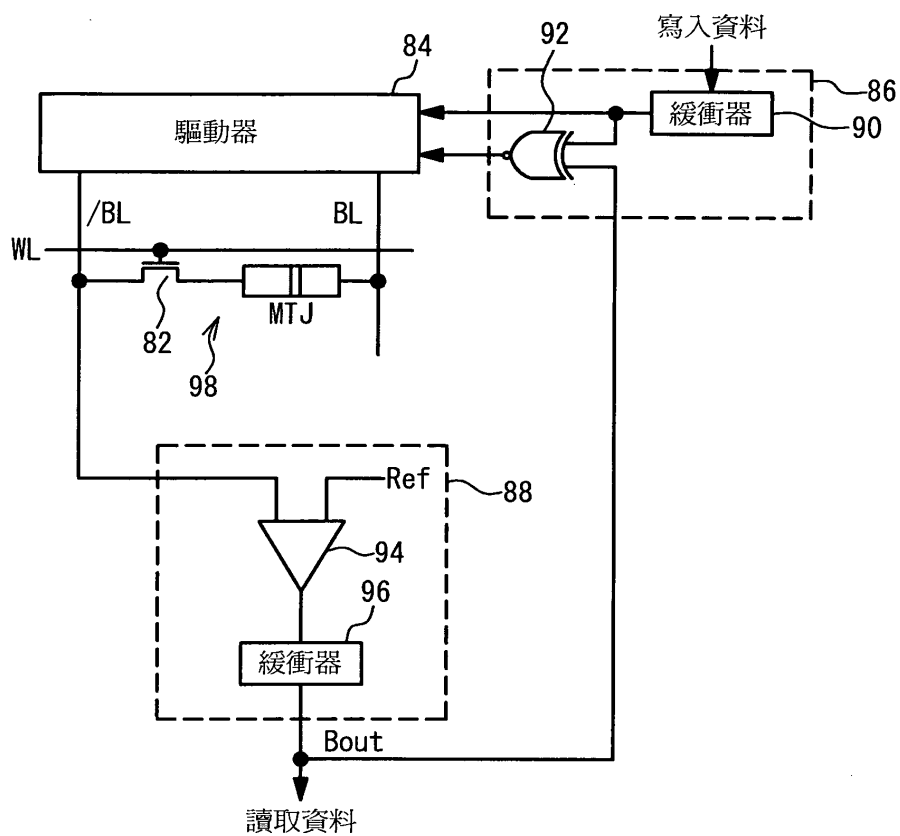


圖17

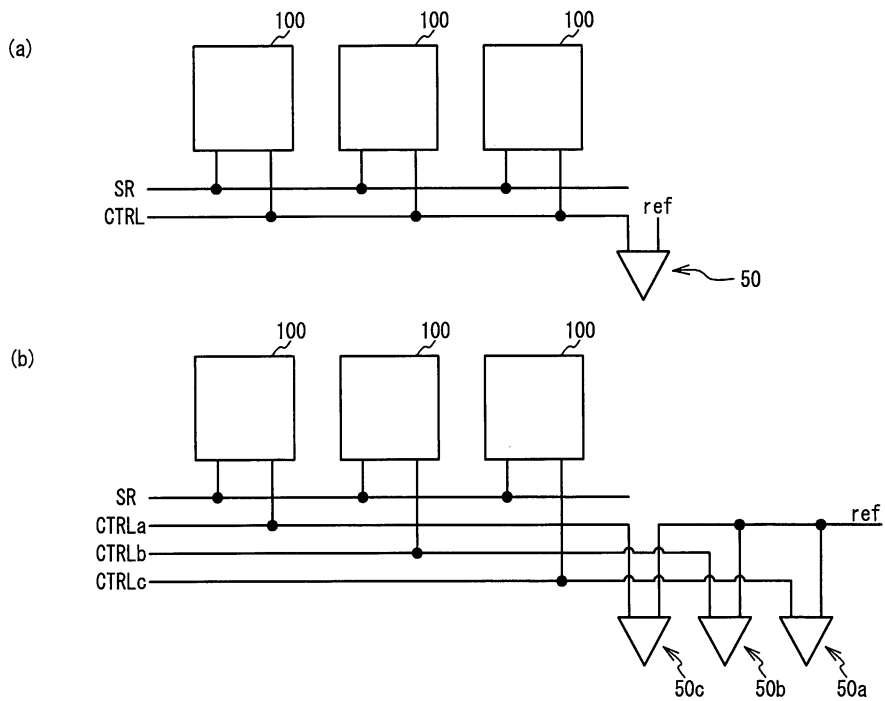


圖18

(16)

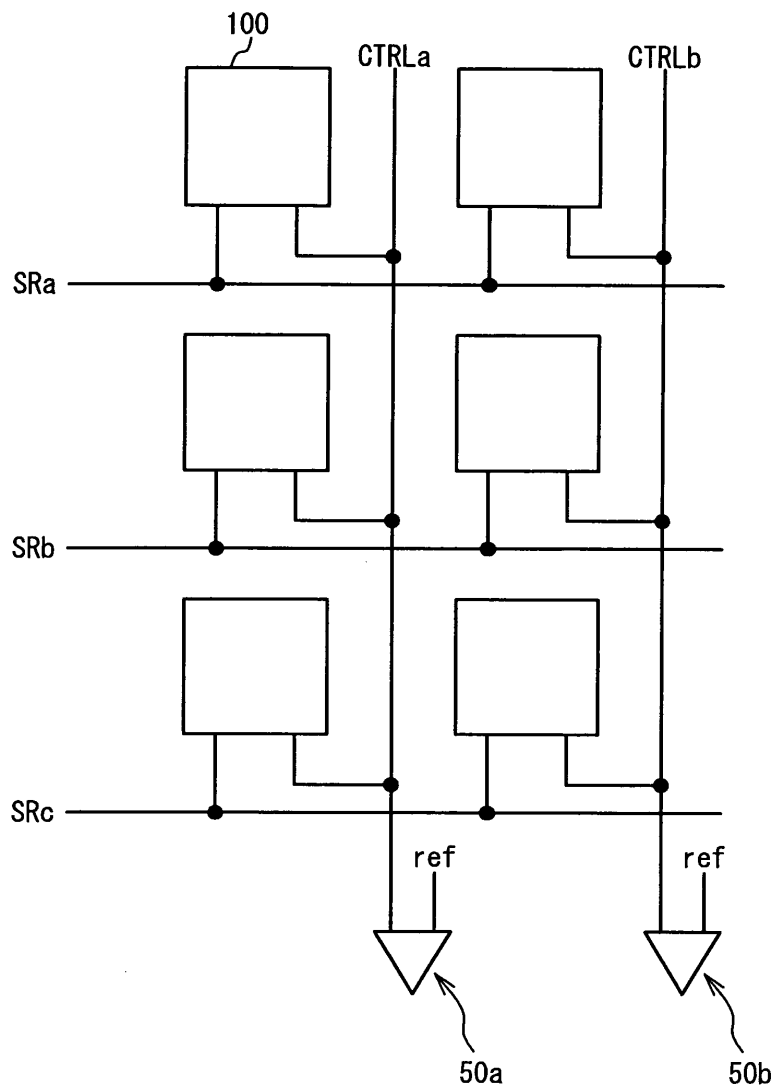


圖19