

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年2月27日(27.02.2014)



(10) 国際公開番号
WO 2014/030383 A1

- (51) 国際特許分類:
G11C 15/04 (2006.01) G06F 17/30 (2006.01)
- (21) 国際出願番号: PCT/JP2013/060326
- (22) 国際出願日: 2013年4月4日(04.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-183975 2012年8月23日(23.08.2012) JP
- (71) 出願人: 国立大学法人広島大学(HIROSHIMA UNIVERSITY) [JP/JP]; 〒7398511 広島県東広島市鏡山一丁目3番2号 Hiroshima (JP).
- (72) 発明者: マタウシュ ハンスユルゲン(MATTAUSCH, Hans Juergen); 〒7398527 広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所内 Hiroshima (JP). 小出 哲士(KOIDE, Tetsushi); 〒7398527 広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所内 Hiroshima (JP). 佐々木 静龍(SASAKI, Seiryu); 〒7398527 広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所内 Hiroshima (JP). 赤

澤 智信(AKAZAWA, Tomonobu); 〒7398527 広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所内 Hiroshima (JP).

(74) 代理人: 上羽 秀敏, 外(UEBA, Hidetoshi et al.); 〒5300004 大阪府大阪市北区堂島浜1丁目4番16号 アクア堂島西館 インテリクス国際特許事務所 Osaka (JP).

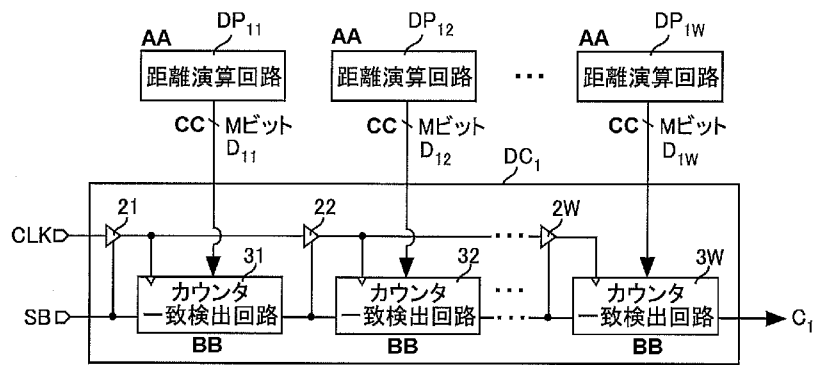
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: ASSOCIATIVE MEMORY

(54) 発明の名称: 連想メモリ



AA Distance computation circuit
 BB Counter match detection circuit
 CC M bits

(57) Abstract: An associative memory is provided with R distance/clock converters (DC₁ to DC_R), each of which includes a counter match detection circuit (31 to 3W). Each distance signal (D₁₁ to D_{1W}) represents the distance between data to be retrieved and reference data. The counter match detection circuit (31) counts the number of clocks that has a counter value that matches the distance signal (D₁₁). Thereafter, the counter match detection circuit (32) counts the number of clocks that has a counter value that matches the distance signal (D₁₂). Similarly, when the counter match detection circuit (3W-1) counts the number of clocks that has a counter value that matches the distance signal (D_{1W-1}), the counter match detection circuit (3W) counts the number of clocks that has a counter value that matches the distance signal (D_{1W}).

(57) 要約: 連想メモリは、各々がカウンタ一致検出回路(31~3W)を含むR個の距離/クロック数変換回路(DC

[続葉有]



WO 2014/030383 A1



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, — 国際調査報告 (条約第 21 条(3))
NE, SN, TD, TG).

$1 \sim DC_R$) を備える。距離信号 ($D_{11} \sim D_{1W}$) の各々は、検索データと参照データとの距離を表わす。カウンタ一致検出回路 (31) は、距離信号 (D_{11}) に一致するカウンタ値が得られるときのクロック数をカウントする。その後、カウンタ一致検出回路 (32) は、距離信号 (D_{12}) に一致するカウンタ値が得られるときのクロック数をカウントする。以下、同様にして、カウンタ一致検出回路 (3W) は、カウンタ一致検出回路 (3W-1) が距離信号 (D_{1W-1}) に一致するカウンタ値が得られるときのクロック数をカウントすると、距離信号 (D_{1W}) に一致するカウンタ値が得られるときのクロック数をカウントする。

明 細 書

発明の名称：連想メモリ

技術分野

[0001] この発明は、連想メモリに関するものである。

背景技術

[0002] 近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングを L S I (L a r g e S c a l e I n t e g r a t e d c i r c u i t) 上で実現することにより、将来、人工知能およびモバイル機器等の高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

[0003] パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

[0004] 前者は、CAM (C o n t e n t s A d d r e s s a b l e M e m o r y) と呼ばれ、ネットワークルータのIPアドレステーブルのルーティングおよびプロセッサのキャッシュ等の実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ (A s s o c i a t i v e M e m o r y) と呼ぶ。

[0005] 連想メモリを実現する手段として(1)デジタル方式による実現方法(非特許文献1)、(2)アナログ方式による実現方法および(3)デジタル・アナログ融合方式(非特許文献2)等が提案されている。

非特許文献1: Y. Oike, et al., "A High-Speed and Low-Voltage Associative Co-Processor with Hamming Distance Ordering Using Word-Parallel a

nd Hierarchical Search Architecture,” CICC, 2004.

非特許文献2 : M. A. Abedin, et al., “Nearest-euclidean-distance search associative memory with fully parallel mixed digital-analog match circuitry,” Proc. of SSDM2006, pp. 282-283, 2006.

非特許文献3 : Y. Oike et al., “A Word-Parallel Digital Associative Engine with Wide Search Range Based on Manhattan Distance,” CICC, 2004.

発明の開示

[0006] しかし、非特許文献1に記載の連想メモリは、検索データと参照データとのハミング距離を用いて類似検索を行うため、マンハッタン距離を用いて類似検索を行うことが困難であるという問題がある。また、非特許文献2に記載の連想メモリにおいては、検索データと参照データとの類似度を表す距離を電圧に変換するので、誤検索が生じるという問題がある。

[0007] そこで、この発明は、かかる問題を解決するためになされたものであり、その目的は、マンハッタン距離を用いた場合にも、正確、かつ、高速に類似検索を行うことが可能な連想メモリを提供することである。

[0008] この発明の実施の形態による連想メモリは、参照データ保存回路と、R個の距離演算回路と、R個の距離／クロック数変換回路と、Winner検出器とを備える。参照データ保存回路は、各々がM×Wビットのビット長を有するR個の参照データを保存する。R個の距離演算回路は、R個の参照データに対応して設けられ、各々がM×Wビットのビット長を有し、かつ、検索対象である検索データと参照データとの距離を表わすR個の距離信号を出力する。R個の距離／クロック数変換回路は、R個の距離演算回路に対応して設けられ、各々が対応する距離演算回路から各々がMビットのビット長を有するW個の距離信号を受け、その受けたW個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントし、そのクロック数をカウントしたタイミングである一致タイミングを示すタイミング信号を出力する。Winner検出器は、R個の距離／クロック数変換回路から受けたR個のタイミング信号に基づいて、一致タイミングが早い順にk個

のタイミング信号を検出し、その検出したk個のタイミング信号を検索データと参照データとの類似度を示すマッチ信号として出力する。

[0009] この発明の実施の形態による連想メモリにおいては、R個の距離／クロック数変換回路の各々は、対応する距離演算回路から受けたW個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントし、そのクロック数をカウントしたタイミングである一致タイミングを示すタイミング信号を出力する。即ち、R個の距離／クロック数変換回路の各々は、W個の距離信号の和をクロック信号のクロック数に変換し、その変換したクロック数が得られるタイミングを示すタイミング信号を出力する。その結果、W個の距離信号の和によって表わされる距離が小さければ、タイミング信号は、より早い一致タイミングを示し、W個の距離信号の和によって表わされる距離が大きければ、タイミング信号は、より遅い一致タイミングを示す。また、W個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数は、W個の距離信号のそれぞれに一致するW個のカウンタ値が得られるときのクロック信号のW個のクロック数を加算した値からなるので、検索データと参照データとの距離をマンハッタン距離によって表わしたときの検索データと参照データとの距離信号に一致するカウンタ値が得られるときのクロック信号のクロック数になる。更に、2つのタイミング信号によって示される2つのタイミングは、クロック信号の少なくとも1周期以上の時間差を有する。更に、クロック信号の周波数を高くすることによって検索時間が短くなる。

[0010] 従って、この発明の実施の形態によれば、マンハッタン距離を用いた場合にも、正確、かつ、高速に類似検索を行うことができる。

図面の簡単な説明

[0011] [図1]この発明の実施の形態による連想メモリの構成を示す概略ブロック図である。

[図2]図1に示す距離／クロック数変換回路の構成を示す概略図である。

[図3]図2に示すカウンタ一致検出回路の構成を示す概略図である。

[図4]図3に示すカウンタ一致検出回路の動作を説明するための図である。

[図5]図1に示す距離／クロック数変換回路の動作を説明するための図である。

[図6]図1に示すWinner検出器の動作を説明するための図である。

[図7]図3に示すカウンタの好ましい構成を示す概略図である。

[図8]図7に示すカウンタの動作を説明するための図である。

[図9]図1に示す距離／クロック数変換回路の別の構成を示す概略図である。

[図10]図1に示す距離／クロック数変換回路の更に別の構成を示す概略図である。

[図11]図9に示す距離／クロック数変換回路の具体的な構成を示す概略図である。

[図12]図11に示す距離／クロック数変換回路の動作を説明するための図である。

[図13]図9に示す距離／クロック数変換回路の別の具体的な構成を示す概略図である。

[図14]図13に示す距離／クロック数変換回路の動作を説明するための図である。

[図15]図10に示す距離／クロック数変換回路の具体的な構成を示す概略図である。

[図16]図15に示す距離／クロック数変換回路の動作を説明するための図である。

[図17]図10に示す距離／クロック数変換回路の更に別の具体的な構成を示す概略図である。

[図18]図17に示す距離／クロック数変換回路の動作を説明するための図である。

[図19]最短検索時間の比較を示す図である。

[図20]消費電力の比較を示す図である。

発明を実施するための最良の形態

- [0012] 本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。
- [0013] 図1は、この発明の実施の形態による連想メモリの構成を示す概略ブロック図である。図1を参照して、この発明の実施の形態1による連想メモリ100は、メモリアレイ部10と、Winner検出器20とを備える。
- [0014] メモリアレイ部10は、メモリ部1と、行デコーダ2と、列デコーダ3と、読出／書込回路4と、検索データ保存回路5とを含む。
- [0015] メモリ部1は、参照データ保存回路(Storage Cell: SC) $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ と、距離演算回路(Distance Processor: DP) $DP_{11} \sim DP_{1W}$, $DP_{21} \sim DP_{2W}$, \dots , $DP_{R1} \sim DP_{RW}$ と、距離／クロック数変換回路 $DC_1 \sim DC_R$ とを含む。なお、WおよびRの各々は、2以上の整数である。
- [0016] 距離演算回路 $DP_{11} \sim DP_{1W}$ は、それぞれ、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に対応して設けられる。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、それぞれ、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に対応して設けられる。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、それぞれ、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に対応して設けられる。
- [0017] 距離／クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。距離／クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ に対応して設けられる。以下、同様にして、距離／クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ に対応して設けられる。
- [0018] 参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ は、行デコーダ2、列デコーダ3および読出／書込回路4によって書き込まれた参照データを保存する。この場合、参照データ保存回路 $SC_{11} \sim SC_{1W}$ は、 $M \times W$ (M は1以上の整数)ビットの参照データ1を保存し、参照データ保存回路 $SC_{21} \sim SC_{2W}$ は、 $M \times W$ ビットの参照データ2を保存し、以下、同様にして、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ は、 $M \times W$ ビットの参照データRを保存する。つまり、参照データ保存回路 $SC_{11} \sim SC_{1W}$,

$SC_{21} \sim SC_{2W}, \dots, SC_{R1} \sim SC_{RW}$ の各々は、参照データのMビットを保存する。

[0019] 距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に保存された $M \times W$ ビットの参照データ1と、検索データ保存回路5に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に保存された $M \times W$ ビットの参照データ2と、検索データ保存回路5に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に保存された $M \times W$ ビットの参照データRと、検索データ保存回路5に保存された $M \times W$ ビットの検索データとの距離を後述する方法によって演算する。そして、距離演算回路 $DP_{11} \sim DP_{1W}$ 、距離演算回路 $DP_{21} \sim DP_{2W}$ 、 \dots 、および距離演算回路 $DP_{R1} \sim DP_{RW}$ における参照データと検索データとの距離の演算は、並列に行なわれる。

[0020] そして、距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ1と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_1 へ出力し、距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ2と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_2 へ出力し、以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データRと検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_R へ出力する。

[0021] 距離演算回路 $DP_{11} \sim DP_{1W}$ の各々は、参照データ1と検索データとの距離を次式を用いて演算する。

[0022] [数1]

$$D_{rj} = |In_j - Re_{rj}| \quad \dots \quad (1)$$

[0023] 式(1)において、 D_{rj} ($r = 1 \sim R, j = 1 \sim W$) は、参照データと検索データとの距離であり、 In_j は、検索データであり、 Re_{rj} は、参照デー

タである。そして、各データ I_{n_j} , Re_{r_j} の各々は、Mビットからなる。

[0024] このように、距離演算回路 $DP_{11} \sim DP_{1W}$ は、 $M \times W$ ビットの参照データ 1 と、 $M \times W$ ビットの検索データとの距離を M ビットずつ演算し、各々が M ビットのビット長を有する W 個の距離信号 D_{1j} を距離／クロック数変換回路 DC_1 へ出力する。

[0025] 距離演算回路 $DP_{21} \sim DP_{2W}$ 、 \dots および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、それぞれ、式 (1) を用いて参照データ 2 $\sim R$ と検索データとの距離を演算する。そして、距離演算回路 $DP_{21} \sim DP_{2W}$ 、 \dots および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、各々が M ビットのビット長を有する W 個の距離信号 $D_{2j} \sim D_{Rj}$ をそれぞれ距離／クロック数変換回路 $DC_2 \sim DC_R$ へ出力する。

[0026] 距離／クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ から W 個の距離信号 D_{1j} を受け、その受けた W 個の距離信号 D_{1j} の和に一致するクロック信号 CLK のクロック数 CN_total1 を後述する方法によってカウントし、そのクロック数 CN_total1 をカウントしたタイミングを示すタイミング信号 C_1 を $Winner$ 検出器 20 へ出力する。そして、このクロック数 CN_total1 をカウントしたタイミングは、検索データと参照データ 1 との距離に一致する一致タイミングである。

[0027] また、距離／クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ から W 個の距離信号 D_{2j} を受け、その受けた W 個の距離信号 D_{2j} の和に一致するクロック信号 CLK のクロック数 CN_total2 を後述する方法によってカウントし、そのクロック数 CN_total2 をカウントしたタイミングを示すタイミング信号 C_2 を $Winner$ 検出器 20 へ出力する。このクロック数 CN_total2 をカウントしたタイミングは、検索データと参照データ 2 とが一致する一致タイミングである。

[0028] 以下、同様にして、距離／クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ から W 個の距離信号 D_{Rj} を受け、その受けた W 個の距離信号 D_{Rj} の和に一致するクロック信号 CLK のクロック数 CN_totalR を後述する方法によってカウントし、そのクロック数 CN_totalR をカウ

トしたタイミングを示すタイミング信号 C_R をWinner検出器20へ出力する。このクロック数 CN_totalR をカウントしたタイミングは、検索データと参照データRとが一致する一致タイミングである。

- [0029] 行デコーダ2は、メモリ部1の行方向のアドレスを指定する。列デコーダ3は、メモリ部1の列方向のアドレスを指定する。読出／書込回路4は、参照データを行デコーダ2および列デコーダ3によって指定された参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ に書き込むとともに、検索データを検索データ保存回路5に書き込む。
- [0030] 検索データ保存回路5は、読出／書込回路4によって書き込まれた検索データ ($M \times W$ ビットのデータ) を保存する。
- [0031] Winner検出器20は、タイミング信号 $C_1 \sim C_R$ をそれぞれ距離／クロック数変換回路 $DC_1 \sim DC_R$ から受け、その受けたタイミング信号 $C_1 \sim C_R$ のうち、一致タイミングが早い順に k (k は $1 \leq k < R$ を満たす整数) 個のタイミング信号を検出し、その検出した k 個のタイミング信号を検索データと参照データとの類似度を示すマッチ信号 $M_1 \sim M_k$ として出力する。
- [0032] 図2は、図1に示す距離／クロック数変換回路 DC_1 の構成を示す概略図である。図2を参照して、距離／クロック数変換回路 DC_1 は、増幅器21～2Wと、カウンタ一致検出回路31～3Wとを含む。
- [0033] 増幅器21は、連想メモリ100に内蔵されたクロック発生回路 (図示せず) からクロック信号CLKを受け、その受けたクロック信号CLKを増幅して増幅器22およびカウンタ一致検出回路31へ出力する。
- [0034] 増幅器22は、クロック信号CLKを増幅器21から受け、その受けたクロック信号CLKを増幅器23 (図示せず) およびカウンタ一致検出回路32へ出力する。
- [0035] 以下、同様にして、増幅器2Wは、クロック信号CLKを増幅器2W-1 (図示せず) から受け、その受けたクロック信号CLKをカウンタ一致検出回路3Wへ出力する。
- [0036] カウンタ一致検出回路31～3Wは、それぞれ、距離演算回路 $DP_{11} \sim D$

P_{1w} に対応して設けられる。そして、カウンター一致検出回路31～3Wは、直列に接続される。

[0037] カウンター一致検出回路31は、増幅器21からクロック信号CLKを受け、連想メモリ100の制御回路（図示せず）から検索開始信号SBを受け、距離演算回路 DP_{11} からMビットのビット長を有する距離信号 D_{11} を受ける。カウンター一致検出回路31は、検索開始信号SBがL（論理ロー）レベルからH（論理ハイ）レベルに切り替わると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{11} に一致するカウンタ値が得られるときのクロック信号CLKのクロック数をカウントする。そして、カウンター一致検出回路31は、そのクロック数をカウントしたタイミングを示す一致信号MTH1をクロック信号CLKに同期してカウンター一致検出回路32へ出力する。カウンター一致検出回路31は、一致信号MTH1を出力すると、動作を停止する。

[0038] カウンター一致検出回路32は、増幅器22からクロック信号CLKを受け、カウンター一致検出回路31から一致信号MTH1を受け、距離演算回路 DP_{12} からMビットのビット長を有する距離信号 D_{12} を受ける。カウンター一致検出回路32は、カウンター一致検出回路31から一致信号MTH1を受けるまで動作を停止している。カウンター一致検出回路32は、カウンター一致検出回路31から一致信号MTH1を受けると駆動され、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{12} に一致するカウンタ値が得られるときのクロック信号CLKのクロック数をカウントする。そして、カウンター一致検出回路32は、そのクロック数をカウントしたタイミングを示す一致信号MTH2をクロック信号CLKに同期してカウンター一致検出回路33（図示せず）へ出力する。カウンター一致検出回路32は、一致信号MTH2を出力すると、動作を停止する。

[0039] 以下、同様にして、カウンター一致検出回路3Wは、増幅器2Wからクロック信号CLKを受け、カウンター一致検出回路3W-1から一致信号MTHW-1を受け、距離演算回路 DP_{1w} からMビットのビット長を有する距離信号

D_{1W} を受ける。カウンタ一致検出回路3Wは、カウンタ一致検出回路3W-1から一致信号MTHW-1を受けるまで動作を停止している。カウンタ一致検出回路3Wは、カウンタ一致検出回路3W-1から一致信号MTHW-1を受けると駆動され、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{1W} に一致するカウンタ値が得られるときのクロック信号CLKのクロック数をカウントする。そして、カウンタ一致検出回路3Wは、そのクロック数をカウントしたタイミングを示す一致信号MTHWをタイミング信号 C_1 としてクロック信号CLKに同期してWinner検出器20へ出力する。カウンタ一致検出回路3Wは、タイミング信号 C_1 を出力すると、動作を停止する。

[0040] なお、図1に示す距離／クロック数変換回路 DC_2 ～距離／クロック数変換回路 DC_R の各々も、図2に示す距離／クロック数変換回路 DC_1 と同じ構成からなる。

[0041] 図3は、図2に示すカウンタ一致検出回路31の構成を示す概略図である。図3を参照して、カウンタ一致検出回路31は、カウンタ311と、一致検出回路312とを含む。

[0042] カウンタ311は、増幅器21からクロック信号CLKを受け、連想メモリ100の制御回路（図示せず）からリセット信号RSTを受ける。カウンタ311は、リセット信号RSTを受けると、カウンタ値をリセットし、Mビットのビット値をクロック信号CLKに同期して昇順にカウントする。そして、カウンタ311は、そのカウントしたカウンタ値 CV_{11} をクロック信号CLKに同期して一致検出回路312へ順次出力する。

[0043] 一致検出回路312は、増幅器21からクロック信号CLKを受け、連想メモリ100の制御回路（図示せず）から検索開始信号SBを受け、カウンタ311からカウンタ値 CV_{11} を順次受け、距離演算回路 DP_{11} から距離信号 D_{11} を受ける。

[0044] 一致検出回路312は、検索開始信号SBがLレベルからHレベルに切り替わると、距離信号 D_{11} に一致するカウンタ値 CV_{11} が得られるときのクロ

ック信号CLKのクロック数をカウントする。そして、一致検出回路312は、そのクロック数をカウントしたタイミングを示す一致信号MTH1をカウンタ一致検出回路32へ出力する。

[0045] 一致検出回路312は、一致信号MTH1を出力すると、動作を停止する。

[0046] なお、図2に示すカウンタ一致検出回路32～3Wの各々も、図3に示すカウンタ一致検出回路31と同じ構成からなる。この場合、カウンタ一致検出回路32～3Wの一致検出回路312は、それぞれ、カウンタ一致検出回路31～3W-1の一致検出回路312から一致信号MTH1～MTHW-1を受けるまで動作を停止し、一致信号MTH1～MTHW-1を受けると駆動され、動作を開始する。

[0047] 図4は、図3に示すカウンタ一致検出回路31の動作を説明するための図である。なお、図4においては、カウンタ値CV₁₁および距離信号D₁₁の各々が3ビットである場合を例にしてカウンタ一致検出回路31の動作を説明する。また、距離信号D₁₁は、“011”からなるものとする。

[0048] 図4を参照して、カウンタ一致検出回路31のカウンタ311は、連想メモリ100の制御回路からリセット信号RSTを受けると、カウント数をリセットし、クロック信号CLKの連続する周期T1, T2, T3, T4に同期して、それぞれ、“000”, “001”, “010”, “011”のビット値を順次カウントし、そのカウントした“000”, “001”, “010”, “011”のカウンタ値CV₁₁を一致検出回路312へ順次出力する。

[0049] そして、一致検出回路312は、距離演算回路DP₁₁から“011”の距離信号D₁₁を受け、クロック信号CLKの周期T1に同期して“000”のカウンタ値CV₁₁をカウンタ311から受けると、タイミングt1において“0”のクロック数をカウントし、“0”のクロック数において、“000”のカウンタ値CV₁₁が“011”の距離信号D₁₁に一致しないことを検出する。

- [0050] そして、一致検出回路312は、クロック信号CLKの周期T1の次の周期T2に同期して“001”のカウンタ値CV₁₁をカウンタ311から受けると、タイミングt2において“1”のクロック数をカウントし、“1”のクロック数において、“001”のカウンタ値CV₁₁が“011”の距離信号D₁₁に一致しないことを検出する。
- [0051] また、一致検出回路312は、クロック信号CLKの周期T2の次の周期T3に同期して“010”のカウンタ値CV₁₁をカウンタ311から受けると、タイミングt3において“2”のクロック数をカウントし、“2”のクロック数において、“010”のカウンタ値CV₁₁が“011”の距離信号D₁₁に一致しないことを検出する。
- [0052] 更に、一致検出回路312は、クロック信号CLKの周期T3の次の周期T4に同期して“011”のカウンタ値CV₁₁をカウンタ311から受けると、タイミングt4において“3”のクロック数をカウントし、“3”のクロック数において、“011”のカウンタ値CV₁₁が“011”の距離信号D₁₁に一致することを検出する。そして、一致検出回路312は、“011”の距離信号D₁₁に一致する“011”のカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数(=“3”)をカウントしたタイミングt4を示す一致信号MTH1をカウンタ一致検出回路32および連想メモリ100の制御回路へ出力する。その後、一致検出回路312は、図4において、“4”、“5”のクロック数において、“011”のカウンタ値が保持されているように、動作を停止する。
- [0053] この場合、カウンタ一致検出回路31は、タイミングt1において“0”のクロック数をカウントしてからタイミングt4において“3”のクロック数をカウントして一致信号MTH1を出力するまでに、タイミングt1からタイミングt4までの時間(=t4-t1)を要する。
- [0054] なお、図2に示すカウンタ一致検出回路32~3W-1の各々において、カウンタ311は、連想メモリ100の制御回路からリセット信号RSTを受けるまで動作を停止し、連想メモリ100の制御回路からリセット信号R

STを受けると、“000”，“001”，“010”，“011”，・・・のビット値を順次カウントし、そのカウントした“000”，“001”，“010”，“011”，・・・のカウンタ値（=各カウンタ値 $CV_{12} \sim CV_{1W-1}$ ）を一致検出回路312へ順次出力する。

[0055] カウンタ一致検出回路32～3W-1の一致検出回路312は、それぞれ、カウンタ一致検出回路31～3W-2の一致検出回路312から一致信号MTH1～MTHW-2を受けるまで動作を停止し、一致信号MTH1～MTHW-2を受けると、カウンタ値 $CV_{12} \sim CV_{1W-1}$ がそれぞれ距離信号 $D_{12} \sim D_{1W-1}$ に一致するときのクロック信号CLKのクロック数をカウントし、そのクロック数をカウントしたタイミングを示す一致信号MTH2～MTHW-1をそれぞれカウンタ一致検出回路33～3Wおよび連想メモリ100の制御回路へ出力する。そして、カウンタ一致検出回路32～3W-1の一致検出回路312は、動作を停止する。

[0056] また、カウンタ一致検出回路3Wのカウンタ311は、連想メモリ100の制御回路からリセット信号RSTを受けるまで動作を停止し、連想メモリ100の制御回路からリセット信号RSTを受けると、“000”，“001”，“010”，“011”，・・・のビット値を順次カウントし、そのカウントした“000”，“001”，“010”，“011”，・・・のカウンタ値 CV_{1W} を一致検出回路312へ順次出力する。

[0057] カウンタ一致検出回路3Wの一致検出回路312は、カウンタ一致検出回路3W-1の一致検出回路312から一致信号MTHW-1を受けるまで動作を停止し、一致信号MTHW-1を受けると、カウンタ値 CV_{1W} が距離信号 D_{1W} に一致するときのクロック信号CLKのクロック数をカウントし、そのクロック数をカウントしたタイミングを示すタイミング信号（各タイミング信号 $C_1 \sim C_R$ ）をWinner検出器20および連想メモリ100の制御回路へ出力する。そして、カウンタ一致検出回路3Wの一致検出回路312は、動作を停止する。

[0058] 連想メモリ100の制御回路は、カウンタ一致検出回路31～3W-1か

らそれぞれ一致信号MTH1～MTHW-1を受けると、リセット信号RSTをそれぞれカウンター一致検出回路32～3Wへ出力する。また、連想メモリ100の制御回路は、カウンター一致検出回路3Wからタイミング信号C₁を受けると、リセット信号RSTをカウンター一致検出回路31～3Wへ出力する。

[0059] 図5は、図1に示す距離／クロック数変換回路DC₁の動作を説明するための図である。なお、図5においては、距離／クロック数変換回路DC₁が2つのカウンター一致検出回路31, 32からなる場合を例にして距離／クロック数変換回路DC₁の動作を説明する。また、距離信号D₁₁が“3”からなり、距離信号D₁₂が“5”からなることを前提とする。

[0060] 図5を参照して、距離演算回路DP₁₁は、検索データと参照データSC₁₁との距離を式(1)に従って演算し、距離信号D₁₁(=“011”)をカウンター一致検出回路31へ出力する。また、距離演算回路DP₁₂は、検索データと参照データSC₁₂との距離を式(1)に従って演算し、距離信号D₁₂(=“101”)をカウンター一致検出回路32へ出力する。

[0061] カウンター一致検出回路31は、距離演算回路DP₁₁から距離信号D₁₁(=“011”)を受け、連想メモリ100の制御回路からリセット信号RSTおよび検索開始信号SBを受けると、上述した方法によって、カウンタ値CV₁₁が距離信号D₁₁(=“011”)に一致するときのクロック信号CLKのクロック数(=“3”)をカウントし、“3”のクロック数をカウントしたタイミングを示す一致信号MTH1をカウンター一致検出回路32および連想メモリ100の制御回路へ出力する。そして、カウンター一致検出回路31は、動作を停止する。

[0062] カウンター一致検出回路32は、距離演算回路DP₁₂から距離信号D₁₂(=“101”)を受け、連想メモリ100の制御回路からリセット信号RSTを受ける。そして、カウンター一致検出回路32は、“3”のクロック数が得られたタイミングでカウンター一致検出回路31から一致信号MTH1を受けると、動作を開始し、距離信号D₁₂(=“101”)に一致するカウンタ値

CV_{12} (= “101”) が得られるときのクロック信号CLKのクロック数 (= “5”) をカウントし、“5”のクロック数をカウントしたタイミングでカウンタ値 CV_{12} (= “101”) が距離信号 D_{12} (= “101”) に一致することを検出する。

[0063] そうすると、カウンタ一致検出回路32は、“5”のクロック数をカウントしたタイミングを示すタイミング信号 C_1 をWinner検出器20および連想メモリ100の制御回路へ出力する。そして、カウンタ一致検出回路32は、動作を停止する。

[0064] このように、カウンタ一致検出回路32は、カウンタ一致検出回路31による“3”のクロック数のカウントが完了した後に、“5”のクロック数をカウントしたタイミングで“5”のクロック数をカウントしたタイミングを示すタイミング信号 C_1 を出力する。従って、カウンタ一致検出回路32は、カウンタ一致検出回路31によるクロック数のカウント開始から“3” + “5” = “8”のクロック数をカウントするまでの時間が経過したタイミングで“5”のクロック数をカウントしたタイミングを示すタイミング信号 C_1 を出力する。即ち、カウンタ一致検出回路32は、“3”の距離信号と“5”の距離信号との和である“8”の距離信号に一致するカウンタ値が得られるときのクロック信号CLKのクロック数をカウントし、そのクロック数をカウントしたタイミングを示すタイミング信号 C_1 を出力する。

[0065] 2つのカウンタ一致検出回路31, 32が全体でカウントする“8”のクロック数は、カウンタ一致検出回路31がカウントする“3”のクロック数と、カウンタ一致検出回路32がカウントする“5”のクロック数とを加算したものである。このことは、カウンタ一致検出回路32が、カウンタ一致検出回路31において“3”のクロック数がカウントされたタイミングでカウンタ一致検出回路31から一致信号MTH1を受けると、距離信号 D_{12} に一致するカウンタ値 CV_{12} が得られるときのクロック数をカウントする動作を開始することからも明らかである（図5参照）。

[0066] その結果、2つのカウンタ一致検出回路31, 32が全体で“8”のクロ

ック数をカウントすることは、距離“3”と距離“5”との和(=“8”)に一致するカウンタ値が得られるときのクロック信号CLKのクロック数をカウントすることに相当する。

[0067] 距離／クロック数変換回路DC₁は、一般的に、W個の距離信号D₁₁～D_{1W}を受ける。そして、W個の距離信号D₁₁～D_{1W}の各々は、Mビットのビット長を有する。従って、距離／クロック数変換回路DC₁は、M×Wビットのビット長を有する距離信号D₁₁D₁₂・・・D_{1W}を受ける。

[0068] そして、距離／クロック数変換回路DC₁において、カウンター一致検出回路31～3Wは、それぞれ、距離信号D₁₁～D_{1W}にそれぞれ一致するカウンタ値CV₁₁～CV_{1W}が得られるときのクロック信号CLKのクロック数CN1～CNWをカウントする。また、カウンター一致検出回路32～3Wは、それぞれ、カウンター一致検出回路31～3W-1から一致信号MTH2～MTHW-1を受けた後に、距離信号D₁₂～D_{1W}にそれぞれ一致するカウンタ値CV₁₂～CV_{1W}が得られるときのクロック信号CLKのクロック数CN2～CNWのカウントを開始する。

[0069] その結果、距離／クロック数変換回路DC₁がカウントするクロック数CN_{total}は、クロック数CN1～CNWの和に等しい。そうすると、クロック数CN1～CNWは、それぞれ、距離信号D₁₁～D_{1W}を表わすので、クロック数CN_{total}は、距離信号D₁₁～D_{1W}の和を表わす。

[0070] 一方、マンハッタン距離n_Mは、次式によって表わされる。

[0071] [数2]

$$n_M = \sum_{j=1}^W |In_j - Re_j| \cdots (2)$$

[0072] 式(2)の右辺の|In_j-Re_j|は、式(1)の右辺の|In_j-Re_{rj}|において、1つの行(rによって表わされる)における検索データと参照データとの距離|In_j-Re_j|に一致する。

[0073] 従って、マンハッタン距離n_Mは、式(1)によって演算した距離をW個の

距離について加算したものに等しい。

- [0074] そうすると、距離／クロック数変換回路 DC_1 がクロック数 CN_total をカウントしたタイミングを示すタイミング信号 C_1 を出力することは、マンハッタン距離 n_M によって検索データに類似する参照データを検索し、検索データに類似する参照データを検出したことを示す $Winner$ 信号を出力することに相当する。
- [0075] なお、距離／クロック数変換回路 $DC_2 \sim DC_R$ の各々も、図5において説明した距離／クロック数変換回路 DC_1 の動作と同じ動作によって、それぞれ、タイミング信号 $C_2 \sim C_R$ を出力する。
- [0076] 図6は、図1に示す $Winner$ 検出器20の動作を説明するための図である。図6を参照して、距離／クロック数変換回路 $DC_1 \sim DC_R$ は、それぞれ、タイミング信号 $C_1 \sim C_R$ をクロック信号 CLK に同期して $Winner$ 検出器20へ出力する。
- [0077] $Winner$ 検出器20は、タイミング信号 $C_1 \sim C_R$ を受け、その受けたタイミング信号 $C_1 \sim C_R$ の立ち上がりタイミング $t_1 \sim t_R$ を検出する。そして、 $Winner$ 検出器20は、立ち上がりタイミング $t_1 \sim t_R$ が早い順に k 個のタイミング信号 $C'_1 \sim C'_k$ を検出する。そうすると、 $Winner$ 検出器20は、タイミング信号 $C'_1 \sim C'_k$ をマッチ信号 $M_1 \sim M_k$ として出力する。
- [0078] 例えば、2個のマッチ信号 M_1, M_2 を検出する場合、 $Winner$ 検出器20は、タイミング信号 $C_1 \sim C_R$ のうち、立ち上がりタイミングが早い順に2個のタイミング信号 C_1, C_3 を検出し、その検出したタイミング信号 C_1, C_3 をマッチ信号 M_1, M_2 として出力する。
- [0079] なお、 $k = 2$ 以外の k 個のタイミング信号 $C'_1 \sim C'_k$ を検出する場合も、 $Winner$ 検出器20は、同様にして、 k 個のタイミング信号 $C'_1 \sim C'_k$ を検出し、その検出した k 個のタイミング信号 $C'_1 \sim C'_k$ をマッチ信号 $M_1 \sim M_k$ として出力する。
- [0080] $k = 1$ である場合、 $Winner$ 検出器20は、検索データに最も類似す

る参照データに対応するタイミング信号（タイミング信号 $C_1 \sim C_R$ のいずれか）をマッチ信号 M_1 として出力する。

[0081] また、 $k \neq 1$ である場合、Winner検出器20は、検索データに類似する k 個の参照データに対応する k 個のタイミング信号 $C'_1 \sim C'_k$ をマッチ信号 $M_1 \sim M_k$ として出力する。この場合、 k 個のタイミング信号 $C'_1 \sim C'_k$ において、 k 個の立ち上がりタイミングは、相互に、少なくともクロック信号CLKの1周期分だけ異なるので、立ち上がりタイミングの早い順に k 個のタイミング信号 $C'_1 \sim C'_k$ を正確に検出できる。つまり、連想メモリ100は、検索データに類似する k 個の参照データを正確に検索できる。

[0082] また、距離／クロック数変換回路 $DC_1 \sim DC_R$ の動作は、クロック信号CLKに同期して実行されるので、クロック信号CLKの周波数を高くすることによって、連想メモリ100の動作を高速にできる。

[0083] 従って、連想メモリ100は、マンハッタン距離を用いた場合にも、正確、かつ、高速に類似検索を行うことができる。

[0084] 図7は、図3に示すカウンタ311の好ましい構成を示す概略図である。この発明の実施の形態においては、カウンタ311は、好ましくは、図7に示すカウンタ311Aからなる。

[0085] 図7を参照して、カウンタ311Aは、分周器311-1 \sim 311-Mを含む。分周器311-1は、 M ビットの距離信号（＝距離信号 $D_{11} \sim D_{1W}$, $D_{21} \sim D_{2W}$, \dots , $D_{R1} \sim D_{RW}$ の各々）の最下位ビットに対応して設けられる。分周器311-2は、 M ビットの距離信号（＝距離信号 $D_{11} \sim D_{1W}$, $D_{21} \sim D_{2W}$, \dots , $D_{R1} \sim D_{RW}$ の各々）の第2位ビットに対応して設けられる。以下、同様にして、分周器311-Mは、 M ビットの距離信号（＝距離信号 $D_{11} \sim D_{1W}$, $D_{21} \sim D_{2W}$, \dots , $D_{R1} \sim D_{RW}$ の各々）の最上位ビットに対応して設けられる。

[0086] 分周器311-1は、クロック信号CLKを 2^0 回分周し、その分周した分周信号 DV_1 を一致検出回路312へ出力する。分周器311-2は、クロック信号CLKを 2^1 回分周し、その分周した分周信号 DV_2 を一致検出回路3

1 2 へ出力する。以下、同様にして、分周器 3 1 1 - M は、クロック信号 CLK を 2^{M-1} 回分周し、その分周した分周信号 DV_M を一致検出回路 3 1 2 へ出力する。

- [0087] 図 8 は、図 7 に示すカウンタ 3 1 1 A の動作を説明するための図である。なお、図 8 においては、カウンタ 3 1 1 A が 4 個の分周器 3 1 1 - 1 ~ 3 1 1 - 4 からなる場合を例にしてカウンタ 3 1 1 A の動作を説明する。
- [0088] 図 8 を参照して、分周器 3 1 1 - 1 は、クロック信号 CLK を 2^0 回分周し、その分周した分周信号 DV_1 を一致検出回路 3 1 2 へ出力する。分周器 3 1 1 - 2 は、クロック信号 CLK を 2^1 回分周し、その分周した分周信号 DV_2 を一致検出回路 3 1 2 へ出力する。分周器 3 1 1 - 3 は、クロック信号 CLK を 2^2 回分周し、その分周した分周信号 DV_3 を一致検出回路 3 1 2 へ出力する。分周器 3 1 1 - 4 は、クロック信号 CLK を 2^3 回分周し、その分周した分周信号 DV_4 を一致検出回路 3 1 2 へ出力する。
- [0089] その結果、4 個の分周器 3 1 1 - 1 ~ 3 1 1 - 4 は、最初に、“0 0 0 0” のカウンタ値を出力し、2 番目に、“0 0 0 1” のカウンタ値を出力し、3 番目に、“0 0 1 0” のカウンタ値を出力し、以下、同様にして、1 5 番目に、“1 1 1 0” のカウンタ値を出力し、最後に、“1 1 1 1” のカウンタ値を出力する。
- [0090] カウンタ 3 1 1 A は、4 ビット以外のカウンタ値を出力する場合も、M 個の分周器 3 1 1 - 1 ~ 3 1 1 - M によって構成され、M 個の分周器 3 1 1 - 1 ~ 3 1 1 - M は、図 8 に示す態様と同じ態様で、それぞれ、クロック信号 CLK を 2^0 回、 2^1 回、 2^2 回、 \dots 、 2^{M-1} 回分周し、その分周した分周信号 $DV_1 \sim DV_M$ を出力する。その結果、カウンタ 3 1 1 A は、M ビットのカウンタ値を “ $0_1 0_2 0_3 \dots 0_M$ ” , “ $0_1 0_2 0_3 \dots 1_M$ ” , \dots , “ $1_1 1_2 1_3 \dots 1_M$ ” の順で出力する。
- [0091] 従って、分周器 3 1 1 - 1 ~ 3 1 1 - M のうち、M ビットのカウンタ値の最下位ビットから最上位ビットへ向かう方向において第 m (m は $1 \leq m \leq M$ を満たす整数) 位のビット値を出力する分周器は、クロック信号 CLK を 2^m

-1回に分周した信号を出力する。

- [0092] このように、カウンタ311Aを分周器311-1~311-Mによって構成することによって、通常のカウンタに比べて、回路サイズを小さくでき、消費電力を低減できる。
- [0093] カウンター一致検出回路31~3Wのカウンタ311が図7に示すカウンタ311Aからなっている場合も、距離/クロック数変換回路DC₁~DC_Rは、上述した方法によって、それぞれ、M×Wビットのビット長を有する距離信号D₁₁~D_{1W}, D₂₁~D_{2W}, . . . , D_{R1}~D_{RW}の和にそれぞれ一致するクロック数CN_{total1}~CN_{totalR}をカウントしたタイミングを示すタイミング信号C₁~C_RをWinner検出器20へ出力する。
- [0094] 上述したように、距離/クロック数変換回路DC₁~DC_Rの各々は、図2に示すように、直列に接続されたW個のカウンター一致検出回路31~3Wからなる。
- [0095] W=2である場合、距離/クロック数変換回路DC₁~DC_Rの各々は、カウンター一致検出回路31, 32からなる。この場合、距離演算回路DP₁₁~DP_{1W}は、距離演算回路DP₁₁, DP₁₂からなり、距離信号D₁₁~D_{1W}は、距離信号D₁₁, D₁₂からなる。
- [0096] そして、カウンター一致検出回路31は、距離信号D₁₁, D₁₂を一行に配列したときの一方端の距離信号である1番目の距離信号D₁₁に対応して設けられ、1番目の距離信号D₁₁を距離演算回路DP₁₁から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、その受けた1番目の距離信号D₁₁に一致するカウンタ値が得られるときのクロック数CN₁をカウントし、クロック数CN₁をカウントしたタイミングを示す一致信号MTH₁を出力する。
- [0097] また、カウンター一致検出回路32は、距離信号D₁₁, D₁₂を一行に配列したときの一方端からW番目 (= 2番目) の距離信号であるW番目 (= 2番目) の距離信号D₁₂に対応して設けられ、カウンター一致検出回路31から一致

信号MTH1を受けると駆動されるとともにW番目(=2番目)の距離信号 D_{12} を距離演算回路 DP_{12} から受け、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、その受けたW番目(=2番目)の距離信号 D_{12} に一致するカウンタ値が得られるときのクロック数CN2をカウントし、クロック数CN2をカウントしたタイミングを示すタイミング信号 C_1 をWinner検出器20へ出力する。

[0098] この場合、カウンタ一致検出回路31は、「第1のカウンタ一致検出回路」を構成し、カウンタ一致検出回路32は、「第2のカウンタ一致検出回路」を構成する。

[0099] また、 $W=3$ 以上である場合、距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々は、カウンタ一致検出回路31~3Wからなる。

[0100] そして、カウンタ一致検出回路31は、距離信号 $D_{11} \sim D_{1W}$ を一行に配列したときの一方端の距離信号である1番目の距離信号 D_{11} に対応して設けられ、1番目の距離信号 D_{11} を距離演算回路 DP_{11} から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、その受けた1番目の距離信号 D_{11} に一致するカウンタ値が得られるときのクロック数CN1をカウントし、クロック数CN1をカウントしたタイミングを示す一致信号MTH1を出力する。

[0101] また、カウンタ一致検出回路32~3W-1は、2番目の距離信号 D_{12} からW-1番目の距離信号 D_{1W-1} までのW-2個の距離信号 $D_{12} \sim D_{1W-1}$ に対応して設けられる。そして、カウンタ一致検出回路32~3W-1の各々は、カウンタ一致検出回路31または $w-1$ (w は $2 \leq w \leq W-1$ を満たす整数)番目の距離信号に対応して設けられたカウンタ一致検出回路32~3W-2から1番目または $w-1$ 番目の距離信号に対応して設けられたカウンタ一致検出回路31~3W-2から1番目または w 番目の距離信号に一致するカウンタ値が得られるときのクロック信号CLKのクロック数をカウントしたタイミングを示す一致信号MTH1~MTH3W-2を受けると駆動されるとともに w 番目の距離信号(=距離信号 $D_{12} \sim D_{1W-1}$ のいずれか)を受け

、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、 w 番目の距離信号（＝距離信号 $D_{12} \sim D_{1w-1}$ のいずれか）に一致するカウンタ値が得られるときのクロック数CN3をカウントし、クロック数CN3をカウントしたタイミングを示す一致信号（＝一致信号MTH2～MTHW-1のいずれか）を出力する。

[0102] 更に、カウンタ一致検出回路3Wは、W番目の距離信号 D_{1w} に対応して設けられ、W-1番目の距離信号に対応して設けられたカウンタ一致検出回路3W-1から一致信号MTHW-1を受けると駆動されるとともにW番目の距離信号 D_{1w} を受け、カウンタ一致検出回路3W-1から一致信号MTH3W-1を受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、W番目の距離信号 D_{1w} に一致するカウンタ値が得られるときのクロック数CN4をカウントし、クロック数CN4をカウントしたタイミングを示すタイミング信号 C_1 をWinner検出器20へ出力する。

[0103] この場合、カウンタ一致検出回路31は、「第1のカウンタ一致検出回路」を構成し、カウンタ一致検出回路32～3W-1は、「W-2個の第3のカウンタ一致検出回路」を構成し、カウンタ一致検出回路3Wは、「第4のカウンタ一致検出回路」を構成する。

[0104] 図9は、図1に示す距離／クロック数変換回路 $DC_1 \sim DC_R$ の別の構成を示す概略図である。

[0105] この発明の実施の形態においては、距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々は、図9に示す距離／クロック数変換回路 DC'_1 からなってもよい。この場合、 $W = 2^i$ （ i は2以上の整数）である。

[0106] 図9を参照して、距離／クロック数変換回路 DC'_1 は、増幅器41～4Lと、カウンタ一致検出回路51～5Lとを含む。ここで、 $L = W / s$ （ s は、 W 以下の 2^x を満たす整数、 x は、正の整数）である。

[0107] 増幅器41は、連想メモリ100に内蔵されたクロック発生回路（図示せず）からクロック信号CLKを受け、その受けたクロック信号CLKを増幅して増幅器42およびカウンタ一致検出回路51へ出力する。

- [0108] 増幅器42は、クロック信号CLKを増幅器41から受け、その受けたクロック信号CLKを増幅して増幅器43（図示せず）およびカウンタ一致検出回路52へ出力する。
- [0109] 以下、同様にして、増幅器4Lは、クロック信号CLKを増幅器4L-1（図示せず）から受け、その受けたクロック信号CLKを増幅してカウンタ一致検出回路5Lへ出力する。
- [0110] カウンタ一致検出回路51, 52, ..., 5Lは、それぞれ、s個の距離演算回路 DP_{11} , $DP_{1(1+L)}$, ..., $DP_{1(1+(u-1)L)}$ 、s個の距離演算回路 DP_{12} , $DP_{1(2+L)}$, ..., $DP_{1(2+(u-1)L)}$ 、..., s個の距離演算回路 DP_{1L} , $DP_{1(L+L)}$, ..., $DP_{1(L+(u-1)L)}$ に対応して設けられる。なお、uは、1, 2, 3, ..., sである。
- [0111] そして、カウンタ一致検出回路51~5Lは、直列に接続される。また、カウンタ一致検出回路51~5Lの各々は、図3に示すカウンタ一致検出回路31と同じ構成からなる。この場合、カウンタ一致検出回路51~5Lの各々は、図3に示すカウンタ311または図7に示すカウンタ311Aを含む。
- [0112] カウンタ一致検出回路51は、増幅器41からクロック信号CLKを受け、連想メモリ100の制御回路（図示せず）から検索開始信号SBを受け、距離演算回路 DP_{11} , $DP_{1(1+L)}$, ..., $DP_{1(1+(u-1)L)}$ からそれぞれ距離信号 D_{11} , $D_{1(1+L)}$, ..., $D_{1(1+(u-1)L)}$ を受ける。
- [0113] カウンタ一致検出回路51は、距離信号 D_{11} , $D_{1(1+L)}$, ..., $D_{1(1+(u-1)L)}$ を受け、検索開始信号SBがLレベルからHレベルに切り替わると、上述した方法によって、距離信号 D_{11} , $D_{1(1+L)}$, ..., $D_{1(1+(u-1)L)}$ の和に一致するカウンタ値 CV_{11} が得られるときのクロック信号CLKのクロック数 CN_1 をカウントする。そして、カウンタ一致検出回路51は、クロック数 CN_1 をカウントしたタイミングを示す一致信号MTH1をクロック信号CLKに同期してカウンタ一致検出回路52へ出力する。その後、カウンタ一致検出回路51は、動作を停止する。

- [0114] また、カウンタ一致検出回路52は、増幅器42からクロック信号CLKを受け、カウンタ一致検出回路51から一致信号MTH1を受け、距離演算回路 DP_{12} , $DP_{1(2+L)}$, \dots , $DP_{1(2+(u-1)L)}$ からそれぞれ距離信号 D_{12} , $D_{1(2+L)}$, \dots , $D_{1(2+(u-1)L)}$ を受ける。
- [0115] カウンタ一致検出回路52は、距離信号 D_{12} , $D_{1(2+L)}$, \dots , $D_{1(2+(u-1)L)}$ を受け、一致信号MTH1を受けると、上述した方法によって、距離信号 D_{12} , $D_{1(2+L)}$, \dots , $D_{1(2+(u-1)L)}$ の和に一致するカウンタ値 CV_{12} が得られるときのクロック信号CLKのクロック数 CN_2 をカウントする。そして、カウンタ一致検出回路52は、クロック数 CN_2 をカウントしたタイミングを示す一致信号MTH2をクロック信号CLKに同期してカウンタ一致検出回路53へ出力する。その後、カウンタ一致検出回路52は、動作を停止する。
- [0116] 以下、同様にして、カウンタ一致検出回路5Lは、増幅器4Lからクロック信号CLKを受け、カウンタ一致検出回路 $5L-1$ から一致信号 MTH_{L-1} を受け、距離演算回路 DP_{1L} , $DP_{1(L+L)}$, \dots , $DP_{1(L+(u-1)L)}$ からそれぞれ距離信号 D_{1L} , $D_{1(L+L)}$, \dots , $D_{1(L+(u-1)L)}$ を受ける。
- [0117] カウンタ一致検出回路5Lは、距離信号 D_{1L} , $D_{1(L+L)}$, \dots , $D_{1(L+(u-1)L)}$ を受け、一致信号 MTH_{L-1} を受けると、上述した方法によって、距離信号 D_{1L} , $D_{1(L+L)}$, \dots , $D_{1(L+(u-1)L)}$ の和に一致するカウンタ値 CV_{1L} が得られるときのクロック信号CLKのクロック数 CN_L をカウントする。そして、カウンタ一致検出回路5Lは、クロック数 CN_L をカウントしたタイミングを示すタイミング信号 C_1 をクロック信号CLKに同期してWinner検出器20へ出力する。その後、カウンタ一致検出回路5Lは、動作を停止する。
- [0118] なお、距離信号 D_{11} , $D_{1(1+L)}$, \dots , $D_{1(1+(u-1)L)}$, D_{12} , $D_{1(2+L)}$, \dots , $D_{1(2+(u-1)L)}$, \dots , D_{1L} , $D_{1(L+L)}$, \dots , $D_{1(L+(u-1)L)}$ の各々は、Mビットのビット値からなる。

[0119] 従って、距離／クロック数変換回路 $DC_1 \sim DC_R$ (=距離／クロック数変換回路 DC'_1)の各々は、 $L (=W/s)$ 個の距離信号に対応して設けられ、各々が M ビットのビット長を有する W 個の距離信号に基づいて、タイミング信号(タイミング信号 $C_1 \sim C_R$ のいずれか)を出力する $L (=W/s)$ 個のカウンター一致検出回路を含み、 $L (=W/s)$ 個のカウンター一致検出回路は、各々が $L (=W/s)$ 個の距離信号からなる s 組の距離信号を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、その受けた s 組の距離信号に含まれる W 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数をカウントし、そのクロック数をカウントしたタイミングを示すタイミング信号(タイミング信号 $C_1 \sim C_R$ のいずれか)を $Winner$ 検出器20へ出力する。

[0120] カウンター一致検出回路 $5_1 \sim 5_{L-1}$ の各々は、 s 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数(=クロック数 $C_{N_1} \sim C_{N_L-1}$ のいずれか)をカウントしたタイミングを示す一致信号(=一致信号 $MTH_1 \sim MTH_{L-1}$ のいずれか)を出力し、カウンター一致検出回路 5_L は、 s 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 C_{N_L} をカウントしたタイミングを示すタイミング信号(タイミング信号 $C_1 \sim C_R$ のいずれか)を出力し、 $L = W/s$ であるので、 $L (=W/s)$ 個のカウンター一致検出回路 $5_1 \sim 5_L$ は、結局、 $(W/s) \times s = W$ 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数をカウントしたタイミングを示すタイミング信号(タイミング信号 $C_1 \sim C_R$ のいずれか)を出力することになる。

[0121] 図10は、図1に示す距離／クロック数変換回路 $DC_1 \sim DC_R$ の更に別の構成を示す概略図である。

[0122] この発明の実施の形態においては、距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々は、図10に示す距離／クロック数変換回路 DC''_1 からなってもよい。この場合も、 $W = 2^i$ (i は2以上の整数)である。

- [0123] 図10を参照して、距離／クロック数変換回路 DC''_1 は、図9に示す距離／クロック数変換回路 DC'_1 にスイッチング制御回路60およびマルチプレクサ61～6Lを追加したものであり、その他は、距離／クロック数変換回路 DC'_1 と同じである。
- [0124] 距離／クロック数変換回路 DC''_1 においては、増幅器41～4Lは、クロック信号CLKを増幅し、その増幅したクロック信号CLKをそれぞれカウンタ一致検出回路51～5Lへ出力するとともに、その増幅したクロック信号CLKをスイッチング制御回路60へ出力する。
- [0125] また、距離／クロック数変換回路 DC''_1 においては、マルチプレクサ61, 62, …, 6Lは、それぞれ、s個の距離演算回路 DP_{11} , $DP_{1(1+L)}$, …, $DP_{1(1+(u-1)L)}$ 、s個の距離演算回路 DP_{12} , $DP_{1(2+L)}$, …, $DP_{1(2+(u-1)L)}$ 、…、s個の距離演算回路 DP_{1L} , $DP_{1(L+L)}$, …, $DP_{1(L+(u-1)L)}$ に対応して設けられる。そして、カウンタ一致検出回路51～5Lは、それぞれ、マルチプレクサ61～6Lに対応して設けられる。
- [0126] スイッチング制御回路60は、連想メモリ100の制御回路から検索開始信号SBおよびリセット信号RSTを受け、カウンタ一致検出回路51～5Lからそれぞれ一致信号MTH1～MTHLを受ける。
- [0127] そして、スイッチング制御回路60は、検索開始信号SBおよびリセット信号RSTを受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに出力信号OUT1をマルチプレクサ61へ出力する。
- [0128] また、スイッチング制御回路60は、一致信号MTHLをカウンタ一致検出回路5Lから受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに出力信号OUT1をマルチプレクサ61へ出力する。スイッチング制御回路60は、この処理をs-1回実行する。
- [0129] 更に、スイッチング制御回路60は、一致信号MTH1をカウンタ一致検

出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路52へ出力するとともに出力信号OUT2をマルチプレクサ62へ出力する。スイッチング制御回路60は、この処理をs回実行する。

[0130] 更に、スイッチング制御回路60は、一致信号MTH2をカウンター一致検出回路52から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路53へ出力するとともに出力信号OUT3をマルチプレクサ63へ出力する。スイッチング制御回路60は、この処理をs回実行する。

[0131] 以下、同様にして、スイッチング制御回路60は、一致信号MTHL-1をカウンター一致検出回路5L-1から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路5Lへ出力するとともに出力信号OUTLをマルチプレクサ6Lへ出力する。スイッチング制御回路60は、この処理をs回実行する。

[0132] マルチプレクサ61は、s個の距離信号 D_{11} , $D_{1(1+L)}$, \dots , $D_{1(1+(u-1)L)}$ を受けると、マルチプレクサ61は、1回目の出力信号OUT1をスイッチング制御回路60から受けると、距離信号 D_{11} をカウンター一致検出回路51へ出力し、2回目の出力信号OUT1をスイッチング制御回路60から受けると、距離信号 $D_{1(1+L)}$ をカウンター一致検出回路51へ出力し、以下、同様にして、s回目の出力信号OUT1をスイッチング制御回路60から受けると、距離信号 $D_{1(1+(u-1)L)}$ をカウンター一致検出回路51へ出力する。

[0133] マルチプレクサ62は、s個の距離信号 D_{12} , $D_{1(2+L)}$, \dots , $D_{1(2+(u-1)L)}$ を受けると、マルチプレクサ62は、1回目の出力信号OUT2をスイッチング制御回路60から受けると、距離信号 D_{12} をカウンター一致検出回路52へ出力し、2回目の出力信号OUT2をスイッチング制御回路60から受けると、距離信号 $D_{1(2+L)}$ をカウンター一致検出回路52へ出力し、以下、同様にして、s回目の出力信号OUT2をスイッチング制御回路

60から受けると、距離信号 $D_{1(2+(u-1)L)}$ をカウンタ一致検出回路52へ出力する。

[0134] 以下、同様にして、マルチプレクサ6Lは、s個の距離信号 D_{1L} , $D_{1(L+L)}$, \dots , $D_{1(L+(u-1)L)}$ を受ける。そして、マルチプレクサ6Lは、1回目の出力信号OUTLをスイッチング制御回路60から受けると、距離信号 D_{1L} をカウンタ一致検出回路5Lへ出力し、2回目の出力信号OUTLをスイッチング制御回路60から受けると、距離信号 $D_{1(L+L)}$ をカウンタ一致検出回路5Lへ出力し、以下、同様にして、s回目の出力信号OUTLをスイッチング制御回路60から受けると、距離信号 $D_{1(L+(u-1)L)}$ をカウンタ一致検出回路5Lへ出力する。

[0135] カウンタ一致検出回路51は、リセット信号RSTをスイッチング制御回路60から受けると駆動される。そして、カウンタ一致検出回路51は、距離信号 D_{11} をマルチプレクサ61から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{11} に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN__1をカウントし、クロック数CN__1をカウントしたタイミングを示す一致信号MTH1をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。カウンタ一致検出回路51は、この処理をs個の距離信号 D_{11} , $D_{1(1+L)}$, \dots , $D_{1(1+(u-1)L)}$ の全てについて実行する。

[0136] また、カウンタ一致検出回路52は、リセット信号RSTをスイッチング制御回路60から受けると駆動される。そして、カウンタ一致検出回路52は、距離信号 D_{12} をマルチプレクサ62から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{12} に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN__2をカウントし、クロック数CN__2をカウントしたタイミングを示す一致信号MTH2をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路52は、動作を停止する。カウンタ一致検出回路52は、この処理を

s 個の距離信号 $D_{1,2}$, $D_{1(2+L)}$, \dots , $D_{1(2+(u-1)L)}$ の全てについて実行する。

[0137] 以下、同様にして、カウンター一致検出回路 5 L は、リセット信号 R S T をスイッチング制御回路 6 0 から受けると駆動される。そして、カウンター一致検出回路 5 L は、距離信号 D_{1L} をマルチプレクサ 6 L から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{1L} に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 C N _ L をカウントし、クロック数 C N _ L をカウントしたタイミングを示す一致信号 M T H L をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 L は、動作を停止する。カウンター一致検出回路 5 L は、この処理を s - 1 個の距離信号 $D_{1,2}$, $D_{1(2+L)}$, \dots , $D_{1(2+(u-1)L-1)}$ の全てについて実行する。

[0138] そして、カウンター一致検出回路 5 L は、s 回目のリセット信号 R S T をスイッチング制御回路 6 0 から受けると駆動されるとともに距離信号 $D_{1(L+(u-1)L)}$ をマルチプレクサ 6 L から受け、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 $D_{1(L+(u-1)L)}$ に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 C N _ L をカウントし、クロック数 C N _ L をカウントしたタイミングを示すタイミング信号 C_1 を W i n n e r 検出器 2 0 へ出力する。

[0139] 距離／クロック数変換回路 $D C_1 \sim D C_R$ (=距離／クロック数変換回路 $D C''_1$) の各々においては、検索データに類似する参照データの検索が開始されると、スイッチング制御回路 6 0 は、クロック信号 C L K に同期して、リセット信号 R S T をカウンター一致検出回路 5 1 へ出力するとともに出力信号 O U T 1 をマルチプレクサ 6 1 へ出力する。

[0140] そして、マルチプレクサ 6 1 は、スイッチング制御回路 6 0 からの 1 回目の出力信号 O U T 1 に応じて、距離信号 $D_{1,1}$ をカウンター一致検出回路 5 1 へ出力する。

[0141] カウンター一致検出回路 5 1 は、スイッチング制御回路 6 0 からのリセット

信号 R S T に応じて駆動される。そして、カウンター一致検出回路 5 1 は、距離信号 D_{11} をマルチプレクサ 6 1 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{11} に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 $C N_{1}$ をカウントし、クロック数 $C N_{1}$ をカウントしたタイミングを示す一致信号 M T H 1 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 1 は、動作を停止する。

[0142] その後、スイッチング制御回路 6 0 は、カウンター一致検出回路 5 1 から的一致信号 M T H 1 に応じて、クロック信号 C L K に同期して、リセット信号 R S T をカウンター一致検出回路 5 2 へ出力するとともに出力信号 O U T 2 をマルチプレクサ 6 2 へ出力する。

[0143] マルチプレクサ 6 2 は、スイッチング制御回路 6 0 からの 1 回目の出力信号 O U T 2 に応じて、距離信号 D_{12} をカウンター一致検出回路 5 2 へ出力する。

[0144] カウンター一致検出回路 5 2 は、スイッチング制御回路 6 0 からのリセット信号 R S T に応じて駆動される。そして、カウンター一致検出回路 5 2 は、距離信号 D_{12} をマルチプレクサ 6 2 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{12} に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 $C N_{2}$ をカウントし、クロック数 $C N_{2}$ をカウントしたタイミングを示す一致信号 M T H 2 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。

[0145] 以下、同様にして、スイッチング制御回路 6 0 は、カウンター一致検出回路 5 L - 1 から的一致信号 M T H L - 1 に応じて、クロック信号 C L K に同期して、リセット信号 R S T をカウンター一致検出回路 5 L へ出力するとともに出力信号 O U T L をマルチプレクサ 6 L へ出力する。

[0146] そして、マルチプレクサ 6 L は、スイッチング制御回路 6 0 からの 1 回目の出力信号 O U T L に応じて、距離信号 D_{1L} をカウンター一致検出回路 5 L へ

出力する。

- [0147] カウンター一致検出回路 5 L は、スイッチング制御回路 6 0 からのリセット信号 R S T に応じて駆動される。そして、カウンタ一致検出回路 5 L は、距離信号 D_{1L} をマルチプレクサ 6 L から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{1L} に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 CN_L をカウントし、クロック数 CN_L をカウントしたタイミングを示す一致信号 M T H L をスイッチング制御回路 6 0 へ出力する。そして、カウンタ一致検出回路 5 L は、動作を停止する。
- [0148] その後、スイッチング制御回路 6 0 は、カウンタ一致検出回路 5 L からの一致信号 M T H L に応じて、クロック信号 C L K に同期して、リセット信号 R S T をカウンタ一致検出回路 5 1 へ出力するとともに出力信号 O U T 1 をマルチプレクサ 6 1 へ出力する。
- [0149] その後、カウンタ一致検出回路 5 1 ~ 5 L - 1、スイッチング制御回路 6 0 およびマルチプレクサ 6 1 ~ 6 L - 1 は、上述した動作を $s - 1$ 回繰り返し実行し、カウンタ一致検出回路 5 L およびマルチプレクサ 6 L は、上述した動作を $s - 2$ 回繰り返し実行する。
- [0150] そして、カウンタ一致検出回路 5 L は、 s 回目のリセット信号 R S T をスイッチング制御回路 6 0 から受け、距離信号 $D_{1(L+(s-1)L)}$ をマルチプレクサ 6 L から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 $D_{1(L+(s-1)L)}$ に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 CN_L をカウントし、クロック数 CN_L をカウントしたタイミングを示すタイミング信号 C_1 を W i n n e r 検出器 2 0 へ出力する。そして、カウンタ一致検出回路 5 L は、動作を停止する。
- [0151] $L (=W/s)$ 個のカウンタ一致検出回路 5 1 ~ 5 L を 1 個のカウンタ一致検出回路 M D C と考えた場合、カウンタ一致検出回路 M D C は、1 回目、 $L (=W/s)$ 個の距離信号 $D_{11} \sim D_{1L}$ を受ける。そして、カウンタ一致検

出回路 5₁ ~ 5_L がそれぞれ距離信号 D₁₁ ~ D_{1L} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN₁ ~ CN_L をカウントし、クロック数 CN₁ ~ CN_L をカウントしたタイミングを示す一致信号 MTH₁ ~ MTH_L を出力することは、カウンタ一致検出回路 MDC が距離信号 D₁₁ ~ D_{1L} の和に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 (CN₁ + CN₂ + . . . + CN_L) をカウントし、そのクロック数 (CN₁ + CN₂ + . . . + CN_L) をカウントしたタイミングを示す一致信号を出力することに相当する。また、カウンタ一致検出回路 MDC は、この処理を s - 1 回繰り返し実行する。そして、カウンタ一致検出回路 MDC は、s - 1 回目の一致信号を出力すると、L (= W / s) 個の距離信号 D_{1(1+(u-1)L)}, D_{1(2+(u-1)L)}, . . . , D_{1(L+(u-1)L)} の和に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 (CN₁ + CN₂ + . . . + CN_L) をカウントし、そのクロック数 (CN₁ + CN₂ + . . . + CN_L) をカウントしたタイミングを示すタイミング信号 (= タイミング信号 C₁ ~ C_R のいずれか) を Winner 検出器 20 へ出力する。

[0152] 従って、距離/クロック数変換回路 DC[”]₁ においては、L (= W / s) 個のカウンタ一致検出回路 5₁ ~ 5_L は、L (= W / s) 個の距離信号 D₁₁ ~ D_{1L} を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、その受けた L (= W / s) 個の距離信号 D₁₁ ~ D_{1L} の和に一致するカウンタ値が得られるときのクロック信号 CLK の第 1 のクロック数をカウントし、第 1 のクロック数をカウントしたタイミングを示す第 1 の一致信号を出力する処理を s - 1 回繰り返し実行し、前記第 1 の一致信号を s - 1 回出力し、かつ、s 回目に L (= W / s) 個の距離信号を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、その受けた L (= W / s) 個の距離信号に一致するカウンタ値が得られるときのクロック信号 CLK の第 2 のクロック数をカウントし、前記第 2 のクロック数をカウントしたタイミングを示すタイミング信号 (= タイミング信号 C₁ ~

C_R のいずれか) をWinner検出器20へ出力する。

[0153] 図11は、図9に示す距離／クロック数変換回路 DC'_1 の具体的な構成を示す概略図である。

[0154] 図11を参照して、 $W = 2^i = 2^3 = 8$ からなり、 $s = 2^x = 2^1 = 2$ からなる場合、 $L = W / s = 8 / 2 = 4$ であり、距離／クロック数変換回路 $DC'_1 - 1$ は、増幅器41～44と、カウンター一致検出回路51～54とを含む。

[0155] また、 W 個の距離信号 $D_{11} \sim D_{1W}$ は、8個の距離信号 $D_{11} \sim D_{18}$ からなり、 W 個の距離演算回路 $DP_{11} \sim DP_{1W}$ は、8個の距離演算回路 $DP_{11} \sim DP_{18}$ からなる。ここで、距離信号 $D_{11} \sim D_{18}$ は、それぞれ、 $D_{11} = "3"$ 、 $D_{12} = "2"$ 、 $D_{13} = "5"$ 、 $D_{14} = "1"$ 、 $D_{15} = "2"$ 、 $D_{16} = "4"$ 、 $D_{17} = "2"$ 、 $D_{18} = "3"$ であるものとする。

[0156] そして、カウンター一致検出回路51は、2個の距離演算回路 DP_{11} 、 DP_{15} に対応して設けられ、カウンター一致検出回路52は、2個の距離演算回路 DP_{12} 、 DP_{16} に対応して設けられ、カウンター一致検出回路53は、2個の距離演算回路 DP_{13} 、 DP_{17} に対応して設けられ、カウンター一致検出回路54は、2個の距離演算回路 DP_{14} 、 DP_{18} に対応して設けられる。

[0157] 図12は、図11に示す距離／クロック数変換回路 $DC'_1 - 1$ の動作を説明するための図である。

[0158] 距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々は、図11に示す距離／クロック数変換回路 $DC'_1 - 1$ からなる。そして、距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々(=距離／クロック数変換回路 $DC'_1 - 1$)において、検索データに類似する参照データの検索が開始されると、カウンター一致検出回路51は、距離演算回路 DP_{11} 、 DP_{15} からそれぞれ距離信号 D_{11} (="3")、 D_{15} (="2")を受け、カウンター一致検出回路52は、距離演算回路 DP_{12} 、 DP_{16} からそれぞれ距離信号 D_{12} (="2")、 D_{16} (="4")を受け、カウンター一致検出回路53は、距離演算回路 DP_{13} 、 DP_{17} からそれぞれ距離信号 D_{13} (="5")、 D_{17} (="2")を受け、カウンター一致検出回路54は、距離演算回路 DP_{14} 、 DP_{18} からそれぞれ距離信号 D_{14}

4 (= “1”), D_{18} (= “3”) を受ける。

[0159] そうすると、カウンタ一致検出回路 5 1 は、距離信号 D_{11} (= “3”), D_{15} (= “2”) の和 (= “5” = “101”) に一致するカウンタ値 CV_{11} が得られるときのクロック信号 CLK のクロック数 $CN1$ (= “5”) をカウントする。そして、カウンタ一致検出回路 5 1 は、クロック数 $CN1$ (= “5”) をカウントしたタイミングを示す一致信号 $MTH1$ をクロック信号 CLK に同期してカウンタ一致検出回路 5 2 へ出力する。そして、カウンタ一致検出回路 5 1 は、動作を停止する。

[0160] カウンタ一致検出回路 5 2 は、一致信号 $MTH1$ をカウンタ一致検出回路 5 1 から受けると、距離信号 D_{12} (= “2”), D_{16} (= “4”) の和 (= “6” = “110”) に一致するカウンタ値 CV_{12} が得られるときのクロック信号 CLK のクロック数 $CN2$ (= “6”) をカウントする。そして、カウンタ一致検出回路 5 2 は、クロック数 $CN2$ (= “6”) をカウントしたタイミングを示す一致信号 $MTH2$ をクロック信号 CLK に同期してカウンタ一致検出回路 5 3 へ出力する。そして、カウンタ一致検出回路 5 2 は、動作を停止する。

[0161] カウンタ一致検出回路 5 3 は、一致信号 $MTH2$ をカウンタ一致検出回路 5 2 から受けると、距離信号 D_{13} (= “5”), D_{17} (= “2”) の和 (= “7” = “111”) に一致するカウンタ値 CV_{13} が得られるときのクロック信号 CLK のクロック数 $CN4$ (= “7”) をカウントする。そして、カウンタ一致検出回路 5 3 は、クロック数 $CN4$ (= “7”) をカウントしたタイミングを示す一致信号 $MTH3$ をクロック信号 CLK に同期してカウンタ一致検出回路 5 4 へ出力する。そして、カウンタ一致検出回路 5 3 は、動作を停止する。

[0162] カウンタ一致検出回路 5 4 は、一致信号 $MTH3$ をカウンタ一致検出回路 5 3 から受けると、距離信号 D_{14} (= “1”), D_{18} (= “3”) の和 (= “4” = “100”) に一致するカウンタ値 CV_{14} が得られるときのクロック数 $CN4$ (= “4”) をカウントする。そして、カウンタ一致検出回路 5

4は、クロック数 $C_N 4$ (= “4”) をカウントしたタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) をクロック信号 CLK に同期して $Winner$ 検出器20へ出力する。そして、カウンタ一致検出回路54は、動作を停止する。

[0163] このように、カウンタ一致検出回路51～54の各々は、2つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントし、2つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントすると、それぞれ、一致信号 $MTH 1 \sim MTH 3$ およびタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を出力する。

[0164] 距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々が距離／クロック数変換回路 DC'_{1-1} からなる場合、距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々は、距離信号 $D_{11} = “3”$ ， $D_{12} = “2”$ ， $D_{13} = “5”$ ， $D_{14} = “1”$ ， $D_{15} = “2”$ ， $D_{16} = “4”$ ， $D_{17} = “2”$ ， $D_{18} = “3”$ の和 (= “22”) に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 (= “22”) をカウントし、クロック数 (= “22”) をカウントしたタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を $Winner$ 検出器20へ出力する。

[0165] 図13は、図9に示す距離／クロック数変換回路 DC'_{1-1} の別の具体的な構成を示す概略図である。

[0166] 図13を参照して、 $W = 2^i = 2^3 = 8$ からなり、 $s = 2^x = 2^2 = 4$ からなる場合、 $L = W / s = 8 / 4 = 2$ であり、距離／クロック数変換回路 DC'_{1-2} は、増幅器41，42と、カウンタ一致検出回路51，52とを含む。

[0167] また、 W 個の距離信号 $D_{11} \sim D_{1W}$ は、8個の距離信号 $D_{11} \sim D_{18}$ からなり、 W 個の距離演算回路 $DP_{11} \sim DP_{1W}$ は、8個の距離演算回路 $DP_{11} \sim DP_{18}$ からなる。また、距離信号 $D_{11} \sim D_{18}$ の各々は、4ビットのビット値からなる。ここで、距離信号 $D_{11} \sim D_{18}$ は、それぞれ、 $D_{11} = “3”$ ， $D_{12} = “2”$ ， $D_{13} = “5”$ ， $D_{14} = “1”$ ， $D_{15} = “2”$ ， $D_{16} = “4”$ ， $D_{17} = “2”$ ， $D_{18} = “3”$ であるものとする。

- [0168] そして、カウンター一致検出回路51は、4個の距離演算回路 DP_{11} , DP_{13} , DP_{15} , DP_{17} に対応して設けられ、カウンター一致検出回路52は、4個の距離演算回路 DP_{12} , DP_{14} , DP_{16} , DP_{18} に対応して設けられる。
- [0169] なお、カウンター一致検出回路51, 52の各々において、カウンタ311または311Aは、4ビットのカウント値を一致検出回路312へ出力する。
- [0170] 図14は、図13に示す距離／クロック数変換回路 DC'_{1-2} の動作を説明するための図である。
- [0171] 距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々は、図13に示す距離／クロック数変換回路 DC'_{1-2} からなる。そして、距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々（＝距離／クロック数変換回路 DC'_{1-2} ）において、検索データに類似する参照データの検索が開始されると、カウンター一致検出回路51は、距離演算回路 DP_{11} , DP_{13} , DP_{15} , DP_{17} からそれぞれ距離信号 D_{11} （＝“3”）, D_{13} （＝“5”）, D_{15} （＝“2”）, D_{17} （＝“2”）を受け、カウンター一致検出回路52は、距離演算回路 DP_{12} , DP_{14} , DP_{16} , DP_{18} からそれぞれ距離信号 D_{12} （＝“2”）, D_{14} （＝“1”）, D_{16} （＝“4”）, D_{18} （＝“3”）を受け取る。
- [0172] そうすると、カウンター一致検出回路51は、カウント値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{11} （＝“3”）, D_{13} （＝“5”）, D_{15} （＝“2”）, D_{17} （＝“2”）の和（＝“12”＝“1100”）に一致するカウント値 CV_{11} が得られるときのクロック信号CLKのクロック数 CN_1 （＝“12”）をカウントする。そして、カウンター一致検出回路51は、クロック数 CN_1 をカウントしたタイミングを示す一致信号MTH1をクロック信号CLKに同期してカウンター一致検出回路52へ出力する。そして、カウンター一致検出回路51は、動作を停止する。
- [0173] カウンター一致検出回路52は、一致信号MTH1をカウンター一致検出回路51から受けると駆動され、カウント値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{12} （＝“2”）, D_{14} （＝“1”）,

D_{16} (= “4”), D_{18} (= “3”) の和 (= “10” = “1010”) に一致するカウンタ値 CV_{12} が得られるときのクロック信号 CLK のクロック数 $CN2$ (= “10”) をカウントする。そして、カウンタ一致検出回路 52 は、クロック数 $CN2$ (= “10”) をカウントしたタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) をクロック信号 CLK に同期して Winner 検出器 20 へ出力する。そして、カウンタ一致検出回路 52 は、動作を停止する。

[0174] このように、カウンタ一致検出回路 51, 52 の各々は、4 つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントし、4 つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントすると、それぞれ、一致信号 MTH1 およびタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を出力する。

[0175] 距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々が距離／クロック数変換回路 DC'_{1-2} からなる場合も、距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々は、距離信号 $D_{11} = “3”$, $D_{12} = “2”$, $D_{13} = “5”$, $D_{14} = “1”$, $D_{15} = “2”$, $D_{16} = “4”$, $D_{17} = “2”$, $D_{18} = “3”$ の和 (= “22”) に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 (= “22”) をカウントし、クロック数 (= “22”) をカウントしたタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を Winner 検出器 20 へ出力する。

[0176] 図 15 は、図 10 に示す距離／クロック数変換回路 DC'_{1-1} の具体的な構成を示す概略図である。

[0177] 図 15 を参照して、 $W = 2^i = 2^3 = 8$ からなり、 $s = 2^x = 2^1 = 2$ からなる場合、 $L = W / s = 8 / 2 = 4$ であり、距離／クロック数変換回路 DC'_{1-1} は、増幅器 41 ~ 44 と、カウンタ一致検出回路 51 ~ 54 と、スイッチング制御回路 60 と、マルチプレクサ 61 ~ 64 とを含む。

[0178] また、 W 個の距離信号 $D_{11} \sim D_{1W}$ は、8 個の距離信号 $D_{11} \sim D_{18}$ からなり、 W 個の距離演算回路 $DP_{11} \sim DP_{1W}$ は、8 個の距離演算回路 $DP_{11} \sim DP$

D_{18} からなる。ここで、距離信号 $D_{11} \sim D_{18}$ は、それぞれ、 $D_{11} = "3"$ 、 $D_{12} = "2"$ 、 $D_{13} = "5"$ 、 $D_{14} = "1"$ 、 $D_{15} = "2"$ 、 $D_{16} = "4"$ 、 $D_{17} = "2"$ 、 $D_{18} = "3"$ であるものとする。

[0179] 距離／クロック数変換回路 $DC"_{1-1}$ においては、マルチプレクサ61は、2個の距離演算回路 DP_{11} 、 DP_{15} に対応して設けられ、マルチプレクサ62は、2個の距離演算回路 DP_{12} 、 DP_{16} に対応して設けられ、マルチプレクサ63は、2個の距離演算回路 DP_{13} 、 DP_{17} に対応して設けられ、マルチプレクサ64は、2個の距離演算回路 DP_{14} 、 DP_{18} に対応して設けられる。

[0180] カウンター一致検出回路51～54は、それぞれ、マルチプレクサ61～64に対応して設けられる。

[0181] 距離／クロック数変換回路 $DC"_{1-1}$ においては、増幅器41～44は、クロック信号 CLK を増幅し、その増幅したクロック信号 CLK をそれぞれカウンター一致検出回路51～54へ出力するとともに、その増幅したクロック信号 CLK をスイッチング制御回路60へ出力する。

[0182] スwitching制御回路60は、連想メモリ100の制御回路から検索開始信号 SB およびリセット信号 RST を受け、カウンター一致検出回路51～54からそれぞれ一致信号 $MTH1 \sim MTH4$ を受ける。

[0183] そして、スイッチング制御回路60は、検索開始信号 SB およびリセット信号 RST を受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンター一致検出回路51へ出力するとともに出力信号 $OUT1$ をマルチプレクサ61へ出力する。

[0184] また、スイッチング制御回路60は、一致信号 $MTH4$ をカウンター一致検出回路54から受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンター一致検出回路51へ出力するとともに出力信号 $OUT1$ をマルチプレクサ61へ出力する。スイッチング制御回路60は、この処理を1(= $s - 1 = 2 - 1$)回実行する。

[0185] 更に、スイッチング制御回路60は、一致信号 $MTH1$ をカウンター一致検

出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに出力信号OUT2をマルチプレクサ62へ出力する。スイッチング制御回路60は、この処理を2(=s=2)回実行する。

[0186] 更に、スイッチング制御回路60は、一致信号MTH2をカウンタ一致検出回路52から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路53へ出力するとともに出力信号OUT3をマルチプレクサ63へ出力する。スイッチング制御回路60は、この処理を2(=s=2)回実行する。

[0187] 更に、スイッチング制御回路60は、一致信号MTH3をカウンタ一致検出回路53から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路54へ出力するとともに出力信号OUT4をマルチプレクサ64へ出力する。スイッチング制御回路60は、この処理を2(=s=2)回実行する。

[0188] マルチプレクサ61は、2個の距離信号D₁₁, D₁₅を受けると、マルチプレクサ61は、1回目の出力信号OUT1をスイッチング制御回路60から受けると、距離信号D₁₁をカウンタ一致検出回路51へ出力し、2回目の出力信号OUT1をスイッチング制御回路60から受けると、距離信号D₁₅をカウンタ一致検出回路51へ出力する。

[0189] マルチプレクサ62は、2個の距離信号D₁₂, D₁₆を受けると、マルチプレクサ62は、1回目の出力信号OUT2をスイッチング制御回路60から受けると、距離信号D₁₂をカウンタ一致検出回路52へ出力し、2回目の出力信号OUT2をスイッチング制御回路60から受けると、距離信号D₁₆をカウンタ一致検出回路52へ出力する。

[0190] マルチプレクサ63は、2個の距離信号D₁₃, D₁₇を受けると、マルチプレクサ63は、1回目の出力信号OUT3をスイッチング制御回路60から受けると、距離信号D₁₃をカウンタ一致検出回路53へ出力し、2回目の出力信号OUT3をスイッチング制御回路60から受けると、距離信号

D_{17} をカウンタ一致検出回路53へ出力する。

[0191] マルチプレクサ64は、2個の距離信号 D_{14} 、 D_{18} を受ける。そして、マルチプレクサ64は、1回目の出力信号OUT4をスイッチング制御回路60から受けると、距離信号 D_{14} をカウンタ一致検出回路54へ出力し、2回目の出力信号OUT4をスイッチング制御回路60から受けると、距離信号 D_{18} をカウンタ一致検出回路54へ出力する。

[0192] カウンタ一致検出回路51は、リセット信号RSTをスイッチング制御回路60から受けると駆動される。そして、カウンタ一致検出回路51は、距離信号 D_{11} をマルチプレクサ61から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{11} に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN__1をカウントし、クロック数CN__1をカウントしたタイミングを示す一致信号MTH1をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。カウンタ一致検出回路51は、この処理を2個の距離信号 D_{11} 、 D_{15} の全てについて実行する。

[0193] また、カウンタ一致検出回路52は、リセット信号RSTをスイッチング制御回路60から受けると駆動される。そして、カウンタ一致検出回路52は、距離信号 D_{12} をマルチプレクサ62から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{12} に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN__2をカウントし、クロック数CN__2をカウントしたタイミングを示す一致信号MTH2をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路52は、動作を停止する。カウンタ一致検出回路52は、この処理を2個の距離信号 D_{12} 、 D_{16} の全てについて実行する。

[0194] 更に、カウンタ一致検出回路53は、リセット信号RSTをスイッチング制御回路60から受けると駆動される。そして、カウンタ一致検出回路53は、距離信号 D_{13} をマルチプレクサ63から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{13} に一致す

るカウンタ値が得られるときのクロック信号CLKのクロック数CN₃をカウントし、クロック数CN₃をカウントしたタイミングを示す一致信号MTH₃をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路53は、動作を停止する。カウンタ一致検出回路53は、この処理を2個の距離信号D₁₃, D₁₇の全てについて実行する。

[0195] 更に、カウンタ一致検出回路54は、リセット信号RSTをスイッチング制御回路60から受けると駆動される。そして、カウンタ一致検出回路54は、距離信号D₁₄をマルチプレクサ64から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号D₁₄に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN₄をカウントし、クロック数CN₄をカウントしたタイミングを示す一致信号MTH₄をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路54は、動作を停止する。

[0196] そして、カウンタ一致検出回路54は、2回目のリセット信号RSTをスイッチング制御回路60から受け、距離信号D₁₈をマルチプレクサ64から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号D₁₈に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN₄をカウントし、クロック数CN₄をカウントしたタイミングを示すタイミング信号(=タイミング信号C₁~C_Rのいずれか)をWinner検出器20へ出力する。そして、カウンタ一致検出回路54は、動作を停止する。

[0197] 図16は、図15に示す距離/クロック数変換回路DC₁~DC_Rの動作を説明するための図である。

[0198] 距離/クロック数変換回路DC₁~DC_R(=距離/クロック数変換回路DC₁~DC_R)の各々において、検索データに類似する参照データの検索が開始されると、スイッチング制御回路60は、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに出力信号OUT1をマルチプレクサ61へ出力する。

- [0199] そして、マルチプレクサ61は、スイッチング制御回路60からの1回目の出力信号OUT1に応じて、距離信号D₁₁ (= “3”) をカウンター一致検出回路51へ出力する。
- [0200] カウンター一致検出回路51は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路51は、距離信号D₁₁ (= “3”) をマルチプレクサ61から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号D₁₁ (= “3”) に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN__1 (= “3”) をカウントし、クロック数CN__1 (= “3”) をカウントしたタイミングを示す一致信号MTH1をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路51は、動作を停止する。
- [0201] その後、スイッチング制御回路60は、カウンター一致検出回路51から一致信号MTH1を受けると、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路52へ出力するとともに出力信号OUT2をマルチプレクサ62へ出力する。
- [0202] マルチプレクサ62は、スイッチング制御回路60からの1回目の出力信号OUT2に応じて、距離信号D₁₂ (= “2”) をカウンター一致検出回路52へ出力する。
- [0203] カウンター一致検出回路52は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路52は、距離信号D₁₂ (= “2”) をマルチプレクサ62から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号D₁₂ (= “2”) に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN__2 (= “2”) をカウントし、クロック数CN__2 (= “2”) をカウントしたタイミングを示す一致信号MTH2をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路52は、動作を停止する。

- [0204] その後、スイッチング制御回路60は、カウンター一致検出回路52から一致信号MTH2を受けると、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路53へ出力するとともに出力信号OUT3をマルチプレクサ63へ出力する。
- [0205] マルチプレクサ63は、スイッチング制御回路60からの1回目の出力信号OUT3に応じて、距離信号D₁₃ (= “5”) をカウンター一致検出回路53へ出力する。
- [0206] カウンター一致検出回路53は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路53は、距離信号D₁₃ (= “5”) をマルチプレクサ63から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号D₁₃ (= “5”) に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN₃ (= “5”) をカウントし、クロック数CN₃ (= “5”) をカウントしたタイミングを示す一致信号MTH3をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路53は、動作を停止する。
- [0207] その後、スイッチング制御回路60は、カウンター一致検出回路53から一致信号MTH3を受けると、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路54へ出力するとともに出力信号OUT4をマルチプレクサ64へ出力する。
- [0208] マルチプレクサ64は、スイッチング制御回路60からの1回目の出力信号OUT4に応じて、距離信号D₁₄ (= “1”) をカウンター一致検出回路54へ出力する。
- [0209] カウンター一致検出回路54は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路54は、距離信号D₁₄ (= “1”) をマルチプレクサ64から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号D₁₄ (= “1”) に一致するカウンタ値が得られるときのクロック信号CLKのク

ロック数CN₄ (= “1”) をカウントし、クロック数CN₄ (= “1”) をカウントしたタイミングを示す一致信号MTH₄ をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路54は、動作を停止する。

[0210] その後、スイッチング制御回路60は、カウンタ一致検出回路54から一致信号MTH₄を受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに出力信号OUT₁をマルチプレクサ61へ出力する。

[0211] マルチプレクサ61は、スイッチング制御回路60からの2回目の出力信号OUT₁に応じて、距離信号D₁₅ (= “2”) をカウンタ一致検出回路51へ出力する。

[0212] カウンタ一致検出回路51は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンタ一致検出回路51は、距離信号D₁₅ (= “2”) をマルチプレクサ61から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号D₁₅ (= “2”) に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN₁ (= “2”) をカウントし、クロック数CN₁ (= “2”) をカウントしたタイミングを示す一致信号MTH₁ をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。

[0213] その後、スイッチング制御回路60は、カウンタ一致検出回路51から一致信号MTH₁を受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに出力信号OUT₂をマルチプレクサ62へ出力する。

[0214] マルチプレクサ62は、スイッチング制御回路60からの2回目の出力信号OUT₂に応じて、距離信号D₁₆ (= “4”) をカウンタ一致検出回路52へ出力する。

[0215] カウンタ一致検出回路52は、スイッチング制御回路60からのリセット

信号 R S T に応じて駆動される。そして、カウンター一致検出回路 5 2 は、距離信号 D_{16} (= “4”) をマルチプレクサ 6 2 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{16} (= “4”) に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 C N _ 2 (= “4”) をカウントし、クロック数 C N _ 2 (= “4”) をカウントしたタイミングを示す一致信号 M T H 2 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。

[0216] その後、スイッチング制御回路 6 0 は、カウンター一致検出回路 5 2 から一致信号 M T H 2 を受けると、クロック信号 C L K に同期して、リセット信号 R S T をカウンター一致検出回路 5 3 へ出力するとともに出力信号 O U T 3 をマルチプレクサ 6 3 へ出力する。

[0217] マルチプレクサ 6 3 は、スイッチング制御回路 6 0 からの 2 回目の出力信号 O U T 3 に応じて、距離信号 D_{17} (= “2”) をカウンター一致検出回路 5 3 へ出力する。

[0218] カウンター一致検出回路 5 3 は、スイッチング制御回路 6 0 からのリセット信号 R S T に応じて駆動される。そして、カウンター一致検出回路 5 3 は、距離信号 D_{17} (= “2”) をマルチプレクサ 6 3 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{17} (= “2”) に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 C N _ 3 (= “2”) をカウントし、クロック数 C N _ 3 (= “2”) をカウントしたタイミングを示す一致信号 M T H 3 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 3 は、動作を停止する。

[0219] その後、スイッチング制御回路 6 0 は、カウンター一致検出回路 5 3 から一致信号 M T H 3 を受けると、クロック信号 C L K に同期して、リセット信号 R S T をカウンター一致検出回路 5 4 へ出力するとともに出力信号 O U T 4 をマルチプレクサ 6 4 へ出力する。

- [0220] マルチプレクサ64は、スイッチング制御回路60からの2回目の出力信号OUT4に応じて、距離信号 D_{18} (= “3”) をカウンター一致検出回路54へ出力する。
- [0221] カウンター一致検出回路54は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路54は、距離信号 D_{18} (= “3”) をマルチプレクサ64から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{18} (= “3”) に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN_4 (= “3”) をカウントし、クロック数CN_4 (= “3”) をカウントしたタイミングを示す一致信号MTH4をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路54は、動作を停止する。
- [0222] そうすると、スイッチング制御回路60は、カウンター一致検出回路54からの2回目の一致信号MTH4に応じて、2回目の一致信号MTH4によって示されるタイミングと同じタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) をWinner検出器20へ出力する。
- [0223] このように、カウンター一致検出回路51~54は、それぞれ、距離信号 $D_{11} \sim D_{14}$ に一致するカウンタ値が得られたときのクロック信号CLKのクロック数CN_1~CN_4をカウントし、クロック数CN_1~CN_4をカウントしたタイミングを示す一致信号MTH1~MTH4を出力した後に、それぞれ、距離信号 $D_{15} \sim D_{18}$ に一致するカウンタ値が得られたときのクロック信号CLKのクロック数CN_1~CN_4をカウントし、クロック数CN_1~CN_4をカウントしたタイミングを示す一致信号MTH1~MTH4を出力する。
- [0224] つまり、カウンター一致検出回路51~54の各々は、距離信号に一致するカウンタ値が得られるときのクロック信号CLKのクロック数をカウントし、そのクロック数をカウントしたタイミングを示す一致信号を出力する処理を2回繰り返し実行する。

- [0225] 距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々が距離／クロック数変換回路 DC''_{1-1} からなる場合も、距離／クロック数変換回路 $DC_1 \sim DC_R$ の各々は、距離信号 $D_{11} = "3"$ 、 $D_{12} = "2"$ 、 $D_{13} = "5"$ 、 $D_{14} = "1"$ 、 $D_{15} = "2"$ 、 $D_{16} = "4"$ 、 $D_{17} = "2"$ 、 $D_{18} = "3"$ の和(= "22")に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数(= "22")をカウントし、クロック数(= "22")をカウントしたタイミングを示すタイミング信号(=タイミング信号 $C_1 \sim C_R$ のいずれか)を $Winner$ 検出器20へ出力する。
- [0226] 図17は、図10に示す距離／クロック数変換回路 DC''_1 の更に別の具体的な構成を示す概略図である。
- [0227] 図17を参照して、 $W = 2^i = 2^3 = 8$ からなり、 $s = 2^x = 2^2 = 4$ からなる場合、 $L = W / s = 8 / 4 = 2$ であり、距離／クロック数変換回路 DC''_{1-2} は、増幅器41、42と、カウンター一致検出回路51、52と、スイッチ制御回路60と、マルチプレクサ61、62を含む。
- [0228] マルチプレクサ61は、4個の距離演算回路 DP_{11} 、 DP_{13} 、 DP_{15} 、 DP_{17} に対応して設けられ、マルチプレクサ62は、4個の距離演算回路 DP_{12} 、 DP_{14} 、 DP_{16} 、 DP_{18} に対応して設けられる。
- [0229] カウンター一致検出回路51は、マルチプレクサ61に対応して設けられ、カウンター一致検出回路52は、マルチプレクサ62に対応して設けられる。
- [0230] スイッチング制御回路60は、連想メモリ100の制御回路から検索開始信号 SB およびリセット信号 RST を受ける。また、スイッチング制御回路60は、増幅器41、42からクロック信号 CLK を受ける。更に、スイッチング制御回路60は、カウンター一致検出回路51から一致信号 $MTH1$ を受け、カウンター一致検出回路52から一致信号 $MTH2$ を受ける。
- [0231] そして、スイッチング制御回路60は、検索開始信号 SB およびリセット信号 RST を受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンター一致検出回路51へ出力するとともに出力信号 $OUT1$ をマルチプレクサ61へ出力する。

- [0232] また、スイッチング制御回路60は、一致信号MTH2をカウンタ一致検出回路52から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに出力信号OUT1をマルチプレクサ61へ出力する。
- [0233] 更に、スイッチング制御回路60は、一致信号MTH1をカウンタ一致検出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに出力信号OUT2をマルチプレクサ62へ出力する。
- [0234] そして、スイッチング制御回路60は、s回目の一致信号MTH2をカウンタ一致検出回路52から受けると、s回目の一致信号MTH2によって示されるタイミングと同じタイミングを示すタイミング信号(=タイミング信号C₁~C_Rのいずれか)をWinner検出器20へ出力する。
- [0235] マルチプレクサ61は、距離演算回路DP₁₁, DP₁₃, DP₁₅, DP₁₇からそれぞれ距離信号D₁₁, D₁₃, D₁₅, D₁₇を受け、出力信号OUT1をスイッチング制御回路60から受ける。
- [0236] そして、マルチプレクサ61は、1回目の出力信号OUT1を受けると、距離信号D₁₁をカウンタ一致検出回路51へ出力し、2回目の出力信号OUT1を受けると、距離信号D₁₃をカウンタ一致検出回路51へ出力し、3回目の出力信号OUT1を受けると、距離信号D₁₅をカウンタ一致検出回路51へ出力し、4回目の出力信号OUT1を受けると、距離信号D₁₇をカウンタ一致検出回路51へ出力する。
- [0237] また、マルチプレクサ62は、距離演算回路DP₁₂, DP₁₄, DP₁₆, DP₁₈からそれぞれ距離信号D₁₂, D₁₄, D₁₆, D₁₈を受け、出力信号OUT2をスイッチング制御回路60から受ける。
- [0238] そして、マルチプレクサ62は、1回目の出力信号OUT2を受けると、距離信号D₁₂をカウンタ一致検出回路52へ出力し、2回目の出力信号OUT2を受けると、距離信号D₁₄をカウンタ一致検出回路52へ出力し、3回目の出力信号OUT2を受けると、距離信号D₁₆をカウンタ一致検出回路5

2へ出力し、4回目の出力信号OUT2を受けると、距離信号D₁₈をカウンタ一致検出回路52へ出力する。

[0239] カウンタ一致検出回路51は、マルチプレクサ61から距離信号D₁₁を受け、リセット信号RSTをスイッチング制御回路60から受けると、上述した方法によって、距離信号D₁₁に一致するカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数CN__1をカウントし、クロック数CN__1をカウントしたタイミングを示す一致信号MTH1をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。

[0240] また、カウンタ一致検出回路51は、マルチプレクサ61から距離信号D₁₃を受け、リセット信号RSTをスイッチング制御回路60から受けると、上述した方法によって、距離信号D₁₃に一致するカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数CN__1をカウントし、クロック数CN__1をカウントしたタイミングを示す一致信号MTH1をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。

[0241] 更に、カウンタ一致検出回路51は、マルチプレクサ61から距離信号D₁₅を受け、リセット信号RSTをスイッチング制御回路60から受けると、上述した方法によって、距離信号D₁₅に一致するカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数CN__1をカウントし、クロック数CN__1をカウントしたタイミングを示す一致信号MTH1をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。

[0242] 更に、カウンタ一致検出回路51は、マルチプレクサ61から距離信号D₁₇を受け、リセット信号RSTをスイッチング制御回路60から受けると、上述した方法によって、距離信号D₁₇に一致するカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数CN__1をカウントし、クロック数CN__1をカウントしたタイミングを示す一致信号MTH1をスイッチング

制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。

[0243] このように、カウンタ一致検出回路51は、距離信号とリセット信号とを受けると、距離信号(=距離信号 D_{11} から奇数番目の距離信号 D_{11} , D_{13} , D_{15} , D_{17} のいずれか)に一致するカウンタ値 CV_{11} が得られるときのクロック信号CLKのクロック数 CN_{11} をカウントし、クロック数 CN_{11} をカウントしたタイミングを示す一致信号MTH1をスイッチング制御回路60へ出力し、その後、動作を停止する。

[0244] カウンタ一致検出回路52は、マルチプレクサ62から距離信号 D_{12} を受け、リセット信号RSTをスイッチング制御回路60から受けると、上述した方法によって、距離信号 D_{12} に一致するカウンタ値 CV_{12} が得られるときのクロック信号CLKのクロック数 CN_{12} をカウントし、クロック数 CN_{12} をカウントしたタイミングを示す一致信号MTH2をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路52は、動作を停止する。

[0245] また、カウンタ一致検出回路52は、マルチプレクサ62から距離信号 D_{14} を受け、リセット信号RSTをスイッチング制御回路60から受けると、上述した方法によって、距離信号 D_{14} に一致するカウンタ値 CV_{12} が得られるときのクロック信号CLKのクロック数 CN_{12} をカウントし、クロック数 CN_{12} をカウントしたタイミングを示す一致信号MTH2をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路52は、動作を停止する。

[0246] 更に、カウンタ一致検出回路52は、マルチプレクサ62から距離信号 D_{16} を受け、リセット信号RSTをスイッチング制御回路60から受けると、上述した方法によって、距離信号 D_{16} に一致するカウンタ値 CV_{12} が得られるときのクロック信号CLKのクロック数 CN_{12} をカウントし、クロック数 CN_{12} をカウントしたタイミングを示す一致信号MTH2をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路52は、動作を停

止する。

[0247] 更に、カウンター一致検出回路52は、マルチプレクサ62から距離信号 D_{18} を受け、リセット信号RSTをスイッチング制御回路60から受けると、上述した方法によって、距離信号 D_{18} に一致するカウンタ値 CV_{12} が得られるときのクロック信号CLKのクロック数 CN_2 をカウントし、クロック数 CN_2 をカウントしたタイミングを示す一致信号MTH2をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路52は、動作を停止する。

[0248] このように、カウンター一致検出回路52は、距離信号とリセット信号とを受けると、距離信号（＝距離信号 D_{11} から偶数番目の距離信号 D_{12} , D_{14} , D_{16} , D_{18} のいずれか）に一致するカウンタ値 CV_{12} が得られるときのクロック信号CLKのクロック数 CN_2 をカウントし、クロック数 CN_2 をカウントしたタイミングを示す一致信号MTH2をスイッチング制御回路60へ出力し、その後、動作を停止する。

[0249] 図18は、図17に示す距離／クロック数変換回路 DC''_{1-2} の動作を説明するための図である。

[0250] 図18を参照して、スイッチング制御回路60は、連想メモリ100の制御回路からの検索開始信号SBおよびリセット信号RSTに応じて、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路51へ出力するとともに出力信号OUT1をマルチプレクサ61へ出力する。

[0251] マルチプレクサ61は、距離演算回路 DP_{11} , DP_{13} , DP_{15} , DP_{17} からそれぞれ距離信号 D_{11} , D_{13} , D_{15} , D_{17} を受ける。そして、マルチプレクサ61は、1回目の出力信号OUT1に応じて、距離信号 D_{11} をカウンター一致検出回路51へ出力する。

[0252] そうすると、カウンター一致検出回路51は、距離信号 D_{11} （＝“3”）に一致するカウンタ値 CV_{11} が得られるときのクロック信号CLKのクロック数 CN_1 （＝“3”）をカウントする。そして、カウンター一致検出回路51は、クロック数 CN_1 （＝“3”）をカウントしたタイミングを示す一

致信号MTH1をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。

[0253] その後、スイッチング制御回路60は、一致信号MTH1をカウンタ一致検出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに、出力信号OUT2をマルチプレクサ62へ出力する。

[0254] マルチプレクサ62は、距離演算回路DP₁₂, DP₁₄, DP₁₆, DP₁₈からそれぞれ距離信号D₁₂, D₁₄, D₁₆, D₁₈を受けると、マルチプレクサ62は、1回目の出力信号OUT2に応じて、距離信号D₁₂(=“2”)をカウンタ一致検出回路52へ出力する。

[0255] そうすると、カウンタ一致検出回路52は、距離信号D₁₂(=“2”)に一致するカウンタ値CV₁₂が得られるときのクロック信号CLKのクロック数CN__2(=“2”)をカウントする。そして、カウンタ一致検出回路52は、クロック数CN__2(=“2”)をカウントしたタイミングを示す一致信号MTH2をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路52は、動作を停止する。

[0256] 引き続き、スイッチング制御回路60は、一致信号MTH2をカウンタ一致検出回路52から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに、出力信号OUT1をマルチプレクサ61へ出力する。

[0257] マルチプレクサ61は、2回目の出力信号OUT1に応じて、距離信号D₁₃(=“5”)をカウンタ一致検出回路51へ出力する。

[0258] そうすると、カウンタ一致検出回路51は、距離信号D₁₃(=“5”)に一致するカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数CN__1(=“5”)をカウントする。そして、カウンタ一致検出回路51は、クロック数CN__1(=“5”)をカウントしたタイミングを示す一致信号MTH1をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。

- [0259] スイッチング制御回路60は、一致信号MTH1をカウンタ一致検出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに、出力信号OUT2をマルチプレクサ62へ出力する。
- [0260] マルチプレクサ62は、2回目の出力信号OUT2に応じて、距離信号D₁₄(=“1”)をカウンタ一致検出回路52へ出力する。
- [0261] そうすると、カウンタ一致検出回路52は、距離信号D₁₄(=“1”)に一致するカウンタ値CV₁₂が得られるときのクロック数CN__2(=“1”)をカウントする。そして、カウンタ一致検出回路52は、クロック数CN__2(=“1”)をカウントしたタイミングを示す一致信号MTH2をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路52は、動作を停止する。
- [0262] そして、スイッチング制御回路60は、一致信号MTH2をカウンタ一致検出回路52から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに、出力信号OUT1をマルチプレクサ61へ出力する。
- [0263] マルチプレクサ61は、3回目の出力信号OUT1に応じて、距離信号D₁₅(=“2”)をカウンタ一致検出回路51へ出力する。
- [0264] そうすると、カウンタ一致検出回路51は、距離信号D₁₅(=“2”)に一致するカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数CN__1(=“2”)をカウントする。そして、カウンタ一致検出回路51は、クロック数CN__1(=“2”)をカウントしたタイミングを示す一致信号MTH1をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。
- [0265] そして、スイッチング制御回路60は、一致信号MTH1をカウンタ一致検出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに、出力信号OUT2をマルチプレクサ62へ出力する。

- [0266] マルチプレクサ62は、3回目の出力信号OUT2に応じて、距離信号D₁₆ (= “4”) をカウンタ一致検出回路52へ出力する。
- [0267] そうすると、カウンタ一致検出回路52は、距離信号D₁₆ (= “4”) に一致するカウンタ値CV₁₂が得られるときのクロック信号CLKのクロック数CN__2 (= “4”) をカウントする。そして、カウンタ一致検出回路52は、クロック数CN__2 (= “4”) をカウントしたタイミングを示す一致信号MTH2をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路52は、動作を停止する。
- [0268] そして、スイッチング制御回路60は、一致信号MTH2をカウンタ一致検出回路52から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに、出力信号OUT1をマルチプレクサ61へ出力する。
- [0269] マルチプレクサ61は、4回目の出力信号OUT1に応じて、距離信号D₁₇ (= “2”) をカウンタ一致検出回路51へ出力する。
- [0270] そうすると、カウンタ一致検出回路51は、距離信号D₁₇ (= “2”) に一致するカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数CN__1 (= “2”) をカウントする。そして、カウンタ一致検出回路51は、クロック数CN__1 (= “2”) をカウントしたタイミングを示す一致信号MTH1をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。
- [0271] その後、スイッチング制御回路60は、一致信号MTH1をカウンタ一致検出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに、出力信号OUT2をマルチプレクサ62へ出力する。
- [0272] マルチプレクサ62は、4回目の出力信号OUT2に応じて、距離信号D₁₈ (= “3”) をカウンタ一致検出回路52へ出力する。
- [0273] そうすると、カウンタ一致検出回路52は、距離信号D₁₈ (= “3”) に一致するカウンタ値CV₁₂が得られるときのクロック信号CLKのクロック

数CN₂ (= “3”) をカウントする。そして、カウンター一致検出回路52は、クロック数CN₂ (= “3”) をカウントしたタイミングを示す一致信号MTH₂をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンター一致検出回路52は、動作を停止する。

[0274] そうすると、スイッチング制御回路60は、カウンター一致検出回路52からの4回目の一致信号MTH₂に応じて、4回目の一致信号MTH₂によって示されるタイミングと同じタイミングを示すタイミング信号 (= タイミング信号C₁~C_Rのいずれか) をWinner検出器20へ出力する。

[0275] このように、カウンター一致検出回路51, 52は、交互に、それぞれ、距離信号 (= 距離信号D₁₁から奇数番目の距離信号D₁₁, D₁₃, D₁₅, D₁₇のいずれか) および距離信号 (= 距離信号D₁₁から偶数番目の距離信号D₁₂, D₁₄, D₁₆, D₁₈のいずれか) に一致するカウンタ値CV₁₁, CV₁₂が得られるときのクロック信号CLKのクロック数CN₁, CN₂をカウントし、クロック数CN₁, CN₂をカウントしたタイミングを示す一致信号MTH₁, MTH₂をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路51, 52は、この処理を4 (= s) 回繰り返して実行する。

[0276] 距離/クロック数変換回路DC₁~DC_Rの各々が距離/クロック数変換回路DC₁~2からなる場合も、距離/クロック数変換回路DC₁~DC_Rの各々は、距離信号D₁₁= “3”, D₁₂= “2”, D₁₃= “5”, D₁₄= “1”, D₁₅= “2”, D₁₆= “4”, D₁₇= “2”, D₁₈= “3” の和 (= “22”) に一致するカウンタ値が得られるときのクロック信号CLKのクロック数 (= “22”) をカウントし、クロック数 (= “22”) をカウントしたタイミングを示すタイミング信号 (= タイミング信号C₁~C_Rのいずれか) をWinner検出器20へ出力する。

[0277] 上記においては、W=8である場合について説明したが、Wは、2ⁱを満たせば、8以外の値であってもよい。

[0278] そして、Wが2ⁱを満たす8以外の値であるときも、距離/クロック数変換

回路 $DC_1 \sim DC_R$ は、それぞれ、上述した動作と同じ動作によってタイミング信号 $C_1 \sim C_R$ をWinner検出器20へ出力する。

[0279] また、上記においては、 $s = 2, 4$ の場合について説明したが、 s は、 W 以下の 2^x を満たす整数であれば、 $2, 4$ 以外の値からなってもよく、その場合も、距離/クロック数変換回路 $DC_1 \sim DC_R$ は、それぞれ、上述した動作と同じ動作によってタイミング信号 $C_1 \sim C_R$ をWinner検出器20へ出力する。

[0280] 上述したように、図13および図17においては、距離/クロック数変換回路 $DC_1 \sim DC_R$ (=距離/クロック数変換回路 DC'_{1-2}, DC''_{1-2})の各々が2つのカウンタ一致検出回路51, 52からなる場合について説明した。

[0281] そして、距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々が図13に示す距離/クロック数変換回路 DC'_{1-2} または図17に示す距離/クロック数変換回路 DC''_{1-2} からなる場合、カウンタ一致検出回路51は、 W 個の距離信号 (=距離信号 $D_{11} \sim D_{1W}$ 等)を一列に配列したときの一方端から p (p は $1 \leq p < W$ を満たす奇数)番目の距離信号を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、 p 番目の距離信号に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_1 をカウントし、クロック数 CN_1 をカウントしたタイミングを示す一致信号 $MTH1$ を出力する一致処理を $W/2$ 回繰り返し実行する。

[0282] また、カウンタ一致検出回路52は、 W 個の距離信号 (=距離信号 $D_{11} \sim D_{1W}$ 等)を一列に配列したときの一方端から q (q は $1 < q \leq W$ を満たす偶数)番目の距離信号を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、 q 番目の距離信号に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_2 をカウントし、クロック数 CN_2 をカウントしたタイミングを示す一致信号 $MTH2$ を出力する一致処理を $((W/2) - 1)$ 回繰り返し実行し、一致信号 $MTH1$ を $W/2$ 回受け、かつ、 W 番目の距離信号を受けると、カウンタ値をクロック信

号CLKに同期して昇順にカウントしたときに、W番目の距離信号に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN₂をカウントし、クロック数CN₂をカウントしたタイミングを示すタイミング信号(=タイミング信号C₁~C_Rのいずれか)をWinner検出器20へ出力する。

[0283] この場合、カウンタ一致検出回路51は、「第1のカウンタ一致検出回路」を構成し、カウンタ一致検出回路52は、「第2のカウンタ一致検出回路」を構成する。

[0284] また、カウンタ一致検出回路51のカウンタ311(またはカウンタ311A)は、「第1のカウンタ」を構成し、カウンタ一致検出回路51の一致検出回路312は、「第1の一致検出回路」を構成する。

[0285] 更に、カウンタ一致検出回路52のカウンタ311(またはカウンタ311A)は、「第2のカウンタ」を構成し、カウンタ一致検出回路52の一致検出回路312は、「第2の一致検出回路」を構成する。

[0286] 図13および図17に示すように、距離/クロック数変換回路DC₁~DC_R(=距離/クロック数変換回路DC'₁-2, DC''₁-2)の各々を2個のカウンタ一致検出回路51, 52によって構成することによって、距離/クロック数変換回路DC₁~DC_Rの回路面積を削減でき、消費電力を低減できる。

[0287] 図19は、最短検索時間の比較を示す図である。図19における周波数マッピング型とは、検索データと参照データとの距離を周波数に変換して検索データに類似する参照データを検索する連想メモリを意味する。

[0288] また、図19の(a)は、M×W=16ビット×8ユニット=128ビットの参照データを64個用いた場合の最短検索時間の比較を示す。更に、図19の(b)は、M×W=16ビット×16ユニット=256ビットの参照データを64個用いた場合の最短検索時間の比較を示す。

[0289] 図19の(a)を参照して、M×W=16ビット×8ユニット=128ビットの参照データを64個用いた場合、周波数マッピング型の連想メモリに

においては、最短検索時間が1280 (ns) であるのに対し、本発明の連想メモリ100においては、最短検索時間が20 (ns) である。

[0290] 図19の(b)を参照して、 $M \times W = 16 \text{ ビット} \times 16 \text{ ユニット} = 256$ ビットの参照データを64個用いた場合、周波数マッピング型の連想メモリにおいては、最短検索時間が210000 (ns) であるのに対し、本発明の連想メモリ100においては、最短検索時間が40 (ns) である。

[0291] このように、この発明の実施の形態による連想メモリ100は、従来の周波数マッピング型の連想メモリよりも2桁以上短い時間で検索データに類似する参照データを検索できることが実験的に実証された。

[0292] また、この発明の実施の形態による連想メモリ100は、参照データのビット数が多くなるに従って、検索時間を飛躍的に短くできることが実験的に実証された。

[0293] 図20は、消費電力の比較を示す図である。図20において、従来例の連想メモリは、非特許文献3に記載された連想メモリである。

[0294] 図20を参照して、従来例の連想メモリにおいては、64個の参照データが用いられ、本発明の連想メモリ100においては、128個の参照データが用いられた。

[0295] そして、従来例の連想メモリにおいては、消費電力は、321 (mW) であるのに対し、本発明の連想メモリ100においては、消費電力は、2.13 (mW) である。

[0296] このように、この発明の実施の形態による連想メモリ100は、参照データ数が2倍多いにも拘わらず、従来例の連想メモリよりも2桁以上消費電力を低減できることが実験的に実証された。

[0297] 従って、この発明の実施の形態による連想メモリ100を用いれば、低消費電力で高速に検索データに類似する参照データを検索できることが明らかである。

[0298] なお、上記においては、マンハッタン距離を用いて検索データに類似するk個の参照データを検索すると説明したが、この発明の実施の形態において

は、これに限らず、ハミング距離を用いて検索データに類似する k 個の参照データを検索してもよい。

[0299] この場合、 M ビットは、1ビットからなり、参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ の各々は、1ビットの参照データを保存する。また、距離演算回路 $DP_{11} \sim DP_{1W}$, $DP_{21} \sim DP_{2W}$, \dots , $DP_{R1} \sim DP_{RW}$ の各々は、検索データの1ビットと参照データの1ビットとの距離を式(1)に従って演算する。

[0300] そして、連想メモリ100は、上述した動作に従って、ハミング距離を用いて検索データに類似する k 個の参照データを検索する。

[0301] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0302] この発明は、連想メモリに適用される。

請求の範囲

[請求項1] 各々が $M \times W$ (M は1以上の整数、 W は2以上の整数) ビットのビット長を有する R (R は2以上の整数) 個の参照データを保存する参照データ保存回路と、

前記 R 個の参照データに対応して設けられ、各々が $M \times W$ ビットのビット長を有し、かつ、検索対象である検索データと前記参照データとの距離を表わす R 個の距離信号を出力する R 個の距離演算回路と、

前記 R 個の距離演算回路に対応して設けられ、各々が対応する距離演算回路から各々が M ビットのビット長を有する W 個の距離信号を受け、その受けた W 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントし、前記クロック数をカウントしたタイミングである一致タイミングを示すタイミング信号を出力する R 個の距離／クロック数変換回路と、

前記 R 個の距離／クロック数変換回路から受けた R 個のタイミング信号に基づいて、前記一致タイミングが早い順に k (k は $1 \leq k < R$ を満たす整数) 個のタイミング信号を検出し、その検出した k 個のタイミング信号を前記検索データと前記参照データとの類似度を示すマッチ信号として出力するWinner検出器とを備える連想メモリ。

[請求項2] 前記 R 個の距離／クロック数変換回路の各々は、各々が M ビットのビット長を有する W 個の距離信号に対応して設けられ、かつ、直列に接続された W 個のカウンタ一致検出回路を含み、

前記 W 個のカウンタ一致検出回路は、 $W = 2$ である場合、

前記 W 個の距離信号を一系列に配列したときの一方端の距離信号である1番目の距離信号に対応して設けられ、前記1番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けた1番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第1のクロック数をカウントし、前記第1のクロック数をカウントしたタイミングを示す第1の一致信号を出力する

第1のカウンタ一致検出回路と、

前記一方端からW番目の距離信号に対応して設けられ、前記第1のカウンタ一致検出回路から前記第1の一致信号を受けると駆動されるとともに前記W番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたW番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第2のクロック数をカウントし、前記第2のクロック数をカウントしたタイミングを示す前記タイミング信号を前記Winner検出器へ出力する第2のカウンタ一致検出回路とを含み、

前記W個のカウンタ一致検出回路は、Wが3以上である場合、

前記第1のカウンタ一致検出回路と、

2番目の距離信号からW-1番目の距離信号までのW-2個の距離信号に対応して設けられ、各々が、前記第1のカウンタ一致検出回路またはw-1 (wは $2 \leq w \leq W-1$ を満たす整数)番目の距離信号に対応して設けられたカウンタ一致検出回路から前記1番目または前記w番目の距離信号に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントしたタイミングを示す第2の一致信号を受けると駆動されるとともに前記w番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたw番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第3のクロック数をカウントし、前記第3のクロック数をカウントしたタイミングを示す第3の一致信号を出力するW-2個の第3のカウンタ一致検出回路と、

W番目の距離信号に対応して設けられ、W-1番目の距離信号に対応して設けられたカウンタ一致検出回路から前記第3の一致信号を受けると駆動されるとともに前記W番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたW番目の距離信号に一致するカウンタ値が得られるときのクロック信号

の第4のクロック数をカウントし、前記第4のクロック数をカウントしたタイミングを示す前記タイミング信号を前記Winner検出器へ出力する第4のカウンター一致検出回路とを含む、請求項1に記載の連想メモリ。

[請求項3]

前記第1のカウンター一致検出回路は、

Mビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第1のカウンタと、

前記第1のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記1番目の距離信号を受け、前記受けたカウンタ値が前記1番目の距離信号に一致するときの前記第1のクロック数をカウントし、前記第1のクロック数が得られると、前記第1の一致信号を出力する第1の一致検出回路とを含み、

前記第2のカウンター一致検出回路は、

Mビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第2のカウンタと、

前記第2のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記W番目の距離信号を受け、前記第1のカウンター一致検出回路から前記第1の一致信号を受けると駆動され、前記受けたカウンタ値が前記W番目の距離信号に一致するときの前記第2のクロック数をカウントし、前記第2のクロック数が得られると、前記タイミング信号を前記Winner検出器へ出力する第2の一致検出回路とを含み、

前記W-2個の第3のカウンター一致検出回路の各々は、

Mビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第3のカウンタと、

前記第3のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記w番目の距離信号を受け、前記第2の一致信号を受けると駆動され、前記受けたカウンタ値が前記w番目の距離信号

に一致するときの前記第3のクロック数をカウントし、前記第3のクロック数が得られると、前記第3の一致信号を出力する第3の一致検出回路とを含み、

前記第4のカウンタ一致検出回路は、

Mビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第4のカウンタと、

前記第4のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記W番目の距離信号を受け、前記第3の一致信号を受けると駆動され、前記受けたカウンタ値が前記W番目の距離信号に一致するときの前記第4のクロック数をカウントし、前記第4のクロック数が得られると、前記タイミング信号を前記Winner検出器へ出力する第4の一致検出回路とを含む、請求項2に記載の連想メモリ。

[請求項4]

前記Wは、 2^i (i は2以上の整数) からなり、

前記R個の距離／クロック数変換回路の各々は、 W/s (s はW以下である 2^x に等しい。 x は正の整数) 個の距離信号に対応して設けられ、各々がMビットのビット長を有するW個の距離信号に基づいて、前記タイミング信号を出力する W/s 個のカウンタ一致検出回路を含み、

前記 W/s 個のカウンタ一致検出回路は、各々が前記 W/s 個の距離信号からなるs組の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたs組の距離信号に含まれるW個の距離信号の和に一致するカウンタ値が得られるときの前記クロック数をカウントし、前記クロック数をカウントしたタイミングを示す前記タイミング信号を前記Winner検出器へ出力する、請求項1に記載の連想メモリ。

[請求項5]

前記 W/s 個のカウンタ一致検出回路は、前記 W/s 個の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントし

たときに、前記受けた W/s 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号の第1のクロック数をカウントし、前記第1のクロック数をカウントしたタイミングを示す第1の一致信号を出力する処理を $s-1$ 回繰り返し実行し、前記第1の一致信号を前記 $s-1$ 回出力し、かつ、 s 回目に前記 W/s 個の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けた W/s 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号の第2のクロック数をカウントし、前記第2のクロック数をカウントしたタイミングを示す前記タイミング信号を前記Winner検出器へ出力する、請求項4に記載の連想メモリ。

[請求項6]

前記 W/s 個のカウンタ一致検出回路は、

前記 W 個の距離信号を一行に配列したときの一方端から p (p は $1 \leq p < W$ を満たす奇数)番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記 p 番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第3のクロック数をカウントし、前記第3のクロック数をカウントしたタイミングを示す第2の一致信号を出力する第1の一致処理を $W/2$ 回繰り返し実行する第1のカウンタ一致検出回路と、

前記一方端から q (q は $1 < q \leq W$ を満たす偶数)番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記 q 番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第4のクロック数をカウントし、前記第4のクロック数をカウントしたタイミングを示す第3の一致信号を出力する第2の一致処理を $(W/2) - 1$ 回繰り返し実行し、前記第2の一致信号を前記 $W/2$ 回受け、かつ、 W 番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記 W 番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第5のクロック数をカウントし、前記第5のクロック数をカウ

トしたタイミングを示す前記タイミング信号を前記Winner検出器へ出力する第2のカウンター一致検出回路とを含む、請求項4に記載の連想メモリ。

[請求項7]

前記R個の距離／クロック数変換回路の各々は、

前記第1のカウンター一致検出回路から前記第2の一致信号を受けると、その受けた第2の一致信号を前記第2のカウンター一致検出回路へ出力し、前記第2のカウンター一致検出回路から前記第3の一致信号を受けると、その受けた第3の一致信号を前記第1のカウンター一致検出回路へ出力するスイッチング制御回路を更に含み、

前記第1のカウンター一致検出回路は、前記スイッチング制御回路から前記第3の一致信号を受けると毎に前記第1の一致処理を1回実行し、

前記第2のカウンター一致検出回路は、前記スイッチング制御回路から前記第2の一致信号を受けると毎に前記第2の一致処理を1回実行するとともに、前記第2の一致信号を前記W／2回受けると、前記第5のクロック数をカウントし、前記タイミング信号を前記Winner検出器へ出力する、請求項6に記載の連想メモリ。

[請求項8]

前記第1のカウンター一致検出回路は、

Mビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第1の出力処理を前記W／2回繰り返し実行する第1のカウンタと、

前記第1のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記p番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたカウンタ値が前記p番目の距離信号に一致するときの前記第3のクロック数をカウントし、前記第2の一致信号を出力する第2の出力処理を前記W／2回繰り返し実行する第1の一致検出回路とを含み、

前記第2のカウンター一致検出回路は、

Mビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第3の出力処理を前記 $W/2$ 回繰り返し実行する第2のカウンタと、

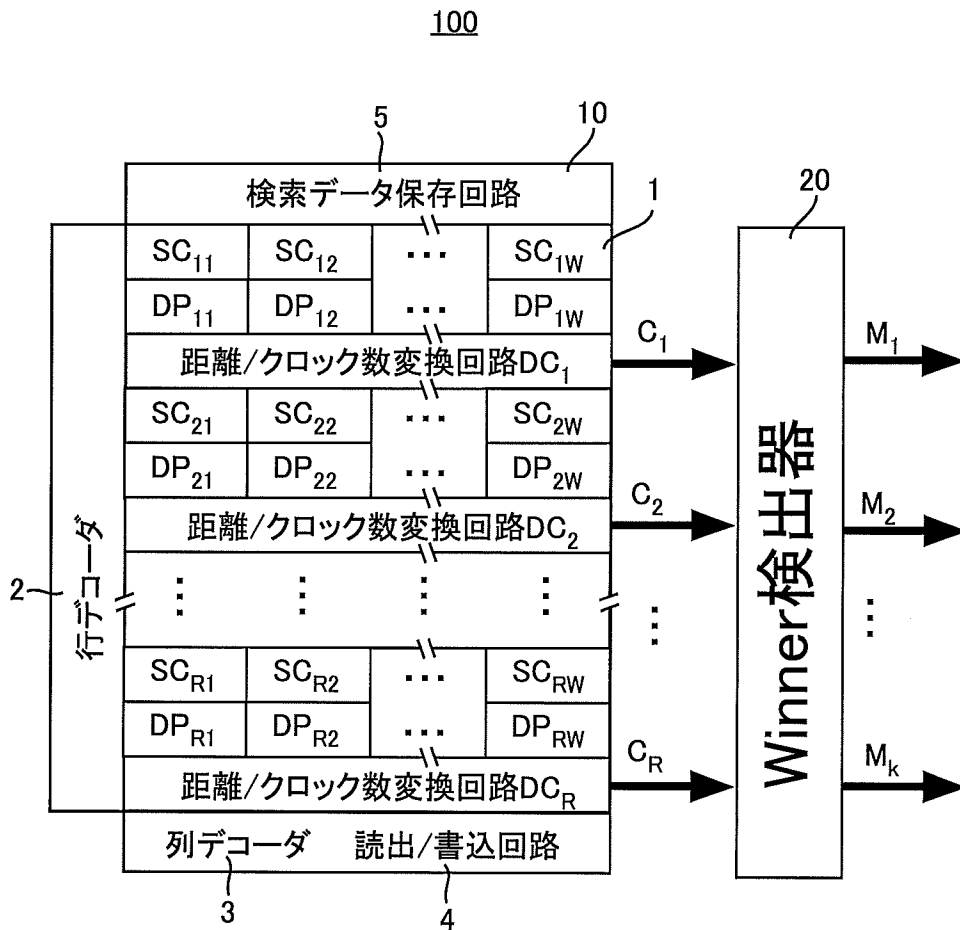
前記第2のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記 q 番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたカウンタ値が前記 q 番目の距離信号に一致するときの前記第4のクロック数をカウントし、前記第3の一致信号を出力する第2の出力処理を前記 $((W/2) - 1)$ 回繰り返し実行し、前記第2の一致信号を前記 $W/2$ 回受けると、前記受けたカウンタ値が前記 W 番目の距離信号に一致するときの前記第5のクロック数をカウントし、前記タイミング信号を前記Winner検出器へ出力する第2の一致検出回路とを含む、請求項6または請求項7に記載の連想メモリ。

[請求項9]

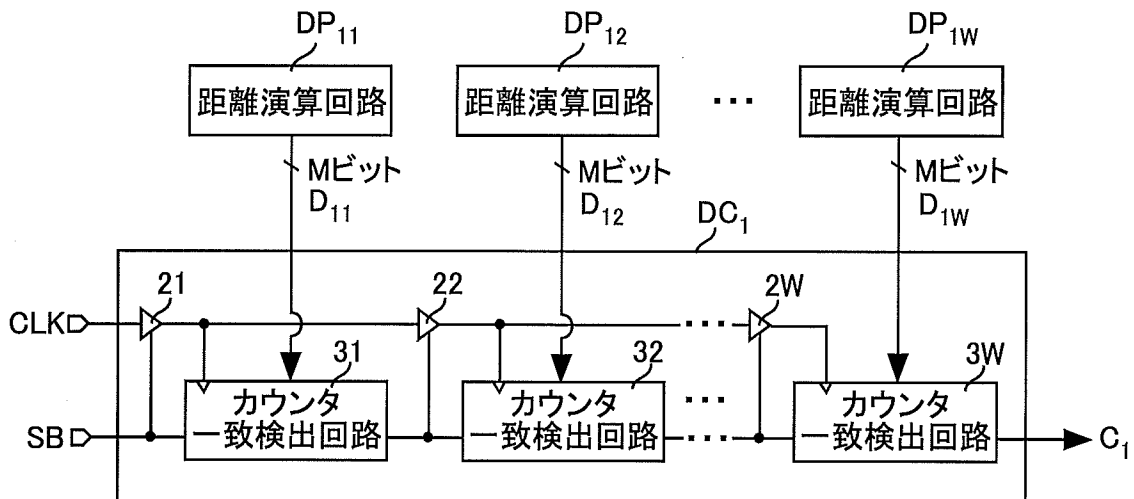
前記第1から第4のカウンタの各々は、Mビットのカウンタ値を昇順に出力するM個の分周器からなり、

前記Mビットのカウンタ値の最下位ビットから最上位ビットへ向かう方向において第 m (m は $1 \leq m \leq M$ を満たす整数)位のビット値を出力する分周器は、クロック信号を 2^{m-1} 回に分周した信号を出力する、請求項3または請求項8に記載の連想メモリ。

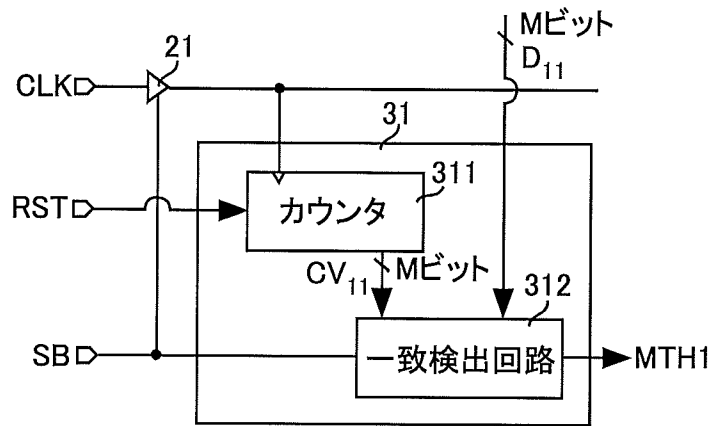
[図1]



[図2]



[図3]



[図4]

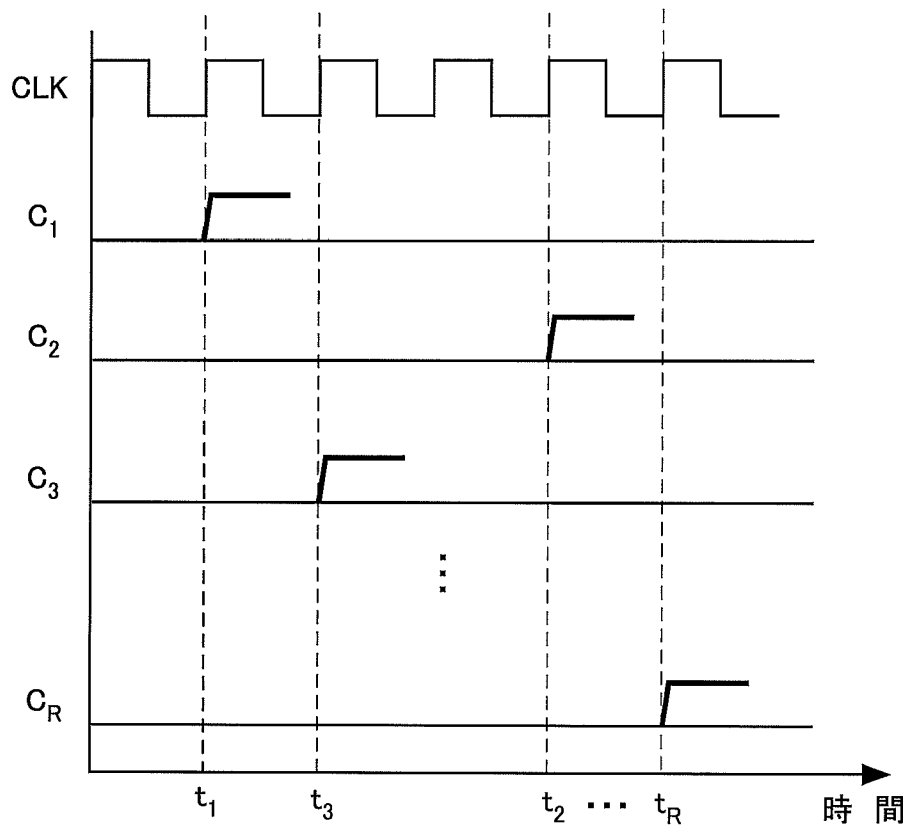
クロック数	カウンタ値	距離信号
0	000	011
1	001	011
2	010	011
3	011	011
4	011	011
5	011	011

[図5]

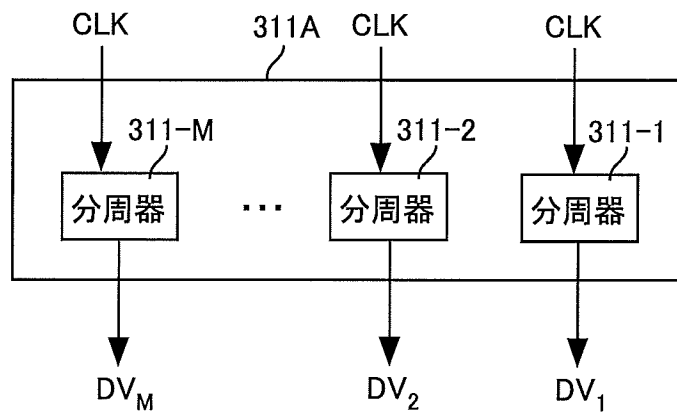
クロック数	カウンタ値 (第1ユニット)	距離信号 (第1ユニット)	カウンタ値 (第2ユニット)	距離信号 (第2ユニット)
0	000	011	000	101
1	001	011	000	101
2	010	011	000	101
3	011	011	000	101
4	011	011	001	101
5	011	011	010	101
6	011	011	011	101
7	011	011	100	101
8	011	011	101	101
9	011	011	101	101

Distance 3 is indicated above the row for clock count 3. Distance 5 is indicated above the row for clock count 5. An arrow points from the counter value 000 in the row for clock count 3 to the counter value 000 in the row for clock count 4. Another arrow points from the counter value 101 in the row for clock count 8 to the counter value 101 in the row for clock count 9, labeled C₁.

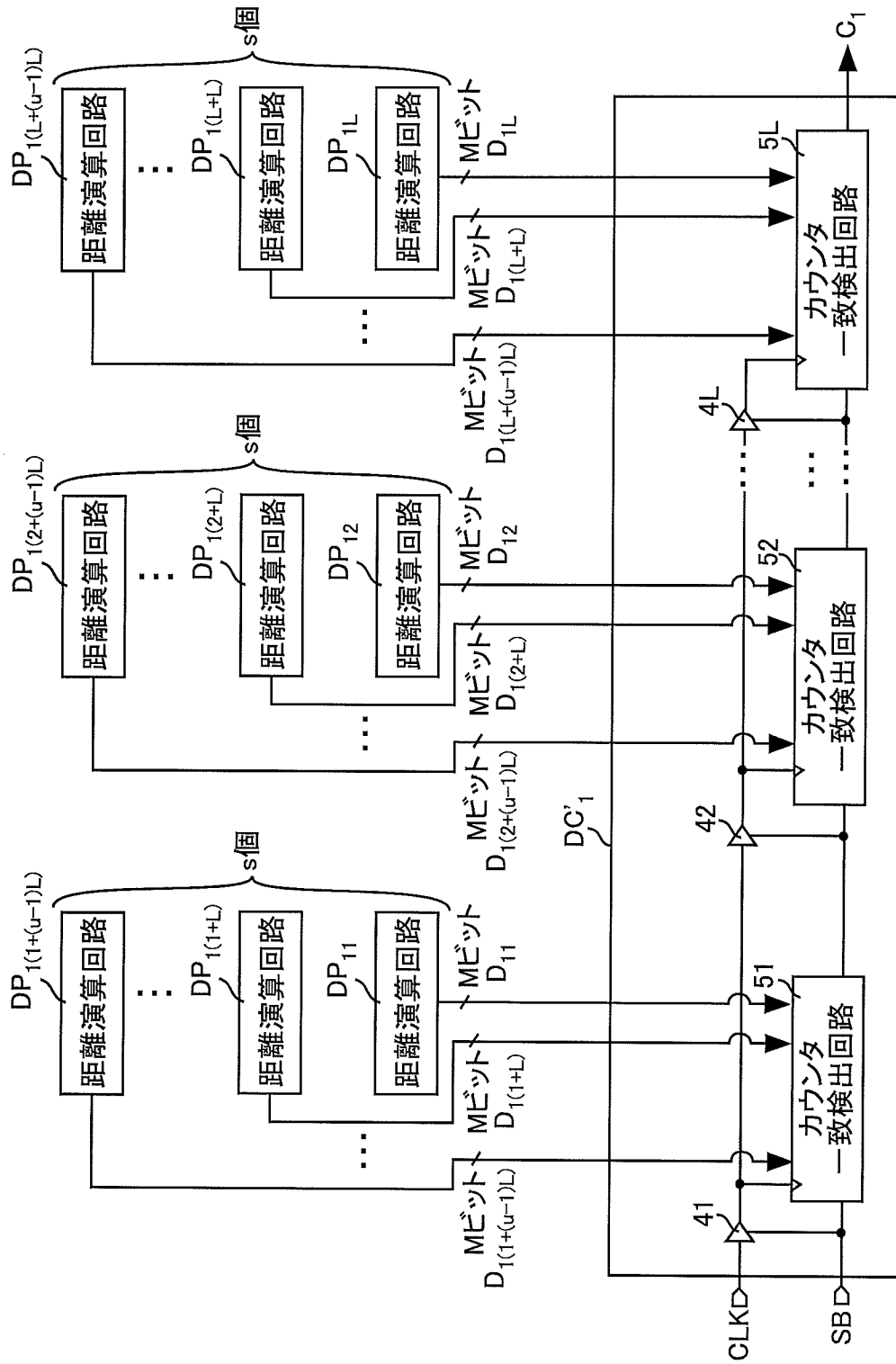
[図6]



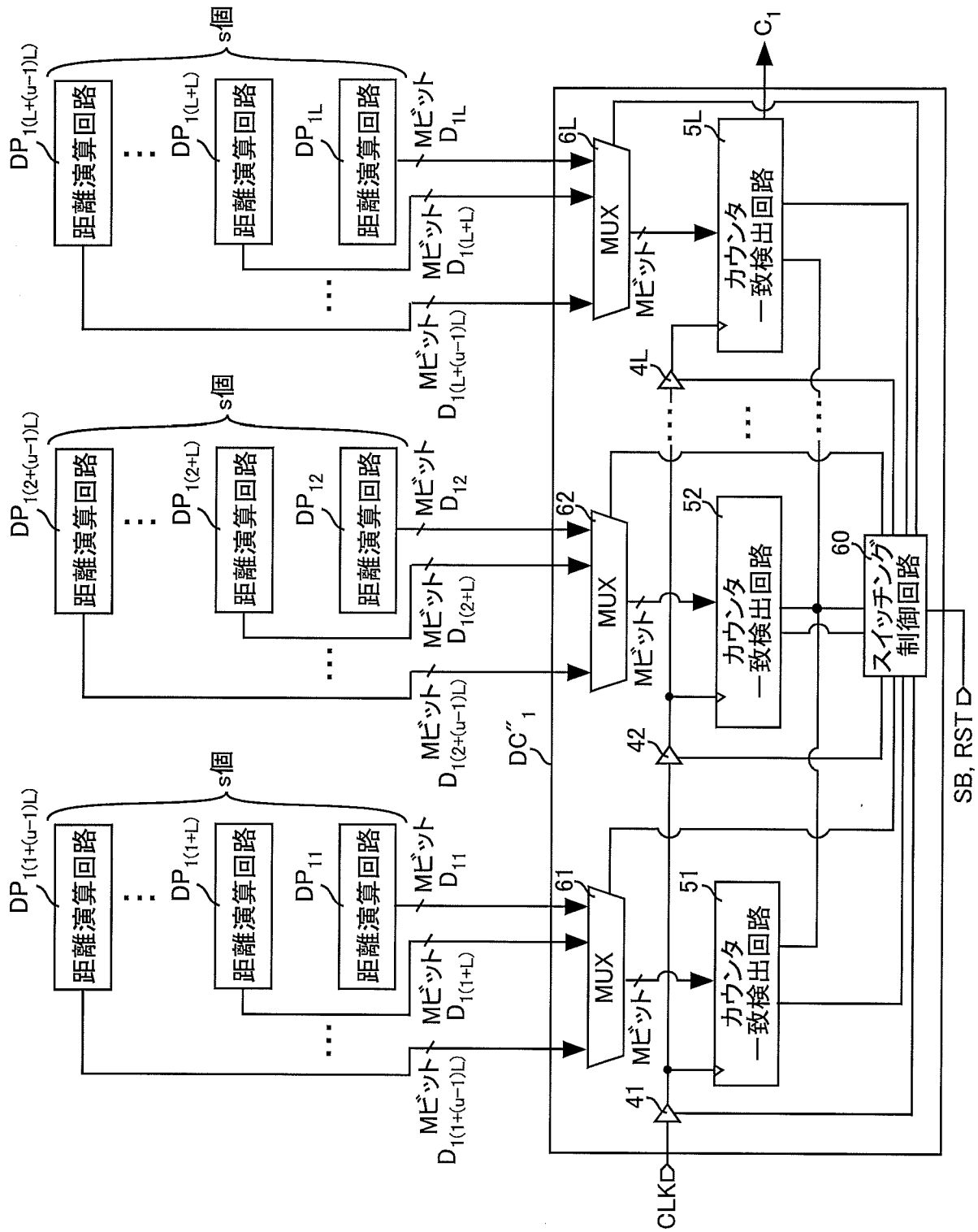
[図7]



[図9]



[図10]



[図12]

クロック数	カウンタ値 (第1ユニット)	距離信号 (第1ユニット)	カウンタ値 (第2ユニット)	距離信号 (第2ユニット)	カウンタ値 (第3ユニット)	距離信号 (第3ユニット)	カウンタ値 (第4ユニット)	距離信号 (第4ユニット)
0	000	101	000	110	000	111	000	100
1	001	101	000	110	000	111	000	100
2	010	101	000	110	000	111	000	100
3	011	101	000	110	000	111	000	100
4	100	101	000	110	000	111	000	100
5	101	101	000	110	000	111	000	100
6	101	101	001	110	000	111	000	100
7	101	101	010	110	000	111	000	100
8	101	101	011	110	000	111	000	100
9	101	101	100	110	000	111	000	100
10	101	101	101	110	000	111	000	100
11	101	101	110	110	000	111	000	100
12	101	101	100	110	001	111	000	100
13	101	101	100	110	010	111	000	100
14	101	101	100	110	011	111	000	100
15	101	101	100	110	100	111	000	100
16	101	101	100	110	101	111	000	100
17	101	101	100	110	110	111	000	100
18	101	101	100	110	111	111	000	100
19	101	101	100	110	111	111	001	100
20	101	101	100	110	111	111	010	100
21	101	101	100	110	111	111	011	100
22	101	101	100	110	111	111	100	100

距離3
距離1

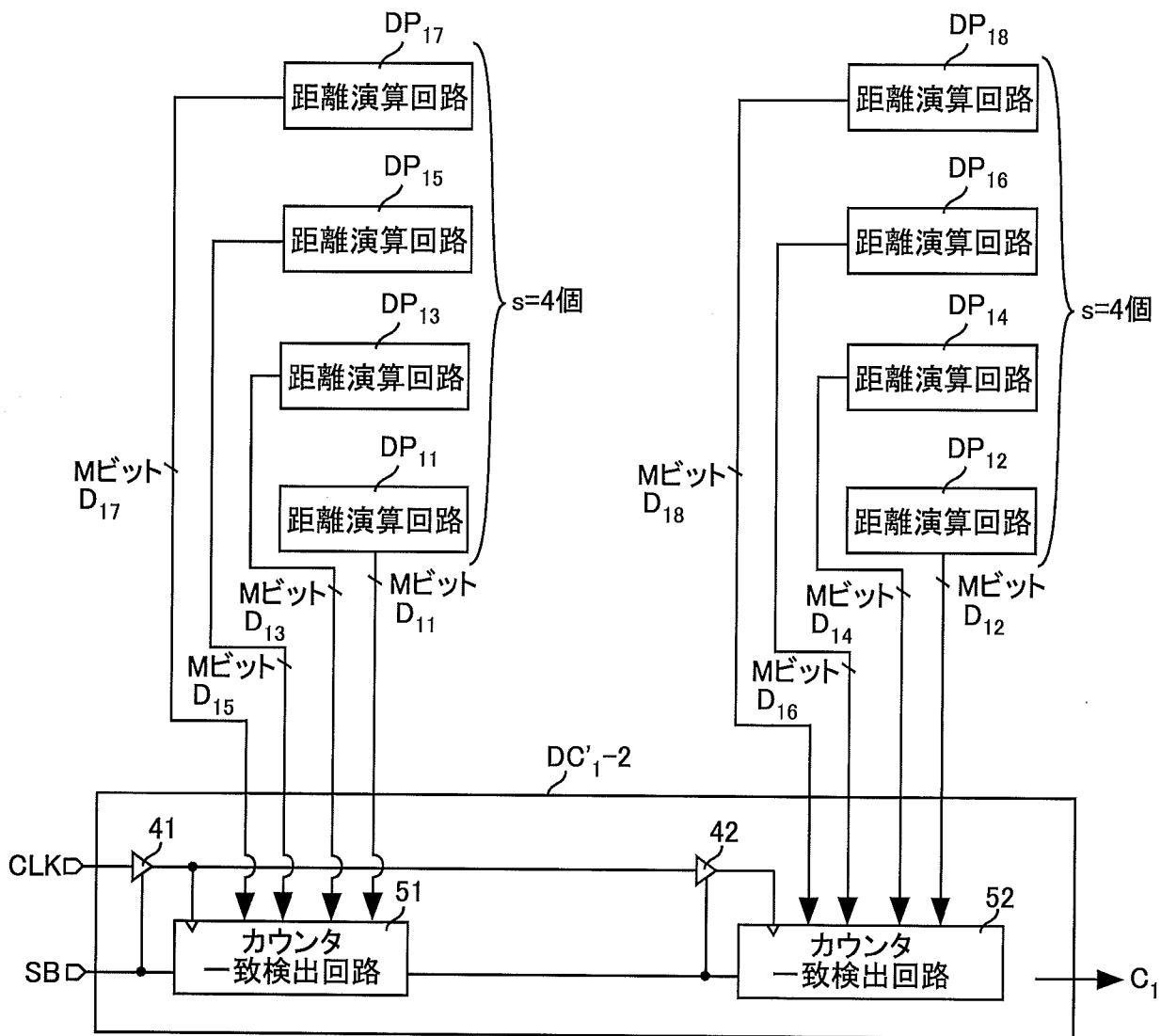
距離2
距離5

距離4
距離2

距離2
距離3

G₁

[図13]



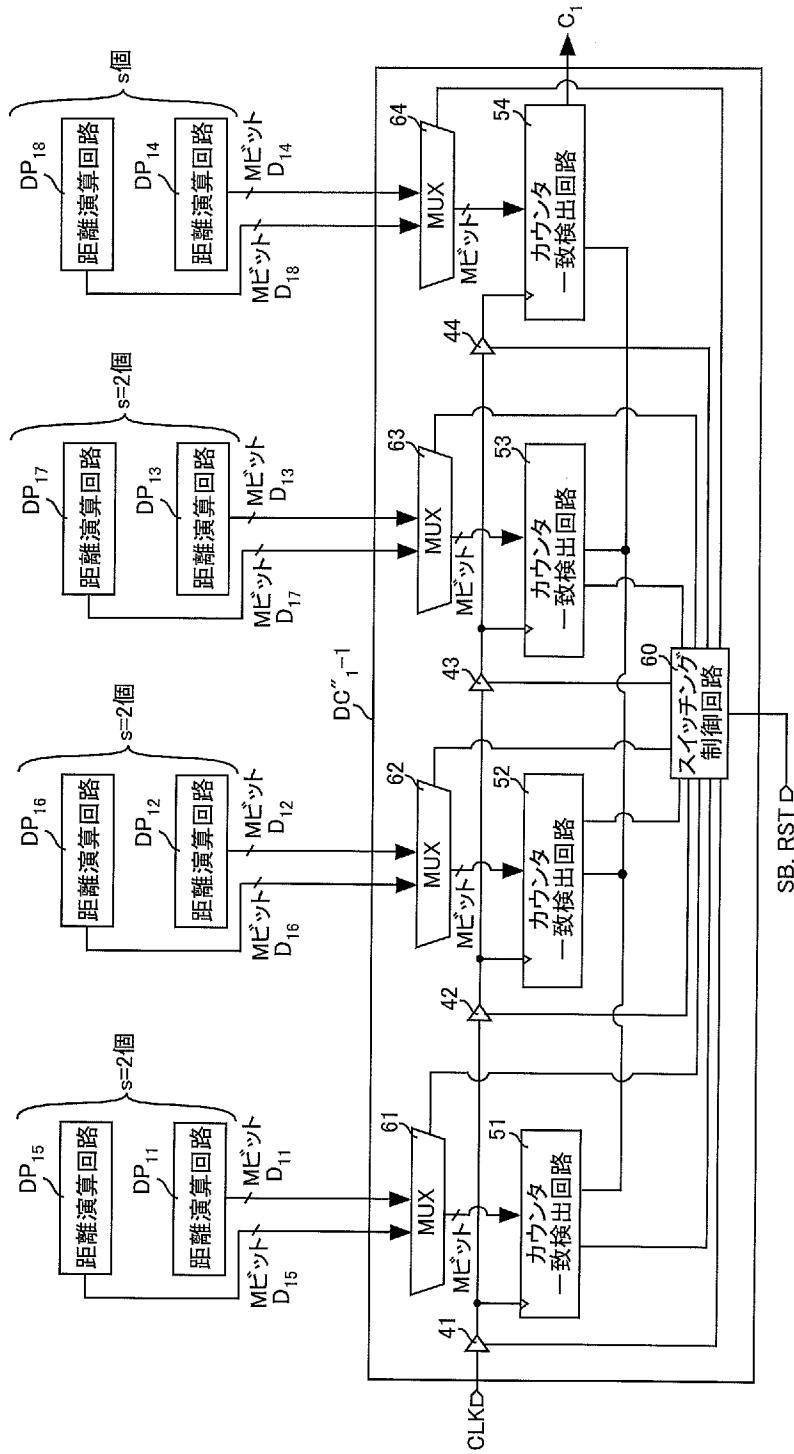
[図14]

クロック数	カウンタ値 (第1ユニット)	距離信号 (第1ユニット)	カウンタ値 (第2ユニット)	距離信号 (第2ユニット)
0	0000	1100	0000	1010
1	0001	1100	0000	1010
2	0010	1100	0000	1010
3	0011	1100	0000	1010
4	0100	1100	0000	1010
5	0101	1100	0000	1010
6	0110	1100	0000	1010
7	0111	1100	0000	1010
8	1000	1100	0000	1010
9	1001	1100	0000	1010
10	1010	1100	0000	1010
11	1011	1100	0000	1010
12	1100	1100	0000	1010
13	1100	1100	0001	1010
14	1100	1100	0010	1010
15	1100	1100	0011	1010
16	1100	1100	0100	1010
17	1100	1100	0101	1010
18	1100	1100	0110	1010
19	1100	1100	0111	1010
20	1100	1100	1000	1010
21	1100	1100	1001	1010
22	1100	1100	1010	1010

距離2
距離2
距離5
距離3
距離3
距離4
距離1
距離2

→ C₁

[図15]



[図16]

クロック数	カウンタ値 (第1ユニット)	距離信号 (第1ユニット)	カウンタ値 (第2ユニット)	距離信号 (第2ユニット)	カウンタ値 (第3ユニット)	距離信号 (第3ユニット)	カウンタ値 (第4ユニット)	距離信号 (第4ユニット)
0	000	011	000	010	000	101	000	001
1	001	011	000	010	000	101	000	001
2	010	011	000	010	000	101	000	001
3	011	011	000	010	000	101	000	001
4	011	011	001	010	000	101	000	001
5	011	011	010	010	000	101	000	001
6	101	101	010	010	001	101	000	001
7	101	101	010	010	010	101	000	001
8	101	101	010	010	011	101	000	001
9	101	101	010	010	100	101	000	001
10	101	101	010	010	101	101	000	001
11	000	010	010	010	101	101	000	001
12	001	010	010	010	101	101	000	100
13	010	010	000	100	101	101	000	100
14	010	010	001	100	101	101	000	100
15	010	010	010	100	101	101	000	100
16	010	010	011	100	101	101	000	100
17	010	010	100	100	000	010	000	100
18	010	010	100	110	001	010	000	100
19	010	010	100	110	010	010	000	011
20	010	010	100	110	010	010	001	011
21	010	010	100	110	010	010	010	011
22	010	010	100	110	010	010	010	011

距離3
距離1

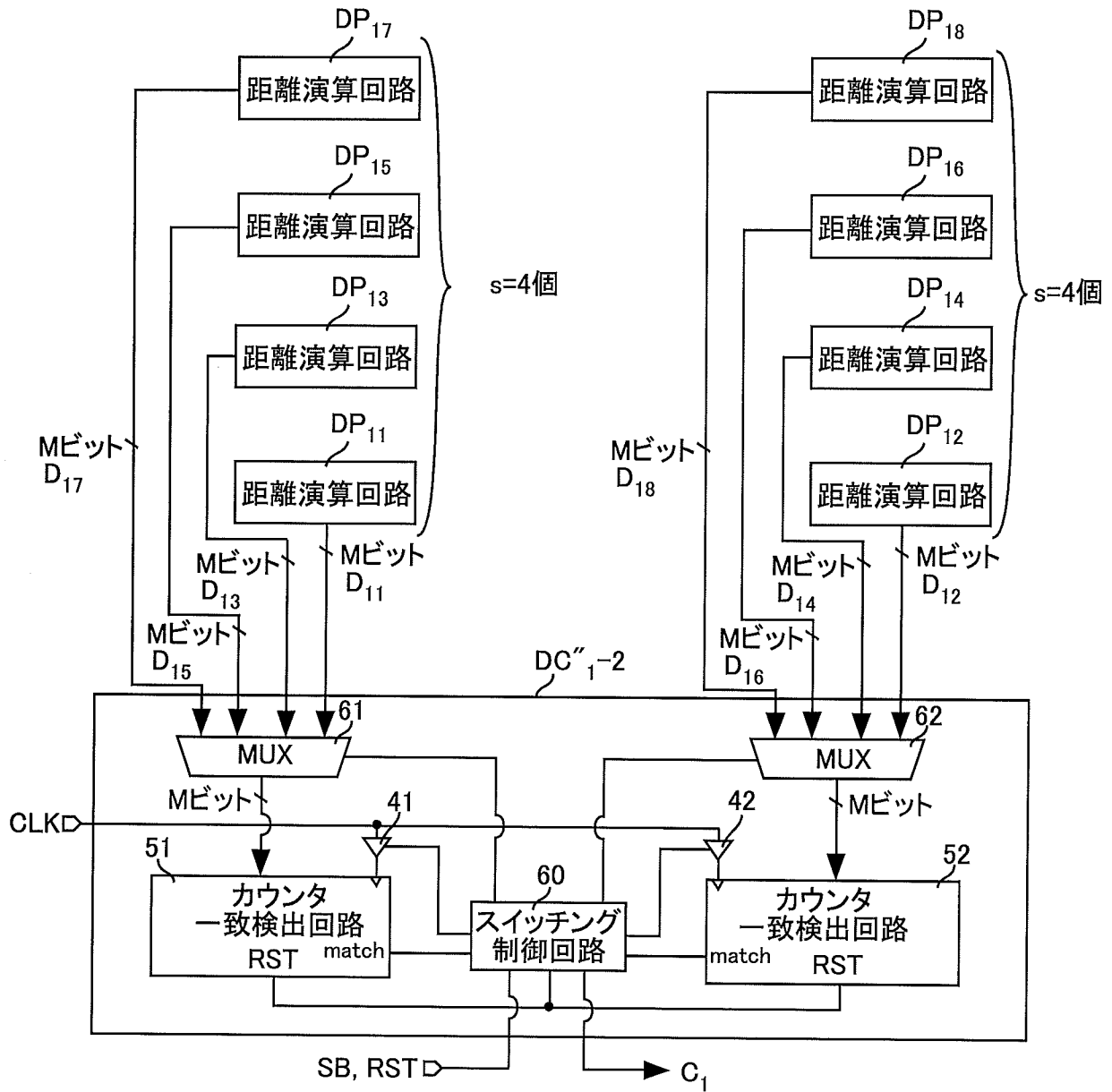
距離2
距離5

距離4
距離2

距離2
距離3

C₁

[図17]



[図18]

距離2
距離2
距離5
距離3

距離3
距離4
距離1
距離2

クロック数	カウンタ値 (第1ユニット)	距離信号 (第1ユニット)	カウンタ値 (第2ユニット)	距離信号 (第2ユニット)
0	000	011	000	010
1	001	011	000	010
2	010	011	000	010
3	011	011	000	010
4	011	011	001	010
5	000	101	010	010
6	001	101	010	010
7	010	101	010	010
8	011	101	010	010
9	100	101	010	010
10	101	101	000	001
11	000	010	001	001
12	001	010	001	001
13	010	010	000	100
14	010	010	001	100
15	010	010	010	100
16	010	010	011	100
17	000	010	100	100
18	001	010	100	100
19	010	010	000	011
20	010	010	001	011
21	010	010	010	011
22	010	010	011	011

C₁

[図19]

$M \times W = 16\text{ビット} \times 8\text{ユニット} = 128\text{ビット}$ 64個の参照データ

	周波数マッピング型	本発明(クロック同期型)
最短検索時間(ns)	1280	20

(a)

$M \times W = 16\text{ビット} \times 16\text{ユニット} = 256\text{ビット}$ 64個の参照データ

	周波数マッピング型	本発明(クロック同期型)
最短検索時間(ns)	210000	40

(b)

[図20]

	従来例(非特許文献3)	本発明(クロック同期型)
参照データ数(words)	64	128
消費電力(mW)	321	2.13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/060326

A. CLASSIFICATION OF SUBJECT MATTER

G11C15/04(2006.01) i, G06F17/30(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C15/04, G06F17/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/040335 A1 (Hiroshima University), 07 April 2011 (07.04.2011), paragraphs [0161] to [0165]; fig. 16, 19, 20 & JP 2011-76688 A & US 2012/0188811 A1	1-9
A	WO 2008/105157 A1 (Hiroshima University), 04 September 2008 (04.09.2008), fig. 1 & JP 4208958 B2 & US 2010/0085790 A1	1-9
A	JP 2002-288985 A (President of Hiroshima University), 04 October 2002 (04.10.2002), fig. 1 & US 2002/0125500 A1 & EP 1227497 A1 & KR 10-2003-0009061 A	1-9

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 June, 2013 (26.06.13)Date of mailing of the international search report
09 July, 2013 (09.07.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/060326

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	JP 2013-101729 A (Hiroshima University), 23 May 2013 (23.05.2013), abstract; fig. 1 to 3 (Family: none)	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G11C15/04(2006.01)i, G06F17/30(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G11C15/04, G06F17/30

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2011/040335 A1 (国立大学法人広島大学) 2011.04.07, 段落 [0161] - [0165]、図16, 19, 20 & JP 2011-76688 A & US 2012/0188811 A1	1-9
A	WO 2008/105157 A1 (国立大学法人広島大学) 2008.09.04, 図1 & JP 4208958 B2 & US 2010/0085790 A1	1-9
A	JP 2002-288985 A (広島大学長) 2002.10.04, 図1 & US 2002/0125500 A1 & EP 1227497 A1 & KR 10-2003-0009061 A	1-9

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 26.06.2013	国際調査報告の発送日 09.07.2013
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小林 紀和 電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
E, A	JP 2013-101729 A (国立大学法人広島大学) 2013.05.23, 要約、図1-3 (ファミリーなし)	1-9