

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年2月27日(27.02.2014)



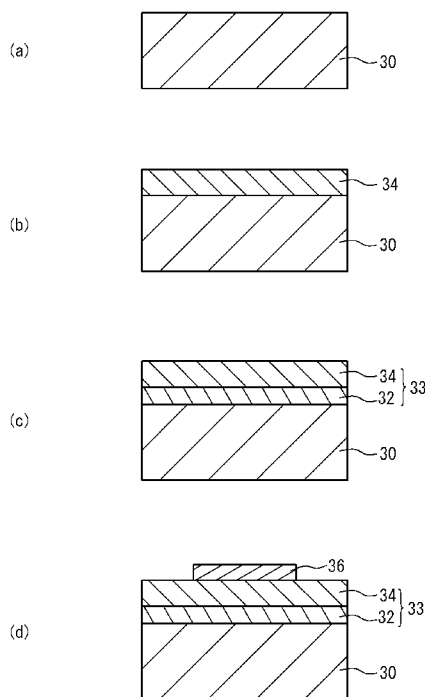
(10) 国際公開番号
WO 2014/030389 A1

- (51) 国際特許分類:
H01L 21/316 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2013/061542
- (22) 国際出願日: 2013年4月18日(18.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-185277 2012年8月24日(24.08.2012) JP
- (71) 出願人: 独立行政法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者: 鳥海 明(TORIUMI Akira); 〒1138656 東京都文京区本郷7丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 李 忠賢(LEE Choong-hyun); 〒1138656 東京都文京区本郷7丁目3番1号 国立大学法人東京大学内 Tokyo (JP).
- (74) 代理人: 片山 修平(KATAYAMA Shuhei); 〒1040031 東京都中央区京橋1-6-1 三井住友海上テブコビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR STRUCTURE PROVIDED WITH GERMANIUM-OXIDE-CONTAINING FILM ON TOP OF GERMANIUM LAYER, AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: ゲルマニウム層上に酸化ゲルマニウムを含む膜を備える半導体構造およびその製造方法



(57) Abstract: A semiconductor structure provided with a germanium layer (30) and an insulating film that contains the following: a germanium-oxide-containing film (32) formed on top of the germanium layer; and a high-dielectric-oxide film (34) that is formed on top of the germanium-oxide-containing film and has a higher relative permittivity than silicon oxide. The EOT of the insulating film is less than or equal to 2 nm, and if a voltage relative to the germanium layer of 1 V over the flat-band voltage is applied to an accumulation-region side of a gold metal film formed on top of the insulating film, the leakage current is less than or equal to $10^{-5 \times EOT + 4}$ A/cm².

(57) 要約: ゲルマニウム層 30 と、前記ゲルマニウム層上に形成された酸化ゲルマニウムを含む膜 32 と、前記酸化ゲルマニウムを含む膜上に形成され、酸化シリコンより比誘電率の大きな高誘電体酸化膜 34 と、を含む絶縁膜と、を具備し、前記絶縁膜の EOT が 2 nm 以下であり、かつ前記絶縁膜上に金属膜として Au を形成した際の前記金属膜のゲルマニウム層に対する電圧をフラットバンド電圧から蓄積領域側に 1 V 印加したときのリーク電流が $10^{-5 \times EOT + 4}$ A/cm² 以下である半導体構造。

WO 2014/030389 A1

明 細 書

発明の名称：

ゲルマニウム層上に酸化ゲルマニウムを含む膜を備える半導体構造およびその製造方法

技術分野

[0001] 本発明は、半導体構造およびその製造方法に関し、ゲルマニウム層上に酸化ゲルマニウムを含む膜を備える半導体構造およびその製造方法に関する。

背景技術

[0002] ゲルマニウム (Ge) は、シリコン (Si) に比べ優れた電子物性を有する半導体である。しかしながら、酸化ゲルマニウム (例えば GeO_2) が不安定であるため、例えば MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を形成する半導体材料としてほとんど用いられていない。

[0003] 非特許文献 1 および 2 においては、ゲルマニウム基板上に酸化ゲルマニウム膜を形成する際に、高圧の酸素ガスを用いることにより、ゲルマニウム基板と酸化ゲルマニウム膜との界面状態を改善することが記載されている。

先行技術文献

非特許文献

[0004] 非特許文献 1：IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 58, NO. 5, MAY 2011 pp. 1295-1301

非特許文献 2：IEDM11-646-649 2011

発明の概要

発明が解決しようとする課題

[0005] ゲート長の微細化が進むと、ゲート絶縁膜の EOT (等価酸化膜厚：Equivalent Oxide Thickness) を薄くすることが求められる。非特許文献 1 および 2 の方法では、ゲルマニウム基板と酸化ゲルマニウム膜との界面状態は良好なもの、酸化ゲルマニウム膜の成膜速度が速いため、薄い酸化ゲルマニウ

ム膜を形成することが難しい。

[0006] 本発明は、上記課題に鑑みされたものであり、ゲルマニウム層と酸化ゲルマニウムを含む膜との界面状態が良好であり、かつ薄い酸化ゲルマニウムを含む膜を成膜することを目的とする。

課題を解決するための手段

[0007] 本発明は、ゲルマニウム層と、前記ゲルマニウム層上に形成された酸化ゲルマニウムを含む膜と、前記酸化ゲルマニウムを含む膜上に形成され、酸化シリコンより比誘電率の大きな高誘電体酸化膜と、を含む絶縁膜と、を具備し、前記絶縁膜のEOTが2nm以下であり、かつ前記絶縁膜上に金属膜としてAuを形成した際の前記金属膜のゲルマニウム層に対する電圧をフラットバンド電圧から蓄積領域側に1V印加したときのリーク電流密度が $10^{-5} \times EOT+4 \text{ A/cm}^2$ 以下であることを特徴とする半導体構造である。本発明によれば、ゲルマニウム層と酸化ゲルマニウムを含む膜との界面状態が良好であり、かつ薄い酸化ゲルマニウムを含む膜を成膜することができる。

[0008] 上記構成において、前記高誘電体酸化膜は、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化イットリウム膜、酸化スカンジウム膜および希土類元素酸化膜の少なくとも1つの膜を含む構成とすることができる。

[0009] 上記構成において、前記絶縁膜上に金属膜としてAuを形成した際の前記ゲルマニウム層と前記金属膜との周波数が50kHz以上における容量値は、前記金属膜の前記ゲルマニウム層に対する電圧がフラットバンド電圧から反転領域に変化するとき一様に減少する、または一定である構成とすることができる。

[0010] 上記構成において、前記高誘電体酸化膜上にゲート電極を具備する構成とすることができる。

[0011] 上記構成において、前記ゲルマニウム層はp型であり、前記ゲルマニウム層内の面電子密度を N_s (cm^{-2}) 前記ゲルマニウム層の電子移動度を μ_{eff} ($\text{cm}^2/\text{V} \cdot \text{s}$) としたとき、 N_s が $5 \times 10^{12} \text{ cm}^{-2}$ 以上において、10

$g_{10} \mu_{eff} > -0.59 \times 10 g_{10} N_s + 10.19$ である構成とすることができる。

[0012] 本発明は、ゲルマニウム層と、前記ゲルマニウム層上に形成され、密度が 3.6 g/cm^3 以上、かつEOTが2nm以下の酸化ゲルマニウム膜と、を具備することを特徴とする半導体構造である。本発明によれば、ゲルマニウム層と酸化ゲルマニウム膜との界面状態が良好であり、かつ薄い酸化ゲルマニウム膜を成膜することができる。

[0013] 上記構成において、前記酸化ゲルマニウム膜上に金属膜としてAuを形成した際の前記ゲルマニウム層と前記金属層との周波数が50kHz以上における容量値は、前記金属膜の前記ゲルマニウム層に対する電圧がフラットバンド電圧から反転領域に変化するとき一様に減少する、または一定である構成とすることができる。

[0014] 上記構成において、前記酸化ゲルマニウム膜上にゲート電極を具備する構成とすることができる。

[0015] 本発明は、ゲルマニウム層上に、酸化シリコンより比誘電率の大きな高誘電体酸化膜を形成する工程と、酸素雰囲気、室温での前記酸素の分圧が1気圧より大きくなるような分圧、かつ前記ゲルマニウム層の温度が550℃より低い条件において、前記高誘電体酸化膜を介して前記ゲルニウム層を酸化させることにより、前記ゲルマニウム層と前記高誘電率酸化膜との間に酸化ゲルマニウムを含む膜を形成する工程と、を含むことを特徴とする半導体構造の製造方法である。本発明によれば、ゲルマニウム層と酸化ゲルマニウムを含む膜との界面状態が良好であり、かつ薄い酸化ゲルマニウムを含む膜を成膜することができる。

[0016] 上記構成において、前記条件は、室温での前記酸素の分圧が10気圧以上となるような分圧、かつゲルマニウム層の温度が520℃以下の条件である構成とすることができる。

[0017] 上記構成において、前記高誘電体酸化膜は、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化イットリウム膜、酸化スカンジウム

膜および希土類元素酸化膜の少なくとも1つの膜を含む構成とすることができる。

[0018] 上記構成において、前記高誘電体酸化膜にゲート電極を形成する工程を含む構成とすることができる。

[0019] 上記構成において、前記高誘電率酸化膜上にゲート電極を形成する工程を含み、前記条件は、室温での前記酸素の分圧が10気圧以上となるような分圧、かつゲルマニウム層の温度が520℃以下の条件であり、前記高誘電体酸化膜は酸化イットリウムである構成とすることができる。

[0020] 本発明は、酸素雰囲気、室温での前記酸素の分圧が1気圧より大きくなるような分圧、かつゲルマニウム層の温度が550℃より低い条件において、前記ゲルマニウム層の上面を酸化することにより、前記ゲルマニウム層上に酸化ゲルマニウム膜を形成する工程を含むことを特徴とする半導体構造の製造方法である。本発明によれば、ゲルマニウム層と酸化ゲルマニウム膜との界面状態が良好であり、かつ薄い酸化ゲルマニウム膜を成膜することができる。

[0021] 上記構成において、前記条件は、室温での前記酸素の分圧が10気圧以上となるような分圧、かつゲルマニウム層の温度が520℃以下の条件である構成とすることができる。

[0022] 上記構成において、前記酸化ゲルマニウム膜上にゲート電極を形成する工程を含む構成とすることができる。

発明の効果

[0023] 本発明によれば、ゲルマニウム層と酸化ゲルマニウムを含む膜との界面状態が良好であり、かつ薄い酸化ゲルマニウムを含む膜を成膜することができる。

図面の簡単な説明

[0024] [図1]図1(a)から図1(c)は、半導体構造の作製方法を示す断面図である。

[図2]図2(a)は、熱処理時間に対する酸化ゲルマニウムの膜厚を示す図、

- 図2 (b) は、酸素圧力に対する酸化ゲルマニウムの膜厚を示す図である。
- [図3]図3 (a) および図3 (b) は、エッチング時間に対する酸化ゲルマニウムの膜厚を示す図である。
- [図4]図4 (a) および図4 (b) は、それぞれ酸素分圧が室温で1気圧と70気圧のサンプルの結合エネルギーに対する信号強度を示す図である。
- [図5]図5は、酸素圧力に対する酸化ゲルマニウム膜の密度を示す図である。
- [図6]図6は、EOTに対するリーク電流を示す図である。
- [図7]図7は、電圧Vに対する容量Cを示す図である。
- [図8]図8 (a) および図8 (b) は、実施例1に係る半導体構造の製造方法を示す断面図である。
- [図9]図9 (a) から図9 (d) は、実施例2に係る半導体構造の製造方法を示す断面図である。
- [図10]図10は、電圧Vに対する容量Cを示す図である。
- [図11]図11 (a) は、酸化時間に対するCETを示す図である。図11 (b) は、EOTに対するリーク電流密度Jを示す図である。
- [図12]図12 (a) は、EOTに対する界面準位密度Ditを示す図、図12 (b) は、エネルギーに対する界面準位密度Ditを示す図である。
- [図13]図13 (a) は、実施例1の半導体構造を用いたトランジスタの断面、図13 (b) は、実施例2の半導体構造を用いた断面図である。
- [図14]図14 (a) および図14 (b) は、面電子密度 N_s に対する移動度 μ_{eff} を示す図である。

発明を実施するための形態

- [0025] まず、発明者が行なった実験について説明する。図1 (a) から図1 (c) は、半導体構造の作製方法を示す断面図である。図1 (a) に示すように、ゲルマニウム基板10を準備する。ゲルマニウム基板10は(100)面を主面とし、ドーパントがGa (ガリウム) であり、ドーパント濃度が約 $7 \times 10^{16} \text{ cm}^{-3}$ のp型である。図1 (b) に示すように、ゲルマニウム基板10上を酸素雰囲気中において熱酸化させることにより、酸化ゲルマニウム

膜 1 2 を形成する。図 1 (c) に示すように、ゲルマニウム基板 1 0 の裏面に金属膜 1 6 としてアルミニウム (A l) 膜を、酸化ゲルマニウム膜 1 2 の表面に金属膜 1 4 として金 (A u) 膜を形成する。金属膜 1 4 として A u 以外を用いた場合に金属膜 1 4 に印加される電圧は、金属膜 1 4 の仕事関数を用い金属膜 1 4 として A u を用いた場合の電圧に補正することが可能である。

[0026] 図 1 (b) において、ゲルマニウム基板 1 0 の温度 (基板温度) と、酸素ガスの圧力 (酸素圧力) を変え、酸化ゲルマニウム膜 1 2 を形成した。図 2 (a) は、熱処理時間 (酸化時間) に対する酸化ゲルマニウム膜の膜厚を示す図、図 2 (b) は、酸素圧力に対する酸化ゲルマニウム膜の膜厚を示す図である。図 2 (a) においては、基板温度は 5 0 0 °C、図 2 (b) においては、酸化時間は 3 0 分である。図 2 (a) および図 2 (b) のドットが測定点、直線が測定点の近似線を示している。なお、酸素圧力は、室温 (約 2 5 °C) での圧力である。すなわち、室温において上記酸素圧力でサンプルを密閉後、温度を上げ熱処理を行なっている。このため、熱処理時のガスの圧力は、上記ガス圧力より大きい。以下の実験においても同様である。

[0027] 図 2 (a) を参照し、酸化時間とともに酸化ゲルマニウム膜 1 2 の膜厚が大きくなる。図 2 (a) の傾きが酸化速度に相当する。これは、酸素が酸化ゲルマニウム膜 1 2 を拡散し、ゲルマニウム基板 1 0 の上面を酸化させるためである。酸素圧力が 0. 1 気圧に比べ酸素圧力が 1 気圧のとき酸化速度は速くなる。酸素圧力が 1 気圧より高くなると酸素圧力が高くなるにしたがい、酸化速度が遅くなる。

[0028] 図 2 (b) を参照し、基板温度が 5 5 0 °C においては、酸素圧力が高くなるにしたがい酸化ゲルマニウム膜 1 2 の膜厚は大きくなる。これは、酸素圧力が高くなると酸化速度が速くなることに対応する。一方、基板温度が 5 2 0 °C 以下においては、酸素圧力が 1 気圧または 1 0 気圧より高くなると、酸素圧力が高くなるにしたがい酸化ゲルマニウム膜 1 2 の膜厚が小さくなる。

[0029] 酸化ゲルマニウム膜 1 2 を拡散した酸素がゲルマニウム基板 1 0 の上面を

酸化させるという解釈では、酸素圧力が高くなるにしたがい、酸化速度が速くなるはずである。酸素圧力が高くなるにしたがい、酸化速度が遅くなる現象は、上記解釈では説明できない。

[0030] そこで、上記現象を解明すべく、まず、酸化ゲルマニウム膜12のエッチング速度を測定した。図1(b)のサンプルを作製した。作製条件は以下である。

酸素圧力：70気圧、基板温度：500℃

酸素圧力：70気圧、基板温度：550℃

酸素圧力：1気圧、基板温度：500℃

サンプルをエチルアルコール(C_2H_5OH):水(H_2O)が100:5の混合液に浸漬し、酸化ゲルマニウムの膜厚のエッチング速度を測定した。図3(a)および図3(b)は、エッチング時間に対する酸化ゲルマニウムの膜厚を示す図である。ドットが測定点、直線が測定点の近似線を示す。図3(a)および図3(b)の傾きの絶対値がエッチング速度に対応する。図3(a)に示すように、基板温度が500℃であり、酸素圧力が1気圧のサンプルにおいては、エッチング速度は約0.56nm/分である。基板温度が500℃であり、酸素圧力が70気圧のサンプルにおいては、エッチング速度はエッチング時間が5分までは約0.37nm/分である。5分以降は約0.19nm/分である。図3(b)に示すように、基板温度が550℃であり、酸素圧力が70気圧のサンプルにおいては、エッチング速度は約0.62nm/分である。

[0031] 基板温度が500℃であり、酸素圧力が1気圧および70気圧のサンプルをエッチングするごとにXPS(X-ray Photoelectron Spectroscopy)測定を行なった。図4(a)および図4(b)は、それぞれ酸素分圧が1気圧と70気圧のサンプルの結合エネルギーに対する信号強度を示す図である。Ge3dの結合エネルギーを測定した。図4(a)および図4(b)において、約30eVのピークはGe間の結合に相当し、約33.5eVのピークはGeとOとの結合に相当する。

[0032] 図4 (a) のように、酸素圧力が1気圧のサンプルにおいて、酸化ゲルマニウム膜12を0分から7分までエッチングすると、GeとOとの結合に対応するピークが小さくなる。これは、エッチングにより酸化ゲルマニウム膜12が薄くなることを示している。しかしながら、ピークエネルギーのシフトは観測されない。図4 (b) のように、酸素圧力が70気圧のサンプルにおいて、酸化ゲルマニウム膜12を0分から8分までエッチングすると、図4 (a) と同様にGeとOとの結合に対応するピークが小さくなる。しかし、ピークエネルギーのシフトは観測されない。これにより、酸素分圧が1気圧と70気圧のサンプルに、GeとOとの結合エネルギーの差はないと考えられる。

[0033] 次に、基板温度が500℃かつ膜厚が5nmのサンプルと基板温度が550℃かつ膜厚が10nmのサンプルとで酸素圧力を変えたサンプルを作製した。作製したサンプルの酸化ゲルマニウム膜12の密度をGI XR (Grazing Incidence X-ray, Reflectivity) 法を用い測定した。図5は、酸素圧力に対する酸化ゲルマニウム膜の密度を示す図である。ドットが測定点、測定点を直線でつないでいる。上下のバーは測定誤差を示している。図5に示すように、基板温度が500℃および550℃いずれのサンプルにおいても酸素分圧が高くなると酸化ゲルマニウム膜12の密度が高くなる。酸素分圧が0.1気圧では、基板温度が500℃および550℃のサンプルにおける密度の差は小さい。酸素分圧が10気圧以上では、基板温度が500℃および550℃のサンプルにおける密度の差が大きくなる。GeO₂ガラスの密度は、一般的に3.65g/cm₃である。よって、基板温度が500℃のサンプルでは一般的な酸化ゲルマニウムより密度が大きくなっている。図3 (a) および図3 (b) において、基板温度が500℃であり、酸素圧力が70気圧のサンプルのエッチング速度が遅い理由は酸化ゲルマニウムの密度が高くなったためと考えられる。

[0034] 図2 (b) において、基板温度が520℃以下かつ酸素圧力が1気圧以上において、酸化ゲルマニウム膜12の酸化速度が遅くなるのは、酸化ゲルマ

ニウム膜 1 2 の密度が大きいためと考えられる。密度が大きい酸化ゲルマニウム膜 1 2 は緻密なため、酸化ゲルマニウム膜 1 2 中の酸素の拡散速度が遅くなるためではないかと考えられる。

[0035] 次に、図 1 (c) のサンプルを作製した。作製条件は以下である。

酸素圧力：70気圧、基板温度：500℃

酸素圧力：70気圧、基板温度：550℃

酸素圧力：1気圧、基板温度：500℃

[0036] 図 6 は、EOT に対するリーク電流を示す図である。測定温度は室温である。図 6 において、EOT は、酸化ゲルマニウム膜の EOT を示している。EOT は、C-V 測定の飽和容量値から換算できる。リーク電流密度 J は、金属膜 1 6 に対する金属膜 1 4 の電圧が、フラットバンドの電圧 -1 V となる電圧における金属膜 1 6 と 1 4 間のリーク電流密度である。ドットは測定点、直線は近似線を示している。点線は、シリコン基板上に形成された酸化シリコン膜の EOT に対するリーク電流密度を示している。

[0037] 図 6 を参照し、酸素圧力が 1 気圧および基板温度が 500℃のサンプルでは、酸化速度が速いため、EOT が 2.8 nm 以下の酸化ゲルマニウム膜 1 2 は形成することは難しい。また、同一 EOT のリーク電流は酸化シリコン膜より大きい。酸素圧力が 70 気圧および基板温度が 550℃のサンプルにおいても、酸化速度が速いため、EOT が 2.2 nm 以下の酸化ゲルマニウム膜 1 2 は形成できない。同一 EOT のリーク電流は酸化シリコン膜より小さいものの、EOT が小さくなると、リーク電流が増大する。

[0038] 一方、酸素圧力が 70 気圧および基板温度が 500℃のサンプルでは、酸化速度が遅いため、EOT が 1.2 nm 程度の酸化ゲルマニウム膜 1 2 を形成できる。また、リーク電流密度 J を 10^{-2} A/cm^2 とすることができる。これは、同じ EOT の酸化シリコン膜に比べ三桁程度小さい値である。

[0039] 酸素圧力が 70 気圧および基板温度が 500℃で作製したサンプルを用いて C-V 特性を測定したところ EOT は 1.2 nm であった。C-V 特性は金属膜 1 6 に対し金属膜 1 4 に電圧 V を印加することにより測定した。図 7

は、電圧Vに対する容量Cを示す図である。測定温度は室温である。C-V特性を測定した周波数は、1kHzから1MHzである。図7を参照し、電圧Vを負の領域（蓄積領域）から容量Cが減少してフラットバンド電圧までの間でヒステリシスがほとんど観測されず、また周波数依存性もほとんど観測されない。このことは酸化ゲルマニウム膜12中の欠陥がきわめて少ないことを意味し、またゲルマニウム基板10と酸化ゲルマニウム膜12とのゲルマニウムの価電子帯側の界面準位密度がきわめて小さいことを意味する。

[0040] さらに、電圧をフラットバンド電圧から正の領域（反転領域）に増加させたとき、周波数が高い領域（1MHz、100kHz、50kHz）では電圧Vに対して容量はほとんど変化せずに周波数依存性もない。すなわち、電圧Vがフラットバンド電圧から反転領域に変化するときゲルマニウム基板10と金属膜14との周波数が50kHz以上における容量値は一様に減少する、または一定になる。例えば、酸化ゲルマニウム膜12を1気圧において成膜すると、周波数が50kHz以上における容量値は、図7の周波数が10kHz以下の場合と同様にフラットバンド電圧から反転領域にかけて増大する。この結果から、高圧において酸化ゲルマニウム膜12を成膜した場合、ゲルマニウム基板10と酸化ゲルマニウム膜12との界面においてゲルマニウムの伝導帯側の界面準位密度が少なく、界面状態が良好であることがわかる。

[0041] 図6および図7のように、酸素圧力が70気圧および基板温度が500°Cで作製したサンプルはEOTを小さくでき、かつ界面状態を良好にすることができる。

[0042] 以下に、上記実験結果に基づく本発明の実施例について説明する。

実施例 1

[0043] 図8(a)および図8(b)は、実施例1に係る半導体構造の製造方法を示す断面図である。図8(a)のように、ゲルマニウム層30を準備する。ゲルマニウム層30は、単結晶ゲルマニウム基板でもよいし、基板（例えばシリコン基板）上に形成されたゲルマニウム膜でもよい。また、ゲルマニウ

ム層30は、高純度ゲルマニウムでもよいが、不純物が含まれていてもよい。例えばn型またはp型ゲルマニウムでもよい。さらに、ゲルマニウム層30には、上記実験の効果が得られる程度にシリコンが含まれていてもよい。シリコンの組成比は、全体の10原子%程度以下であればよい。ゲルマニウム層30の主面は、例えば(111)面とすることができるが、(110)面または(100)面等他の結晶面でもよい。

[0044] 図8(b)のように、ゲルマニウム層30上に酸化ゲルマニウム膜32を形成する。なお、酸化ゲルマニウム膜32は化学量論的な組成である GeO_2 でもよいが、化学量論的な組成でなくともよい。図2(b)において、酸素圧力を1気圧より高くすることで酸化ゲルマニウム膜32の成膜速度が1気圧の場合より遅くできる。このため、このような酸化温度および酸素圧力を用いて酸化ゲルマニウム膜12を形成することにより、EOTを小さくでき、かつ界面状態を良好にすることができる。よって、酸化ゲルマニウム膜32は、図2(b)に示すように、酸素雰囲気、室温での酸素の分圧が1気圧より大きな分圧、かつゲルマニウム層30の温度が550°Cより低い条件において、ゲルマニウム層30の上面を酸化する。これにより、図6に示すように、酸化速度を小さくし、EOTが薄い酸化ゲルマニウム膜32を制御性よく形成できる。また、図7に示すように、ゲルマニウム層30と酸化ゲルマニウム膜32との界面状態を良好にできる。なお、実験には100%酸素ガスを用いたが、酸素ガスと不活性ガス(例えば窒素ガス、ヘリウム、ネオン、アルゴン、クリプトン、キセノンまたはラドン等の第18族元素のガス、またはこれらの混合ガス)との混合ガスでもよい。酸素分圧は、10気圧以上が好ましく、30気圧以上がより好ましい。温度は、520°C以下が好ましく、500°C以下がより好ましい。また、ゲルマニウム層30と酸化ゲルマニウム膜32との界面を良好とするためには、酸化温度は、450°C以上が好ましく、470°C以上がより好ましい。

[0045] このように成膜した酸化ゲルマニウム膜32は、図5のように密度が3.6 g/cm³以上、かつ図6のようにEOTが2 nm以下とすることができる

。密度は、 3.65 g/cm^3 以上が好ましく、 3.7 g/cm^3 以上がより好ましく、 3.8 g/cm^3 以上が一層好ましい。EOTは、 1.5 nm 以下が好ましく、 1.2 nm 以下がより好ましく、 1.0 nm 以下がさらに好ましい。

実施例 2

[0046] 図9(a)から図9(d)は、実施例2に係る半導体構造の製造方法を示す断面図である。図9(a)に示すように、実施例1と同様のゲルマニウム層30を準備する。図9(b)に示すように、ゲルマニウム層30上に、高誘電体酸化膜34を形成する。高誘電体酸化膜34は、酸化シリコンより比誘電率が大きい膜であり、例えば酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜および希土類元素酸化膜（例えば酸化イットリウム膜または酸化スカンジウム膜）の少なくとも1つの膜を含む膜である。例えば、上記膜のうちのいずれか1つの膜でもよいし、上記膜が複数積層された膜でもよい。希土類元素は、スカンジウム(Sc)、イットリウム(Y)、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、プロメチウム(Pm)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)およびルテチウム(Lu)である。高誘電体酸化膜34は、化学量論的な組成でもよいが、化学量論的な組成でなくともよい。高誘電体酸化膜34は、例えばスパッタリング法を用い形成する。

[0047] 図9(c)に示すように、高圧酸素雰囲気中において、高誘電体酸化膜34を熱処理する。酸素が高誘電体酸化膜34中を拡散し、ゲルマニウム層30の上面を酸化させる。これにより、ゲルマニウム層30と高誘電体酸化膜34との間に酸化ゲルマニウム膜32が形成される。酸化ゲルマニウム膜32と高誘電体酸化膜34とにより絶縁膜33が形成される。なお、酸化ゲルマニウム膜32は化学量論的な組成である GeO_2 でもよいが、化学量論的な組成でなくともよい。また、酸化ゲルマニウム膜32には、高誘電体酸化膜

34の原子が拡散していてもよい。例えば、酸化ゲルマニウム膜32は、酸化ゲルマニウムと金属酸化物（高誘電体酸化膜34に含まれる金属の酸化物）との混合膜でもよい。このように、酸化ゲルマニウム膜32は、酸化ゲルマニウムを含む膜であればよい。酸化ゲルマニウム膜32は、実施例1と同様に酸素雰囲気、室温での酸素の分圧が1気圧より大きな分圧、かつゲルマニウム層30の酸化温度が550℃より低い条件において、ゲルマニウム層30の上面を酸化する。酸素分圧は、10気圧以上が好ましく、30気圧以上がより好ましい。温度は、520℃以下が好ましく、500℃以下がより好ましい。酸化温度は、450℃以上が好ましく、470℃以上がより好ましい。

[0048] 高誘電体酸化膜34は比誘電率が高いため、EOTを薄くできる。しかしながら、ゲルマニウム層30と高誘電体酸化膜34との界面には界面準位が形成され界面状態が良好ではない。そこで、図9(c)のように、高誘電体酸化膜34を介してゲルマニウム層30の上面を酸化することにより、酸化ゲルマニウム膜32を形成する。高誘電体酸化膜34は、酸化ゲルマニウム膜32に比べ酸素が拡散しやすい。よって、実施例1と同様の条件により酸化ゲルマニウム膜32が形成できる。これにより、実施例1と同様に、酸化ゲルマニウム膜32の膜厚を薄くでき、かつ、ゲルマニウム層30と絶縁膜33との界面状態を良好にできる。

[0049] 実施例2として、ゲルマニウム層30としてp型ゲルマニウム基板を用い、高誘電体酸化膜34として酸化イットリウム膜を用い、半導体構造を作成した。図9(d)に示すように、高誘電体酸化膜34上に金属膜36（金膜）を形成した。高誘電体酸化膜34の膜厚は1.5nm、酸化ゲルマニウム膜32の形成条件は、酸素圧力が70気圧、基板温度が500℃、酸化時間が1分である。

[0050] 図10は、電圧Vに対する容量Cを示す図である。測定温度は室温である。C-V特性を測定した周波数は、1kHzから1MHzである。図10を参照し、電圧Vが大きくなり容量Cが減少する領域（フラットバンドから反

転層が形成される領域)において、ヒステリシスがほとんど観測されない。さらに電圧をフラットバンド電圧から反転領域に増加させたとき、周波数が高い領域(1MHz、100kHz、50kHz)では電圧Vに対して容量値はほとんど変化せずに周波数依存性もない。すなわち、電圧Vがフラットバンド電圧から反転領域に変化するときにゲルマニウム基板10と金属膜14との周波数が50kHz以上における容量値は一様に減少する、または一定である。これにより、ゲルマニウム層30と絶縁膜33との界面に界面準位が少なく、界面状態が良好であることがわかる。

[0051] 酸化ゲルマニウム膜32を形成する条件を変え、酸化時間に対するCET(Capacitance Equivalent Thickness)を測定した。図11(a)は、酸化時間に対するCETを示す図である。ドットは測定点、直線はドットをつなぐ線を示している。図11(a)を参照し、図2(a)と同様に、酸素圧力を大きくし、基板温度を低くすることにより、CETの酸化時間依存性が小さくなり、CETの制御が容易となる。例えば、基板温度が530℃以下、かつ酸素圧力が10気圧以下において、CETの酸化時間依存性を小さくすることができる。

[0052] 図11(b)は、EOTに対するリーク電流密度Jを示す図である。図11(b)において、ドットは、実施例2の結果を示し、破線は、ゲルマニウム(Ge)上の酸化ジルコニウム(ZrO_2)、酸化ゲルマニウム(GeO_2)上の酸化アルミニウム(Al_2O_3)、ストロンチウムゲルマニウム($SrGe_x$)上の酸化ランタンアルミニウム($LaAlO_3$)および多結晶シリコン(Poly Si)をゲート電極とするシリコン(Si)上の酸化シリコン(SiO_2)において報告された結果を示す。図11(b)に示すように、実施例2は、酸化シリコン膜に比べリーク電流が小さい。他の例に比べてリーク電流が少ない方である。EOTが1nmにおいてもリーク電流密度Jを約 $1 \times 10^{-3} A/cm^2$ とすることができる。実施例2のリーク電流密度は、 $10^{-5 \times EOT + 2} A/cm^2$ 程度である。

[0053] 次に、ゲルマニウム層30としてp型ゲルマニウム基板を用い、高誘電体

酸化膜 34 として酸化イットリウム膜を用い、半導体構造を作製した。高誘電体酸化膜 34 の膜厚は 1.5 nm、酸化ゲルマニウム膜 32 の形成条件は、酸素圧力が 70 気圧、基板温度が 500°C である。酸化時間を変化させることにより、様々な EOT のサンプルを作製した。比較例として、高誘電体酸化膜 34 を設けず p 型ゲルマニウム基板上に EOT が 10 nm の酸化ゲルマニウム膜を有するサンプルを作製した。

[0054] 図 12 (a) は、EOT に対する界面準位密度 D_{it} を示す図、図 12 (b) は、エネルギーに対する界面準位密度 D_{it} を示す図である。EOT および界面準位密度は、200 K および 100 K におけるインピーダンス測定から、いわゆるコンダクタンス法を用いて求めた。図 12 (a) において、ドットはミッドギャップ（エネルギーバンドの中心エネルギー）から $-0.2 eV$ における界面準位密度を示している。実線は近似直線である。図 12 (a) に示すように、EOT が 2 nm 以下であっても界面準位密度は $2 \times 10^{11} eV^{-1} cm^{-2}$ 以下である。図 12 (b) において、丸ドットは EOT が 1 nm の実施例 2、四角ドットは EOT が 10 nm の比較例を示す。E_v は価電子帯の頂点のエネルギー、E_c は伝導帯の底のエネルギーを示す。一般に、EOT が薄くなると界面準位密度が大きくなる。比較例は、EOT を厚くすることにより界面準位密度を非常に小さくしたサンプルである。図 12 (b) に示すように、実施例 2 においては、EOT が 1 nm であっても EOT が 10 nm の比較例と遜色ない界面準位密度とすることができる。

[0055] 実施例 2 によれば、図 11 (b) に示すように、絶縁膜 33 の EOT が 2 nm 以下であり、かつ絶縁膜 33 上に金属膜を形成した際の金属膜 36 のゲルマニウム層 30 に対する電圧 V がフラットバンド電圧 $-1 V$ のときのリーク電流密度を $10^{-5 \times EOT + 4} A/cm^2$ 以下とすることができる。また、EOT は、1.5 nm 以下が好ましく、1.2 nm 以下がより好ましく、1.0 nm 以下がより好ましい。リーク電流密度は、 $10^{-5 \times EOT + 3} A/cm^2$ 以下、約 $1 \times 10^{-2} A/cm^2$ 以下、約 $1 \times 10^{-3} A/cm^2$ 以下、約 $1 \times 10^{-4} A/cm^2$ 以下がより好ましい。高誘電体酸化膜 34 を形成した後、図 9 (c

)の工程による酸化ゲルマニウム膜32の形成を行わない場合、EOTが2nm以下ではリーク電流は非常に大きくなってしまう。この場合、EOTが2nm以下において、多結晶シリコンをゲート電極とするシリコン基板上の酸化シリコンよりリーク電流を小さくすることはできない。

[0056] なお、p型ゲルマニウム層を用いた場合、金属膜のゲルマニウム層に対する電圧がフラットバンド電圧から-1Vのときのリーク電流密度で比較したが、n型ゲルマニウム層の場合、金属膜のゲルマニウム層に対する電圧がフラットバンド電圧から1Vのときのリーク電流密度で比較する。すなわち、比較するリーク電流密度は金属膜のゲルマニウム層に対する電圧がフラットバンド電圧から蓄積領域側に1V印加した電圧である。

[0057] 図13(a)は、実施例1の半導体構造を用いたトランジスタの断面図、図13(b)は、実施例2の半導体構造を用いた断面図である。図13(a)に示すように、ゲルマニウム層30上に酸化ゲルマニウム膜32を介しゲート電極38を形成する。ゲート電極38の両側のゲルマニウム層30内にソースまたはドレイン領域40を形成する。ゲルマニウム層30をp型、ソースまたはドレイン領域40をn型とする。ゲルマニウム層30をn型、ソースまたはドレイン領域40をp型としてもよい。

[0058] 図13(b)に示すように、酸化ゲルマニウム膜32とゲート電極38との間に高誘電体酸化膜34が形成されている。その他の構成は、図13(a)と同じであり説明を省略する。図13(a)および図13(b)のトランジスタのように、酸化ゲルマニウム膜32または絶縁膜33をゲート絶縁膜として用いることにより、ゲート絶縁膜のEOTが薄く、かつゲート絶縁膜と半導体層との界面状態のよいMOSFETを実現できる。

[0059] 実施例2の半導体構造を用いFETを作製した。ゲルマニウム層30としてp型ゲルマニウム基板を用い、高誘電体酸化膜34として酸化イットリウム膜を用いた。高誘電体酸化膜34の膜厚は1.5nm、酸化ゲルマニウム膜32の形成条件は、酸素圧力が70気圧、基板温度が500℃である。酸化時間を変化させることにより、様々なEOTのサンプルを作製した。比較

例のFETとして、高誘電体酸化膜34を設けずp型ゲルマニウム基板上にEOTが10nmの酸化ゲルマニウム膜を有するサンプルを作製した。ゲート長を100 μm 、ゲート幅を25 μm とし、スプリットCV法を用い、室温におけるキャリア数と移動度 μ_{eff} を求めた。スプリットCV法は、CV測定の積分からキャリア数を導出し、キャリア数とI-V測定から移動度を求める方法である。

[0060] 図14(a)および図14(b)は、面電子密度 N_s に対する移動度 μ_{eff} を示す図である。ゲート電極にゲート電圧を印加することにより、面電子密度 N_s を変化させ、移動度 μ_{eff} を測定した。図14(a)は、EOTが1.18nm、1.03nmおよび0.94nmの実施例2のサンプルと、比較例の測定結果を示す。ゲルマニウム基板の主面は(111)面である。図14(a)に示すように、面電子密度が $3 \times 10^{12} \text{cm}^{-2}$ 以上において、実施例2は、比較例より移動度が大きくなる。実線は、比較例の面電子密度が $3 \times 10^{12} \text{cm}^{-2}$ 以上かつ $5 \times 10^{12} \text{cm}^{-2}$ 以下の範囲のデータを外挿した直線である。

[0061] 図14(b)は、ゲルマニウム基板の主面が(111)面および(100)面のサンプルの測定結果を示す。測定したサンプルのEOTは0.94nmである。破線は、シリコンMOSFETにおける一般的な移動度を示す。実線は、比較例の面電子密度が $3 \times 10^{12} \text{cm}^{-2}$ 以上かつ $5 \times 10^{12} \text{cm}^{-2}$ 以下の範囲のデータを外挿した直線である。図14(b)に示すように、ゲルマニウムを用いたMOSFETにおいては、面電子密度が小さい範囲($3 \times 10^{12} \text{cm}^{-2}$ 以下)の移動度はシリコンMOSFETに比べ大きい。しかし、面電子密度の大きな範囲($5 \times 10^{12} \text{cm}^{-2}$ 以上)において、移動度がシリコンMOSFETと同程度となってしまう。実施例においては、面電子密度が $5 \times 10^{12} \text{cm}^{-2}$ 以上において移動度をシリコンMOSFETより大きくできる。

[0062] 以上のように、実施例2の半導体構造を用いたFETにおいて、面電子密度 N_s が $5 \times 10^{12} \text{cm}^{-2}$ 以上の範囲で移動度 μ_{eff} を以下の不等式の範囲と

することができる。

$$\log_{10} \mu_{eff} > -0.59 \times \log_{10} N_s + 10.19$$

この範囲の移動度 μ_{eff} は、ゲルマニウム層を用いた MOSFET ではこれまで実現できていなかった。実施例 2 に係る半導体構造を用い始めて実現することができた。

[0063] 移動度 μ_{eff} は、面電子密度 N_s が $5 \times 10^{12} \text{ cm}^{-2}$ 以上の範囲で

$$\log_{10} \mu_{eff} > -0.59 \times \log_{10} N_s + 10.3$$

が好ましく、

$$\log_{10} \mu_{eff} > -0.59 \times \log_{10} N_s + 10.5$$

がより好ましい。

[0064] MOSFET と以外の半導体装置に実施例 1 および 2 の半導体構造を適用することもできる。

[0065] 以上、本発明の好ましい実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

符号の説明

[0066]	10	ゲルマニウム基板
	12、32	酸化ゲルマニウム膜
	14、16、36	金属膜
	30	ゲルマニウム層
	34	高誘電体酸化膜
	38	ゲート電極
	40	ソースまたはドレイン領域

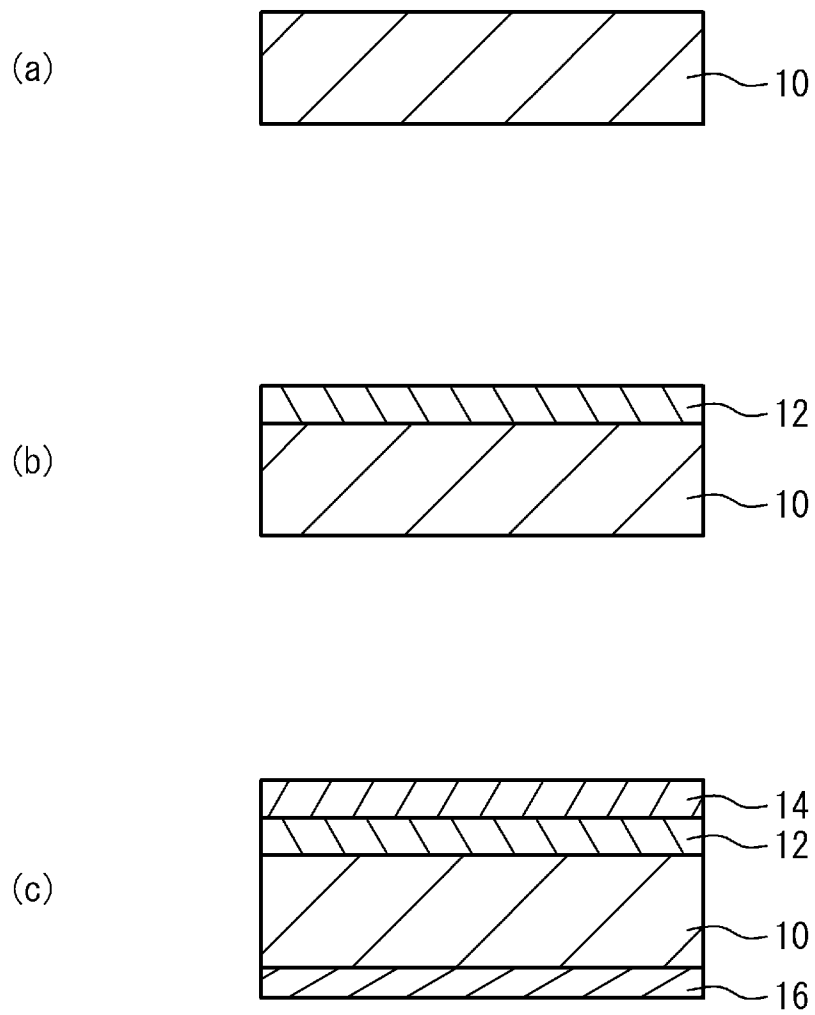
請求の範囲

- [請求項1] ゲルマニウム層と、
 前記ゲルマニウム層上に形成された酸化ゲルマニウムを含む膜と、
 前記酸化ゲルマニウムを含む膜上に形成され、酸化シリコンより比誘
 電率の大きな高誘電体酸化膜と、を含む絶縁膜と、
 を具備し、
 前記絶縁膜のEOTが2nm以下であり、かつ前記絶縁膜上に金属
 膜としてAuを形成した際の前記金属膜のゲルマニウム層に対する電
 圧をフラットバンド電圧から蓄積領域側に1V印加したときのリーク
 電流密度が $10^{-5 \times \text{EOT} + 4} \text{ A/cm}^2$ 以下であることを特徴とする半
 導体構造。
- [請求項2] 前記高誘電体酸化膜は、酸化ハフニウム膜、酸化ジルコニウム膜、
 酸化アルミニウム膜、酸化イットリウム膜、酸化スカンジウム膜およ
 び希土類元素酸化膜の少なくとも1つの膜を含むことを特徴とする請
 求項1記載の半導体構造。
- [請求項3] 前記絶縁膜上に金属膜としてAuを形成した際の前記ゲルマニウム
 層と前記金属膜との周波数が50kHz以上における容量値は、前記
 金属膜の前記ゲルマニウム層に対する電圧がフラットバンド電圧から
 反転領域に変化するときに一様に減少する、または一定であることを
 特徴とする請求項1または2記載の半導体構造。
- [請求項4] 前記高誘電体酸化膜上にゲート電極を具備することを特徴とする請
 求項1から3のいずれか一項記載の半導体構造。
- [請求項5] 前記ゲルマニウム層はp型であり、前記ゲルマニウム層内の面電子
 密度を N_s (cm^{-2}) 前記ゲルマニウム層の電子移動度を μ_{eff} ($\text{cm}^2/\text{V} \cdot \text{s}$) としたとき、
 N_s が $5 \times 10^{12} \text{ cm}^{-2}$ 以上において、 $\log_{10} \mu_{\text{eff}} > -0.5$
 $9 \times \log_{10} N_s + 10.19$ であることを特徴とする請求項4記載
 の半導体構造。

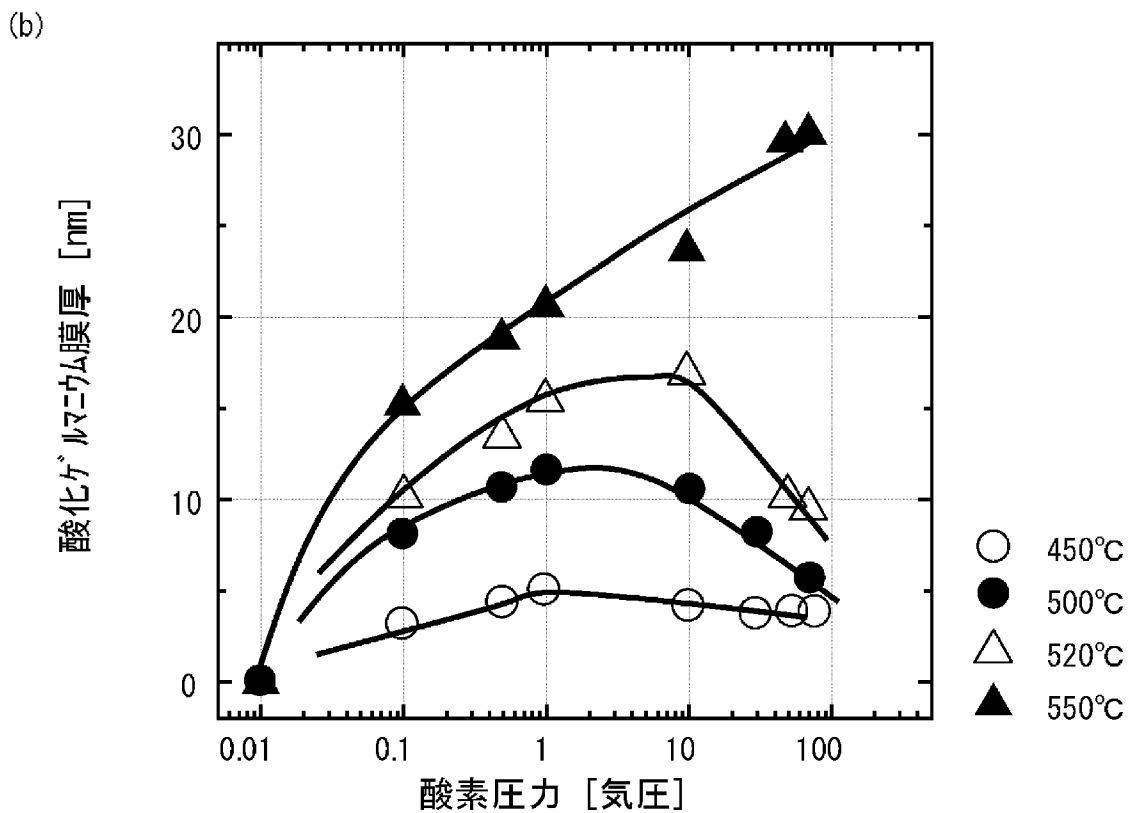
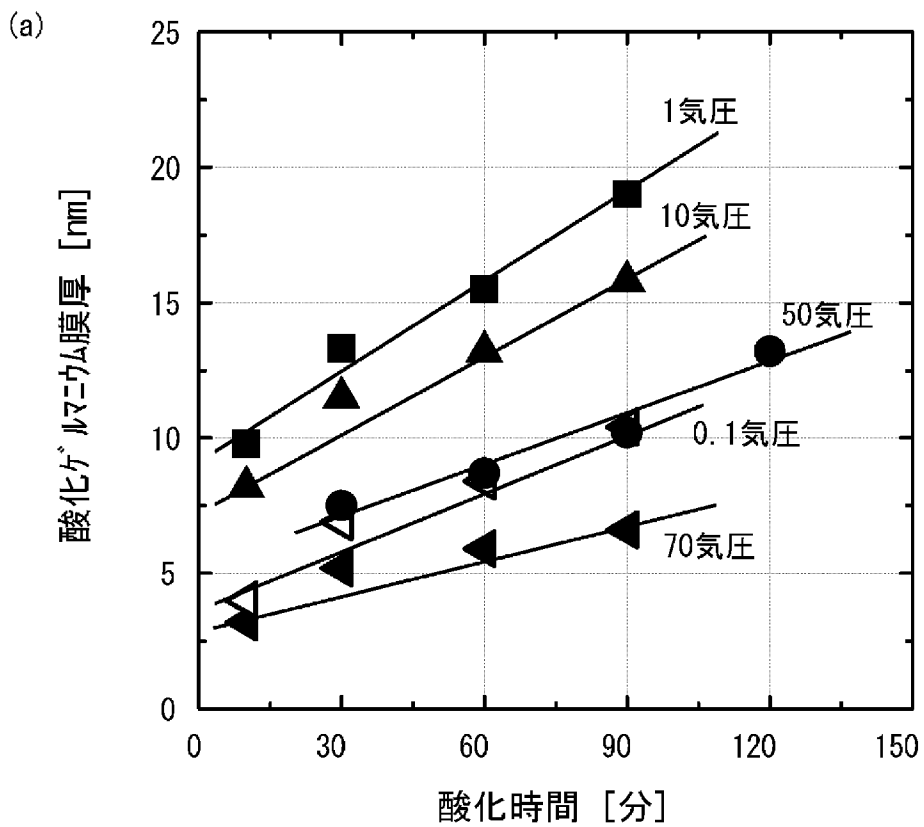
- [請求項6] ゲルマニウム層と、
 前記ゲルマニウム層上に形成され、密度が 3.6 g/cm^3 以上、
 かつEOTが 2 nm 以下の酸化ゲルマニウム膜と、
 を具備することを特徴とする半導体構造。
- [請求項7] 前記酸化ゲルマニウム膜上に金属膜としてAuを形成した際の前記
 ゲルマニウム層と前記金属層との周波数が 50 kHz 以上における容
 量値は、前記金属膜の前記ゲルマニウム層に対する電圧がフラットバ
 ンド電圧から反転領域に変化するとき一様に減少する、または一定
 であることを特徴とする請求項6記載の半導体構造。
- [請求項8] 前記酸化ゲルマニウム膜上にゲート電極を具備することを特徴とす
 る請求項6または7記載の半導体構造。
- [請求項9] ゲルマニウム層上に、酸化シリコンより比誘電率の大きな高誘電体
 酸化膜を形成する工程と、
 酸素雰囲気、室温での前記酸素の分圧が1気圧より大きくなるよう
 な分圧、かつ前記ゲルマニウム層の温度が 450°C 以上かつ 550°C
 より低い条件において、前記高誘電体酸化膜を介して前記ゲルニウム
 層を酸化させることにより、前記ゲルマニウム層と前記高誘電率酸化
 膜との間に酸化ゲルマニウムを含む膜を形成する工程と、
 を含むことを特徴とする半導体構造の製造方法。
- [請求項10] 前記条件は、室温での前記酸素の分圧が10気圧以上となるような
 分圧、かつゲルマニウム層の温度が 520°C 以下の条件であることを
 特徴とする請求項9記載の半導体構造の製造方法。
- [請求項11] 前記高誘電体酸化膜は、酸化ハフニウム膜、酸化ジルコニウム膜、
 酸化アルミニウム膜、酸化イットリウム膜、酸化スカンジウム膜およ
 び希土類元素酸化膜の少なくとも1つの膜を含むことを特徴とする請
 求項9または10記載の半導体構造の製造方法。
- [請求項12] 前記高誘電体酸化膜にゲート電極を形成する工程を含むことを特徴
 とする請求項9から11のいずれか一項記載の半導体構造の製造方法

- 。
- [請求項13] 前記高誘電率酸化膜上にゲート電極を形成する工程を含み、
前記条件は、室温での前記酸素の分圧が10気圧以上となるような分圧、かつゲルマニウム層の温度が520℃以下の条件であり、
前記高誘電体酸化膜は酸化イットリウムであることを特徴とする請求項9記載の半導体構造の製造方法。
- [請求項14] 酸素雰囲気、室温での前記酸素の分圧が1気圧より大きくなるような分圧、かつゲルマニウム層の温度が450℃以上かつ550℃より低い条件において、前記ゲルマニウム層の上面を酸化することにより、前記ゲルマニウム層上に酸化ゲルマニウム膜を形成する工程を含むことを特徴とする半導体構造の製造方法。
- [請求項15] 前記条件は、室温での前記酸素の分圧が10気圧以上となるような分圧、かつゲルマニウム層の温度が520℃以下の条件であることを特徴とする請求項14記載の半導体構造の製造方法。
- [請求項16] 前記酸化ゲルマニウム膜上にゲート電極を形成する工程を含むことを特徴とする請求項14または15記載の半導体構造の製造方法。

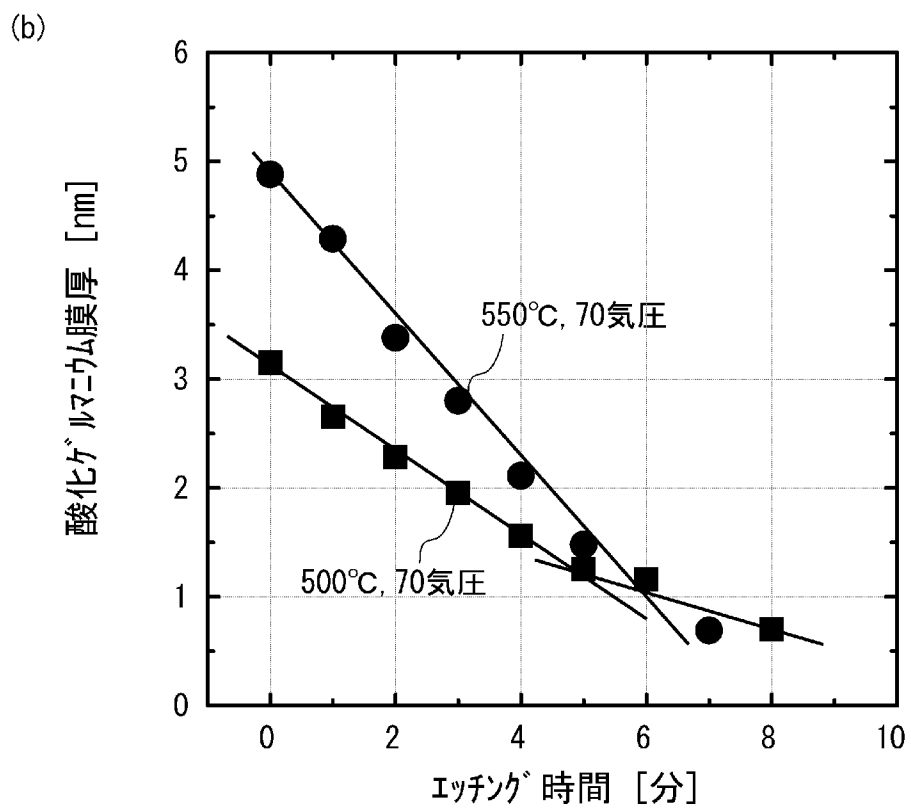
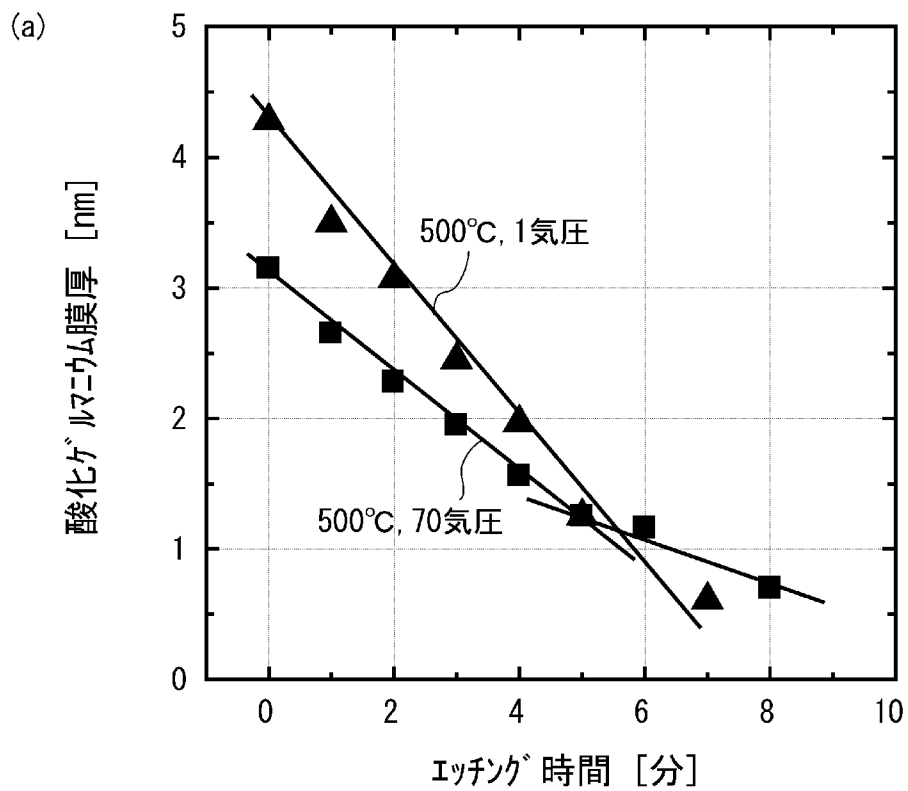
[図1]



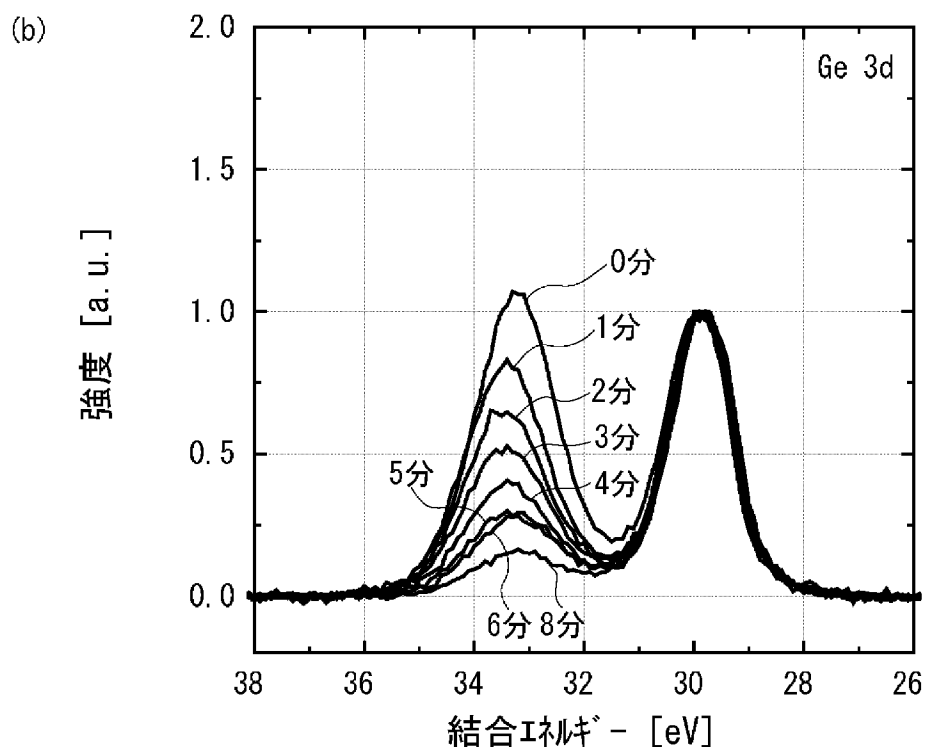
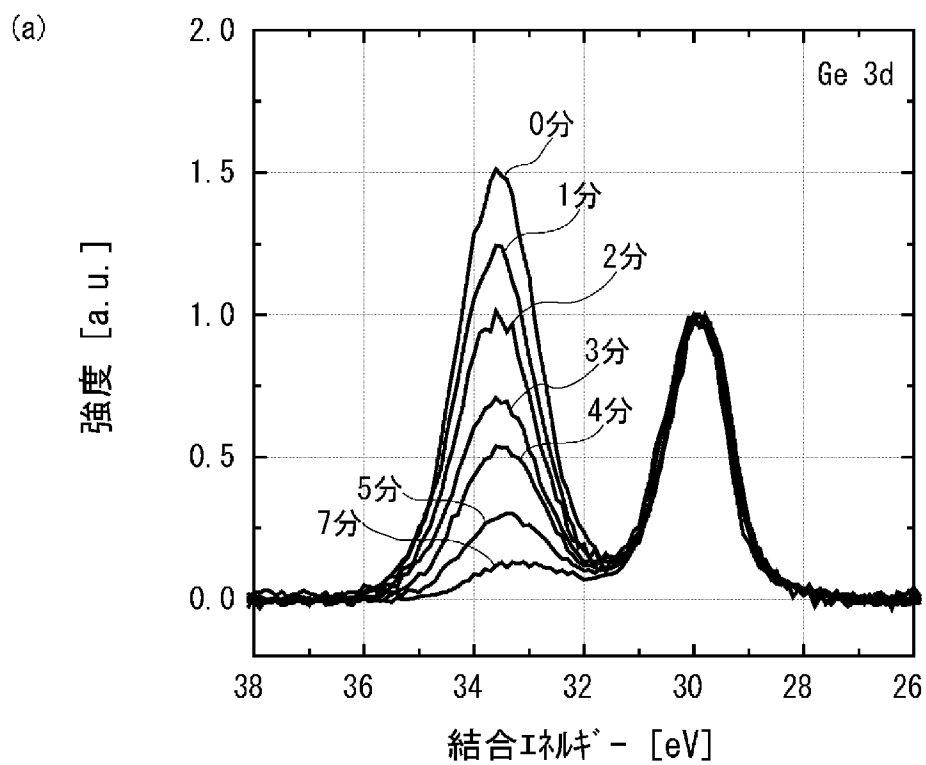
[図2]



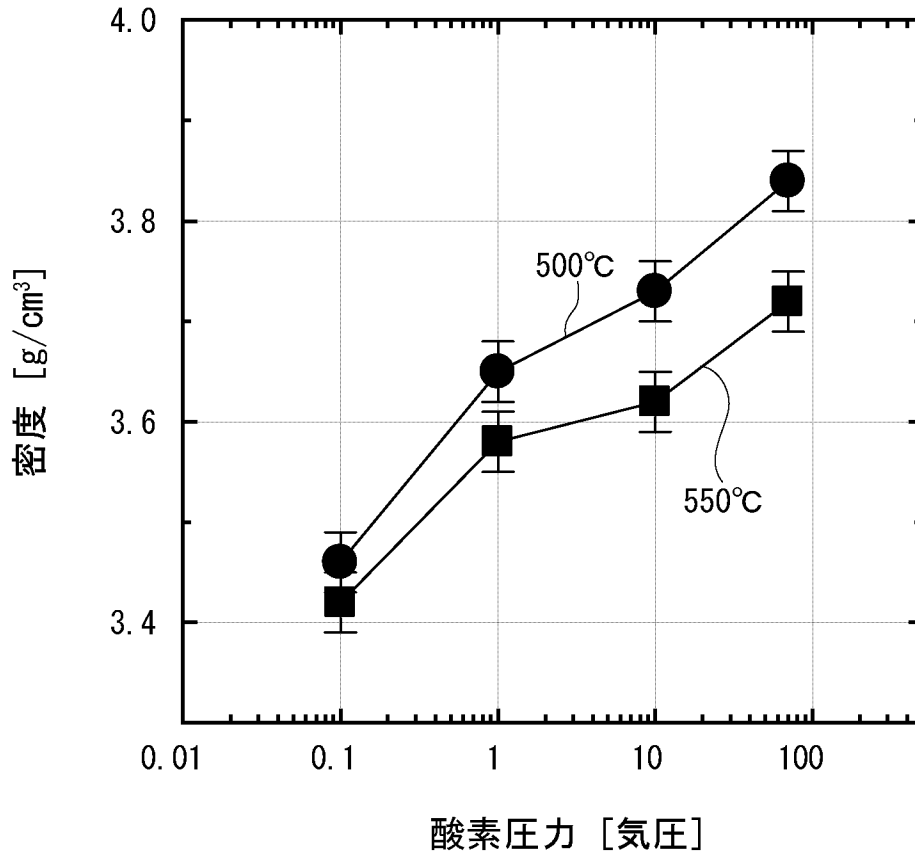
[図3]



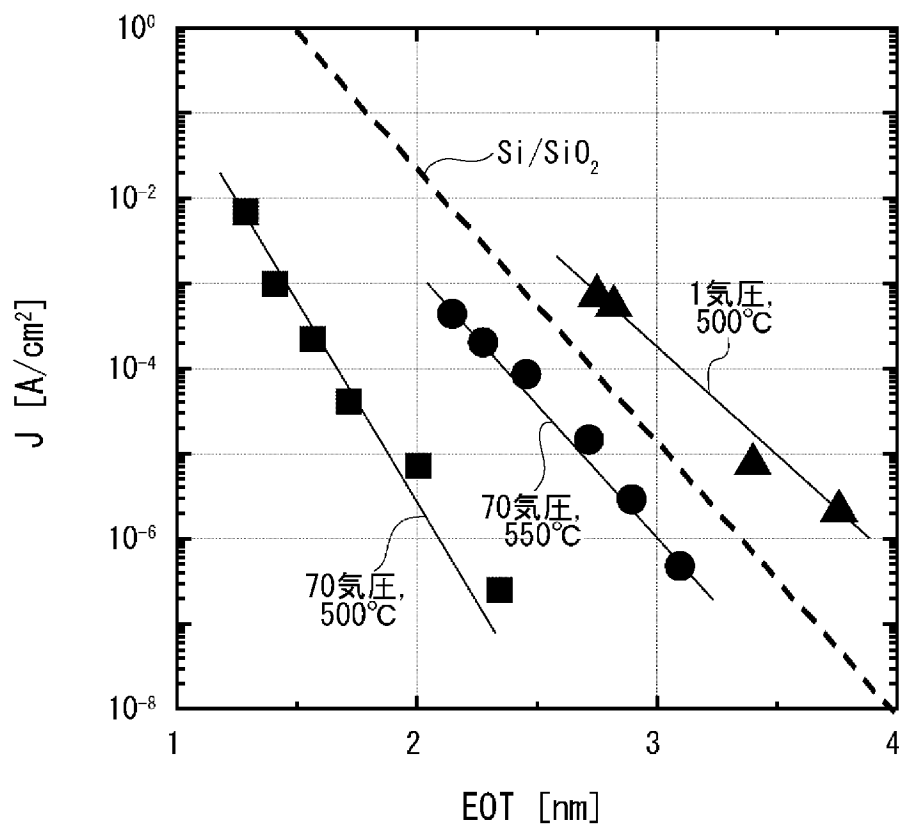
[図4]



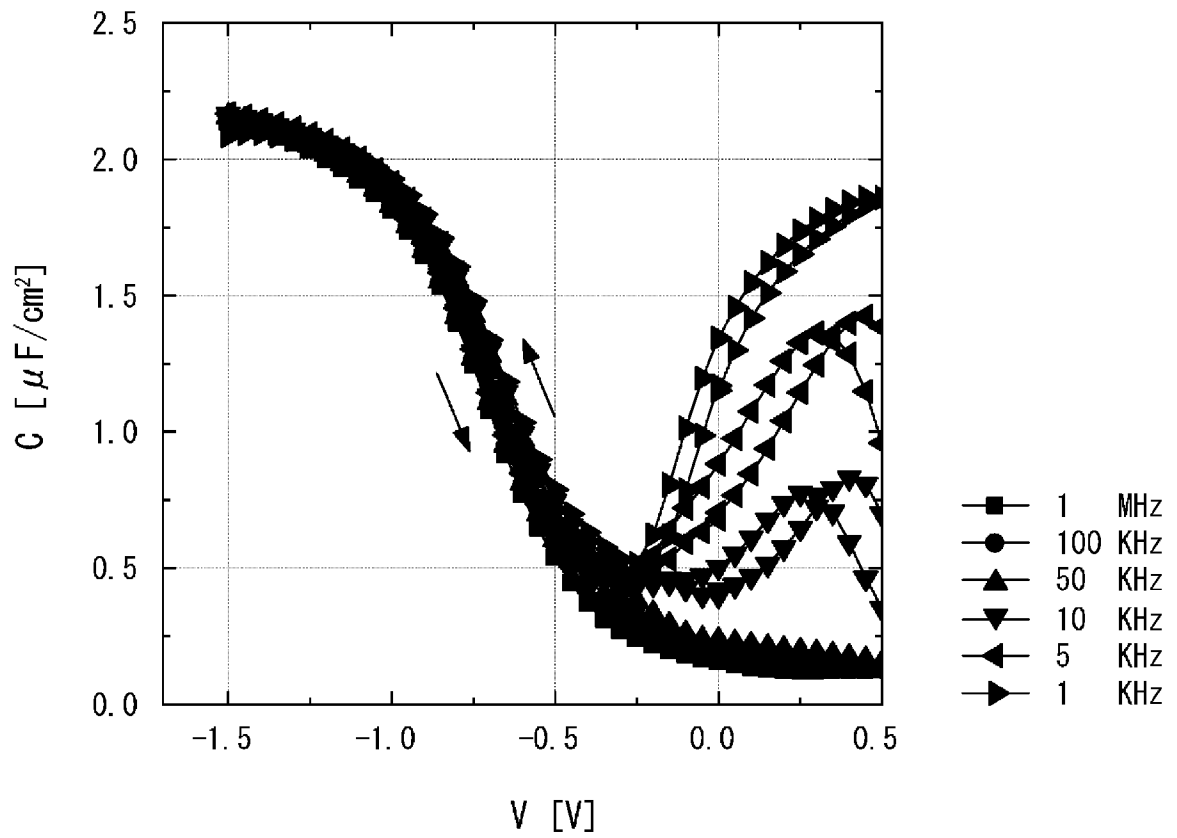
[図5]



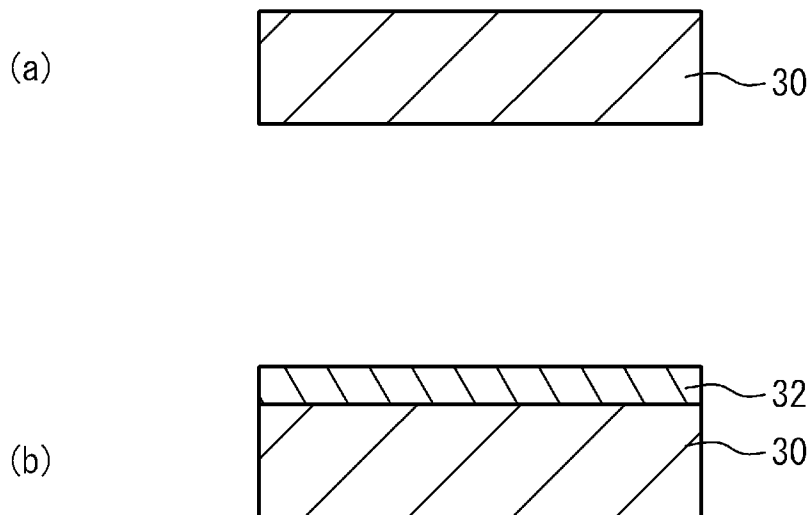
[図6]



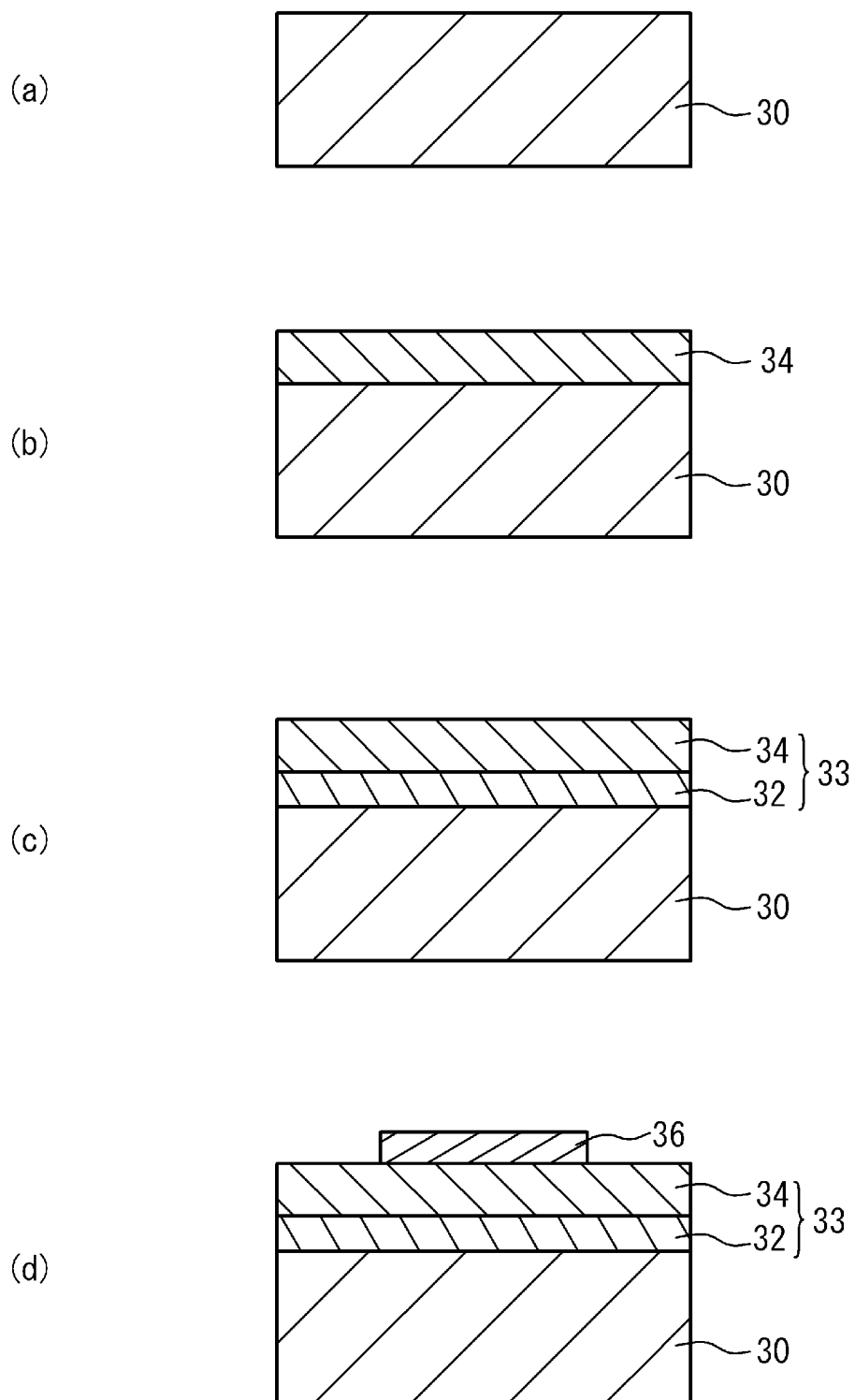
[図7]



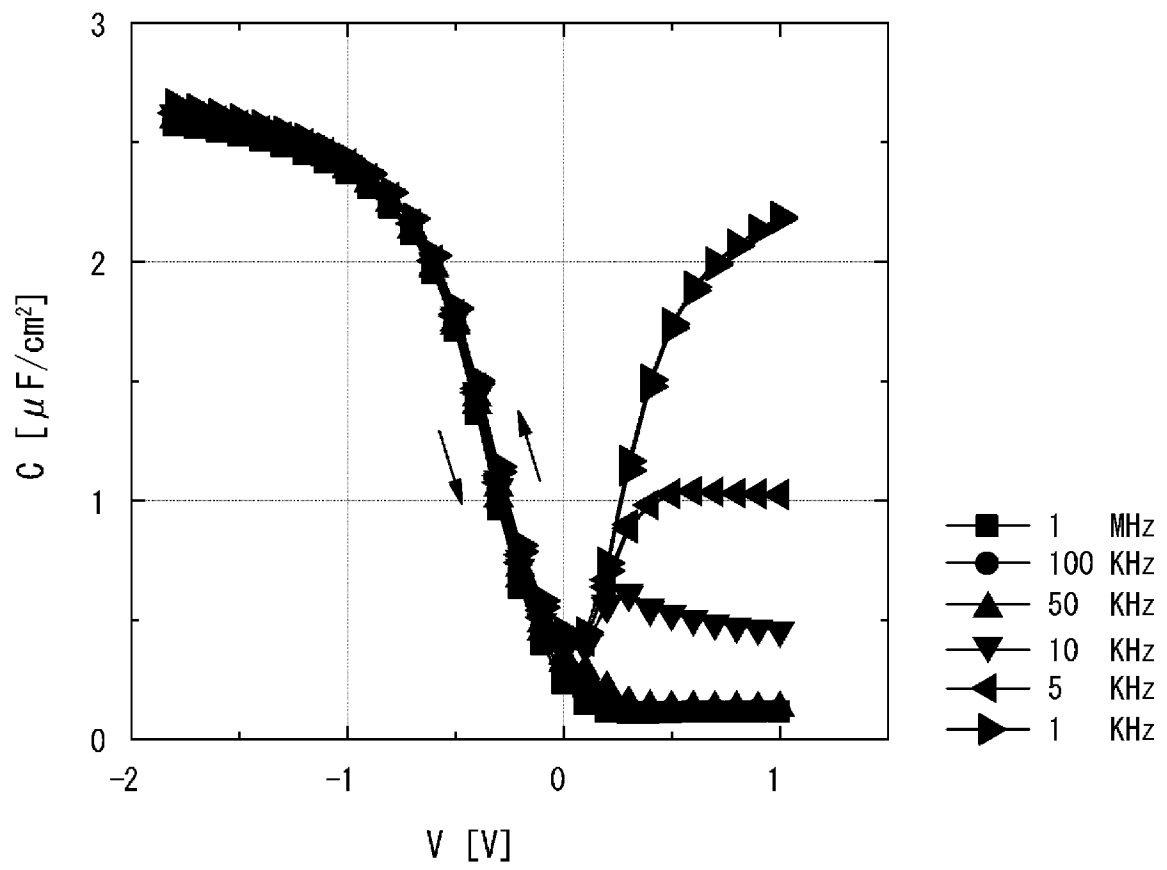
[図8]



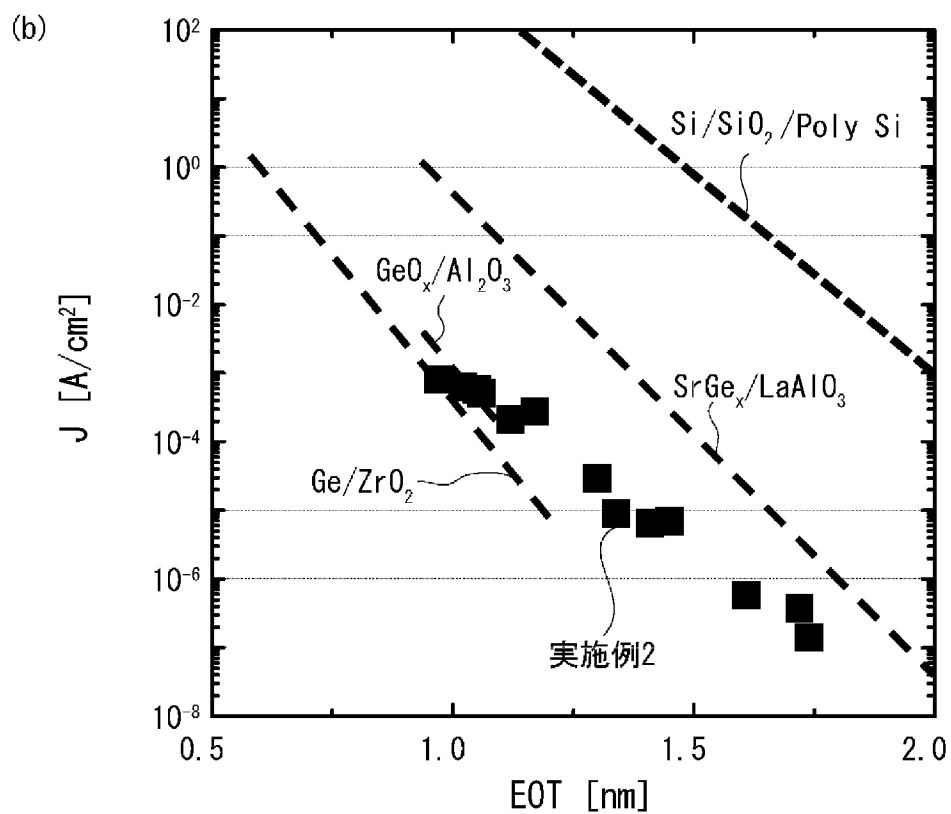
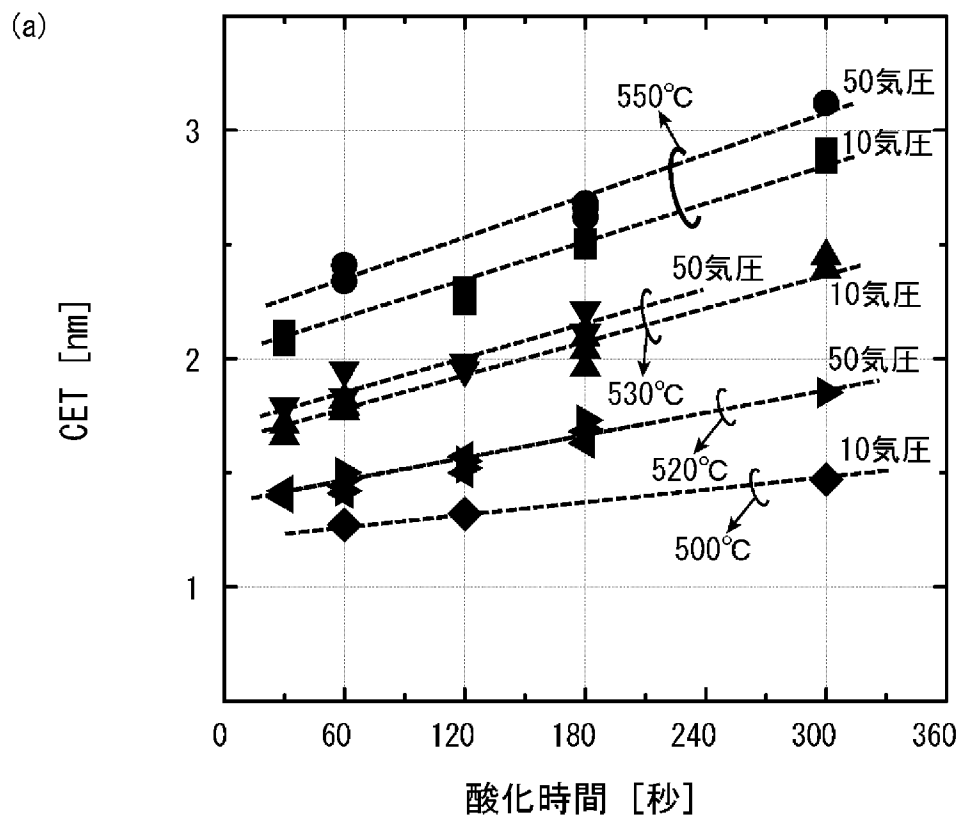
[図9]



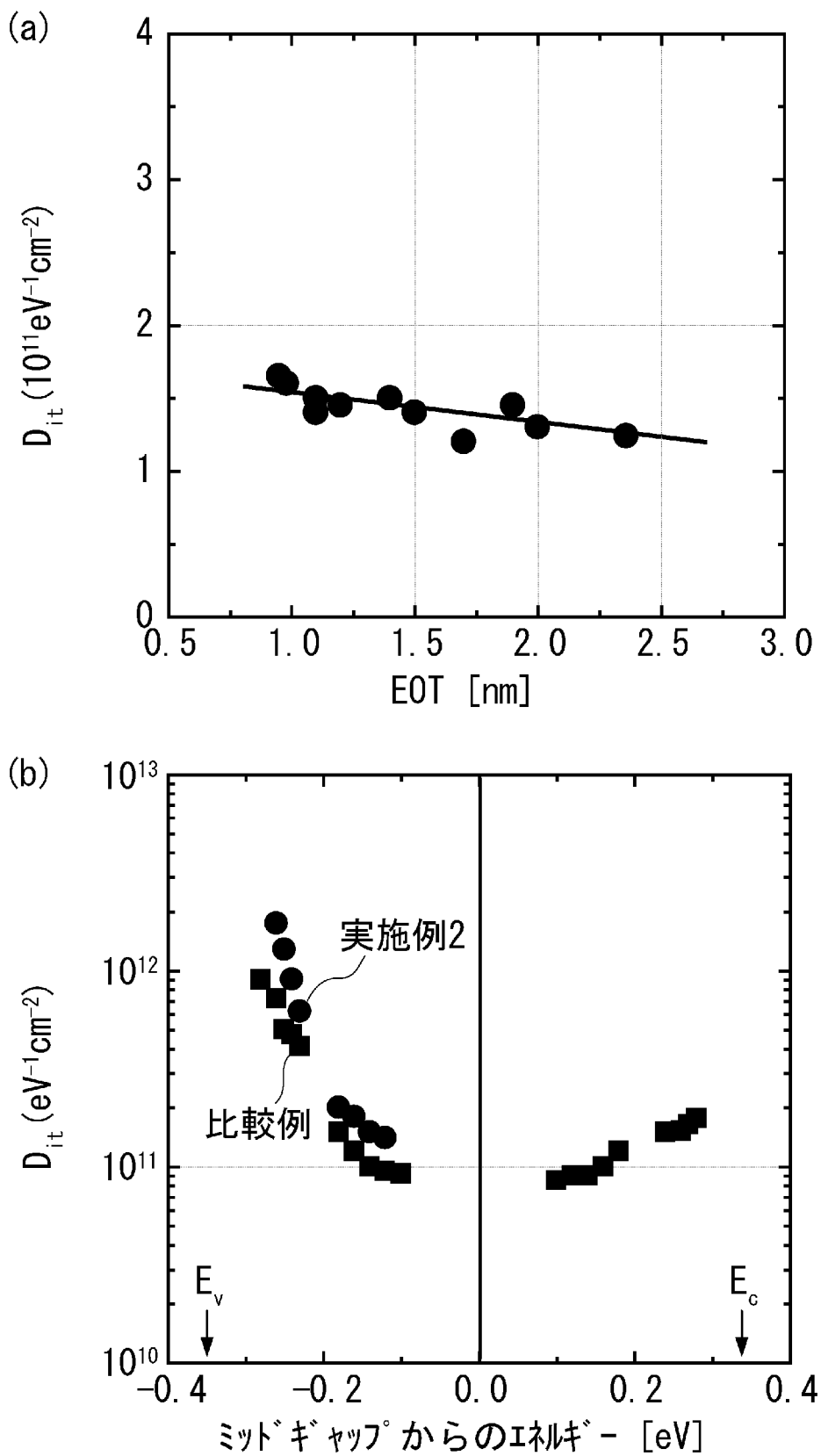
[図10]



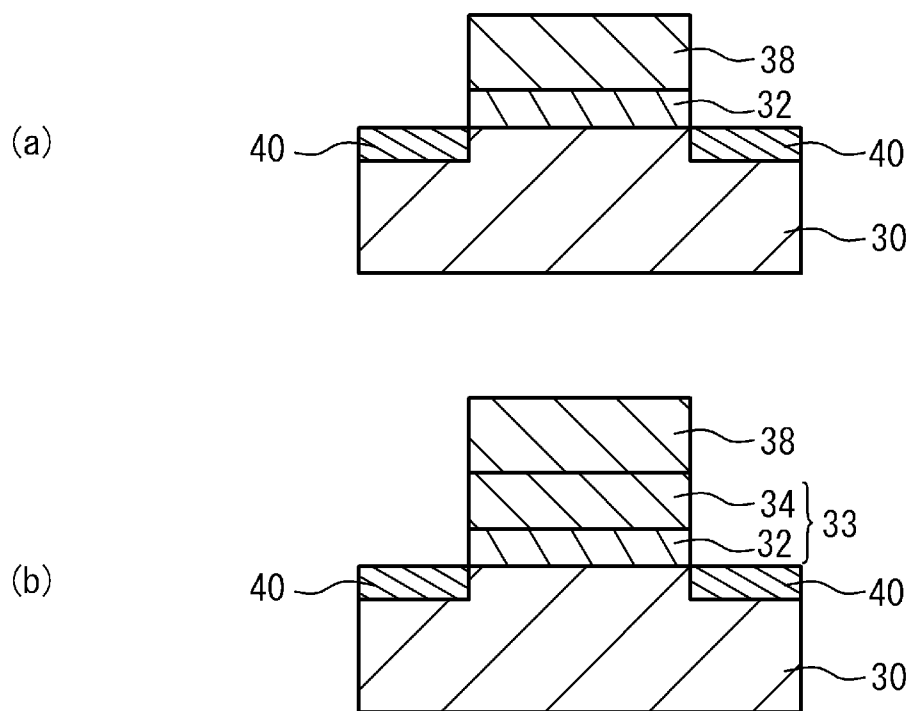
[図11]



[図12]

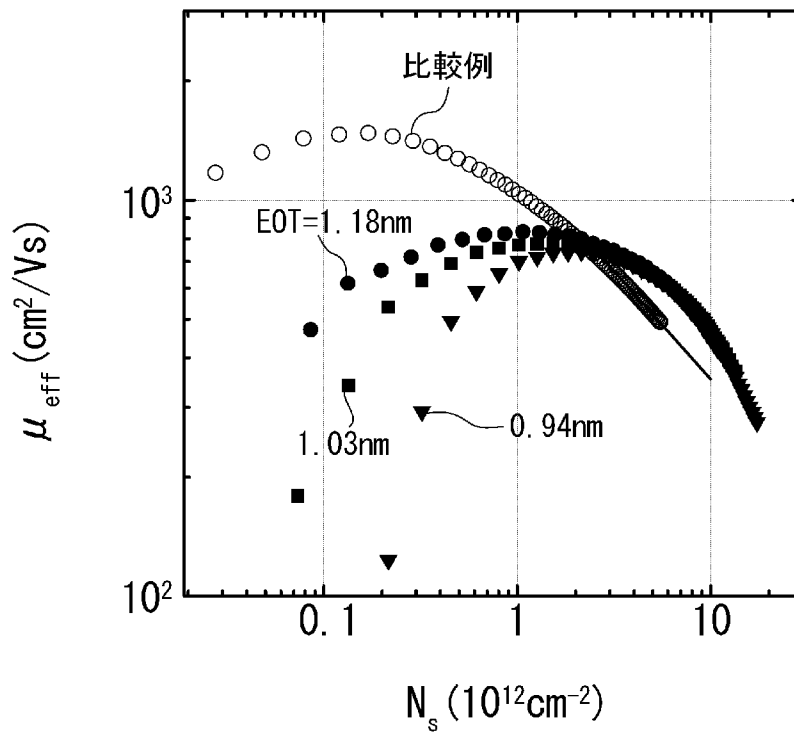


[図13]

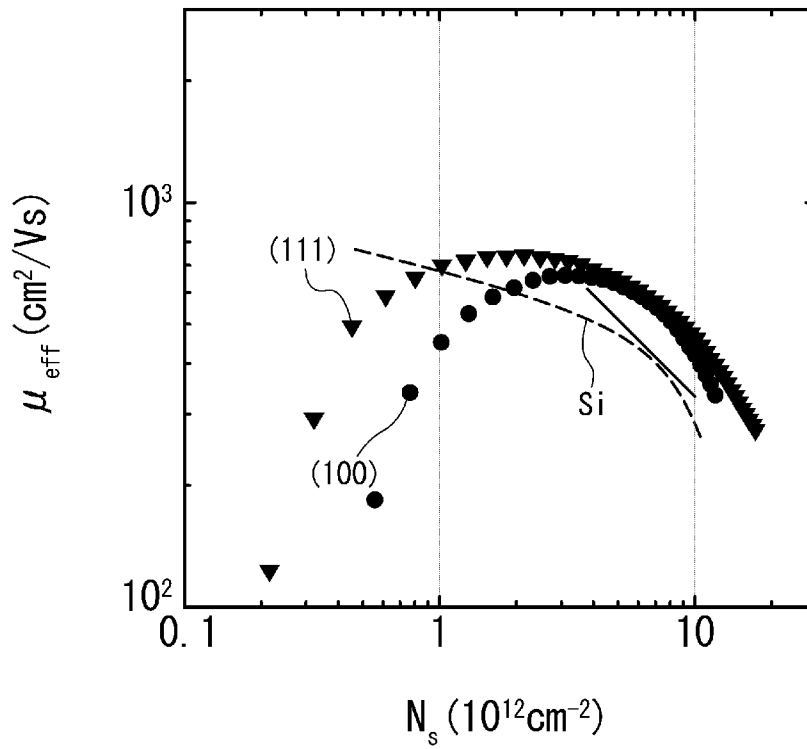


[図14]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/061542

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/316(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/316, H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	Zhang, R. et al., "High mobility Ge pMOSFETs with 0.7 nm ultrathin EOT using HfO ₂ /Al ₂ O ₃ /GeO _x /Ge gate stacks fabricated by plasma post oxidation", Digest of Technical Papers - Symposium on VLSI Technology, 2012.06, pp. 161-162	1-5 9-13
X Y	Lee, C. H., et al., "Ge/GeO ₂ interface control with high-pressure oxidation for improving electrical characteristics", Applied Physics Express [online], 2009.07.10, Vol. 2, No. 7, pp. 071404-1 - 071404-3	6-8 9-16

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 July, 2013 (05.07.13)Date of mailing of the international search report
23 July, 2013 (23.07.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/061542

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Jagadeesh Chandra, S. V., et al., "Effective metal work function of Pt gate electrode in Ge metal oxide semiconductor device", Journal of the Electrochemical Society, 2010.04.06, Vol. 157, No. 5, pp. H546-H550	9-16
Y	Nishimura, T., et al., "High-electron-mobility Ge n-channel metal-oxide-semiconductor field-effect transistors with high-pressure oxidized Y ₂ O ₃ ", Applied Physics Express [online], 2011. 06.02, Vol. 4, No. 6, pp. 064201-1 - 064201-3	9-13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/061542

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/061542

Continuation of Box No.III of continuation of first sheet(2)

Document 1 (Zhang, R. et al., "High mobility Ge pMOSFETs with 0.7 nm ultrathin EOT using $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ gate stacks fabricated by plasma post oxidation", Digest of Technical Papers - Symposium on VLSI Technology, 2012.06, pp. 161-162) has disclosed a semiconductor structure characterized in that: the semiconductor structure is provided with a germanium layer, and an insulating film, which includes a film formed on the germanium layer with germanium oxide contained therein, and a high dielectric oxide film, which is formed on the film containing germanium oxide, and which has a dielectric constant higher than that of silicon oxide; the EOT of the insulating film is 2 nm or less; and a leak current density obtained when a voltage of 1V is applied to the accumulating region side from a flat band voltage is $10^{-5 \times \text{EOT} + 4}$ A/cm² or less, said voltage being obtained with respect to the germanium layer of a metal film when Au is formed as the metal film on the insulating film.

Consequently, the invention of claim 1 is taught in the document 1 and cannot be considered to be novel, and therefore, the invention of claim 1 does not have a special technical feature.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L21/316(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L21/316, H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	Zhang, R. et al., "High mobility Ge pMOSFETs with 0.7 nm ultrathin EOT using HfO ₂ /Al ₂ O ₃ /GeO _x /Ge gate stacks fabricated by plasma post oxidation", Digest of Technical Papers - Symposium on VLSI Technology, 2012.06, pp. 161-162	1-5 9-13
X Y	Lee, C. H., et al., "Ge/GeO ₂ interface control with high-pressure oxidation for improving electrical characteristics", Applied Physics Express [online], 2009.07.10, Vol. 2, No. 7, pp. 071404-1~071404-3	6-8 9-16

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 05.07.2013	国際調査報告の発送日 23.07.2013
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 萩原 周治 電話番号 03-3581-1101 内線 3471

4 R 9835

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	Jagadeesh Chandra, S. V., et al., "Effective metal work function of Pt gate electrode in Ge metal oxide semiconductor device", Journal of the Electrochemical Society, 2010.04.06, Vol. 157, No. 5, pp. H546-H550	9-16
Y	Nishimura, T., et al., "High-electron-mobility Ge n-channel metal-oxide-semiconductor field-effect transistors with high-pressure oxidized Y ₂ O ₃ ", Applied Physics Express [online], 2011.06.02, Vol. 4, No. 6, pp. 064201-1~064201-3	9-13

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。
特別ページ参照。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

文献1 (Zhang, R. et al., "High mobility Ge pMOSFETs with 0.7 nm ultrathin EOT using $\text{HfO}_2/\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ gate stacks fabricated by plasma post oxidation", Digest of Technical Papers - Symposium on VLSI Technology, 2012.06, pp. 161-162) には、ゲルマニウム層と、前記ゲルマニウム層上に形成された酸化ゲルマニウムを含む膜と、前記酸化ゲルマニウムを含む膜上に形成され、酸化シリコンより比誘電率の大きな高誘電体酸化膜と、を含む絶縁膜と、を具備し、前記絶縁膜のEOTが2 nm以下であり、かつ前記絶縁膜上に金属膜としてAuを形成した際の前記金属膜のゲルマニウム層に対する電圧をフラットバンド電圧から蓄積領域側に1 V印加したときのリーク電流密度が $10^{-5 \times \text{EOT} + 4} \text{ A/cm}^2$ 以下であることを特徴とする半導体構造が教示されている。

したがって、請求項1に係る発明は、文献1に教示されている発明であり、新規性が認められないから、特別な技術的特徴を有しない。