

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年10月2日(02.10.2014)



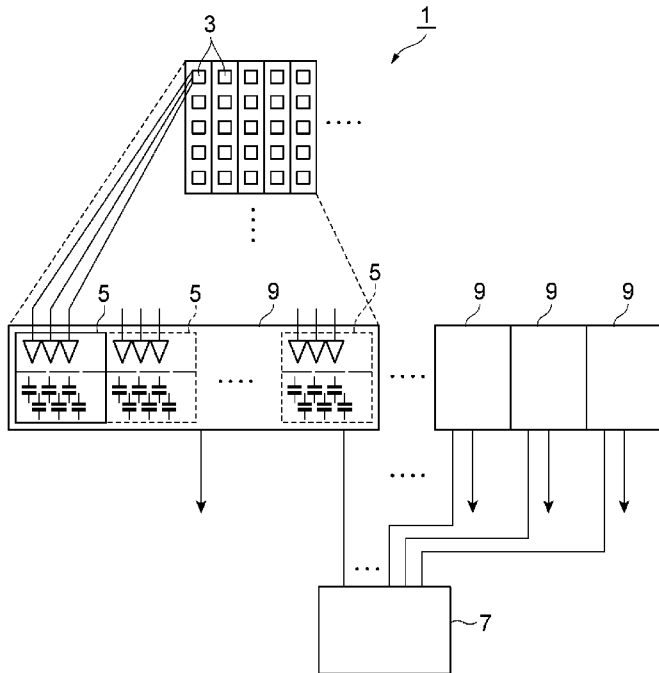
(10) 国際公開番号
WO 2014/157086 A1

- (51) 国際特許分類:
H04N 5/374 (2011.01) H01L 27/14 (2006.01)
G01N 21/64 (2006.01) H04N 5/341 (2011.01)
- (21) 国際出願番号: PCT/JP2014/058086
- (22) 国際出願日: 2014年3月24日(24.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-062917 2013年3月25日(25.03.2013) JP
- (71) 出願人: 国立大学法人静岡大学(NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷 8 3 6 Shizuoka (JP).
- (72) 発明者: 香川 景一郎(KAGAWA Keiichiro); 〒4328561 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP). 川人 祥二(KAWAHITO Shoji); 〒4328561 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学電子工学研究所内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 MY PLAZA (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置



(57) Abstract: This imaging device (1) is equipped with multiple pixel circuits (3), pixel amplifiers (5), and a control circuit (7). Each pixel circuit (3) has a light-receiving section (13), a charge-draining section (15), a temporary accumulation section (15a) that is provided on an end side of the charge-draining section (15), multiple transfer gates (17) that are arranged so as to surround the temporary accumulation section (15a), and multiple charge detection sections (19) that are arranged on the temporary accumulation section (15a) across the transfer gates (17). Each pixel amplifier (5) includes a gain amplifier (25) and a sample-and-hold circuit (27) for each of the multiple charge detection sections (19). The control circuit (7) performs control such that reset operations, charge accumulation operations, and charge readout operations are executed in a pipelined manner for pixel circuits (3), and amplification operations, sample-and-hold operations, and signal read operations for outputting signals to the outside are executed in a pipelined manner for gain amplifiers (25) and sample-and-hold circuits (27).

(57) 要約: この撮像装置 1 は、複数の画素回路 3 と画素アンプ 5 と制御回路 7 とを備え、画素回路 3 は、受光部 13 と、電荷排出部 15 と、電荷排出部 15 の端部側に設けられた一時蓄積部 15a と、一時蓄積部 15a を囲むように配置された複数の転送ゲート 17

と、一時蓄積部 15a において転送ゲート 17 を挟んで設けられた複数の電荷検出部 19 とを有し、画素アンプ 5 は、複数の電荷検出部 19 に対応して設けられたゲインアンプ 25 及びサンプルホールド回路 27 を含み、制御回路 7 は、画素回路 3 におけるリセット動作、電荷蓄積動作、及び電荷読み出し動作をパイプライン処理で実行するように制御すると同時に、ゲインアンプ 25 及びサンプルホールド回路 27 における増幅動作、サンプルホールド動作、外部への信号読み出し動作をパイプライン処理で実行するように制御する。

WO 2014/157086 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称 : 撮像装置

技術分野

[0001] 本発明は、観察対象物のイメージングを行うための撮像装置に関する。

背景技術

[0002] 近年、分子イメージングの分野において、分子の大きさ及び数をごく微量のサンプルで高感度に計測可能な手法として、蛍光相関分光法（FCS : Fluorescence Correlation Spectroscopy）が知られている。この方法は、共焦点顕微鏡と同様の構成を用いることで、サブフェムトリットルの極微小体積内に入り出すわずかな分子の数を、蛍光強度の時間的な揺らぎから計測する方法である。分子は液体中でブラウン運動をしているため、蛍光強度は時間的にランダムに変化する。蛍光強度の時間変化の自己相関又は相互相関を計算することで、分子の数と大きさを定量的に計測できるため、分析装置の小型化に有効である。また、FCSにより細胞内の分子移動を分子レベルで追うことができるため、細胞機能解明のツールとしても有望視されている（例えば、下記特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1 : 国際公開WO2004/072624号パンフレット

発明の概要

発明が解決しようとする課題

[0004] 従来のFCS用の分析装置では、蛍光による光子を1個単位で、200ns以下の時間分解能で正確に捉えるために、ガイガーモードで動作するアバランシェフォトダイオード（APD）或いはフォトマルチプライヤ（PM）等の受光素子が利用されている。光子は、1個単位でタイムスタンプとともにデータロガーに記憶され、計測後に解析される。細胞機能の解明は、生物学における大きな課題であり、個々の細胞のみならず、細胞間の分子輸送、及び分

子間の相互作用の観察が必要とされている。

[0005] しかしながら、従来のFCSは、点計測であるため広がりのある空間の計測には適していない。一方で、共焦点顕微鏡のもつレーザ走査機能を利用する方法、或いは、検出器を多数利用する方法が試みられている。しかし、前者は1点を観測できる時間が短くなる傾向にある。また、後者は多数の装置を用意するには限界があり高々数点の観察に留まっている。どちらの方法も大がかりな高価な装置が必要になるため、小型分析機器への適用は現実的には困難である。上記特許文献1に記載された分析装置のように、CCD、CMOS等のイメージセンサによりFCSによる二次元イメージ情報を取得する試みもあるが、高速サンプリングと低ノイズの両立は極めて困難であり、適用範囲は限られている。

[0006] そこで、本発明は、かかる課題に鑑みて為されたものであり、観察対象物の多点の観察を高速かつ低ノイズで実現する撮像装置を提供することを目的とする。

課題を解決するための手段

[0007] 上記課題を解決するため、本発明の一側面に係る撮像装置は、光を電荷に変換する複数の画素回路と、複数の画素回路のそれぞれに接続された複数の信号処理回路と、画素回路と信号処理回路の動作を制御する制御回路とを備え、画素回路は、光を電荷に変換する受光部と、受光部の中心部から端部にかけて形成された長手状の電荷排出部と、電荷排出部の端部側に設けられた一時蓄積部と、一時蓄積部を囲むように配置された複数の転送ゲートと、一時蓄積部において複数の転送ゲートのそれぞれを挟んで設けられた複数の電荷検出部とを有し、複数の信号処理回路は、それぞれ、複数の電荷検出部のそれぞれに対応して設けられた複数の読み出し回路を有し、読み出し回路のそれぞれは、電荷検出部からの電圧信号をインピーダンス変換して読み出すソースフォロアアンプと、電圧信号からリセットノイズを除去して増幅するゲインアンプと、ゲインアンプの出力する電圧信号を並列に受ける複数のサンプルホールド回路とを含み、制御回路は、画素回路におけるリセット動作

、電荷蓄積動作、及び電荷読み出し動作を複数の電荷検出部に対応してパイプライン処理で実行するように制御すると同時に、信号処理回路の複数の読み出し回路における増幅動作、サンプルホールド動作、外部への信号読み出し動作をパイプライン処理で実行するように制御する。

[0008] このような撮像装置によれば、画素回路において受光部によって生成された電荷が、電荷排出部、一時蓄積部、及び複数の転送ゲートを介して複数の電荷検出部に高速で転送される。さらに、複数の電荷検出部に転送された電荷は、複数の電荷検出部に対応して設けられた読み出し回路によって電圧信号に変換された後にサンプルホールド処理及び信号読み出し処理が施される。このとき、制御回路により、画素回路の複数の電荷転送経路におけるリセット、電荷蓄積、及び電荷読み出しがパイプライン処理で実行され、画素ごとの複数の読み出し回路における増幅、サンプルホールド、及び信号読み出しもパイプライン処理で実行される。これにより、1画素の信号読み出し動作が高速化されるとともに、画素の電荷転送経路ごとの電荷蓄積から信号読み出しの時間の長さも確保されるので、読み出し信号のノイズも低減することができる。その結果、多点の観察を高速かつ低ノイズで実現することができる。

発明の効果

[0009] 本発明の一側面によれば、観察対象物の多点の観察を高速かつ低ノイズで実現することができる。

図面の簡単な説明

[0010] [図1]本発明の好適な一実施形態に係る撮像装置1を含む蛍光相関分光顕微鏡システム100の概略構成図である。

[図2]図1の撮像装置1の概略構成を示すブロック図である。

[図3]図2の画素回路3の構造を示す平面図である。

[図4]図3の画素回路3の電荷排出部15の長手方向に沿った電位分布を示すグラフである。

[図5]図3の下側の電荷検出部19に電荷転送させた際の受光部13及び電荷

排出部 15 における残存電荷数のシミュレーション結果を示すグラフである。

[図6]図3の左側の電荷検出部 19 に電荷転送させた際の受光部 13 及び電荷排出部 15 における残存電荷数のシミュレーション結果を示すグラフである。

[図7]図3の下側の電荷検出部 19 に電荷転送させた際の受光部 13 及び電荷排出部 15 への戻り電荷数のシミュレーション結果を示すグラフである。

[図8]図2の画素回路3と画素アンプ5を含む1画素の構成を示す回路図である。

[図9]図2の制御回路7によって生成されるクロック信号のタイミングチャートである。

[図10]本発明の変形例に係る画素回路3Aの構造を示す平面図である。

[図11]制御回路7によって制御される励起光の強度の時間変化、及び制御回路7から転送ゲート14Aに与えられるクロック信号の時間変化を示すタイミングチャートである。

発明を実施するための形態

[0011] 以下、図面を参照しつつ本発明に係る撮像装置の好適な実施形態について詳細に説明する。なお、図面の説明においては同一又は相当部分には同一符号を付し、重複する説明を省略する。また、各図面は説明用のために作成されたものであり、説明の対象部位を特に強調するように描かれている。そのため、図面における各部材の寸法比率は、必ずしも実際のものとは一致しない。

[0012] 図1は、本発明の好適な一実施形態に係る撮像装置1を含む蛍光相関分光顕微鏡システム100の概略構成図である。この蛍光相関分光顕微鏡システム100は、観察対象物Sを対象にした二次元の多点でのFCFによる分析を行う計測システムである。この蛍光相関分光顕微鏡システム100は、観察対象物Sに照射する励起光を生成するレーザ光源等の励起光源101と、励起光源101から照射された励起光を二次元に配列されたスポット状の励

起光に変換する回折格子或いはマイクロレンズアレイ等からなる光学素子 103 と、観察対象物 S 上に励起光を集光して入射させ、それに伴って観察対象物 S から生じる蛍光を撮像装置 1 に結像させる顕微鏡 105 と、撮像装置 1 に接続されて撮像装置 1 から出力されるアナログ信号を処理する信号処理部 107 と、信号処理部 107 から出力されるデジタルデータを処理するデータ処理部 109 とを含んで構成される。

[0013] この蛍光相関分光顕微鏡システム 100 に含まれる顕微鏡 105 は、光学素子 103 からの励起光を観察対象物 S に向けて反射させると共に観察対象物 S からの蛍光を撮像装置 1 に向けて透過するダイクロイックミラー 111 と、ダイクロイックミラー 111 と観察対象物 S の間に配置される対物レンズ 113 と、ダイクロイックミラー 111 と撮像装置 1 の間に配置される結像レンズ 114 とによって構成される。また、信号処理部 107 は、撮像装置 1 の複数の出力端子から並列に出力されたアナログ電圧信号をデジタル信号に変換する複数の AD コンバータ 115 と、AD コンバータ 115 から出力されたデジタル信号に対して各種演算を施す FPGA (Field Programmable Gate Array) 117 とを備えている。データ処理部 109 は、FPGA 117 から出力された演算データを用いて、自己相関或いは相互相関を計算してパワースペクトル等の分析値を生成して出力する。

[0014] 以下、撮像装置 1 の構成を詳細に説明する。

[0015] 図 2 は、撮像装置 1 の概略構成を示すブロック図である。同図に示すように、撮像装置 1 は、二次元で配列されており、蛍光を電荷に変換する複数の画素回路 3 と、複数の画素回路 3 のそれぞれに接続された複数の画素アンプ (信号処理回路) 5 と、画素回路 3 及び画素アンプ 5 の動作タイミングを制御する制御回路 7 とを備えている。これらの画素回路 3 は、例えば、10 行、10 列の合計 100 個で配列されているが、個数は様々な数に設定され得る。また、複数の画素アンプ 5 は画素回路 3 に対応して画素回路 3 と同数設けられており、それらが複数個 (例えば 5 個) ずつにグループ分けされて複数の画素アンプユニット 9 が構成され、これらの画素アンプユニット 9 毎に

画素回路3で生成された電圧信号を外部に出力するためのアナログ出力端子が設けられている。アナログ出力端子からは、画素アンプユニット9から複数の画素回路3の出力が束ねられてシリアルに読み出される。これにより、撮像装置1においては、画素アンプ5が制御されることにより、全ての画素回路3から同時に信号読み出し動作を実行可能なように構成される。制御回路7は、画素回路3、画素アンプ5、及び画素アンプユニット9に対して各種クロック信号を供給することにより、各回路の動作タイミングを制御する。

[0016] 図3は、画素回路3の構造を示す平面図である。同図に示すように、画素回路3は、シリコン基板等の半導体基板11上に集積されて形成され、略円形状の受光部13と、長手状の電荷排出部15と、3つの転送ゲート17と、3つの電荷検出部19とにより構成されている。受光部13は入射した蛍光を電荷（光電子）に変換する領域であり、例えば、半導体基板11上に形成された埋め込みフォトダイオードである。この受光部13のサイズとしては画素サイズに合わせて様々なサイズに設定され得るが、例えば、直径約 $10\mu\text{m}$ に設定される。電荷排出部15は、受光部13の中心部から端部にかけて中心部から端部に向けて幅が広くなるように形成されており、受光部13の端部から外側には略矩形状の一時蓄積部15aが一体的に形成されている。この電荷排出部15及び一時蓄積部15aは、半導体基板11がp型の場合はn型の不純物がドーピングされており、その不純物濃度が受光部13より高くされることにより電位が受光部より高く設定されている。これにより、受光部13の全体から電荷排出部15に向けて電位が上昇するような電位勾配が形成される。さらに、電荷排出部15は、受光部13の端部から中心部に向けて細くなるように形成されているので、電荷排出部15の内部の長手方向には、受光部13の中心部から一時蓄積部15aに向けて電位が徐々に上昇する電位勾配も形成される。

[0017] 3つの転送ゲート17は、半導体基板11上に絶縁層を介して積層されたゲート電極であり、外部の制御回路7からクロック信号TXが与えられるこ

とにより電荷排出部 15 から電荷検出部 19 への電荷の転送を制御する。これらの転送ゲート 17 は、電荷排出部 15 の受光部 13 の外側（端部側）に設けられた一時蓄積部 15 a に接するように、互いに距離を空けて配置されている。具体的には、3つの転送ゲート 17 は、一時蓄積部 15 a の中心からの距離が互いに等しく、受光部 13 の中心部からの距離もほぼ互いに等しく、かつ互いの距離も均等になるように、一時蓄積部 15 a を取り囲むようにその外縁の三辺上に配置される。3つの電荷検出部 19 は、受光部 13 の外側においてそれぞれの転送ゲート 17 を挟んで一時蓄積部 15 a に隣り合って形成されており、それぞれの転送ゲート 17 の制御により一時蓄積部 15 a から転送された電荷を蓄積する浮遊拡散層である。ここで、転送ゲート 17 及び電荷検出部 19 の数は、2つ以上であれば3つには限定されないが、画素回路 3 の小型化と電荷転送の高速化の両立という点では3つで設定されることが好ましい。

[0018] 図 4 には、画素回路 3 の電荷排出部 15 の長手方向に沿った電位分布を示しており、(a) には、画素回路 3 の全体の電位分布、(b) には、クロック信号 TX を様々な電圧に設定した際の転送ゲート 17 周辺の電位分布を示している。同図 (a) に示すように、電荷排出部 15 の電位は受光部 13 の電位よりも高くされ、かつ、電荷排出部 15 の長手方向に沿った電位は、受光部 13 側から一時蓄積部 15 a 側にかけて徐々に高くなるような電位勾配が形成されている。従って、受光部 13 の全体で生じた電荷が速やか電荷排出部 15 を経由して一時蓄積部 15 a まで輸送されることがわかる。また、同図 (b) に示すように、クロック信号 TX の電圧値が 0 V、1 V、2 V のときには矢印で示すようなディップが存在しているが、電圧値が -1 V、3 V のときにはディップが生じておらず、一時蓄積部 15 a から電荷検出部 19 への電荷転送動作に問題が無いことがわかる。

[0019] 図 5～図 7 には、受光部 13 の縁部に光電子が発生したことを想定した場合の転送電荷数の時間変化のシミュレーション結果を示しており、図 5 は、図 3 の下側の電荷検出部 19 に転送させた際の受光部 13 及び電荷排出部 1

5における残存電荷数のシミュレーション結果、図6は、図3の左側の電荷検出部19に転送させた際の受光部13及び電荷排出部15における残存電荷数のシミュレーション結果、図7は、図3の下側の電荷検出部19に転送させた際の受光部13及び電荷排出部15への戻り電荷数のシミュレーション結果をそれぞれ示している。これらの結果より、転送先の電荷検出部19の位置に関わらず、約20nsで電荷転送を完了できることがわかり、戻り電荷の影響もほとんど存在しないことが確認された。

[0020] 次に、上記の画素回路3に接続される画素アンプ5の詳細構成について説明する。図8は、画素回路3と画素アンプ5を含む撮像装置1の1画素の構成を示す回路図である。

[0021] 同図に示すように、画素回路3は、1つの受光部13、3つの転送ゲート17、及び3つの電荷検出部19を備えており、それぞれの電荷検出部19には、さらに、電荷検出部19の電荷をリセットするためのリセットゲート21と、電荷検出部19から出力される電圧信号をインピーダンス変換して読み出すソースフォロアアンプ回路であるアンプ23とが接続される。このリセットゲート21には、制御回路7からクロック信号RSTが供給されて電荷のリセットタイミングが制御される。

[0022] 画素アンプ5は、画素回路3の3つの電荷検出部19に対応して設けられ、アンプ23からの出力を電圧増幅する3つのゲインアンプ25と、それぞれのゲインアンプ25の電圧信号を並列に受ける3つのサンプルホールド回路27とを含んでいる。ゲインアンプ25は、ゲインの異なる2段のCDS（相関二重サンプリング：Correlated Double Sampling）アンプ（第1及び第2の増幅器）29a、29bを有する。具体的には、CDSアンプ29aは、32倍等に比較的ゲインが大きく設定され、CDSアンプ29bは、8倍等に比較的ゲインが小さく設定されている。このCDSアンプ29aの後段にCDSアンプ29bが接続され、CDSアンプ29aの入力は、キャパシタ33を介して接地されると共に、スイッチ31を介してアンプ23の出力と接続されている。

[0023] CDSアンプ29aは、スイッチ35a、キャパシタ37a, 39a、及び演算増幅器41aを含み、CDSアンプ29bは、スイッチ35b、キャパシタ37b, 39b、及び演算増幅器41bを含む。演算増幅器41aの一入力、直列に接続されたスイッチ31及びキャパシタ37aを介してアンプ23からの出力電圧を受け、演算増幅器41aの他入力は、共通参照信号を受ける。演算増幅器41aの一入力と演算増幅器41aの出力との間にはスイッチ35a及びキャパシタ39aが並列に接続されている。同様に、演算増幅器41bの一入力は、キャパシタ37bを介して演算増幅器41aからの出力電圧を受け、演算増幅器41bの他入力は、共通参照信号を受ける。演算増幅器41bの一入力と演算増幅器41bの出力との間にはスイッチ35b及びキャパシタ39bが並列に接続されている。この演算増幅器41bの出力が後段のサンプルホールド回路27に接続される。

[0024] 上記のゲインアンプ25は、スイッチ35a, 35bのそれぞれにおいて、制御回路7からクロック信号 $\phi R1$, $\phi R2$ が供給されることにより、増幅動作のタイミングが制御される。すなわち、アンプ23からリセット電位が出力されるタイミングでスイッチ31, 35a, 35bを閉じキャパシタ37a, 39a, 37b, 39bにリセットレベルを取り込む。次に、蓄積終了後、スイッチ31を閉じたままスイッチ35aを開き、続いてスイッチ35bを開く。そして、転送ゲート17をオンにして一時蓄積部15aの電荷を電荷検出部19に転送し、電荷検出部19の電圧レベルをアンプ23を介してキャパシタ37a, 39a, 37b, 39bに取り込む。このときは、スイッチ35a, 35bが開かれているので、演算増幅器41a, 41bの出力には、リセットレベルと電圧レベルとの差、すなわちアナログCDS結果が生成される。

[0025] サンプルホールド回路27は、2つの記憶素子であるキャパシタ43a, 43bが、ゲインアンプ25の出力に並列に接続されている。詳細には、キャパシタ43a, 43bは、それぞれ、一端が接地されると共に、他端がスイッチ45a, 45bを介して演算増幅器41bの出力に接続されている。

さらに、キャパシタ43a, 43bの他端は、それぞれ、スイッチ47a, 47bを介して撮像装置1のアナログ出力端子に接続される。

[0026] 上記サンプルホールド回路27は、スイッチ45a, 47a, 45b, 47bのそれぞれにおいて、制御回路7からクロック信号SH0, SEL0, SH1, SEL1が供給されることにより、サンプルホールド動作及び撮像装置1から外部への信号読み出しのタイミングが制御される。すなわち、クロック信号SH0がオンされてスイッチ45aが閉じられて、キャパシタ43aへのゲインアンプ25の出力電圧レベルのサンプルホールド動作が実行される。次に、クロック信号SH0がオフ、クロック信号SEL0がオンされて、スイッチ45aが開かれてからスイッチ47aが閉じられて、キャパシタ43aで保持された出力電圧レベルの外部への信号読み出し動作が実行される。クロック信号SH1, SEL1により、キャパシタ43bにおけるサンプルホールド動作及び信号読み出し動作のタイミングも同様に制御される。このように2つのキャパシタ43a, 43bを備えるサンプルホールド回路27により、ダブルバッファリング動作が可能であり、2つのキャパシタ43a, 43bを交互に動作させることにより、出力電圧レベルの記憶と外部への読み出しを並行して行うことで読み出し速度が向上できる。

[0027] 上述した撮像装置1における制御回路7による制御手順について説明する。図9は、制御回路7によって生成されるクロック信号のタイミングチャートである。同図には、画素回路3の2つの電荷検出部19に対応する2つの信号読み出し経路における電荷リセットから信号出力までの動作におけるクロック信号の変化を一部抜粋して示している。同図において、各クロック信号の符号には、括弧つきでそれぞれの信号読み出し経路を識別する番号を付している。

[0028] まず、クロック信号RST(1)がオンされることにより、第1の信号読み出し経路の電荷検出部19の電荷がリセットされ、その直後にクロック信号φR1(1), φR2(1)がオンされてゲインアンプ25へのリセットレベルの取り込みが開始される。その後、一定時間経過後にクロック信号φ

R1(1), φR2(1)がオフされ、その直後にクロック信号TX(1)がオンされる。これにより、第1の信号読み出し経路の電荷検出部19における電荷転送動作、及び電荷検出部19からゲインアンプ25への信号読み出し動作とCDS動作(増幅動作)が順次実行される。その後、クロック信号SHO(1)が一定時間オンされた後にクロック信号SELO(1)がオンされることにより、サンプルホールド回路27におけるサンプルホールド動作及び外部への信号読み出し動作が順次実行される。その後、同様に変化するクロック信号が繰り返されることにより、第1の信号読み出し経路を用いた信号読み出しが繰り返される。その際、サンプルホールド回路27におけるサンプルホールド動作及び外部への信号読み出し動作においては、2つのキャパシタ43a, 43bを順次用いるように、クロック信号SHO, SELO, SH1, SEL1が生成される。

[0029] 一方、制御回路7により、第2の信号読み出し経路における電荷リセット、電荷蓄積、電荷読み出しが第1の信号読み出し経路におけるタイミングに対してずらして実行されるように、クロック信号RST(2), TX(2)が生成される。これにより、複数の電荷検出部19に対応する各動作がパイプライン処理で実行される。さらに、第2の信号読み出し経路に対応したゲインアンプ25及びサンプルホールド回路27における増幅動作、サンプルホールド動作、及び信号読み出し動作も、第1の信号読み出し経路におけるタイミングに対してずらして実行されるように、クロック信号φR1(2), φR2(2), SHO(2), SELO(2), SH1(2), SEL1(2)が生成される。これにより、複数のゲインアンプ25及び複数のサンプルホールド回路27に対応する各動作もパイプライン処理で実行される。

[0030] 以上説明した撮像装置1によれば、画素回路3において受光部13によって生成された電荷が、電荷排出部15及び複数の転送ゲート17を介して複数の電荷検出部19に並列に高速で転送される。さらに、複数の電荷検出部19に転送された電荷は、複数の電荷検出部19に対応して設けられたゲインアンプ25によって電圧信号に変換された後にサンプルホールド回路27

によりサンプルホールド処理及び信号読み出し処理が施される。このとき、制御回路 7 により、画素回路 3 の複数の信号読み出し経路におけるリセット、電荷蓄積、及び電荷読み出しがパイプライン処理で実行され、画素ごとに設けられた複数のゲインアンプ 25 及び複数のサンプルホールド回路 27 における増幅、サンプルホールド、及び信号読み出しもパイプライン処理で実行される。これにより、1 画素の信号読み出し動作が高速化されるとともに、画素の信号読み出し経路ごとの電荷蓄積から信号読み出しの時間の長さも確保されるので、読み出し信号のノイズも低減することができる。具体的には、信号読み出し経路を M 個にすれば 1 画素ごとのサンプリングレートを理論上 M 倍にまで高めることができ、 $1\text{MS}/\text{sec}$ のサンプリングレートの実現も可能である。その結果、多点の観察を高速かつ低ノイズで実現することができる。

[0031] また、ゲインアンプ 25 は、ゲインの異なる 2 段の CDS アンプ 29 a, 29 b により構成されている。これにより、1 段目の CDS アンプ 29 a で帯域制限することにより入力換算ノイズを低減でき、2 段目の CDS アンプ 29 b で 1 段目に残存するリセットノイズを低減することができる。

[0032] さらに、サンプルホールド回路 27 は、サンプルホールド動作及び信号読み出し動作において 2 つの並列接続されたキャパシタ 43 a, 43 b を順次を用いて実行させるように制御される。これにより、ゲインアンプ 25 から外部への信号読み出しをさらに高速化することができる。

[0033] 本発明は、上述した実施形態に限定されるものではない。例えば、画素回路 3 の構造は様々に変更することができる。図 10 は、本発明の変形例である画素回路 3 A の構造を示す平面図である。同図に示すように、画素回路 3 A は、半導体基板 11 上に集積されて形成され、略矩形状の受光部 13 A と、受光部 13 の四隅に形成された 4 つの電荷一時蓄積部 15 A と、受光部 13 からそれぞれの電荷一時蓄積部 15 A への電荷転送を制御する転送ゲート 14 A と、電荷一時蓄積部 15 A のそれぞれの外側に隣接して配置された 4 つの転送ゲート 17 A と、転送ゲート 17 A を挟んで電荷一時蓄積部 15 A

の外側に形成された4つの電荷検出部19Aとにより構成されている。

[0034] このような構造の画素回路3Aにおいても、制御回路7によって転送ゲート14A、17Aにクロック信号が設定されることにより、受光部13Aで生成された電荷が4つの電荷一時蓄積部15Aを経由して4つの電荷検出部19Aに並列に高速に輸送されて外部に信号として取り出すことができる。ここで、画素回路3Aにおける転送ゲート14A、17A、電荷一時蓄積部15A、及び電荷検出部19Aの個数は4つには限定されず、任意の個数を設定できる。

[0035] また、このような画素回路3Aを含む蛍光相関分光顕微鏡システム100は、複数の電荷転送経路に対応した転送ゲート14Aに与えるクロック信号を変調することにより、自己相関関数と等価なパワースペクトルを複数の周波数成分について離散的に取得することができる。すなわち、1画素にK個の転送ゲート14AとK個の電荷一時蓄積部15Aとを設けた構造を利用して、制御回路7の制御により、いくつかの基底関数に対する内積の結果をK個の電荷一時蓄積部15Aに保存し、十分な蓄積時間の後、画素値をデータ処理部109に読み出す。そして、データ処理部109は、1画素に対してK個の画素値を読み出す。さらに、データ処理部109は、基底関数を変更して画素値を読み出すことをL回繰り返し、1画素から読み出した $K \times L$ 個の画素値から離散的なパワースペクトルを算出することができる。

[0036] このとき、蛍光相関分光顕微鏡システム100におけるパワースペクトルの取得時には、制御回路7によって画素回路3Aの駆動及び励起光源101における励起光の変調が制御される。すなわち、電荷の完全転送を実現するために同時にオンする転送ゲート14Aは1つだけに制御され、複数の転送ゲート14Aを同時にオンすることや、転送ゲート14Aに中間電位を印加することはないように制御される。このような条件のもと、制御回路7は、複数の転送ゲート14Aに対して高速なオンオフの2値制御を行い、任意の基底関数を表現するようにそれらの転送ゲート14A毎に印加するクロック信号を変調させる。上述した画素構造では、受光部13Aで発生した電荷が

K個の電荷一時蓄積部15Aに振り分けられる。そのため、基底関数を $\{h_i(t), i = 1, \dots, K\}$ としたとき、蛍光強度 $f(t)$ が見かけ上 $f(t) / (\sum h_i(t))$ となる。このように蛍光強度が変動することを防止するために、制御回路7は、励起光の強度を転送ゲート14Aの制御に用いる基底関数の重みの総和 $\sum h_i(t)$ に比例するように変調する。

[0037] 図11には、画素回路3Aの電荷転送経路が3つの場合に、制御回路7によって制御される励起光の強度の時間変化及び制御回路7から転送ゲート14Aに与えられるクロック信号の時間変化を示している。このように、3つの転送ゲート14Aに与えられるクロック信号 $TX1(1)$, $TX1(2)$, $TX1(3)$ は、それぞれ、基底関数 $h_1(t) = 1 + \cos \omega t$, $h_2(t) = 1 + \sin \omega t$, $h_3(t) = 1 - \cos \omega t$ に対応して設定され、図11の例では正弦波を矩形形状で近似しており、さらに、同時にクロック信号 $TX1(1)$, $TX1(2)$, $TX1(3)$ がオンされないように間欠的にオンされる。また、励起光の強度を変調する制御信号CTLは、基底関数 $h_1(t)$, $h_2(t)$, $h_3(t)$ の重みの総和に対応して増減するように生成される。

[0038] また、データ処理部109におけるパワースペクトルの計算は次のようにして実行される。

[0039] 基底関数として上記の $h_1(t)$, $h_2(t)$, $h_3(t)$ を用いた場合に得られた画素値をそれぞれ g_1 , g_2 , g_3 とすると、データ処理部109は、周波数0と ω におけるパワースペクトルを下記式により計算することができる。

$$|F(0)| = (g_1 + g_3)^2 / 2,$$

$$|F(\omega)| = (g_1^2 + 2g_2^2 + g_3^2 - 2g_1g_2 - 2g_2g_3) / 2$$

[0040] ここで、離散的なパワースペクトルを求めるための基底関数を行ベクトルとして並べた行列をA、蛍光強度の時間変化を列ベクトルf、計測される内積値を列ベクトルgとするとこれらの間の関係は、次式；

$$g = A f$$

によって表される。ここで、 $A = (1 + \cos \omega_1 t, 1 + \sin \omega_1 t, 1 - \cos \omega_1 t, \dots, 1 + \cos \omega_k t, 1 + \sin \omega_k t)$ とする。データ処理部 109 は、計測した g から、上述した関係式を用いてパワースペクトルに変換できる。

[0041] また、データ処理部 109 は、任意の行列 B であって逆行列 B^{-1} が存在する行列 B を用いて計測した内積値の列ベクトル g' から、下記式に示すように演算することにより、パワースペクトルに変換可能な列ベクトル g に変換できる。

$$g' = B f,$$

$$A B^{-1} g' = A B^{-1} B f = A f = g$$

正弦波基底を用いて各パワースペクトル成分を別々に求める場合、 L 個のパワースペクトルを求めるために、 $3L$ 個の基底関数が必要である。それに対し、適切な基底関数を選ぶことにより、 $2L + 1$ 個の基底関数により、同数のパワースペクトル成分を得ることができる。

[0042] このような蛍光相関分光顕微鏡システム 100 によるパワースペクトルの取得方法により、図 10 に示すような画素構造を利用して自己相関関数と等価なパワースペクトルの概形を計測することで、分子の大きさ及び数を低いフレームレートで計測できる。例えば、2 フレーム読み出すことで、分子の大小の識別ができる。これに対して、蛍光強度の時間変化を計測した後で相関関数を計算する従来方法では、1 M f p s 以上のフレームレートで 1 ~ 10 秒程度の連続計測が必要である。本実施形態によれば、従来方法に比べて分子のスクリーニングに有用である。また、通常のイメージセンサとほぼ同じアーキテクチャとフレームレートで蛍光相関分光法を実現できるため、小面積化、高解像度化、及び低コスト化の点で有利である。

[0043] 上記実施形態においては、電荷排出部は、受光部の中心部から端部に向けて幅が広くなるように形成されている、ことが好ましい。このような電荷排出部を備えれば、電荷排出部における長手方向に電位勾配を形成できるので、電荷を受光部から電荷検出部により高速に輸送でき、その結果画素回路か

らの電荷読み出しをより高速化することができる。

[0044] また、画素回路は、3つの転送ゲートと3つの電荷検出部とを有する、ことが好ましい。この場合、画素回路の小型化及び画素回路からの電荷読み出しの高速化とを両立することができる。

[0045] また、ゲインアンプは、より大きいゲインを有する第1の増幅器と、より小さいゲインを有する第2の増幅器とを有する、ことも好ましい。この場合、読み出し回路の電圧信号における入力換算ノイズ及びリセットノイズを低減することができる。

[0046] さらに、制御回路は、読み出し回路のそれぞれにおけるサンプルホールド動作及び信号読み出し動作においては、複数のサンプルホールド回路を順次用いて実行させるように制御する、ことも好ましい。このような構成を採れば、読み出し回路から外部への信号読み出しをさらに高速化することができる。

[0047] またさらに、制御回路は、複数の信号処理回路に対して、複数の画素回路の全てから同時に信号読み出し動作を実行させるように制御する、ことも好ましい。かかる構成を採れば、多点での観察を行う際に複数の画素からの信号読み出しを高速化することができる。

産業上の利用可能性

[0048] 本発明は、観察対象物のイメージングを行うための撮像装置を使用用途とし、観察対象物の多点の観察を高速かつ低ノイズで実現するものである。

符号の説明

[0049] 1…撮像装置、3, 3A…画素回路、5…画素アンプ（信号処理回路）、7…制御回路、9…画素アンプユニット、13, 13A…受光部、14A, 17A, 17…転送ゲート、15…電荷排出部、15A…電荷一時蓄積部、15a…一時蓄積部、19, 19A…電荷検出部、23…ソースフォロアアンプ、25…ゲインアンプ（読み出し回路）、27…サンプルホールド回路（読み出し回路）、29a, 29b…CDSアンプ、100…蛍光相関分光顕微鏡システム、S…観察対象物。

請求の範囲

[請求項1]

光を電荷に変換する複数の画素回路と、
前記複数の画素回路のそれぞれに接続された複数の信号処理回路と、
、
前記画素回路と前記信号処理回路の動作を制御する制御回路とを備え、
前記画素回路は、
光を電荷に変換する受光部と、前記受光部の中心部から端部にかけて形成された長手状の電荷排出部と、前記電荷排出部の前記端部側に設けられた一時蓄積部と、前記一時蓄積部を囲むように配置された複数の転送ゲートと、前記一時蓄積部において前記複数の転送ゲートのそれぞれを挟んで設けられた複数の電荷検出部とを有し、
前記複数の信号処理回路は、それぞれ、前記複数の電荷検出部のそれぞれに対応して設けられた複数の読み出し回路を有し、
前記読み出し回路のそれぞれは、前記電荷検出部からの電圧信号をインピーダンス変換して読み出すソースフォロアアンプと、前記電圧信号からリセットノイズを除去して増幅するゲインアンプと、前記ゲインアンプの出力する電圧信号を並列に受ける複数のサンプルホールド回路とを含み、
前記制御回路は、前記画素回路におけるリセット動作、電荷蓄積動作、及び電荷読み出し動作を前記複数の電荷検出部に対応してパイプライン処理で実行するように制御すると同時に、前記信号処理回路の前記複数の読み出し回路における増幅動作、サンプルホールド動作、外部への信号読み出し動作をパイプライン処理で実行するように制御する、
ことを特徴とする撮像装置。

[請求項2]

前記電荷排出部は、前記受光部の前記中心部から前記端部に向けて幅が広くなるように形成されている、

ことを特徴とする請求項 1 記載の撮像装置。

[請求項3] 前記画素回路は、3つの転送ゲートと3つの電荷検出部とを有する

、

ことを特徴とする請求項 1 又は 2 記載の撮像装置。

[請求項4] 前記ゲインアンプは、より大きいゲインを有する第 1 の増幅器と、

より小さいゲインを有する第 2 の増幅器とを有する、

ことを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の撮像装置。

[請求項5] 前記制御回路は、前記読み出し回路のそれぞれにおけるサンプルホ

ールド動作及び前記信号読み出し動作においては、前記複数のサンプル
ールド回路を順次用いて実行させるように制御する、

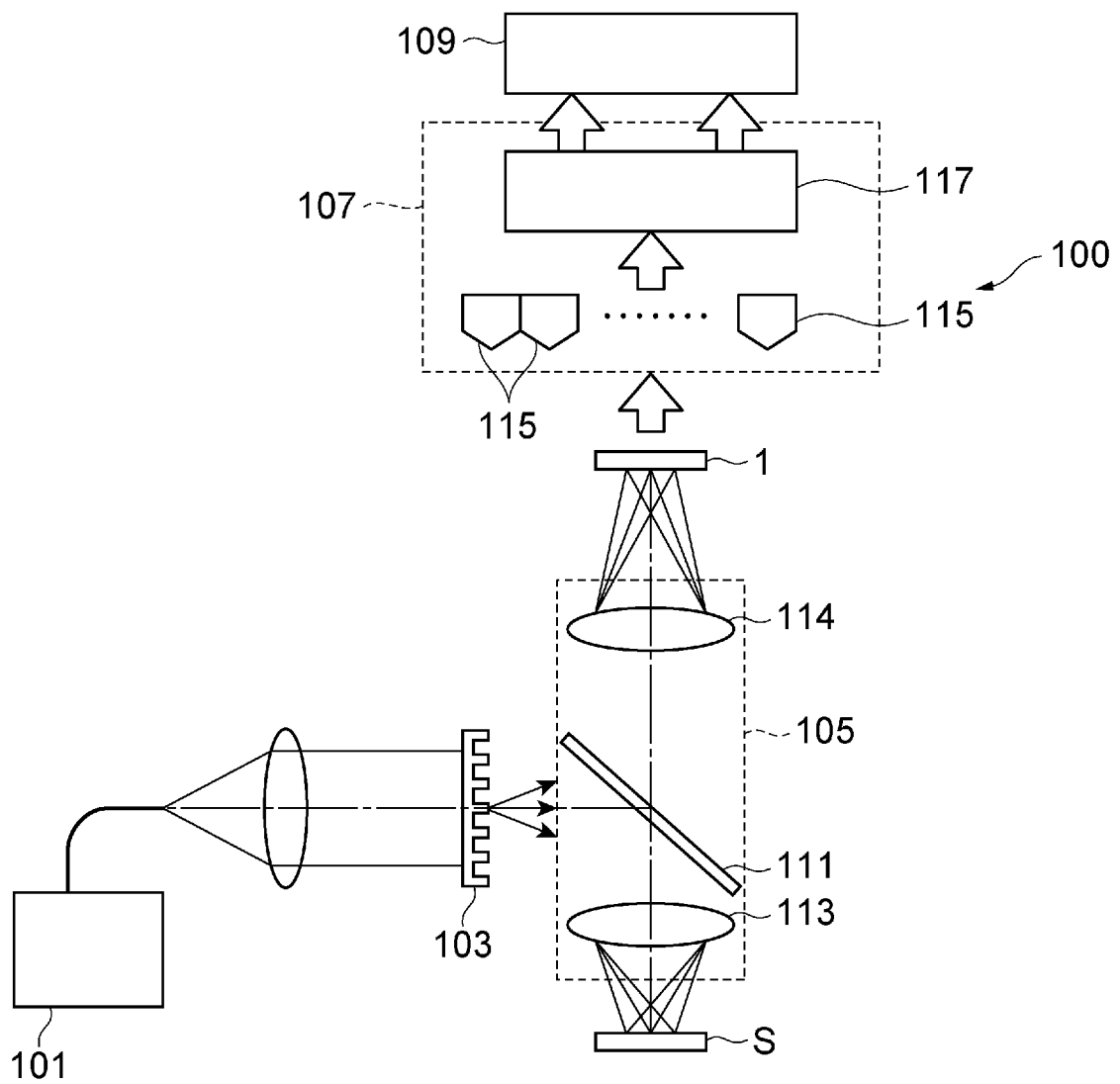
ことを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の撮像装置。

[請求項6] 前記制御回路は、前記複数の信号処理回路に対して、前記複数の画

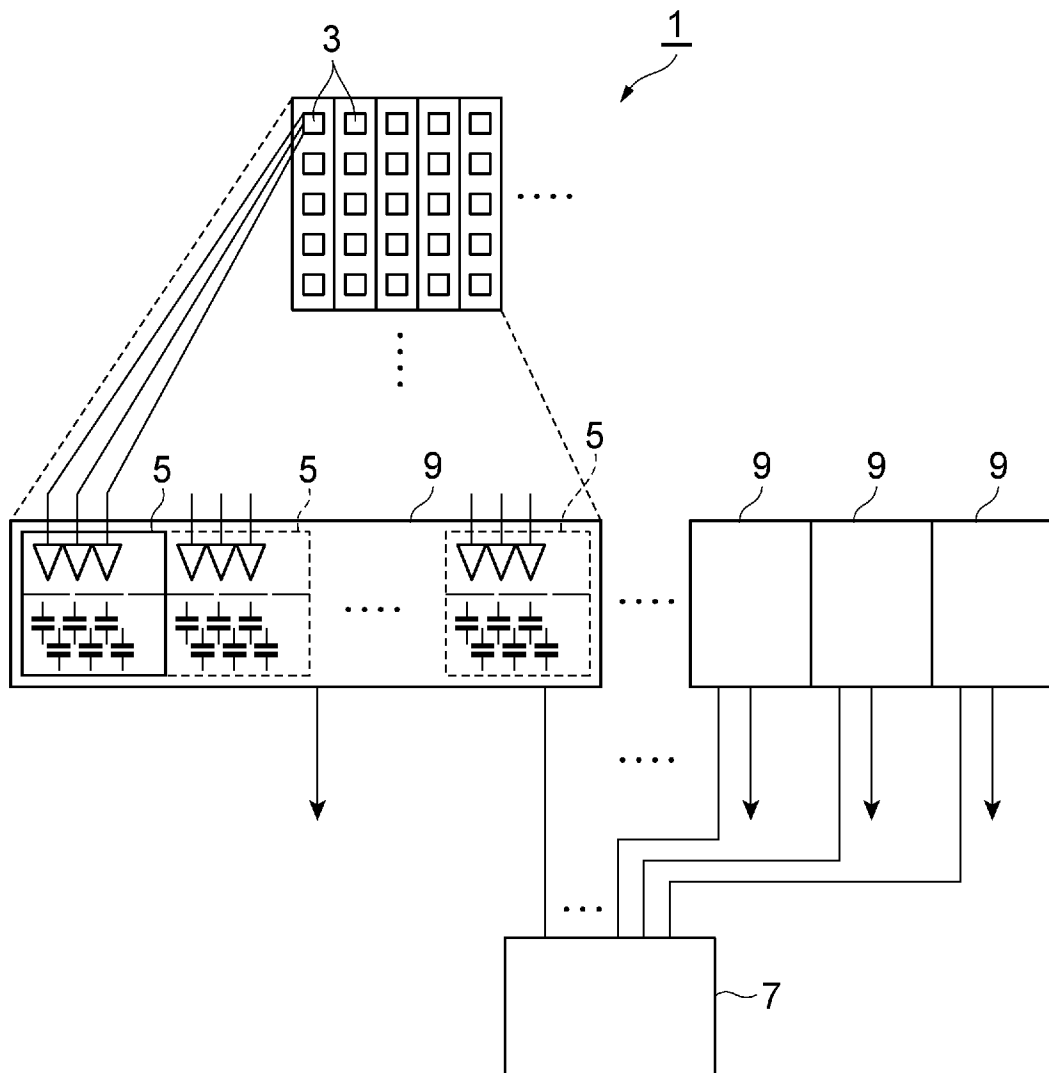
素回路の全てから同時に信号読み出し動作を実行させるように制御す
る、

ことを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の撮像装置。

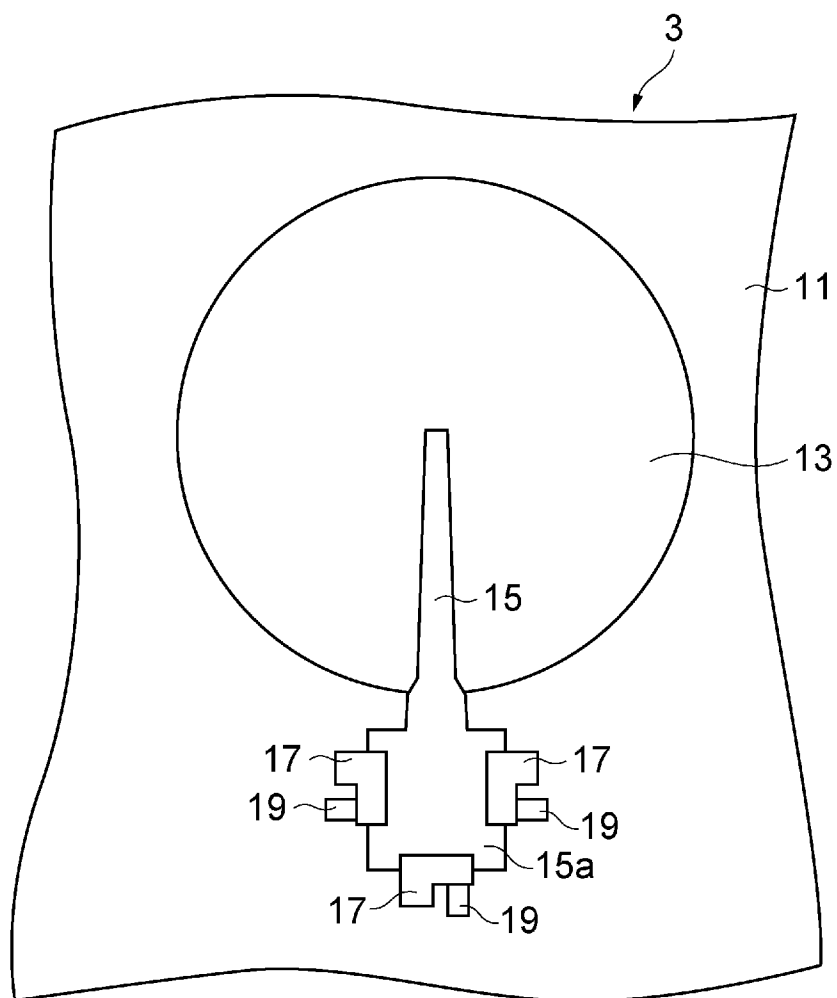
[図1]



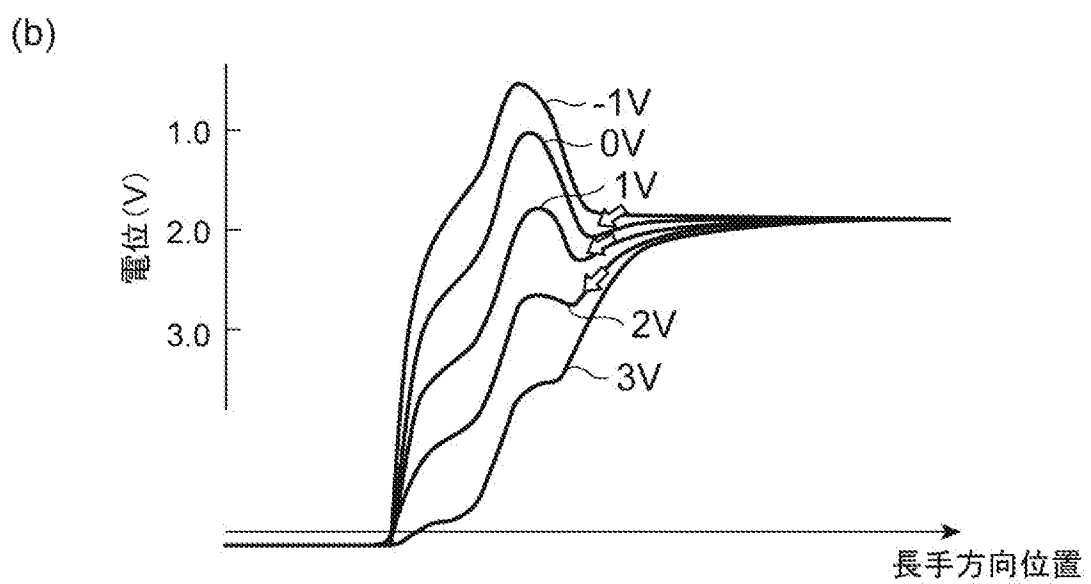
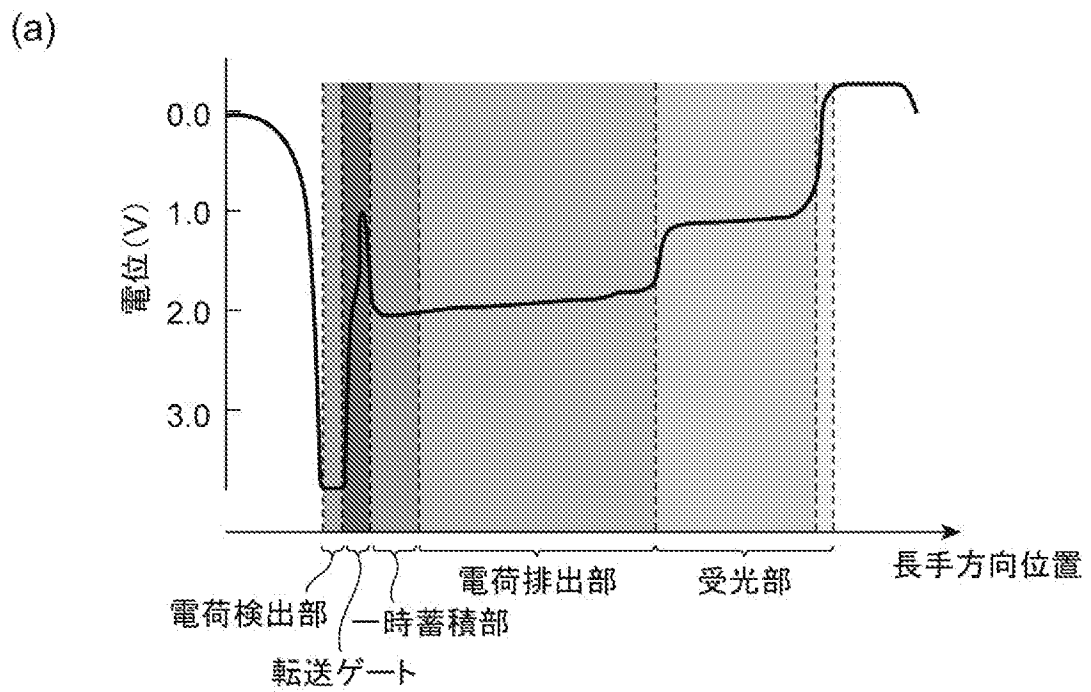
[図2]



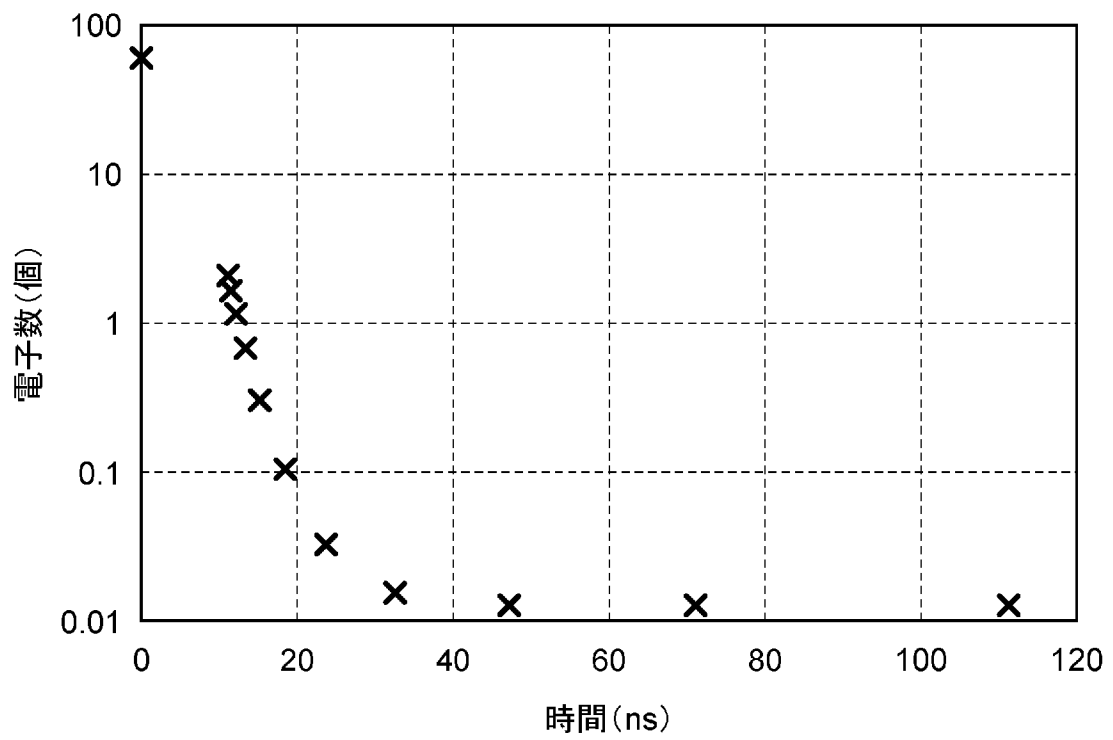
[図3]



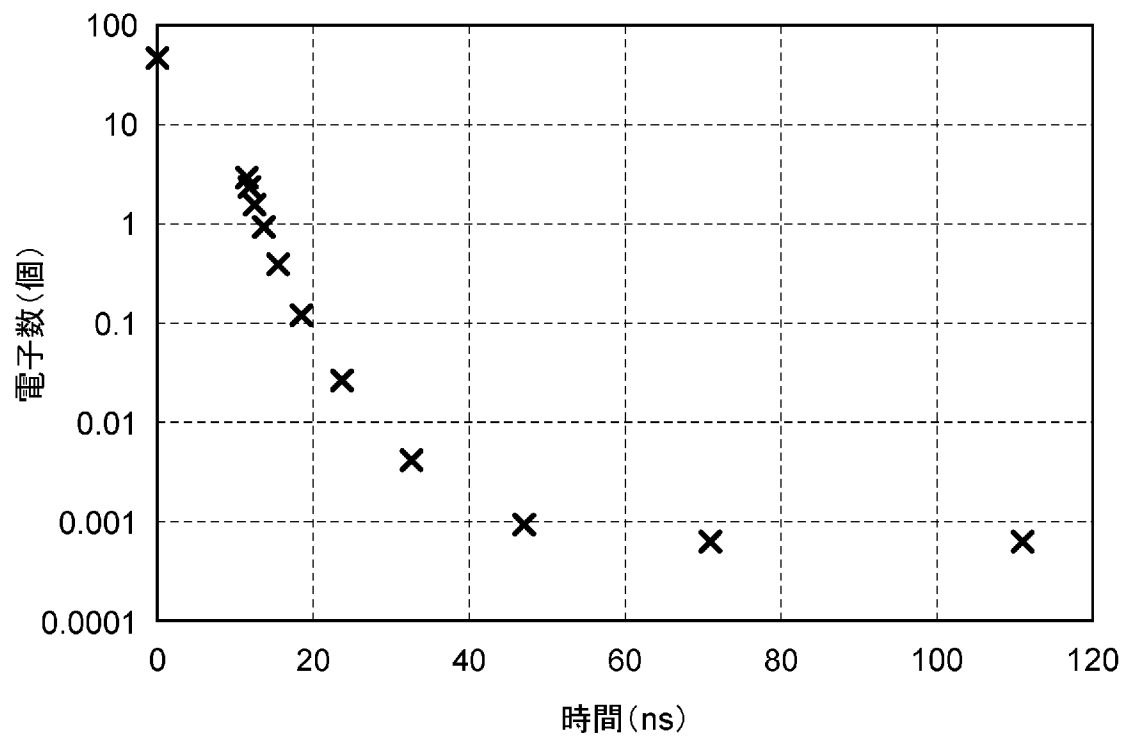
[図4]



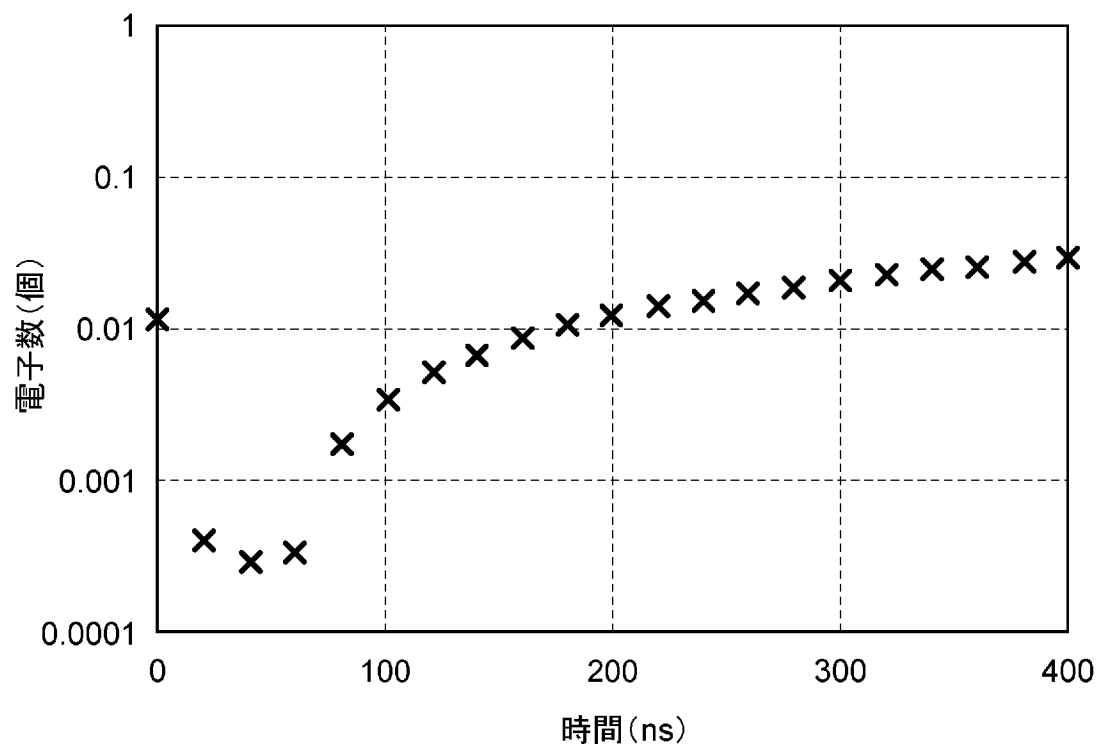
[図5]



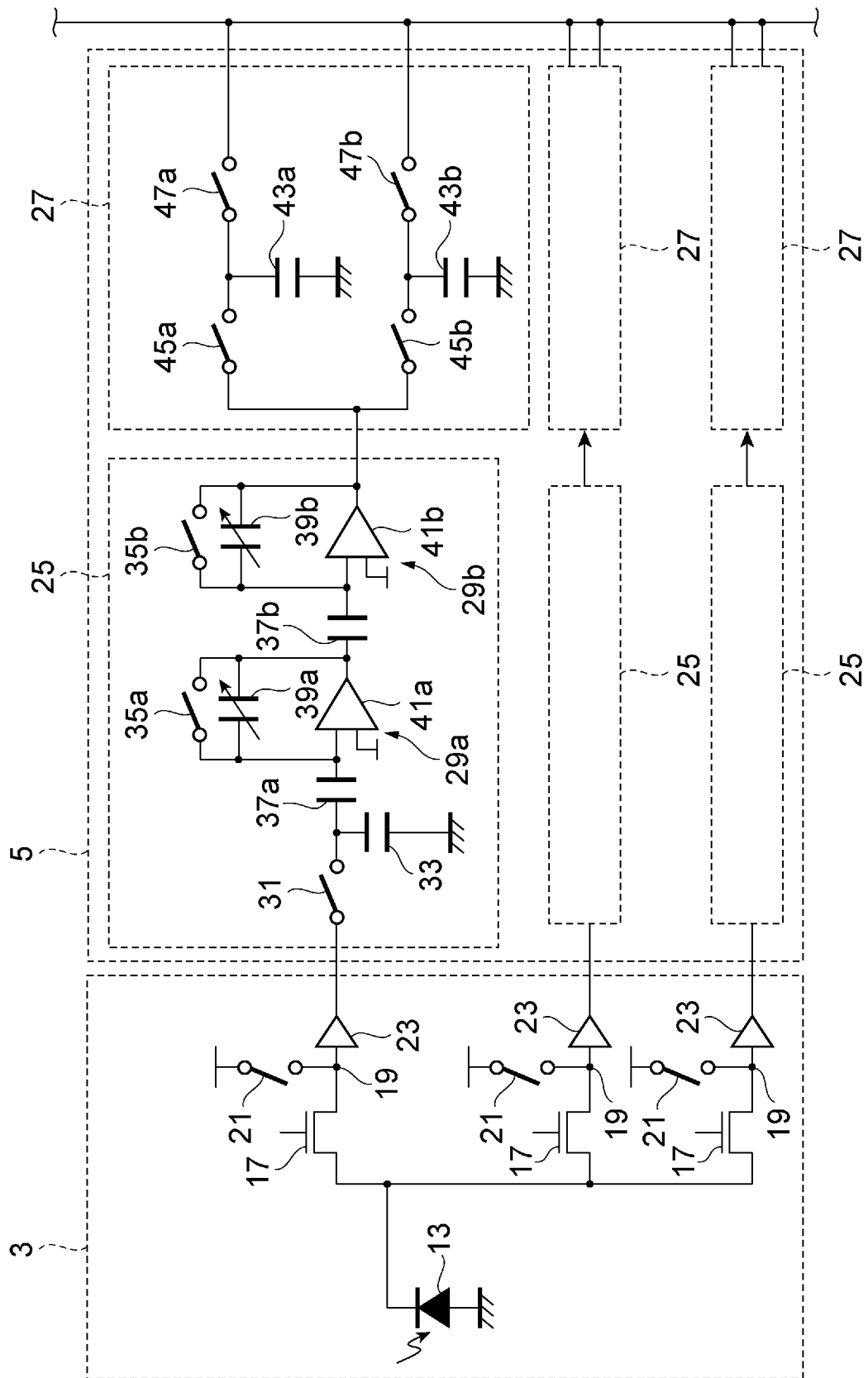
[図6]



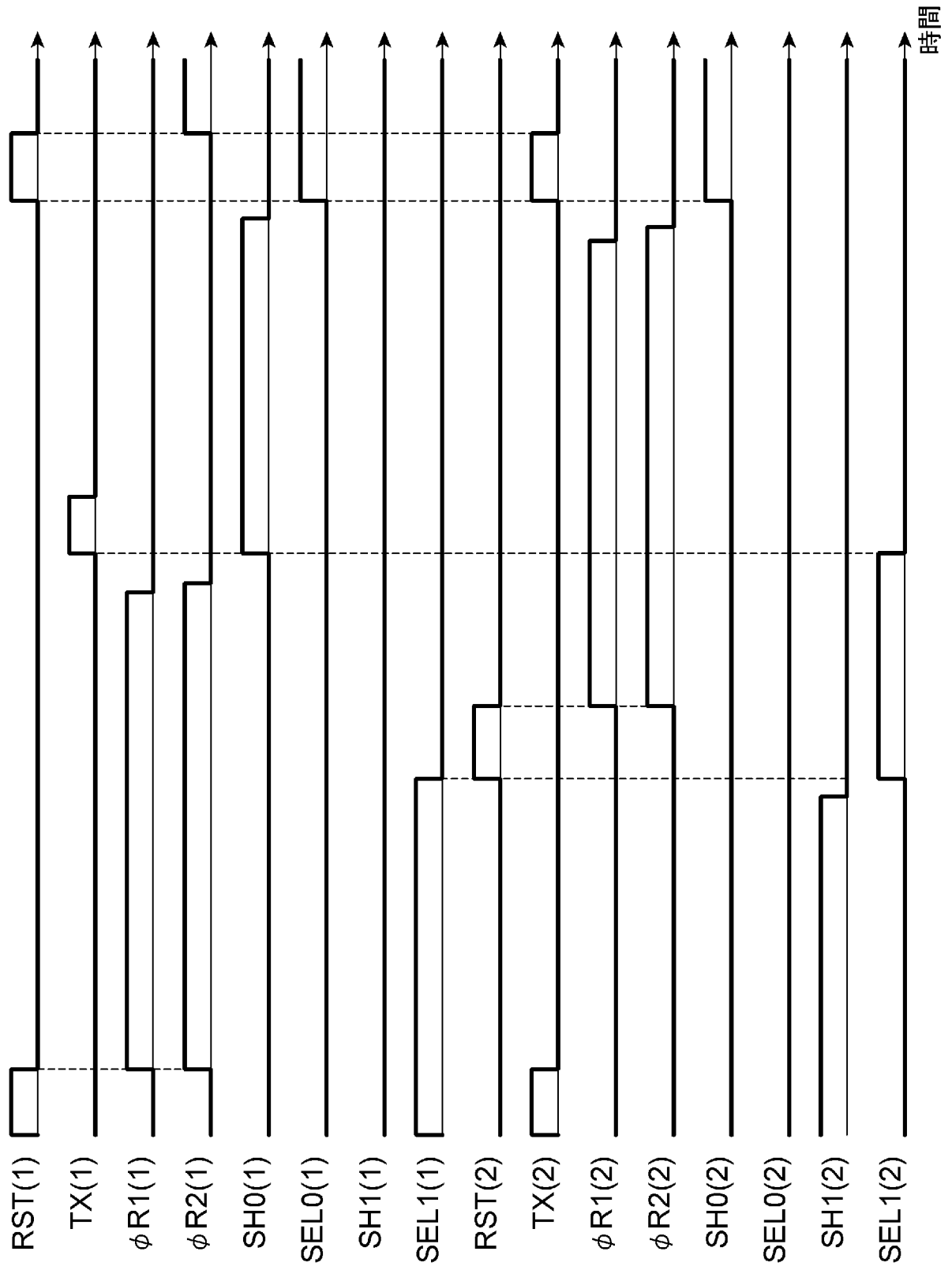
[図7]



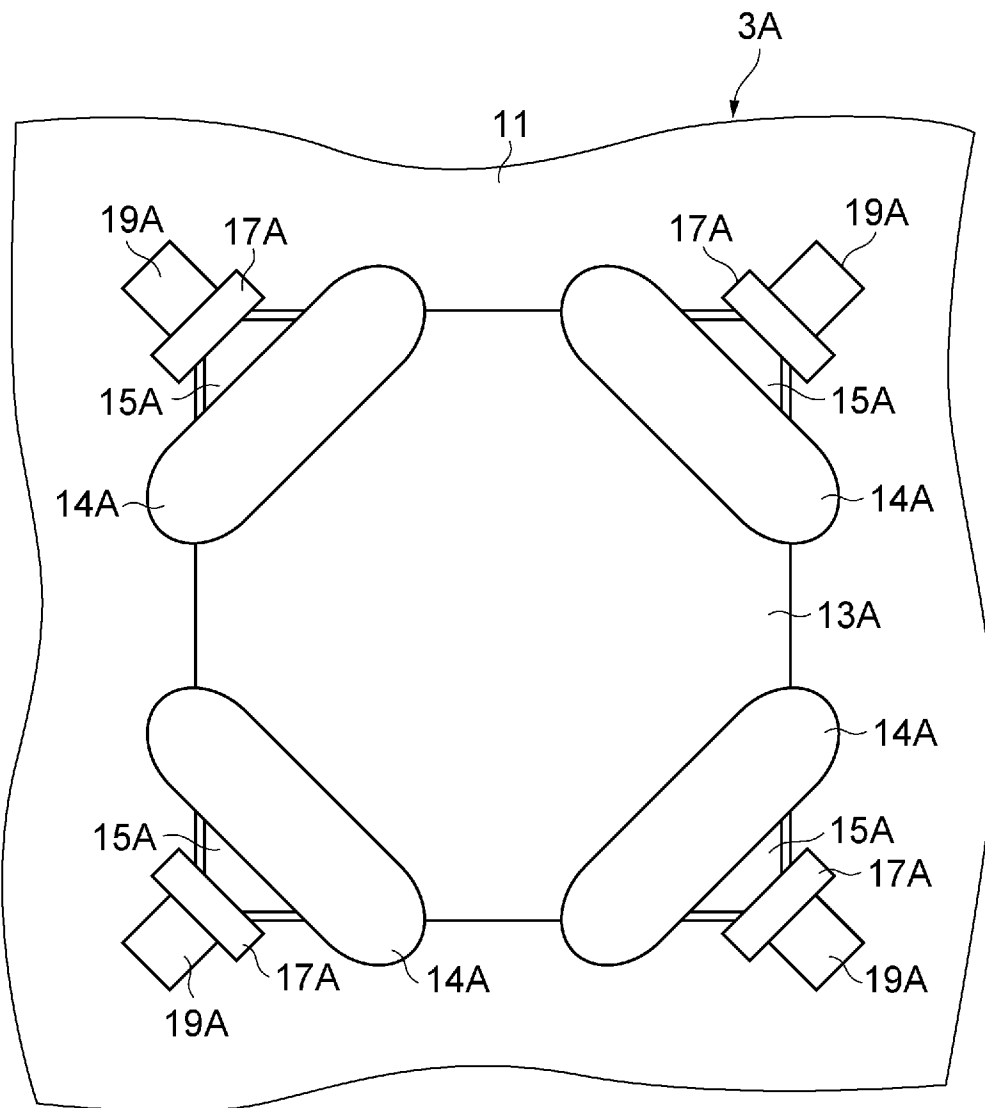
[図8]



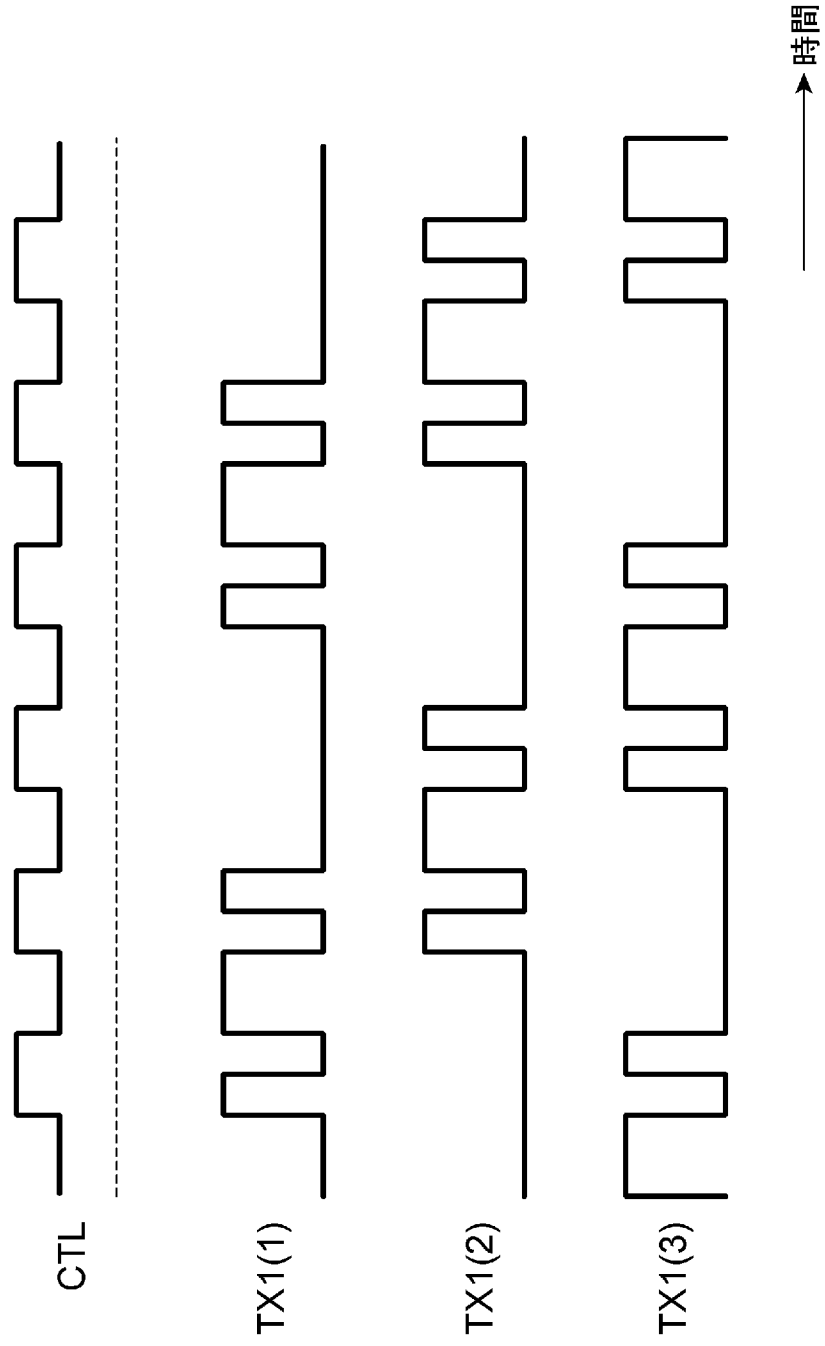
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/058086

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/374(2011.01)i, G01N21/64(2006.01)i, H01L27/14(2006.01)i, H04N5/341(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/374, G01N21/64, H01L27/14, H04N5/341

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-194488 A (Sony Corp.), 02 August 2007 (02.08.2007), entire text; all drawings (Family: none)	1-6
A	JP 2003-052048 A (Olympus Optical Co., Ltd.), 21 February 2003 (21.02.2003), entire text; all drawings (Family: none)	1-6
A	JP 2003-234496 A (Sony Corp.), 22 August 2003 (22.08.2003), entire text; all drawings (Family: none)	1-6

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 June, 2014 (12.06.14)	Date of mailing of the international search report 24 June, 2014 (24.06.14)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/058086

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-243862 A (Sony Corp.), 01 December 2011 (01.12.2011), entire text; all drawings (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H04N5/374(2011.01)i, G01N21/64(2006.01)i, H01L27/14(2006.01)i, H04N5/341(2011.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H04N5/374, G01N21/64, H01L27/14, H04N5/341		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 7 - 1 9 4 4 8 8 A（ソニー株式会社） 2007.08.02, 全文, 全図 （ファミリーなし）	1-6
A	J P 2 0 0 3 - 0 5 2 0 4 8 A（オリンパス光学工業株式会社） 2003.02.21, 全文, 全図 （ファミリーなし）	1-6
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 12.06.2014	国際調査報告の発送日 24.06.2014	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 木方 庸輔 電話番号 03-3581-1101 内線 3571	5V 9649

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2003-234496 A (ソニー株式会社) 2003.08.22, 全文, 全図 (ファミリーなし)	1-6
A	J P 2011-243862 A (ソニー株式会社) 2011.12.01, 全文, 全図 (ファミリーなし)	1-6