

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年9月18日(18.09.2014)



(10) 国際公開番号
WO 2014/142039 A1

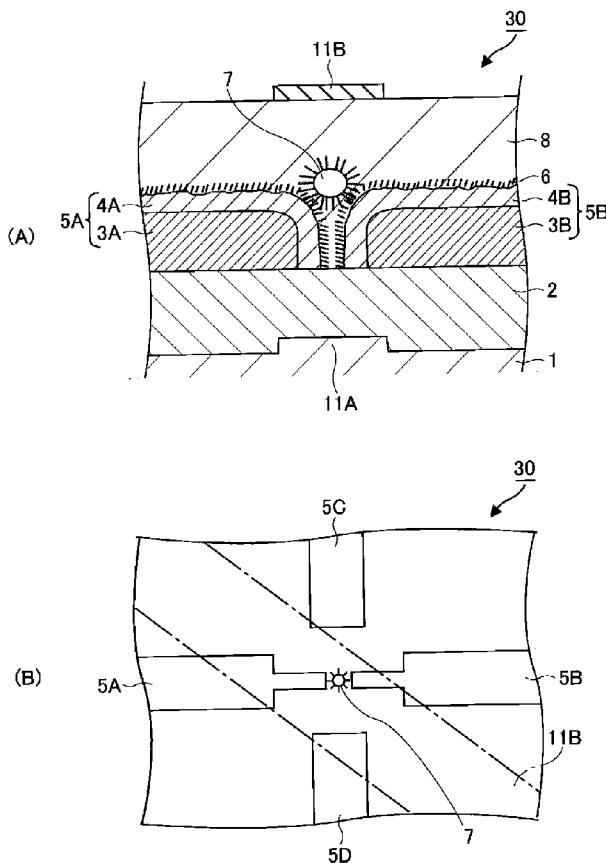
- (51) 国際特許分類:
H01L 29/66 (2006.01) H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2014/056079
- (22) 国際出願日: 2014年3月9日(09.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-047421 2013年3月9日(09.03.2013) JP
- (71) 出願人: 独立行政法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者: 真島 豊(MAJIMA Yutaka); 〒2268503 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内 Kanagawa (JP). 寺西 利治 (TERANISHI Toshiharu); 〒6110011 京都府宇治市

五ヶ庄 国立大学法人京都大学内 Kyoto (JP). 松本 和彦(MATSUMOTO Kazuhiko); 〒5670047 大阪府茨木市美穂ヶ丘8-1 国立大学法人大阪大学内 Osaka (JP). 前橋 兼三(MAEHASHI Kenzo); 〒5670047 大阪府茨木市美穂ヶ丘8-1 国立大学法人大阪大学内 Osaka (JP). 須崎 友文(SU-SAKI Tomofumi); 〒2268503 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内 Kanagawa (JP). 大野 恭秀(OHNO Yasuhide); 〒5670047 大阪府茨木市美穂ヶ丘8-1 国立大学法人大阪大学内 Osaka (JP). 松崎 功佑(MAT-SUZAKI Kosuke); 〒2268503 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内 Kanagawa (JP). ギョーム ヒューベル フレデリック ハッケンベルジェ(Guillaume Hubert Frederic HACKENBERGER); 〒2268503 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内 Kanagawa (JP).

[続葉有]

(54) Title: LOGICAL OPERATION ELEMENT

(54) 発明の名称: 論理演算素子



(57) Abstract: Provided is a logical operation element that performs three or more input logical operations using a single unique device. The logical operation element (30) is provided with an electrode (5A) and another electrode (5B) that are arranged so as to have a nanogap, a metal nanoparticle (7) that is insulated and arranged between the electrode (5A) and the other electrode (5B), and a plurality of gate electrodes (5C, 5D, 11, 11A, 11B) for regulating the electrical load of the metal nanoparticle (7). Electrical current that flows between the electrode (5A) and the other electrode (5B) is controlled in accordance with voltage that is applied to three or more of the gate electrodes (5C, 5D, 11, 11A, 11B).

(57) 要約: 3以上の入力の論理演算を一つのユニークなデバイスで実現する論理演算素子を提供する。論理演算素子30は、ナノギャップを有するように設けられた一方の電極5A及び他方の電極5Bと、一方の電極5Aと他方の電極5Bとの間に絶縁して配置された金属ナノ粒子7と、金属ナノ粒子7の電荷を調整するための複数のゲート電極5C、5D、11、11A、11Bと、を備え、3つ以上のゲート電極5C、5D、11、11A、11Bに印加される電圧に従って一方の電極5Aと他方の電極5Bとの間に流れる電流が制御される。

WO 2014/142039 A1



(74) 代理人: 平山 一幸 (HIRAYAMA Kazuyuki); 〒1600022 東京都新宿区新宿 2 丁目 3 - 1 0 新宿御苑ビル 6 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW,

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則 4.17 に規定する申立て:

— 不利にならない開示又は新規性喪失の例外に関する申立て (規則 4.17(v))

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：論理演算素子

技術分野

[0001] 本発明は、三以上のゲートを備えた論理演算素子に関する。

背景技術

[0002] 本発明者らは、単電子トランジスタの製造技術の確立のために、単電子デバイスにおけるクーロン島として金ナノ粒子に注目し、STM (Scanning Tunneling Microscope) を用いて1.8 nmの粒径の金ナノ粒子が常温でクーロン島として機能していることを明らかにしてきた。また、固体基板上へ電子デバイスの構築に向けて、無電解メッキを用いて5 nmのギャップ長を有するナノギャップ電極を一度に高歩留まりで作製する技術を確立してきた。さらに、ナノギャップ電極間に金ナノ粒子を化学吸着法により導入した単電子トランジスタの動作について報告してきた（非特許文献1乃至6）。

先行技術文献

非特許文献

- [0003] 非特許文献1：S. Kano, Y. Azuma, M. Kanehara, T. Teranishi, Y. Majima, Appl. Phys. Express, 3, 105003 (2010)
- 非特許文献2：Y. Yasutake, K. Kono, M. Kanehara, T. Teranishi, M. R. Buitelaar, C. G. Smith, Y. Majima, Appl. Phys. Lett., 91, 203107 (2007)
- 非特許文献3：Victor M. Serdio V., Yasuo Azuma, Shuhei Takeshita, Taro Muraki, Toshiharu Teranishi and Yutaka Majima, Nanoscale, 4, 7161 (2012)
- 非特許文献4：N. Okabayashi, K. Maeda, T. Muraki, D. Tanaka, M. Sakamoto, T. Teranishi, Y. Majima, Appl. Phys. Lett., 100, 033101 (2012)
- 非特許文献5：Kosuke Maeda, Norio Okabayashi, Shinya Kano, Shuhei Takeshita, Daisuke Tanaka, Masanori Sakamoto, Toshiharu Teranishi, and Yu

taka Majima, ACS Nano, 6, 2798 (2012)

非特許文献6：猪川洋、藤原聡、高橋庸夫、信学技報、ED2001-241、SDM2001-250、15-20頁

発明の概要

発明が解決しようとする課題

[0004] しかしながら、このような単電子トランジスタを用いた3入力以上の論理演算素子については未だ実現されていない。

[0005] そこで、本発明の目的は、上記課題に鑑み、3入力以上の論理演算を一つのユニークなデバイスで実現することができる論理演算素子を提供することにある。

課題を解決するための手段

[0006] 上記目的を達成するために、本発明は次の構成を採用する。

[1] ナノギャップを有するように設けられた一方の電極及び他方の電極と、

前記一方の電極と前記他方の電極との間に絶縁して配置された金属ナノ粒子と、

前記金属ナノ粒子の電荷を調整するための複数のゲート電極と、
を備え、

前記複数のゲート電極のうち三つ以上のゲート電極に印加される電圧に従って前記一方の電極と前記他方の電極との間に流れる電流が制御される、論理演算素子。

[0007] [2] 前記三つ以上のゲート電極は、二つのサイドゲート電極と一つのトップゲート電極で構成される、前記[1]に記載の論理演算素子。

[3] 前記三つ以上のゲート電極は、二つのサイドゲート電極と一つのボトムゲート電極で構成される、前記[1]に記載の論理演算素子。

[4] 前記三つ以上のゲート電極は、二つのサイドゲート電極と一つのトップゲート電極と一つのボトムゲート電極で構成される、前記[1]に記載の論理演算素子。

[5] 前記一方の電極、前記他方の電極及び前記二つのサイドゲート電極が第1絶縁層上に設けられ、

第2絶縁層が前記第1絶縁層上において、前記一方の電極、前記他方の電極、前記二つのサイドゲート電極及び前記金属ナノ粒子を埋設するように設けられ、

前記トップゲート電極が、前記第2絶縁層上で前記金属ナノ粒子の上に設けられている、前記[2]又は[4]に記載の論理演算素子。

[6] 前記三つ以上のゲート電極は、一つのサイドゲート電極と一つのボトムゲート電極と一つのトップゲート電極で構成され、

前記ボトムゲート電極が存在する面と、前記サイドゲート電極が存在する面と、前記トップゲート電極が存在する面とが、上下方向に分離されており、

前記金属ナノ粒子が前記ボトムゲート電極上で前記トップゲート電極下であって絶縁層に埋設するように設けられている、前記[1]に記載の論理演算素子。

[0008] [7] 前記三つ以上のゲート電極に印加される電圧の入力と、前記一方の電極と前記他方の電極との間に前記金属ナノ粒子を介して流れる電流の出力との関係が、XOR又はXNORとなる、前記[1]に記載の論理演算素子。

[8] 前記三つ以上のゲート電極に印加される電圧のHighとLowの入力に相当する電位差として、一周期分のクーロンオシレーションにおけるピーク電流を与えるゲート電圧と隣のピーク電流を与えるゲート電圧の電圧差 ΔV を二等分、三等分又は四等分した或る一つの電圧区間の両端に相当する値が設定されている、前記[1]に記載の論理演算素子。

発明の効果

[0009] 本発明によれば、一方の電極と他方の電極とがナノギャップを有するように設けられ、その間に金属ナノ粒子が絶縁して配置され、複数のゲート電極が金属ナノ粒子の電荷を変化させる位置に設けられるため、複数のゲート電極のうち3つ以上のゲート電極に印加される電圧に従って一方の電極と他方

の電極との間に流れる電流を制御することができる。特に、三つ以上のゲート電極が、二つのサイドゲートと一つのトップゲートとで構成されている場合、または、一つのサイドゲートと一つのトップゲートと一つのボトムゲートとで構成されている場合には、ゲート電極に印加される電圧に応じて、クーロン島としての金属ナノ粒子の電荷を変化させることができ、XORやXNORなどの各種の論理演算を、一つの素子で行うことができる。

図面の簡単な説明

[0010] [図1]本発明の実施形態に係る論理演算素子の構成を示しており、(A)は断面図、(B)は平面図である。

[図2]図1とは異なる論理演算素子の断面図である。

[図3]ナノギャップ長を有する電極に対し、例えばジチオール分子を用いた化学結合による単電子島を設置する工程を模式的に示す図である。

[図4]3入力における真理値表を示し、各論理動作をさせるためのゲート電圧の設定の仕方についても併せて示した図である。

[図5]或るドレイン電圧において各ゲート電圧に応じて流れるドレイン電流の波形を模式的に示す図である。

[図6]ドレイン電圧 V_d と各ゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ を各値に設定したときの微分コンダクタンスを模式的に示す図である。

[図7]本発明の実施形態に係る論理演算素子の構成を示しており、(A)は断面図、(B)は平面図である。

[図8]4入力における真理値表を示し、各論理動作をさせるためのゲート電圧の設定の仕方についても併せて示した図である。

[図9]実施例1で作製した論理演算素子のSEM像を示す図である。

[図10]実施例1で作製したサンプルにおいて、ドレイン電圧に対するドレイン電流を示す図である。

[図11]トップゲート電圧及びドレイン電圧をそれぞれ掃引した際の微分コンダクタンスのマッピング(スタビリティダイアグラム)を示す図である。

[図12]ドレイン電圧に対するドレイン電流依存性を示す図である。

[図13] (A) は第1のサイドゲート電圧に対するドレイン電流依存性、(B) は第2のサイドゲート電圧に対するドレイン電流依存性、(C) はトップゲート電圧に対するドレイン電流依存性、(D) は第1のサイドゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス特性、(E) は第2のサイドゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス特性、(F) はトップゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス特性、を示す図である。

[図14] 任意の二つのゲートに印加する電圧に対する微分コンダクタンス依存性を示す図であり、(A) は第1のサイドゲート電圧及び第2のサイドゲート電圧に対する微分コンダクタンス依存性、(B) は第2のゲート電圧及びトップゲート電圧に対する微分コンダクタンス依存性、(C) は第1のサイドゲート電圧及びトップゲート電圧に対する微分コンダクタンス依存性、を表す。

[図15] 実施例1で作製した論理演算素子の特性を示す図である。

[図16] ドレイン電圧に対するドレイン電流依存性を示す図である。

[図17] (A)、(B)、(C) は、それぞれゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ に対するクーロンオシレーション特性を、(D)、(E)、(F) はそれぞれのゲート電圧に対するクーロンダイヤモンド特性を示す図である。

[図18] (A)、(B)、(C) は、それぞれゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ に対するクーロンオシレーション特性を繰り返し測定した結果を示す図である。

[図19] 実施例2で作製した論理演算素子の特性を示す図である。

[図20] (A) は周波数 1 Hz での論理演算素子の動作結果を示す図、(B) は周波数 10 Hz での論理演算素子の動作結果を示す図である。

符号の説明

- [0011] 1 : 基板
2 : 第1の絶縁層
3 A, 3 B, 4 A, 4 B : 金属層

- 5 A : ナノギャップ電極 (一方の電極)
- 5 B : ナノギャップ電極 (他方の電極)
- 5 C, 5 D : ゲート電極 (サイドゲート電極)
- 6, 6 A, 6 B : 自己組織化単分子膜
- 7 : 金属ナノ粒子
- 7 A : アルカンチオールで保護された金属ナノ粒子
- 7 1 : 絶縁膜
- 7 2 : 絶縁膜付き金属ナノ粒子
- 8 : 第2の絶縁層
- 9 : 自己組織化単分子混合膜 (SAM混合膜)
- 9 A : アルカンチオール
- 1 0 : 論理演算素子
- 1 1, 1 1 B : ゲート電極 (トップゲート電極)
- 1 1 A : ゲート電極 (ボトムゲート電極)

発明を実施するための形態

[0012] 以下、図面を参照しながら本発明の実施形態について説明するが、本発明は特許請求の範囲で記載した発明の範囲において適宜変更して実施することができる。

[0013] [論理演算素子の構造]

図1は、本発明の実施形態に係る論理演算素子の構成を示しており、(A)は断面図、(B)は平面図である。本発明の実施形態に係る論理演算素子10は、ナノギャップを有するように配置された一方の電極5A及び他方の電極5Bと、一方の電極5A及び他方の電極5Bとの間に絶縁して配置される金属ナノ粒子7と、金属ナノ粒子7の電荷を調整するための複数のゲート電極5C, 5D, 11と、を備える。

[0014] 図1に示す具体的な形態では、基板1と、基板1上に設けた第1の絶縁層2と、第1の絶縁層2上にナノギャップ長を有するように設けた一方の電極5A及び他方の電極5Bと、一方の電極5A及び他方の電極5Bに設けた自

己組織化単分子膜 6 と、自己組織化単分子膜 6 に吸着して一方の電極 5 A と他方の電極 5 B との間に配置した金属ナノ粒子 7 と、一方の電極 5 A 及び他方の電極 5 B の配設方向と交差する方向に配設されたサイドゲート電極 5 C, 5 D と、第 1 の絶縁層 2、一方の電極 5 A、他方の電極 5 B、サイドゲート電極 5 C, 5 D 上で、自己組織化単分子膜 6 及び金属ナノ粒子 7 を埋設するように設けた第 2 の絶縁層 8 と、第 2 の絶縁層 8 上に配置され、金属ナノ粒子 7 の上方でその真上に配置されるトップゲート電極 11 と、を備える。

[0015] ここで、ナノギャップ長とは数 nm、例えば 0.5 nm ~ 12 nm の寸法である。金属ナノ粒子 7 の周囲には、自己組織化単分子 (SAM: Self-Assembled Monolayer) と有機分子との反応により形成された、絶縁膜としての自己組織化単分子混合膜が吸着している。この第 1 の実施形態では、第 1 の絶縁層 2 上で、一方の電極 5 A 及び他方の電極 5 B の配設方向と交差する方向、具体的には直交する方向にゲート電極 (サイドゲート電極と呼んでもよい。) 5 C, 5 D が設けられている。

[0016] 基板 1 には Si 基板など各種半導体基板が用いられ得る。第 1 の絶縁層 2 は、SiO₂、Si₃N₄、Al₂O₃ などにより形成される。一方の電極 5 A 及び他方の電極 5 B は、Au、Al、Ag、Cu、Ni などにより形成される。一方の電極 5 A 及び他方の電極 5 B は、密着層と金属層とを順に積層することにより形成されてもよい。ここで、密着層は Ti、Cr、Ni などで形成され、金属層は密着層上に Au、Al、Ag、Cu、Ni などの別の又は同一の金属で形成される。

[0017] 自己組織化単分子膜 6 は、各種のものが用いられ得る。自己組織化単分子膜 6 は、第 1 の電極 5 A、第 2 の電極 5 B を構成する金属原子に化学吸着する第 1 の官能基と、第 1 の官能基に結合する第 2 の官能基とから成る。第 1 の官能基は、チオール基、ジチオカルバメート基、キサンテート基の何れかの基である。第 2 の官能基は、アルカン、アルケン、アルカン又はアルケンの水素分子の一部又は全部をフッ素に置換したもの、アミノ基、ニトロ基、アミド基の何れかの基である。

[0018] 金属ナノ粒子7は、数nmの直径を有する粒子で、金、銀、銅、ニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、イリジウム、白金などが用いられる。金属ナノ粒子7は、自己組織化単分子膜6を構成する分子の直鎖部分と結合するアルカンチオールなどの分子が周囲に結合している。

第2の絶縁層6は、SiN、SiO、SiON、Si₂O₃、SiO₂、Si₃N₄、Al₂O₃、MgOなど、無機絶縁物により形成される。無機絶縁物は化学量論組成のものが好ましいが、化学量論組成に近いものであってもよい。

[0019] トップゲート電極11は、第2の絶縁層8上において平面視で金属ナノ粒子7の真上にあたる位置に、一方の電極5Aと他方の電極5Bとに跨ぐように設けられる。トップゲート電極11は、図1(B)に示すように、第1の絶縁層2上の電極5A、5Bの配設方向、サイドゲート電極5C、5Dの配設方向とは異なる方向に、配設されている。これは、トップゲート電極11とそれ以外の電極5A、5B、5C、5Dと容量を形成しないようにするためである。

[0020] ここで、金属ナノ粒子7の周りの自己組織化単分子膜6又は自己組織化混合膜と第2の絶縁層8とにより、金属ナノ粒子7が一方の電極5Aと他方の電極5Bと絶縁されて配置されていけばよい。

[0021] 図2は図1とは異なる論理演算素子20の断面図である。図2に示すように、例えば、金属ナノ粒子7の周りに無機又は有機の絶縁膜71が設けられており、絶縁膜付きの金属ナノ粒子72が、一方の電極5Aと他方の電極5Bとの間に配置されて、絶縁膜付きの金属ナノ粒子が一方の電極5Aと他方の電極5Bと絶縁されていてもよい。金属ナノ粒子7の外周全面に絶縁膜71が設けられている必要はなく、一方の電極5Aと金属ナノ粒子7とが、例えば0.3nm~10nmの絶縁膜で絶縁され、金属ナノ粒子7と他方の電極5Bとが、例えば0.3nm~10nmの絶縁膜で絶縁されていてもよい。または、金属ナノ粒子7が一方の電極5Aと他方の電極5Bの間に配置され、絶縁膜71と第2の絶縁層8とが区別されずに、絶縁層によって金属ナ

ノ粒子7と一方の電極5Aと他方の電極5Bとが絶縁されていてもよい。

[0022] 金属ナノ粒子7の位置に関する最適性について説明する。論理演算素子10, 20において、金属ナノ粒子7の位置は、2つのサイドゲート及びトップゲートと金属ナノ粒子との間のゲートキャパシタンスが同じ値となることが好ましい。これを実現するためには、金属ナノ粒子7と各ゲート電極5C, 5D, 11間の距離、ナノギャップ電極5A, 5Bの形状、金属ナノ粒子7とナノギャップ長の関係、金属ナノ粒子7のナノギャップ電極5A, 5Bの間の位置などが重要である。ゲートキャパシタンスは、各電極から電束がどれだけ金属ナノ粒子に収束するかという点で決まる。そのため、ナノギャップ電極5A, 5Bは、金属ナノ粒子7が存在する部分だけギャップ長が狭く、サイドゲート電極5C, 5Dへの開口部が広くなり、金属ナノ粒子7への開口が広くさらにはトップゲート電極11に対して広くなっていることが好ましく、このような好ましい形態によって、金属ナノ粒子7がナノギャップ電極5A, 5Bに埋もれない。

[0023] [論理演算素子の製造方法]

次に、図1に示す論理演算素子10の製造方法について詳細に説明する。

まず、基板1上に第1の絶縁層2を形成する。次に、分子定規無電解メッキ法によりナノギャップ電極5A, 5Bと、サイドゲート電極5C, 5Dを形成する。

[0024] 例えば、第1の絶縁層2上にナノギャップよりも広いギャップを有するように金属層3A, 3Bを間隔をあけて対を成すように形成しておき、次に、無電解メッキ液に基板1を浸漬する。無電解メッキ液は、金属イオンを含む電解液に還元剤及び界面活性剤が混入されて作製される。この無電解メッキ液に基板1を浸すと、金属イオンが還元剤により還元され、金属が金属層3A, 3Bの表面に析出して金属層4Aと金属層4Bとなり、金属層4Aと金属層4Bとのギャップが狭くなり、無電解メッキ液に含まれる界面活性剤がその析出により形成される金属層4A, 4Bに化学吸着する。界面活性剤はギャップの長さ（単に「ギャップ長」と呼ぶ。）をナノメートルサイズに制

御する。電解液中の金属イオンが還元剤により還元されて金属が析出するため、このような手法は無電解メッキ法に分類される。金属層 3 A、3 B に金属層 4 A、4 B がメッキにより形成され、電極 5 A、5 B の対が得られる。このように、ナノギャップ電極 5 A、5 B の表面に保護基である界面活性剤分子を分子定規として用いた無電解メッキ法（以下、「分子定規無電解メッキ法」と呼ぶ。）により、ギャップ長を界面活性剤の分子によって制御する。これにより、ナノギャップ電極 5 A、5 B を精度よく形成することができる。ゲート電極 5 C、5 D についても同時に形成することができる。なお、ナノギャップ電極は、上述した手法により形成したものに限らず、例えば本発明者らが非特許文献 3 に開示したように、ヨウ素を用いた無電解メッキにより形成してもよい。

[0025] 次に、ジチオール分子によるアルカンチオールで保護された金ナノ粒子 7 の配位子交換を用いて、ナノギャップ電極 5 A、5 B 間に金属ナノ粒子 7 を化学結合させる。これにより、金属ナノ粒子 7 を、例えば自己組織化単分子膜 6 に固定する。

[0026] 図 3 は、ナノギャップ長を有する電極 5 A、5 B に対し、例えばジチオール分子を用いた化学結合による単電子島を設置する工程を模式的に示す図である。図 3 (A) に示すように、電極 5 A、5 B としての金電極表面に、自己組織化単分子膜 (Self-Assembled Monolayer : SAM) 6 A、6 B を形成する。次に、図 3 (B) に示すように、アルカンジチオール 9 A を導入することで SAM 欠損部にアルカンジチオールが配位するか又はアルカンチオールとアルカンジチオールが交換するかによって、SAM とアルカンチオールとからなる SAM 混合膜 9 が形成される。次に、アルカンチオールで保護された金属ナノ粒子 7 A を導入する。すると、図 3 (C) に示すように、金属ナノ粒子 7 の保護基であるアルカンチオールと、アルカンチオールとアルカンジチオールの混合自己組織化単分子膜 6 A、6 B 中のアルカンジチオールとの配位子交換により、金属ナノ粒子 7 が自己組織化単分子に化学吸着する。

[0027] このようにして、ナノギャップ長を有する電極 5 A、5 B の間に、自己組

織化単分子膜 6 A, 6 B を利用し、自己組織化単分子混合膜を介在して化学吸着によって金属ナノ粒子 7 を単電子島として導入する。

[0028] その後、触媒 CVD 法、プラズマ CVD 法、光 CVD 法又はパルスレーザー堆積 (PLD) 法を用いて、金属ナノ粒子 7 を自己組織化単分子層 6 A, 6 B によって化学吸着したナノギャップ電極付き基板を冷却しながら、サンプルが所定の温度を超えて昇温しないようにして、その上に第 2 の絶縁層 8 を堆積させる。

[0029] なお、第 2 の絶縁層 8 として Al_2O_3 又は Si_3N_4 を堆積させる際には、原子層エピタキシー法や熱 CVD 法を用いてガスを熱分解してもよい。その場合は、サンプル台を十分冷却する必要がある。

[0030] その後、レジストを塗布し、電子ビームリソグラフィ技術又は光リソグラフィによりゲート電極 11 のパターンを描いて、現像後、一又は二種類の金属層を形成することにより、ゲート電極 11 を形成する。その際、密着層を設けた方がよい。

[0031] ゲート電極 11 の形成と同時に又は相前後して、ナノギャップ電極 5 A, 5 B を外部接続するために、外部への取出用電極を形成する。例えば、第 2 の絶縁層 8 の上にレジストを形成し、レジスト上にマスクを配置して露光することにより、レジストにマスクパターンを形成する。その後、第 2 の絶縁層 8 にビアホールを形成する。ビアホールにある自己組織化単分子については必要に応じてアッシングにより除去する。そして、このビアホールに金属を充填させて外部取出用電極を形成する。

[0032] 上述では、電極材料としては金を用いているが、金に限らず別の金属であってもよい。例えば電極材料としてイニシャル電極の材料を銅としてもよい。その際、イニシャル電極は、電子ビームリソグラフィ法又は光リソグラフィ法を用いて銅電極を形成し、その後、銅電極表面を塩化銅とする。メッキ液としてアスコルビン酸を還元剤として用いた塩化金溶液を用い、銅電極表面を金で覆う。具体的には、塩化金(III)酸水溶液に界面活性剤臭化アルキルトリメチルアンモニウム $C_nH_{2n+1} [CH_3]_3N^+ \cdot Br^-$ を混ぜ、還元

剤L (+) -アスコルビン酸を加え、ギャップ電極上に、自己触媒型無電解金メッキを行う。そして、分子定規メッキ法により表面が金のナノギャップ電極を作製する。

[0033] 以上により、本発明の実施形態に係る論理演算素子10を作製することができる。

[0034] ここで、従来、トップゲート電極11を配置することが難しかったことについて説明する。この困難性は、第2の絶縁層8の形成が単電子素子の製造において実現できなかったことに依拠する。

[0035] Si_3N_4 のような無機絶縁膜を、触媒CVD法、プラズマCVD法、光CVD法又はPLD法を用いて形成する際、一般的に、プラズマ中にサンプルが晒されたり、運動エネルギーの高い粒子がサンプル表面をスパッタしたり、主に膜質を向上させるために基板の温度が高くなる場合がある。これらの基板に対するプラズマ、高エネルギー粒子、熱等により、単電子素子は容易に破壊されるため、無機絶縁膜を堆積することがこれまで困難であった。

[0036] すなわち、自己組織化単分子膜(SAM: Self-Assembled Monolayer)のような有機物によって表面が覆われたナノ粒子や配位子分子に無機絶縁膜を堆積させると、堆積物のソース源がSAM及び配位子分子を壊し、ナノ粒子が壊れることによって素子を破壊してしまう。素子が破壊されなくても、ギャップ間に存在するナノ粒子が無機絶縁体の堆積中に移動してしまい、単電子素子として機能しなくなる。特に、金ナノギャップ電極として用いるナノスケールの金電極は熱に対して流動性が高いために、熱を加えることで、ナノギャップの構造変化が起こり、単電子素子が壊れてしまう。

[0037] 本発明者らは、鋭意研究の結果、次のような観点に着目し、第2の絶縁層8の形成などを実現させた。

1) 無電解メッキによりギャップ長を制御して電極対を形成することができ、そのようなナノギャップ電極は熱に対して安定であること。

2) 無機絶縁物を堆積する際、金属ナノ粒子が配位分子により覆われ、ナノギャップ電極がSAMで覆われていることから電極表面を破壊しないこと

。

3) 単電子島（「クーロン島」とも呼ばれる。）として働く金属ナノ粒子が、ナノギャップ間にアンカー分子、例えばジチオール分子によって化学的に固定したこと。

[0038] 〔論理演算素子の動作〕

次に、本発明の実施形態に係る論理演算素子の動作原理について説明する。図4は、3入力における真理値表を示す図であり、各論理動作をさせるためのゲート電圧の設定の仕方を併せて示してある。本発明の実施形態に係る論理演算素子は、単電子トランジスタの構造を有している。単電子トランジスタはFET（Field Effect Transistor）の一種であるにも拘わらず、ゲート電圧によって金属ナノ粒子7からなる単電子島への電荷が変調し、その結果、電流が流れる状態と流れない状態の2つの状態が周期的に現れるという、所謂クーロンオシレーション現象が観察される。図5は或るドレイン電圧において、各ゲート電圧に応じて流れるドレイン電流の波形を模式的に示し、図6は、ドレイン電圧 V_d と各ゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ を各値に設定したときのドレイン電流 I の微分コンダクタンスを模式的に示す図である。図6においては、ドレイン電流 I の微分コンダクタンスの大きさがメッシュの数に応じて大きくなるように示している。図5に示すように、クーロンオシレーション特性における電流波形は、ドレイン電圧 V_d と各ゲート電圧の2つの電圧方向に正の傾きと負の傾きを有する直線で外挿され、電流値はピークを持つ。

[0039] 図5に示すように、ピーク電流を与えるゲート電圧 V_1 と右隣のピーク電流を与えるゲート電圧 V_2 の差 ΔV （ $=V_2 - V_1$ ）が、1周期分のクーロンオシレーションに相当し、ゲート容量 C は、 $C = e / \Delta V$ で与えられる。ここで、 e は素電荷である。この ΔV の値は、金属ナノ粒子7と一方の電極5A及び他方の電極5B、つまり金属ナノ粒子7とソース電極及びドレイン電極との配置関係、さらに、二つのサイドゲート電極5C及び5Dとトップゲート電極11との配置関係に依存する。よって、 ΔV の値は、三つのゲ-

ト電極 5 C, 5 D 及び 1 1 の配置に依存するので、三つのゲート電極毎に、ドレイン電流 I_D の 1 周期分のクーロンオシレーションに対応した ΔV の値が異なる。

[0040] そこで、3つのゲート電極を有する論理演算素子 1 0, 2 0 に対して排他的論理和 (X O R : exclusive or) の動作をさせる場合には、各ゲート電圧の値を次のように設定すればよい。X O R 動作では、3つのゲートに印加される「0」の電圧と「1」の電圧の入力に相当する電圧の差が、 $\Delta V / 2$ (2分の1周期) に相当する電圧差となるようにドレイン電圧を調整する。そして、例えば「1」の入力に相当するトップゲート電圧を、クーロンオシレーションのピーク電流をとるゲート電圧とし、「0」の入力に相当するゲート電圧を $\Delta V / 2$ だけ小さい電圧値とする。トップゲート電圧は先に決めた「0」の入力にして、次に、一方のサイドゲート電圧は、ピーク電流をとるサイドゲート電圧を「1」の入力に相当するゲート電圧とし、「0」の入力に相当するゲート電圧を $\Delta V / 2$ だけ小さい電圧値とする。トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、さらに、他方のサイドゲート電圧は、ピーク電流をとるゲート電圧を「1」の入力に相当するゲート電圧とし、「0」の入力に相当するゲート電圧を $\Delta V / 2$ だけ小さい電圧値とする。その際、3つのゲート電圧が共に「1」の入力に相当するゲート電圧で、出力が「1」の電流ピーク値をとるように、入力のゲート電圧を設定する。

[0041] 3つのゲート電圧を全て「0」の状態とすると、電流は流れず出力は「0」となる。

3つのゲート電極のいずれか1つのゲート電圧を「1」の状態とし、残りの2つのゲート電圧を「0」の状態とすると、ピーク電流が流れ、出力は「1」となる。

3つのゲート電極のなかで、いずれか2つのゲート電圧を「1」の状態とし、残り1つのゲート電圧を「0」の状態とすると、ゲート電圧による単電子島への電荷誘起の重畳が起こり、1周期分の ΔV を印加した状態となるた

め、出力は「0」の状態となる。

3つのゲート電圧を「1」の状態とすると、1.5周期分の ΔV を印加したと等しいので出力は「1」となる。

図4の論理対応表のXORの列では、上述した出力電流の結果を示している。出力結果で、「0」は電流が流れない状態又は小さい状態を示し、「1」は電流が流れる状態又は大きい状態を示している。

論理対応表の最下欄には、1周期分のクーロンオシレーション（横軸はゲート電圧、縦軸がドレイン電流）を示しており、黒丸（●）印は「0」の電流出力状態、白丸（○）印は「1」の電流出力状態を示している。XOR動作では、 $\Delta V / 2$ の電位差を入力ゲート電圧の「0」と「1」の状態に相当する電位の差として用い、入力が「0」側で出力が「0」であることから、1周期分のクーロンオシレーションの左半分の電圧領域を各ゲート電極に印加する電圧として用いていることになる。

[0042] 以上のように、ゲート電極の入力の組み合わせと出力との関係は、排他的論理和XOR動作の出力となっている。よって、単電子トランジスタでは、クーロンオシレーション特性と、複数のゲート電極による単電子島への電荷の誘起の重畳現象とにより、論理演算を実現することができる。

[0043] 次に、論理演算素子10, 20に対して排他的論理和の否定(XNOR: exclusive not OR)の動作をさせる場合について説明する。この場合、各ゲート電圧の値を次のように設定すればよい。すなわち、XNOR動作では、XORと同様に「0」と「1」の状態の入力電圧の差が、 $\Delta V / 2$ に相当するゲート電圧差となるようにドレイン電圧を調整するが、3つのゲート電圧が共に「0」の入力に相当するゲート電圧で、出力が「1」の電流ピーク値をとるように、入力のゲート電圧を設定する。すると、XORと同様な動作原理により、このゲート電圧の設定で、XNORの論理演算を実現することができる。このことは、1周期分のクーロンオシレーションの図の右半分の電圧領域を各ゲート電極に印加する電圧として用いていることになる。

[0044] 次に、論理演算素子10, 20に対して、入力「0」と入力「1」の電圧

差として $\Delta V / 4$ （4分の1周期）を用い、 $\Delta V / 4$ の電圧差を有する2つのゲート電圧を加えた際に、クーロンオシレーションの電流ピーク手前の正のスロープとピーク後の負のスロープの途中の値で同一の電流値を示すように、ドレイン電圧を調節する。図4の4分の1周期の、クーロンオシレーション特性にあるように、 $\Delta V / 4$ ずつゲート電圧をずらすと、「0」、「1」、「1」、「0」と変化する。

[0045] 演算Aの動作又は演算Cの動作をさせる場合について説明する。この場合、各ゲート電圧の入力電圧値を、図4の4分の1周期のクーロンオシレーションの演算Aに相当するゲート電圧に設定すればよい。すなわち、例えば、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるようにドレイン電圧を調節し、「0」の入力に相当するトップゲート電圧を、ピーク電流の負のスロープ上の電圧の値に設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 4$ だけ高い電圧値に設定する。

[0046] 次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値に設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 4$ だけ高い電圧値に設定する。

[0047] さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値に設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 4$ だけ高い電圧値に設定する。

[0048] 3つのゲート電圧が共に「1」の入力に相当するゲート電圧で、出力が「

1」の電流ピーク値をとるように、入力のゲート電圧を設定する。すると、3つのゲート電圧への入力が(0, 0, 0)及び(1, 1, 1)の場合のみ出力が「1」となり、それ以外の場合には出力が「0」となって、論理演算素子10が演算Aの動作を行う。

[0049] 逆に、演算Cに相当するゲート電圧を次のように設定する。すなわち、例えば「1」の入力に相当するトップゲート電圧を、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V/4$ だけ低い電圧値に設定する。

[0050] 次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「1」の入力に相当する一方のサイドゲート電圧の値として、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V/4$ だけ低い電圧値に設定する。

[0051] さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「1」の入力に相当する他方のサイドゲート電圧の値として、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V/4$ だけ低い電圧値に設定する。

[0052] すると、3つのゲート電圧への入力が、(0, 0, 0)及び(1, 1, 1)の場合のみ出力が「0」となり、それ以外の場合には出力が「1」となって、演算Cの論理演算が実現される。

[0053] 次に、論理演算素子10に対して演算Bの動作又は演算Dの動作をさせる場合について説明する。この場合も、入力「0」と入力「1」の電圧差とし

て $\Delta V / 4$ を用い、ドレイン電圧を調整する。これにより、ピーク電流の正のスロープと負のスロープの途中の値で同一の値をとるようにする。演算Bに相当するゲート電圧を次のように設定する。

[0054] 例えば「1」の入力に相当するトップゲート電圧として、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に対して ΔV の $3/4$ 倍高い値を設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 4$ だけ低い電圧値に設定する。

[0055] 次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「1」の入力に相当する一方のサイドゲート電圧の値として、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に対して ΔV の $3/4$ 倍高い値を設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 4$ だけ低い電圧値に設定する。

[0056] さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「1」の入力に相当する他方のサイドゲート電圧の値として、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値に対して ΔV の $3/4$ 倍高い値を設定し、「0」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 4$ だけ低い電圧値に設定する。

[0057] すると、入力で「0」の個数が0個又は1個の場合には出力が「0」となり、それ以外の場合には出力が「1」となって、演算Bの論理演算が実現される。

[0058] 逆に、演算Dに相当するゲート電圧を次のように設定する。例えば「0」の入力に相当するトップゲート電圧として、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるよう

に、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 4$ だけ高い電圧値に設定する。「1」を入力した際には、負のスロープで前記の同一の電流値と同じ電流値となる。

[0059] 次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 4$ だけ高い電圧値に設定する。

[0060] さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 ΔV を四等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 4$ だけ高い電圧値に設定する。

[0061] すると、入力で「0」の個数が0個又は1個の場合には出力が「1」となり、それ以外の場合には出力が「0」となって、演算Dの論理演算が実現される。

[0062] 論理演算素子10に対して次のような動作をさせることもできる。すなわち、入力「0」と入力「1」の電圧差として $\Delta V / 3$ を用い、 $\Delta V / 3$ の電圧差を有する2つのゲート電圧を加えた際に、クーロンオシレーションの電流ピーク手前の正のスロープとピーク後の負のスロープの途中の値で同一の電流値を示すように、ドレイン電圧を調節する。

[0063] 演算Eに相当するゲート電圧を次のように設定する。例えば「0」の入力に相当するトップゲート電圧として、 ΔV を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピ

ーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V/3$ だけ高い電圧値に設定する。

[0064] 次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 ΔV を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V/3$ だけ高い電圧値に設定する。

[0065] さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 ΔV を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の正のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V/3$ だけ高い電圧値に設定する。

[0066] すると、入力で「1」の個数が2個の場合のみ出力が「0」で、それ以外の場合は出力が「1」となる論理演算Eが実現される。

[0067] 逆に、演算Fに相当するゲート電圧を次のように設定する。例えば「0」の入力に相当するトップゲート電圧として、 ΔV を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V/3$ だけ高い電圧値に設定する。

[0068] 次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「0」の入力に相当する一方のサイドゲート電圧の値として、 ΔV を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロ

ープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 3$ だけ高い電圧値に設定する。

[0069] さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「0」の入力に相当する他方のサイドゲート電圧の値として、 ΔV を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同一の電流値となるように、ピーク電流の負のスロープ上の電圧の値を設定し、「1」の入力に相当するトップゲート電圧を、その設定した電圧の値よりも $\Delta V / 3$ だけ高い電圧値に設定する。

[0070] すると、入力で「1」の個数が1個の場合のみ出力が「0」となり、それ以外の場合には出力が「1」となる、演算Fの論理演算が実現される。

[0071] 演算Gに相当するゲート電圧を次のように設定する。例えば「1」の入力に相当するトップゲート電圧は次のように設定する。 ΔV を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同じ値となるように ΔV を三等分し、ピーク電流の正のスロープ上の値とする。「0」の入力に相当するトップゲート電圧をその設定した値よりも $\Delta V / 3$ だけ低い電圧値とする。

[0072] 次に、一方のサイドゲート電圧の設定については、トップゲート電圧は先に決めた「0」の入力にして、「1」の入力に相当する一方のサイドゲート電圧の値として次のように設定する。 ΔV を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同じ値となるように ΔV を三等分し、ピーク電流の正のスロープ上の値とする。「0」の入力に相当するトップゲート電圧をその設定した値よりも $\Delta V / 3$ だけ低い電圧値とする。

[0073] さらに、他方のサイドゲート電圧の設定については、トップゲート電圧と一方のサイドゲート電圧を「0」の入力にして、「1」の入力に相当する他方のゲート電圧の値として次のように設定する。 ΔV を三等分した値がクーロンオシレーションのピーク電流の正負のスロープ上で同じ値となるように ΔV を三等分し、ピーク電流の正のスロープ上の値とする。「0」の入力に

相当するトップゲート電圧をその設定した値よりも $\Delta V / 3$ だけ低い電圧値とする。

[0074] すると、入力で「1」の個数が1個又は2個の場合のみ出力が「1」となり、それ以外の場合には出力が「0」となる、演算Gの論理演算が実現される。

[0075] 以上説明したように、図1及び図2に示す論理演算素子10、20は、HighとLowの電位差、例えば「0」と「1」の電圧差を $\Delta V / n$ とし、 n を2以上の整数のそれぞれの値を設定することにより、3入力の論理演算素子を実現することができる。

[0076] ここで、サイドゲート電極5C、5Dからソース及びドレインの各電極となる一方の電極5A、他方の電極5Bに対してリーク電流が流れると、 On / Off 比が悪くなるので、好ましくない。よって、リーク電流が流れないようにギャップ長を大きくする必要がある。

[0077] 本発明の実施形態は、図1に示すようにゲート電極は3つである必要はなく、ゲート電極は4つ又はそれ以上でもよい。ゲート電極は配置位置に応じて、ボトムゲート電極、トップゲート電極、サイドゲート電極に区分けされる。各電極は所定の電圧が印加されれば材質等は問わない。

[0078] 三つ以上のゲート電極は、二つのサイドゲート電極と一つのトップゲート電極で構成されてもよい。三つ以上のゲート電極は、二つのサイドゲート電極と一つのボトムゲート電極で構成されてもよい。三つ以上のゲート電極は、二つのサイドゲート電極と一つのトップゲート電極と一つのボトムゲート電極で構成されてもよい。

[0079] 三つ以上のゲート電極のうち、例えば四つのゲート電極、すなわち、二つのサイドゲート電極と一つのボトムゲート電極と一つのトップゲート電極のうち、任意の三つを電圧入力用に用い、残りの一つを電圧調整用の電極として用いてもよい。二つのサイドゲート電極は、図1等を参照して説明したように、一方の電極と他方の電極との配設の軸に対して対称性を有するため、ボトムゲート電極及びトップゲート電極の何れか一方を電圧調整用の電極と

することが好ましい。電圧調整用の電極を例えば0Vに設定し、それを基準に、他のゲート電極に印加する電圧の値を設定することができる。

[0080] [4入力の論理演算素子]

次に、4入力の論理演算素子について説明する。図7は、本発明の実施形態に係る4入力の論理演算素子を示し、(A)は断面図、(B)は平面図である。図7に示すように、本発明の実施形態に係る論理演算素子30は、ナノギャップを有するように配置された一方の電極5A及び他方の電極5Bと、一方の電極5Aと他方の電極5Bとの間に絶縁して配置される金属ナノ粒子7と、金属ナノ粒子7の電荷を調整するための複数のゲート電極5C、5D、11A、11Bと、を備える。

[0081] ボトムゲート電極11Aが存在する面と、サイドゲート電極5C、5Dが存在する面と、トップゲート電極11Aとが存在する面とが、上下方向に分離されている。サイドゲート電極5C、5Dが存在する面を挟んで、ボトムゲート電極11Aが存在する面と、トップゲート電極11Bが存在する面とが上下に分かれて配置されている。金属ナノ粒子7がボトムゲート電極11A上でトップゲート電極11B下であって第2の絶縁層8に埋設されている。

[0082] 図7に示す形態では、Si基板等の導電性を有する基板1の所定の領域だけが高くなるように周りをエッチングなどの処理が施されて形成される。その基板1上に第1の絶縁層2がその基板1上に形成され表面が必要により平坦化される。その後は、図1の論理演算素子10の場合と同様にして、一方の電極5A及び他方の電極5Bが形成され、金属ナノ粒子7がその所定の領域の上でナノギャップの間に配置され、第2の絶縁層8が形成され、トップゲート電極11Bが形成される。

[0083] よって、基板1に電圧を印加することにより、基板1の高くなっている部分をボトムゲート電極11Aとして機能させることができる。

[0084] なお、基板1の部分を導電性層に置き換えることにより、複数の論理演算素子の集積化や、金属ナノ粒子を用いた論理演算素子と他の一又は複数の素

子と集積化することも実現される。

[0085] [四入力による論理演算素子の動作]

図8は4入力における真理値表を示し、各論理動作をさせるためのゲート電圧の設定の仕方についても併せて示した図である。

[0086] 演算HとIは、論理演算素子30に対して、入力「0」と入力「1」の電圧差として $\Delta V / 2$ （2分の1周期）を用い、 $\Delta V / 2$ の電圧差を有する2つのゲート電圧を加えた際に、クーロンオシレーションの電流ピークを示すように、ドレイン電圧を調節する。図8の2分の1周期の、クーロンオシレーション特性にあるように、 $\Delta V / 2$ ずつゲート電圧をずらすと、「0」、「1」、「0」、「1」と変化する。よって、演算Hでは、入力で「1」の個数が奇数個の場合のみ出力が「1」であり、それ以外の場合は出力が「0」となる論理演算を行う。演算Iでは、入力で「1」の個数が偶数個の場合のみ出力が「1」となり、それ以外の場合は出力が「0」となる論理演算を行う。

[0087] 演算J、K、L、Mは、論理演算素子30に対して、入力「0」と入力「1」の電圧差として $\Delta V / 4$ （4分の1周期）を用い、 $\Delta V / 4$ の電圧差を有する2つのゲート電圧を加えた際に、クーロンオシレーションの電流ピーク手前の正のスロープとピーク後の負のスロープの途中の値で同一の電流値を示すように、ドレイン電圧を調節する。図4の4分の1周期の、クーロンオシレーション特性にあるように、 $\Delta V / 4$ ずつゲート電圧をずらすと、「0」、「1」、「1」、「0」と変化する。

[0088] よって、演算Jでは入力で「1」の個数が1個又は2個の場合のみ出力が「1」であり、それ以外の場合は出力が「0」となる論理演算を行う。演算Kでは、入力で「1」の個数が0個、1個、4個の場合のみ出力が「1」であり、それ以外の場合は出力が「0」となる論理演算を行う。演算Lでは、入力で「1」の個数が0個、3個、4個の場合のみ出力が「1」であり、それ以外の場合は出力が「0」となる論理演算を行う。演算Mでは、入力で「1」の個数が2個、3個の場合のみ出力が「1」となり、それ以外の場合は出力が

「0」となる論理演算を行う。

[0089] 演算N、O、Pは、論理演算素子30に対して次のような動作をさせることもできる。すなわち、入力「0」と入力「1」の電圧差として $\Delta V/3$ を用い、 $\Delta V/3$ の電圧差を有する2つのゲート電圧を加えた際に、クーロンオシレーションの電流ピーク手前の正のスロープとピーク後の負のスロープの途中の値で同一の電流値を示すように、ドレイン電圧を調節する。

[0090] 演算Nに相当するゲート電圧に設定すると、入力で「1」の個数が1個、2個、4個の場合のみ出力が「1」となり、それ以外の場合は出力が「0」となる論理演算Nを行う。演算Oに相当するゲート電圧に設定すると、入力で「1」の個数が0個、1個、3個、4個の場合のみ出力が「1」となり、それ以外の場合には出力が「0」となる論理演算Oを行う。

[0091] 演算Pに相当するゲート電圧に設定すると、入力で「1」の個数が0個、2個、3個の場合のみ出力が「1」となり、それ以外の場合には出力が「0」となる論理演算Pを行う。

[0092] なお、図8の最下欄に示す、各論理動作をさせるためのゲート電圧の設定の仕方については、図4のそれと同様であるので、説明を省略する。

実施例 1

[0093] 実施例1として、図1に示す論理演算素子10を次の要領で作製した。図9は実施例1で作製した論理演算素子10のSEM像である。Si基板1の上に第1の絶縁層2としてSiO₂膜を熱CVD法で作製し、その上に、ギャップ長9nmの金ナノギャップ電極5A、5Bを形成し、コア直径6.2nmの金ナノ粒子7を金ナノギャップ電極間に配置した。そして、金ナノギャップ電極5A、5B及びSiO₂膜2上に、第2の絶縁層8としてSiNのパッシベーション層を形成した。

[0094] Si₃N₄のパッシベーション層の形成は次の要領で行った。作製した単電子トランジスタを真空チャンバー内に導入し、水冷により単電子トランジスタの温度が65℃以上にならないように温度制御を行った。この条件の下で、真空チャンバー内にシランガス、アンモニアガス及び水素ガスを導入し、

触媒CVD法にて SiN_x 層を堆積した。実施例1では、加熱により単電子トランジスタが破壊されることを防止するため、 SiN_x のパッシベーション層を形成する時、サンプル温度が 65°C を超えないように冷却した。もっとも、パッシベーション層の堆積は 170°C 以下であればよいが、出来るだけ堆積の際の温度が低くなるよう、好ましくは 65°C 以下になるよう、サンプルを冷却する。 SiN_x のパッシベーション層の厚みをエリプソメトリー法及び走査電子顕微鏡でそれぞれ測定したところ、いずれも 50nm であった。

[0095] その後、サンプルにレジストを塗布し、電子ビームリソグラフィ法によって、金ナノギャップ部の直上に電極パターンを描画した。現像後、電子ビーム蒸着によりTi層 30nm 、Au層 70nm を順に蒸着した。これにより、金ナノギャップの直上に第2の絶縁層8としての Si_3N_4 層を介してトップゲート電極21を配置した。

[0096] 図10は、実施例1で作製したサンプルにおいて、ドレイン電圧に対するドレイン電流を示す図である。測定温度は 9K とした。横軸はドレイン電圧 V_d (mV)、左縦軸はドレイン電流 I_d (pA)、右縦軸はドレイン電流 I_d (nA)である。パッシベーション膜としての SiN_x を堆積する前のドレイン電流は±約百 pA の範囲であるが、 SiN_x を堆積した後のドレイン電流は± 400pA の範囲で大きくなっており、ドレイン電流 I_d が流れないドレイン電圧 V_d の幅も大きくなっている。さらに、トップゲートを堆積させた後は、ドレイン電流は± 4nA となっている。

[0097] 図11は、トップゲート電圧及びドレイン電圧をそれぞれ掃引した際の微分コンダクタンスのマッピング(スタビリティダイアグラム)を示す図である。横軸はトップゲートに印加する電圧(V)、縦軸はドレイン電圧 V_d (V)であり、濃淡がドレイン電流(A)の微分コンダクタンスを示す。測定温度は 9K とした。ドレインとソースとの間のクーロン島を介した電流の抑制(クーロンブロッケード)に起因した、いわゆるクーロンダイヤモンドと呼ばれる平行四辺形状の電圧領域が観察される。このことから、単電子トランジスタとして動作していることが分かる。また、理論計算値と一致している

ことを確認している。

[0098] 図12は、ドレイン電圧に対するドレイン電流依存性を示す図である。横軸はドレイン電圧 V_d (V)であり、縦軸はドレイン電流 I_d (pA)である。図から、ドレイン電圧の増減に対してドレイン電流が流れていない領域があることから、クーロンステアケース特性が明瞭に観察されており、実施例1で作製したサンプルが単電子トランジスタとして動作していることが分かる。また、これは理論計算と一致している。

[0099] 図13 (A) は第1のサイドゲート電圧に対するドレイン電流依存性 (クーロンオシレーション特性)、(B) は第2のサイドゲート電圧に対するドレイン電流依存性 (クーロンオシレーション特性)、(C) はトップゲート電圧に対するドレイン電流依存性 (クーロンオシレーション特性)、(D) は第1のサイドゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス (dI_d/dV_d) 特性、(E) は第2のサイドゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス (dI_d/dV_d) 特性、(F) はトップゲート電圧とドレイン電圧を変化させた際の微分コンダクタンス (dI_d/dV_d) 特性を示す図である。測定温度は9 Kである。

[0100] 図13 (A) ~ (C) の縦軸はドレイン電流 I_d (pA)で、(D) ~ (F) の縦軸はドレイン電圧 V_d (V)で、(A) 及び (D) の横軸は第1のサイドゲート電圧 V_{g1} (V)で、(B) 及び (E) の横軸は第2のサイドゲート電圧 V_{g2} (V)で、(C) 及び (F) の横軸はトップゲート電圧 $V_{top-gate}$ (V)である。

[0101] 図13 (A)、(B)、(C) はそれぞれ、ゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ に対応するクーロンオシレーション特性である。電流が流れない領域と正と負の傾きを持つスロープによりピーク電流が観察されている。図13 (A) 及び (C) ではピーク電流が複数観察されており、ピーク間の電圧差 ΔV より、ゲート容量 C が、 $C = e / \Delta V$ で与えられる。図13 (B) では、ゲート容量が小さいために、1周期分のクーロンオシレーションは観察できていないが、ほぼ1周期分は観察されている。

[0102] 図13(D)、(E)、(F)はそれぞれのゲート電圧に対応するクーロンダイヤモンド特性である。ゲート電圧方向で、 $V_d = 0$ V近傍の平行四辺形で囲まれた領域内では電流がクーロンブロックードにより流れない。クーロンオシレーション特性に呼応して、平行四辺形は、ゲート電圧方向に頂点を共有して連なっている。

[0103] 図14は任意の二つのゲートに印加する電圧に対する微分コンダクタンス依存性を示す図であり、(A)は第1のサイドゲート電圧及び第2のサイドゲート電圧に対する微分コンダクタンス依存性、(B)は第2のゲート電圧及びトップゲート電圧に対する微分コンダクタンス依存性、(C)は第1のサイドゲート電圧及びトップゲート電圧に対する微分コンダクタンス依存性を示す。 α で示す部分はピーク電流に対応し、 β で示す領域では電流がクーロンブロックードにより流れていない。任意の2つのゲート電圧に対して α で示すピーク電流が平行な線の集まりとして観察されていることから、一つのデバイスで同時に3つのゲートで論理演算をすることができると予測される。

[0104] 図15は、実施例1で作製した論理演算素子の特性を示す図である。前記したように $\Delta V / 2$ に相当するゲート電圧を、3つのゲート電圧の「0」と「1」の入力に相当する値とするため、 $V_{top-gate}$ の -1 V、 0.85 Vをそれぞれ「0」、「1」の入力に相当する値とし、 V_{g1} の -4 V、 4 Vをそれぞれ「0」、「1」の入力に相当する値とし、 V_{g2} の -2 V、 0.6 Vをそれぞれ「0」、「1」の入力に相当する値とした。

[0105] 図15から、第1のサイドゲート電圧、第2のサイドゲート電圧及びトップゲート電圧のパルス電圧波形の入力に応じて、ドレイン電流がXORの出力となっていることが分かる。ON/OFF比は10であった。なお、動作温度は9 Kとした。

実施例 2

[0106] 実施例2では、第2の絶縁層8として、パルスレーザー堆積法を用いて50 nmの Al_2O_3 とした以外は実施例1と同様に作製した。以下、測定環境

は9 Kとした。

[0107] 図16は、ドレイン電圧に対するドレイン電流依存性を示す図である。横軸はドレイン電圧 V_d (V)であり、縦軸はドレイン電流 I_d (nA)である。図から、ドレイン電圧の増減に対してドレイン電流が流れていない領域があることから、クーロンステアケース特性が明瞭に観察されており、実施例2で作製したサンプルが単電子トランジスタとして動作していることが分かった。また、理論計算と一致していることが分かった。

[0108] 図17 (A)、(B)、(C)は、それぞれゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ に対するクーロンオシレーション特性を示し、(D)、(E)、(F)はそれぞれのゲート電圧に対するクーロンダイヤモンド特性を示す。図17 (A)～(C)の縦軸はドレイン電流 I_d (nA)、(D)～(F)の縦軸はドレイン電圧 V_d (V)であり、(A)及び(D)の横軸は第1のサイドゲート電圧 V_{g1} (V)、(B)及び(E)の横軸は第2のサイドゲート電圧 V_{g2} (V)、(C)及び(F)の横軸はトップゲート電圧 $V_{top-gate}$ (V)である。

[0109] 図17 (A)乃至(C)から、電流が流れない領域と正と負の傾きを持つスロープによりピーク電流が観察されている。図17 (A)、(B)及び(C)では、ピーク電流が複数観察されており、ピーク間の電圧差 ΔV から、ゲート容量 C が、 $C = e / \Delta V$ で与えられる。

[0110] 図17 (D)乃至(F)から、ゲート電圧方向で、 $V_d = 0$ V近傍の平行四辺形で囲まれた領域内では、電流がクーロンブロックードにより流れない。クーロンオシレーション特性に呼応して、平行四辺形は、ゲート電圧方向に頂点を共有して連なっている。このように、クーロンオシレーション特性及びクーロンダイヤモンド特性が明瞭に観察されている。

[0111] 図18 (A)、(B)、(C)は、それぞれゲート電圧 V_{g1} 、 V_{g2} 、 $V_{top-gate}$ に対するクーロンオシレーション特性を繰り返し測定した結果を示す。なお、 V_d は10 mVとした。図の縦軸及び横軸は図17 (A)、(B)、(C)のものと同じである。図から、クーロンオシレーションが安定して観

測できていることが分かった。また、再現性よくクーロンダイヤモンドの特性を観測することができた。

[0112] 実施例1と比べて、ドレイン電流がpAのオーダーではなくnAのオーダーであった。また、実施例1と比べて、クーロン振動がより安定していた。単電子トランジスタでは、単電子島近傍に存在するトラップ電荷が変化すると、出力電流（ドレイン）電流が乱れることとなる。パッシベーション膜として Al_2O_3 を用いた場合、電流のばらつきが SiN_x を用いた場合と比較して小さいことから、パルスレーザー堆積法により作製した Al_2O_3 絶縁膜は、単電子トランジスタのパッシベーション層として、トラップ電荷が変化しにくいという観点で適している。 Al_2O_3 、 SiN_x に留まらず、 SiO_2 層、 HfO_x などの高誘電率絶縁層といったトラップ電荷が変化しにくい膜が適している。

[0113] 図19は、実施例2で作製した論理演算素子の特性を示す図である。前述したように $\Delta V/2$ に相当するゲート電圧を、3つのゲート電圧の「0」と「1」の入力に相当する値とするため、 $V_{top-gate}$ の $-0.9V$ 、 $0.5V$ をそれぞれ「0」、「1」の入力に相当する値とし、 V_{g1} の $-7.5V$ 、 $0.5V$ をそれぞれ「0」、「1」の入力に相当する値とし、 V_{g2} の $-7.5V$ 、 $-1V$ をそれぞれ「0」、「1」の入力に相当する値とした。

[0114] 図19から、第1のサイドゲート電圧、第2のサイドゲート電圧及びトップゲート電圧のパルス電圧波形の入力に応じて、ドレイン電流がXORの出力となっていることが分かる。ON/OFF比は9.4であった。なお、動作温度は9Kとした。

[0115] また、図19では、出力が「0」に相当する電流値は、 $0.1nA$ 程度であり、出力が「1」に相当する電流は $0.9nA$ 程度であることから、ON/OFF比が約9である。出力が「0」の際の電流値が $0.1nA$ であるのは、ソース電極とドレイン電極との間にリーク電流が流れているためである。図19ではXOR特性を示したが、前述したように、ゲート電圧を半周期ずらすことにより、XNORの特性を示すことを確認した。さらに、 $\Delta V/$

2ではなく、 $\Delta V / 3$ や $\Delta V / 4$ の電圧差を用いると、図4に示す真理値表のように様々な論理動作が可能である。

[0116] 次に、周波数を1 Hz、10 Hzと増加させて、実施例2で作製した論理演算素子の動作を確かめた。図20(A)(B)は、それぞれ周波数1 Hz、10 Hzでの論理演算素子の動作結果を示すものである。周波数を上げても、論理演算素子の特性を維持していることが確認された。

[0117] 本発明は上述の実施形態及び実施例に限定されるものではなく、特許請求の範囲に記載した発明の範囲において種々変更して適用することが可能である。

[0118] 本発明の実施形態により、金属ナノ粒子や機能性粒子を用いた単電子トランジスタを応用して、二つのサイドゲート、トップゲート、ボトムゲートの何れかの三つ以上のゲートを組み合わせた論理演算素子を提供することができる。さらに、本発明の実施形態に係る論理演算素子をCMOS回路と組み合わせることにより、集積度が高くより高機能な論理演算回路が提供される。

請求の範囲

- [請求項1] ナノギャップを有するように設けられた一方の電極及び他方の電極と、
前記一方の電極と前記他方の電極との間に絶縁して配置された金属ナノ粒子と、
前記金属ナノ粒子の電荷を調整するための複数のゲート電極と、
を備え、
前記複数のゲート電極のうち三つ以上のゲート電極に印加される電圧に従って前記一方の電極と前記他方の電極との間に流れる電流が制御される、論理演算素子。
- [請求項2] 前記三つ以上のゲート電極は、二つのサイドゲート電極と一つのトップゲート電極で構成される、請求項1に記載の論理演算素子。
- [請求項3] 前記三つ以上のゲート電極は、二つのサイドゲート電極と一つのボトムゲート電極で構成される、請求項1に記載の論理演算素子。
- [請求項4] 前記三つ以上のゲート電極は、二つのサイドゲート電極と一つのトップゲート電極と一つのボトムゲート電極で構成される、請求項1に記載の論理演算素子。
- [請求項5] 前記一方の電極、前記他方の電極及び前記二つのサイドゲート電極が第1絶縁層上に設けられ、
第2絶縁層が前記第1絶縁層上において、前記一方の電極、前記他方の電極、前記二つのサイドゲート電極及び前記金属ナノ粒子を埋設するように設けられ、
前記トップゲート電極が、前記第2絶縁層上で前記金属ナノ粒子の上に設けられている、請求項2又は4に記載の論理演算素子。
- [請求項6] 前記三つ以上のゲート電極は、一つのサイドゲート電極と一つのボトムゲート電極と一つのトップゲート電極で構成され、
前記ボトムゲート電極が存在する面と、前記サイドゲート電極が存在する面と、前記トップゲート電極が存在する面とが、上下方向に

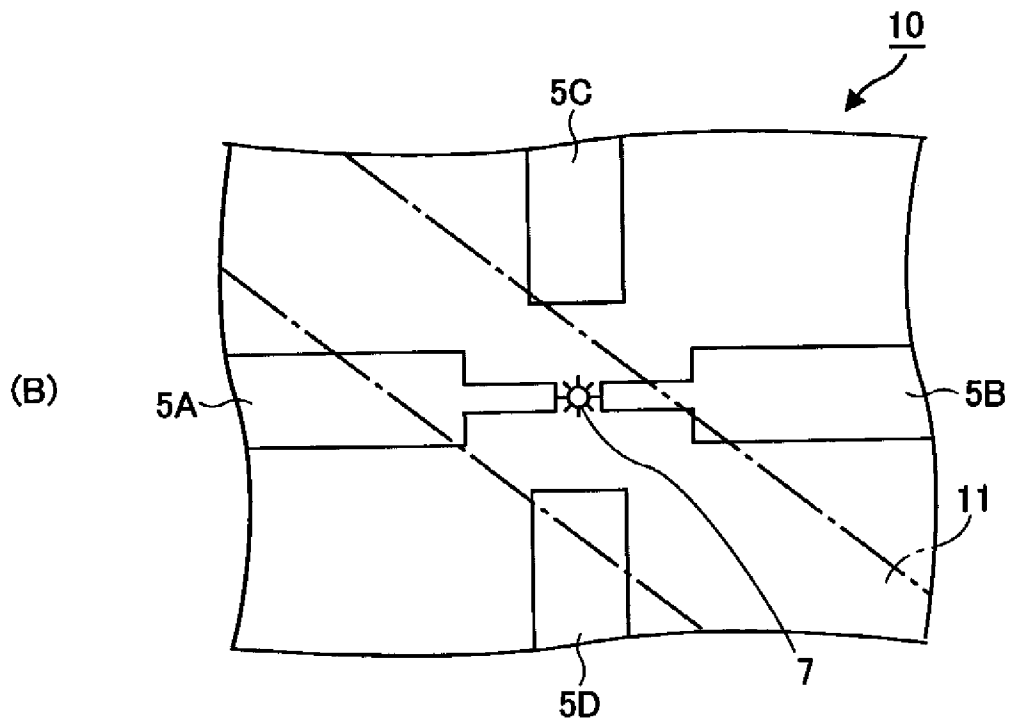
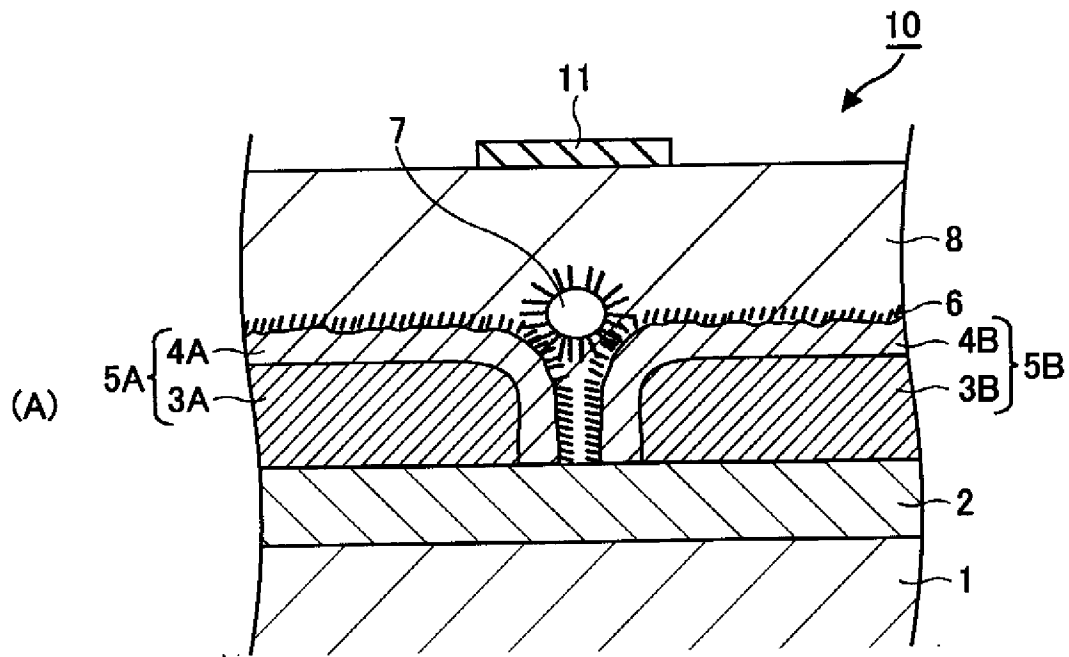
分離されており、

前記金属ナノ粒子が前記ボトムゲート電極上で前記トップゲート電極下であって絶縁層に埋設するように設けられている、請求項1に記載の論理演算素子。

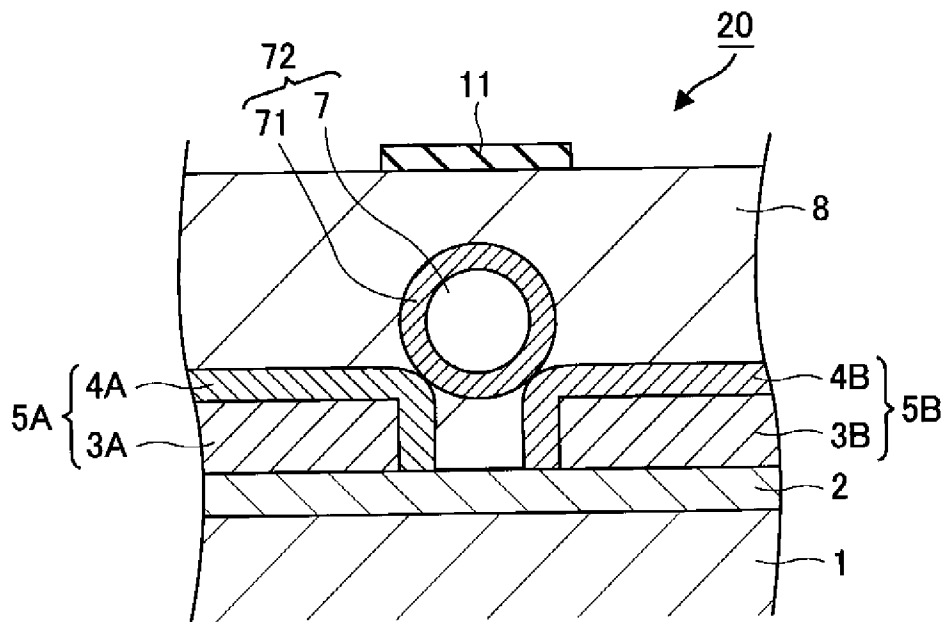
[請求項7] 前記三つ以上のゲート電極に印加される電圧の入力と、前記一方の電極と前記他方の電極との間に前記金属ナノ粒子を介して流れる電流の出力との関係が、XOR又はXNORとなる、請求項1に記載の論理演算素子。

[請求項8] 前記三つ以上のゲート電極に印加される電圧のHighとLowの入力に相当する電位差として、一周期分のクーロンオシレーションにおけるピーク電流を与えるゲート電圧と隣のピーク電流を与えるゲート電圧の電圧差 ΔV を二等分、三等分又は四等分した或る一つの電圧区間の両端に相当する値が設定されている、請求項1に記載の論理演算素子。

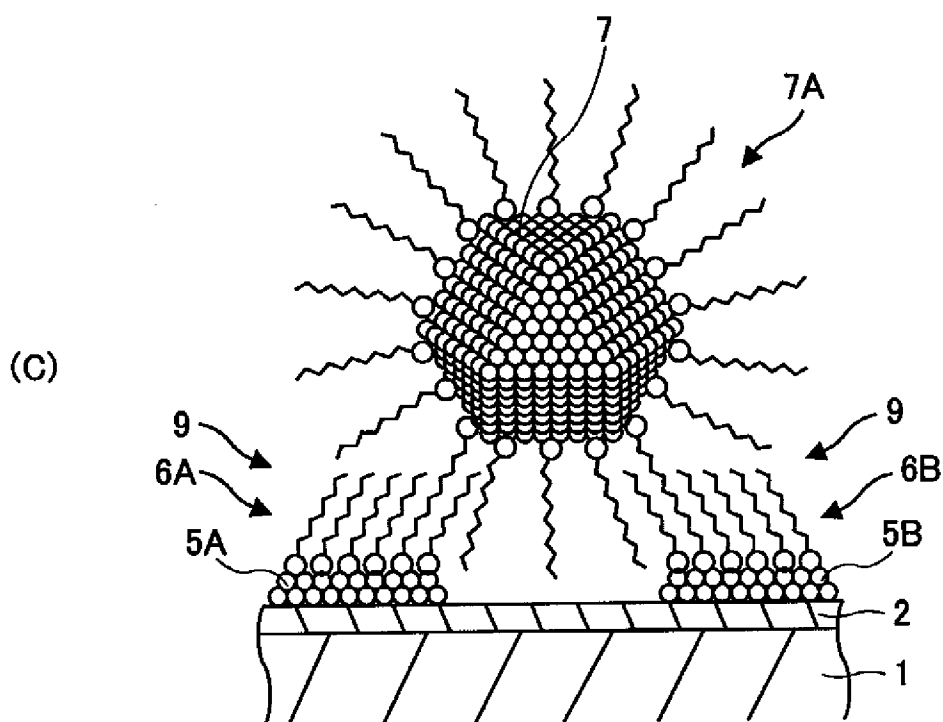
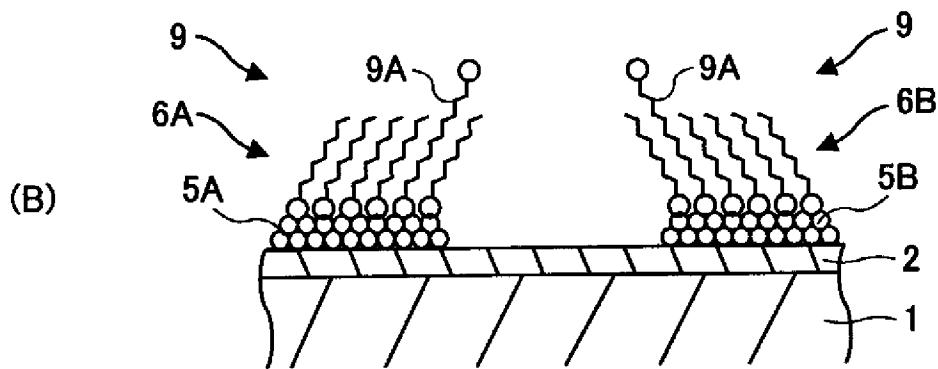
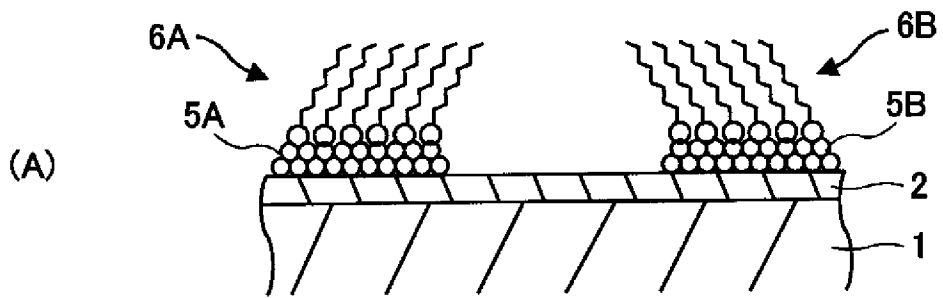
[図1]



[図2]



[図3]

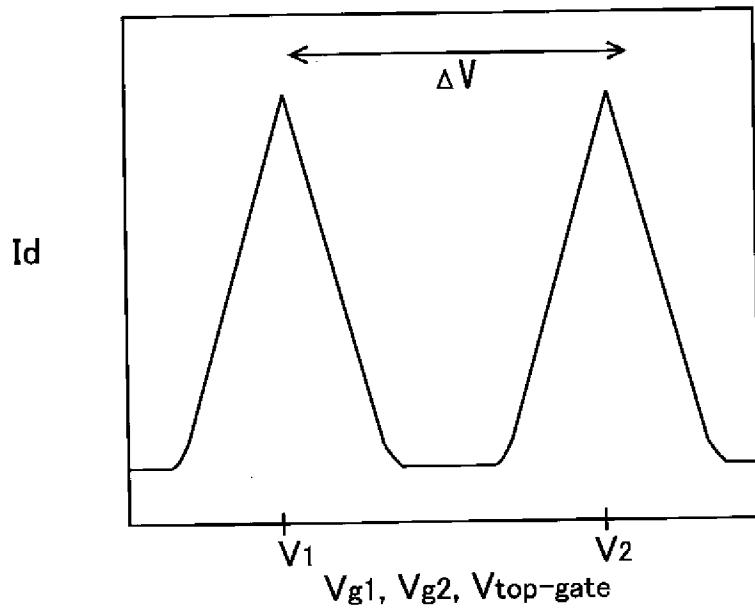


[図4]

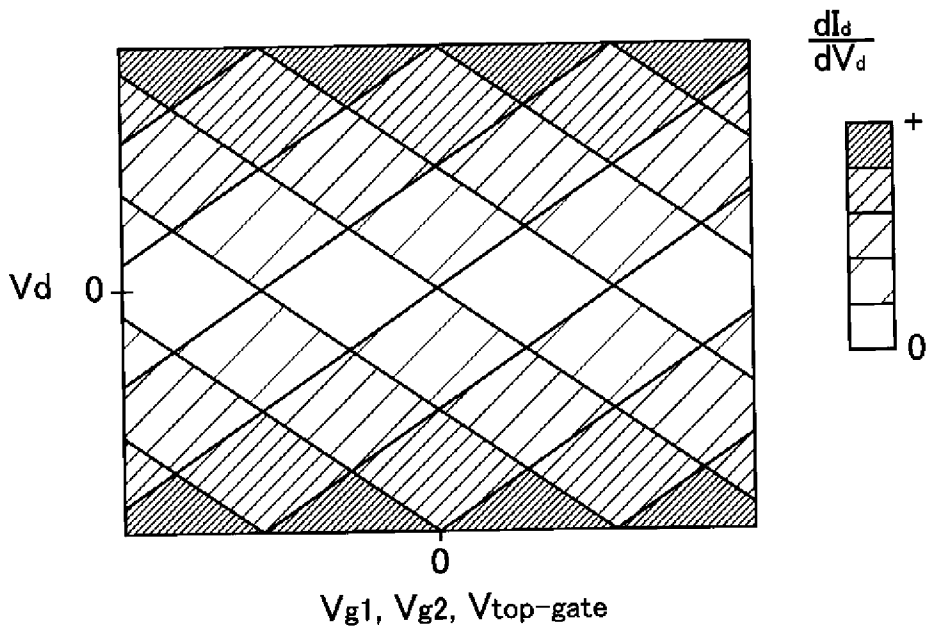
Input Gates			Output									
			XOR	XNOR	演算A	演算B	演算C	演算D	演算E	演算F	演算G	
1	2	3										
0	0	0	0	1	1	0	0	0	1	1	1	0
0	0	1	1	0	0	0	0	1	1	1	0	1
0	1	0	1	0	0	0	0	1	1	1	0	1
0	1	1	0	1	1	0	1	1	0	0	1	1
1	0	0	1	0	0	0	0	1	1	1	0	1
1	0	1	0	1	0	0	1	1	0	0	1	1
1	1	0	0	1	1	0	1	1	0	0	1	1
1	1	1	1	0	1	1	1	0	1	1	1	0

2分の1周期	4分の1周期	3分の1周期

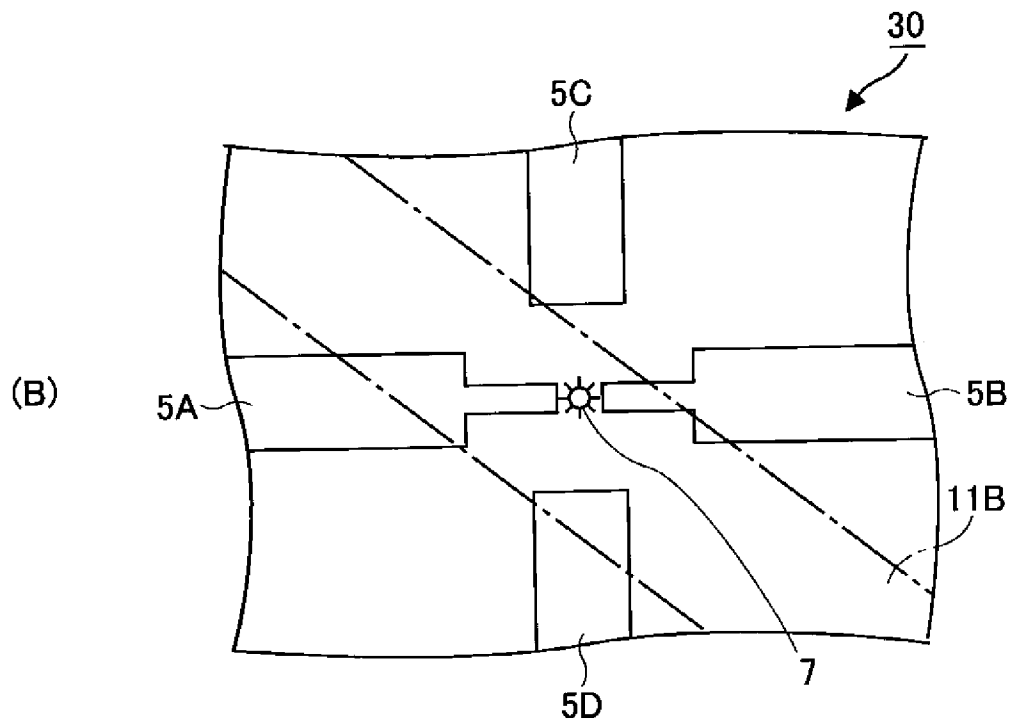
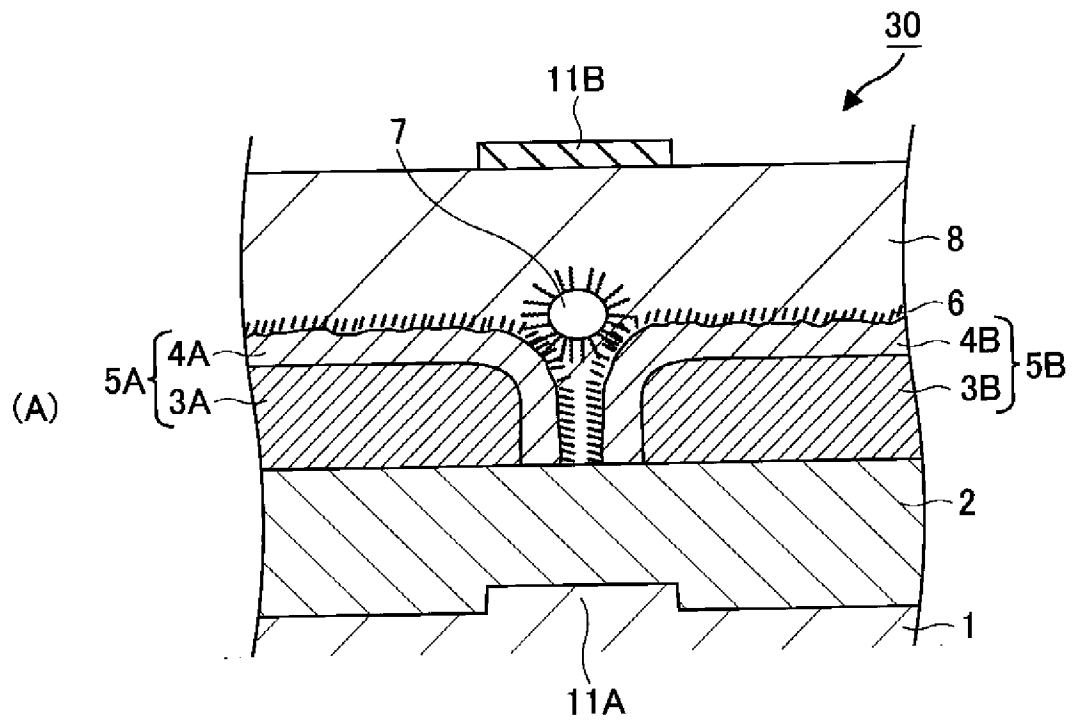
[図5]



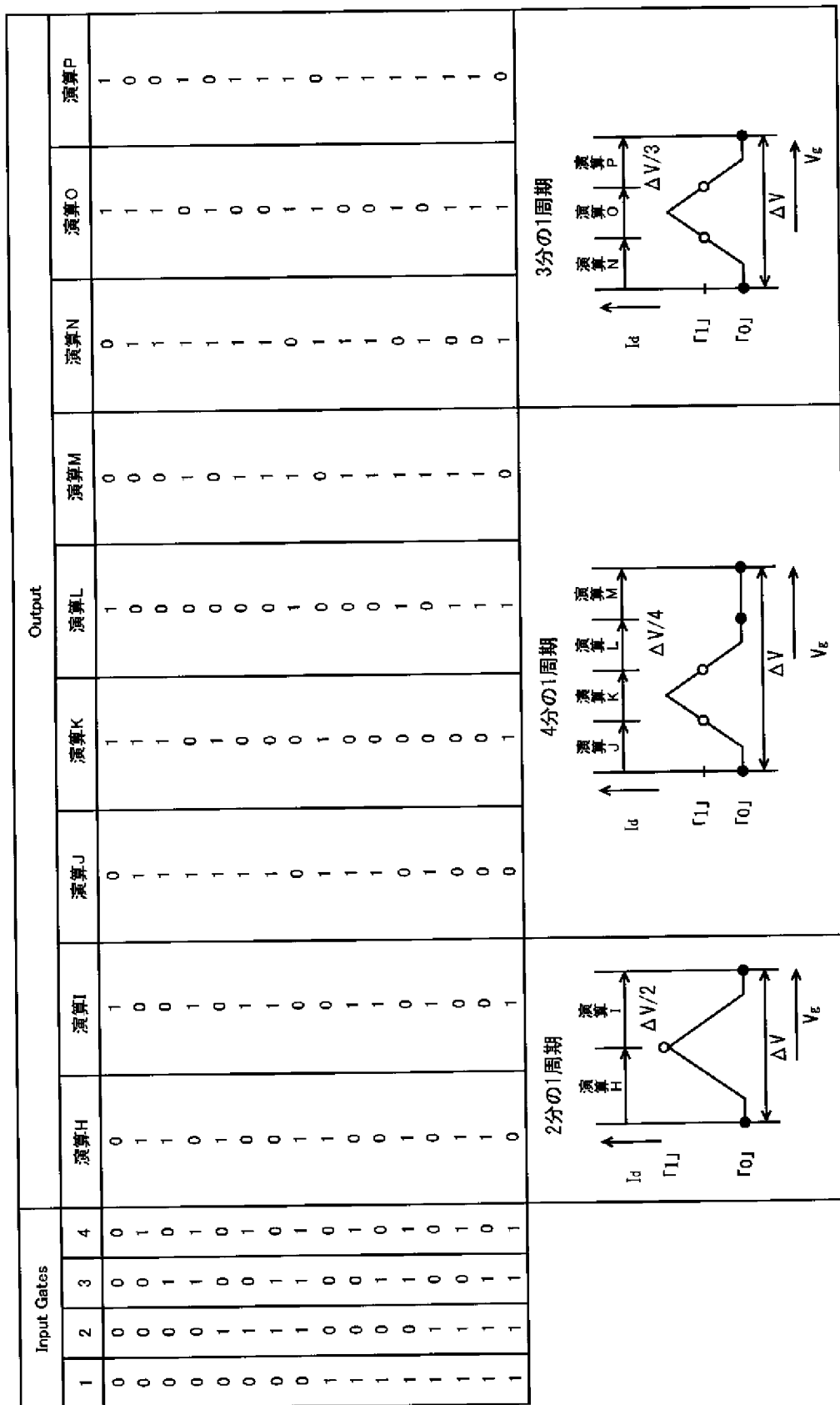
[図6]



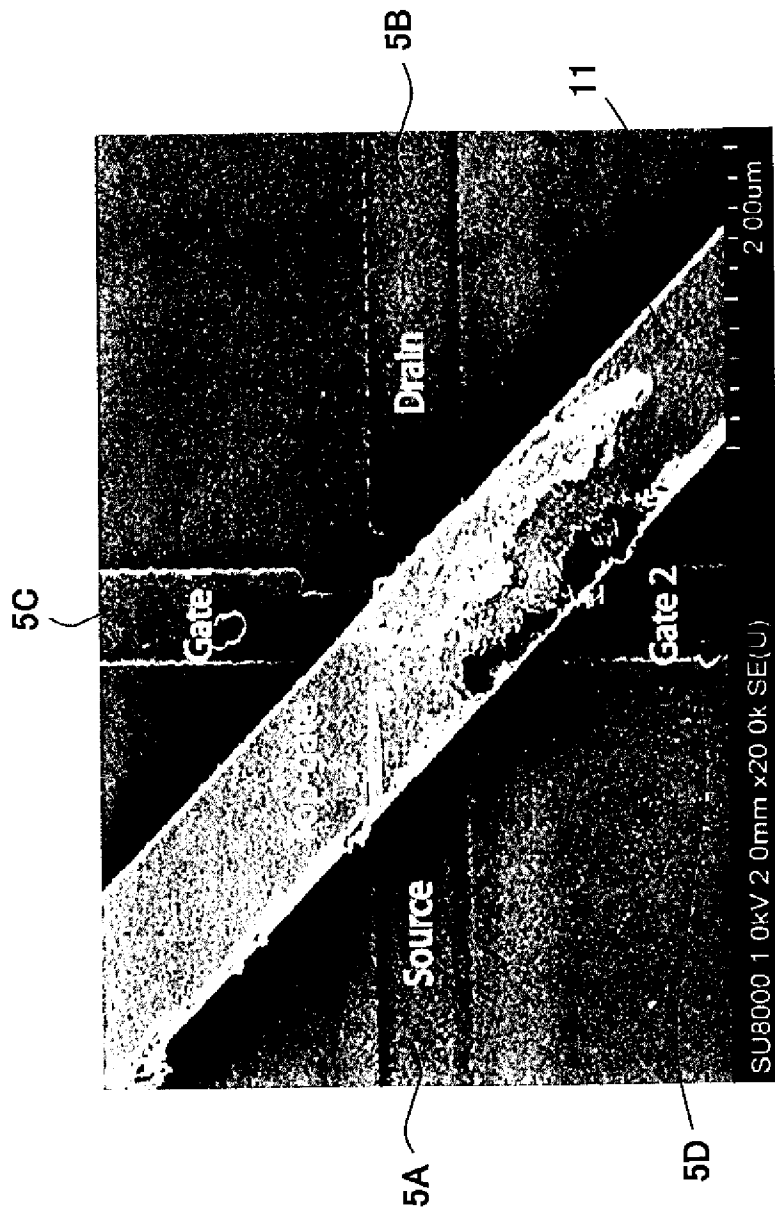
[図7]



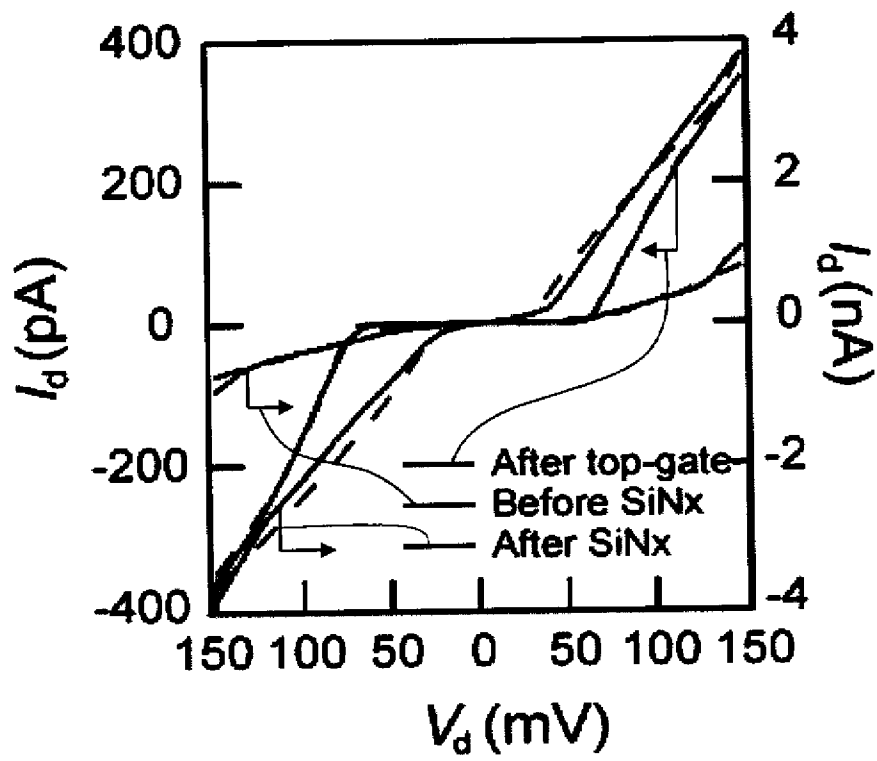
[図8]



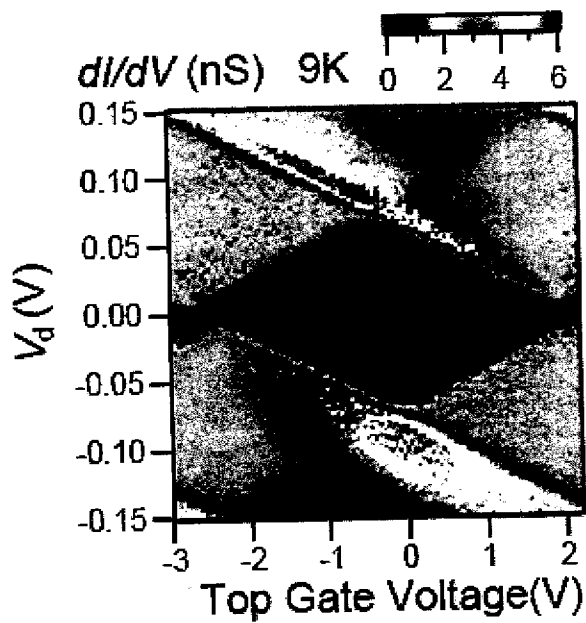
[9]



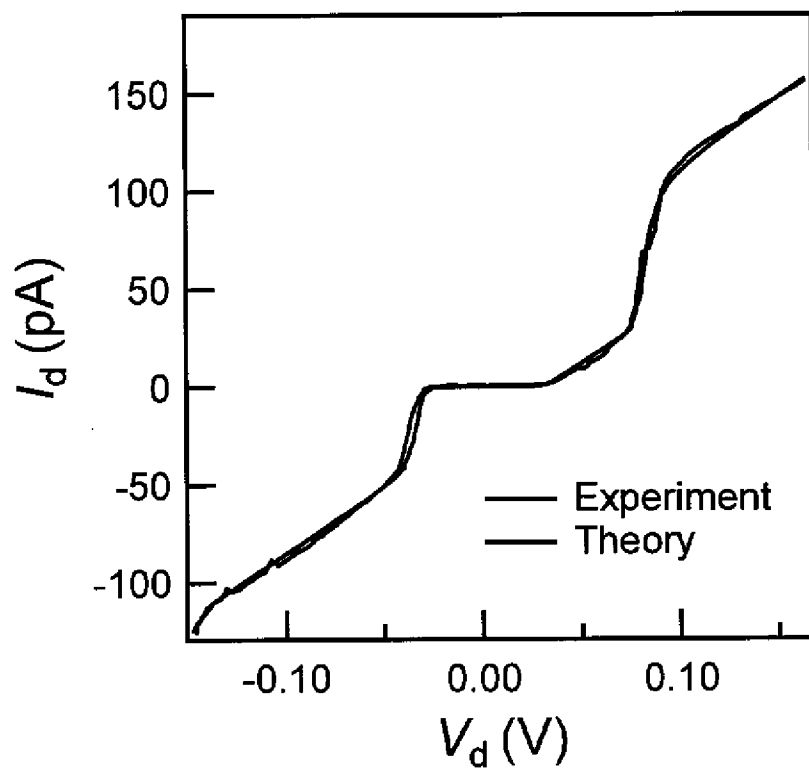
[図10]



[図11]

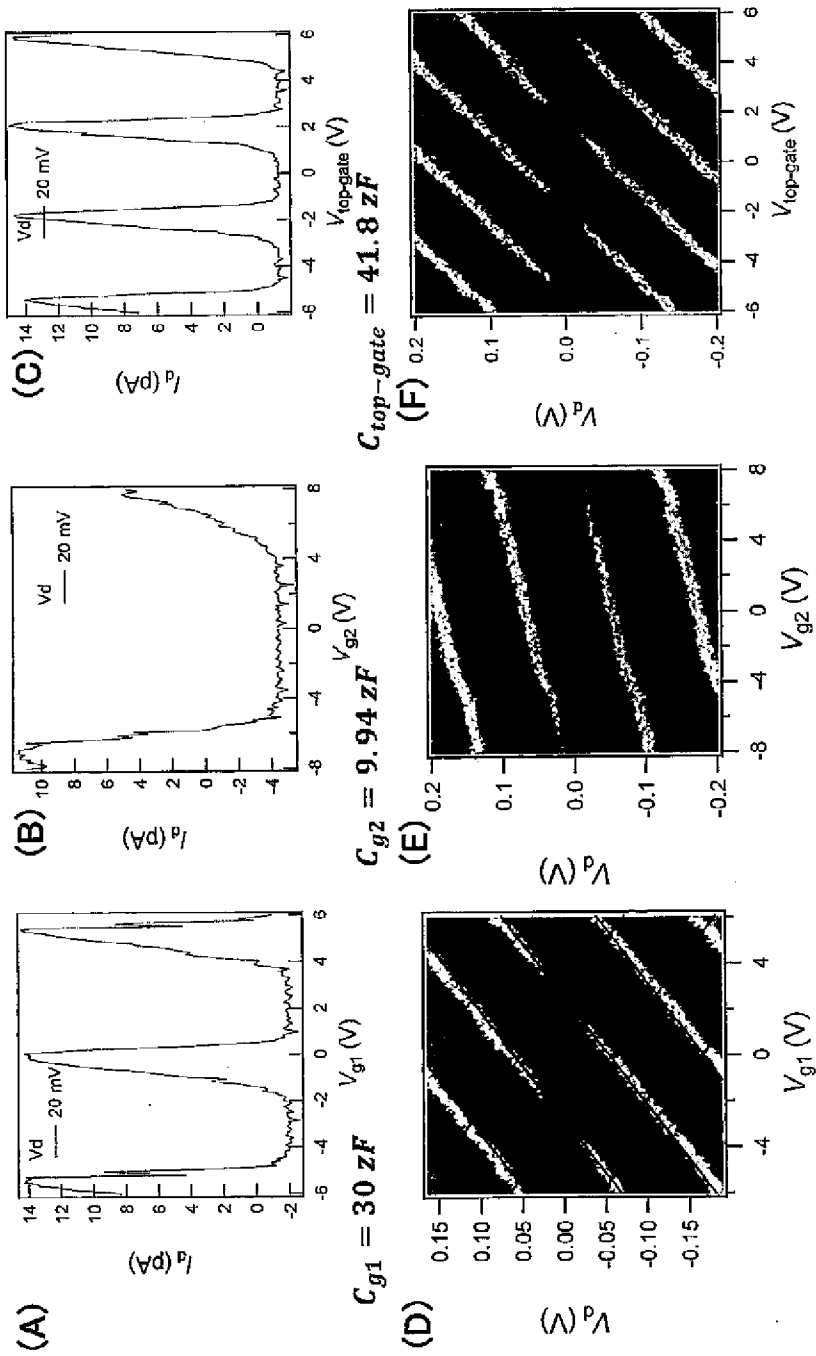


[図12]

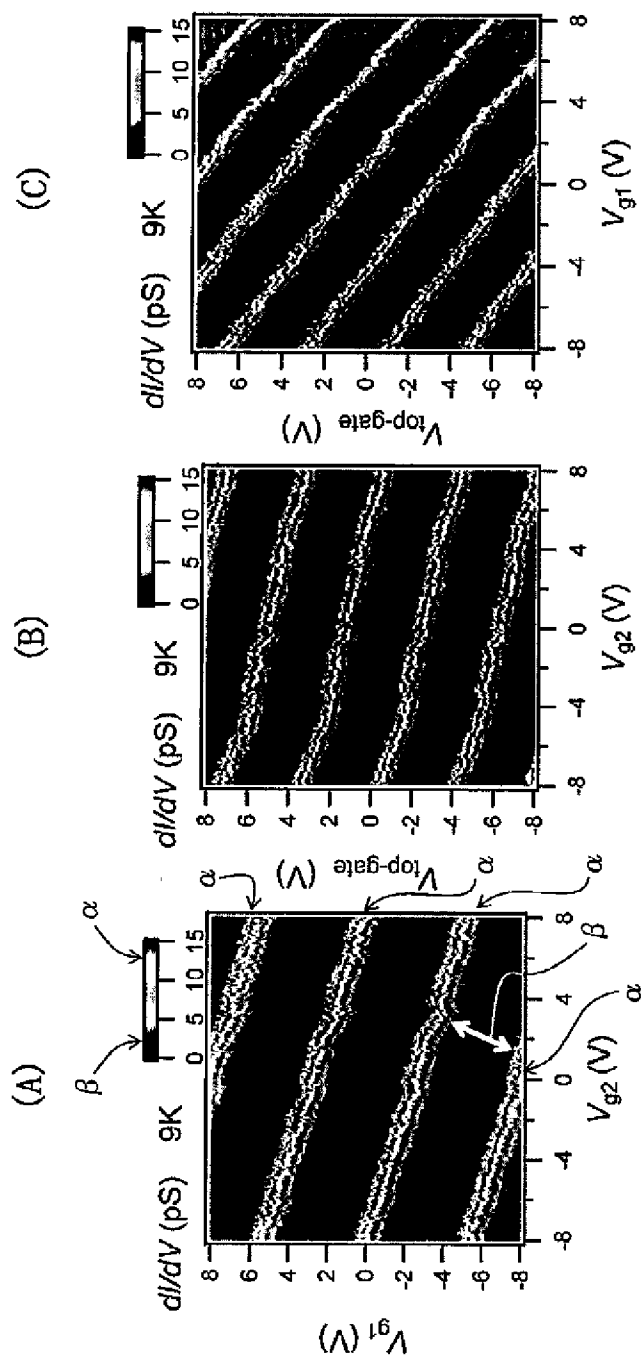


[13]

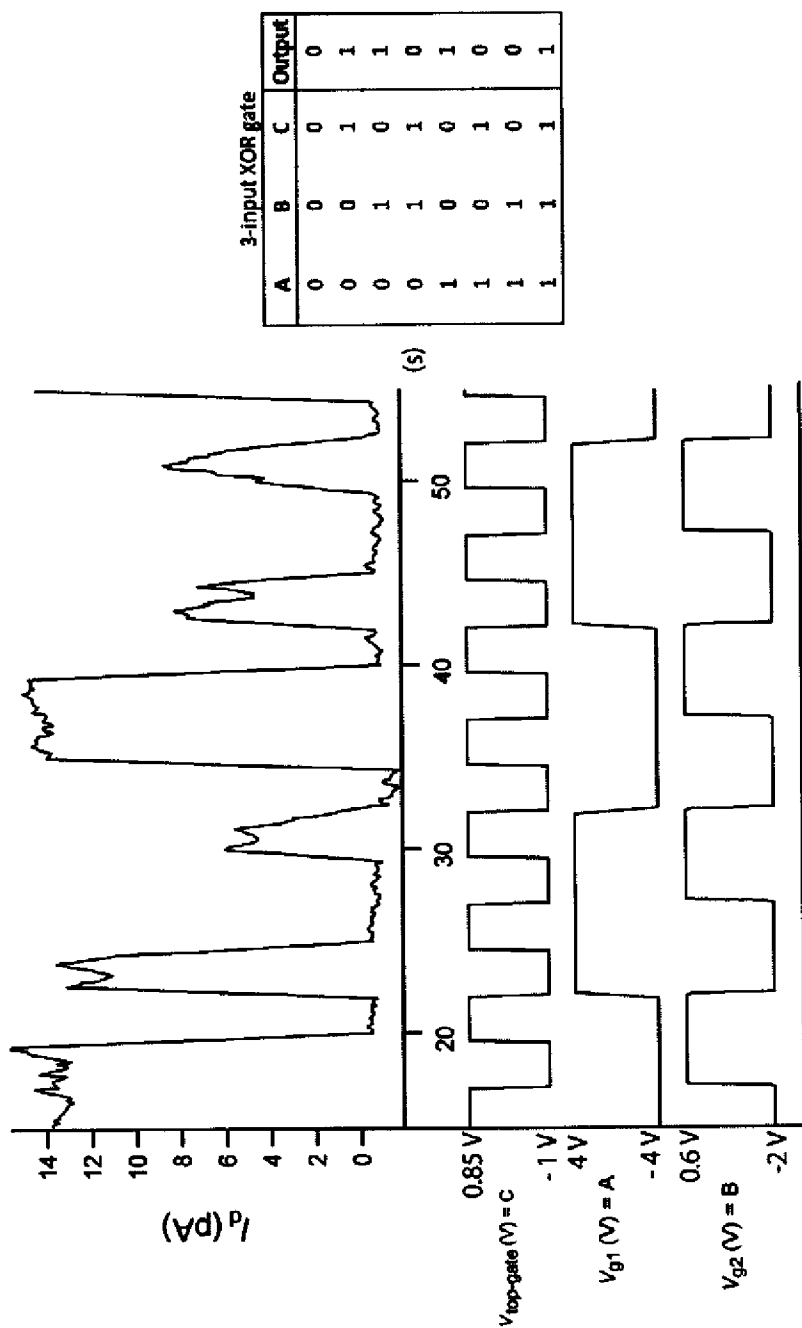
Results obtained at 9 K



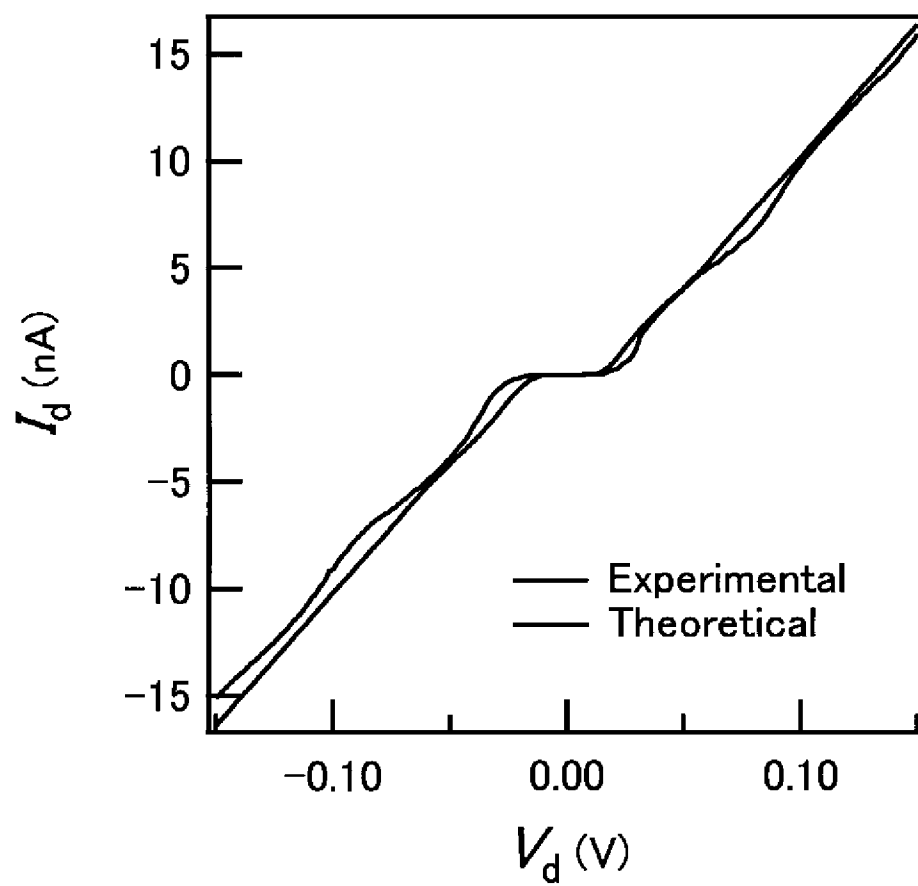
[14]



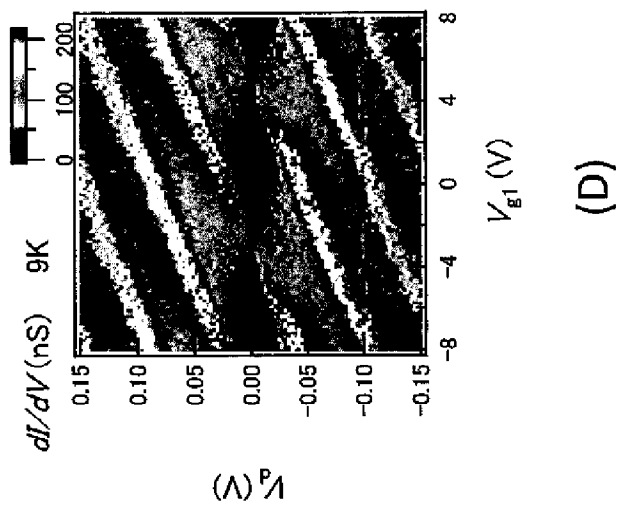
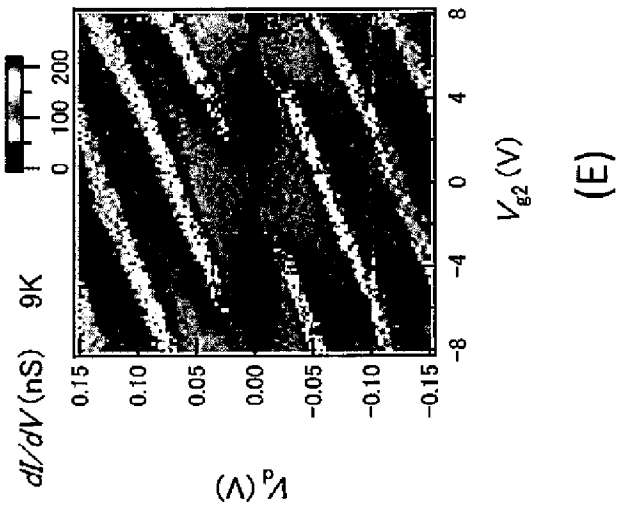
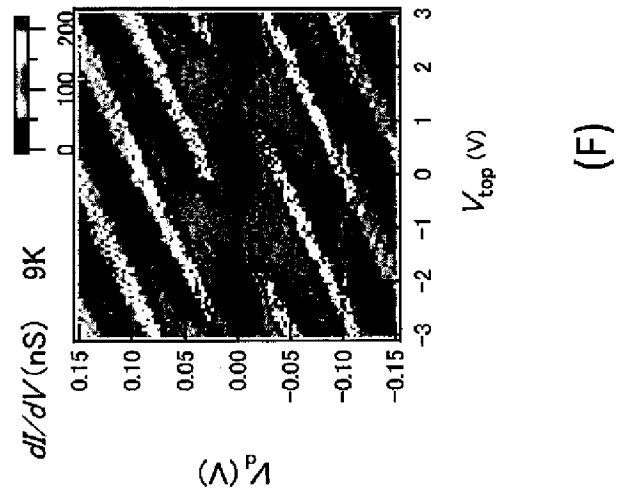
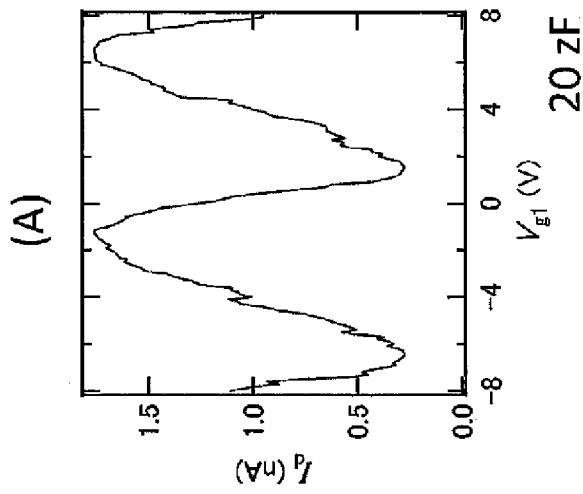
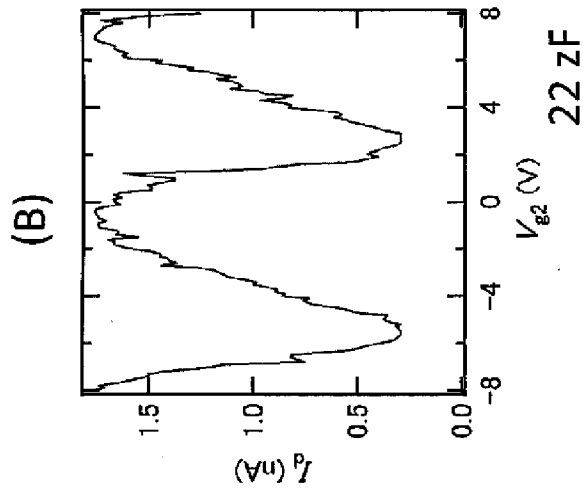
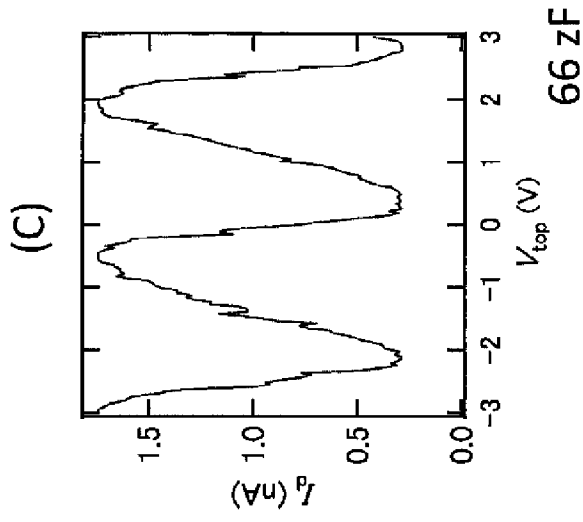
[15]



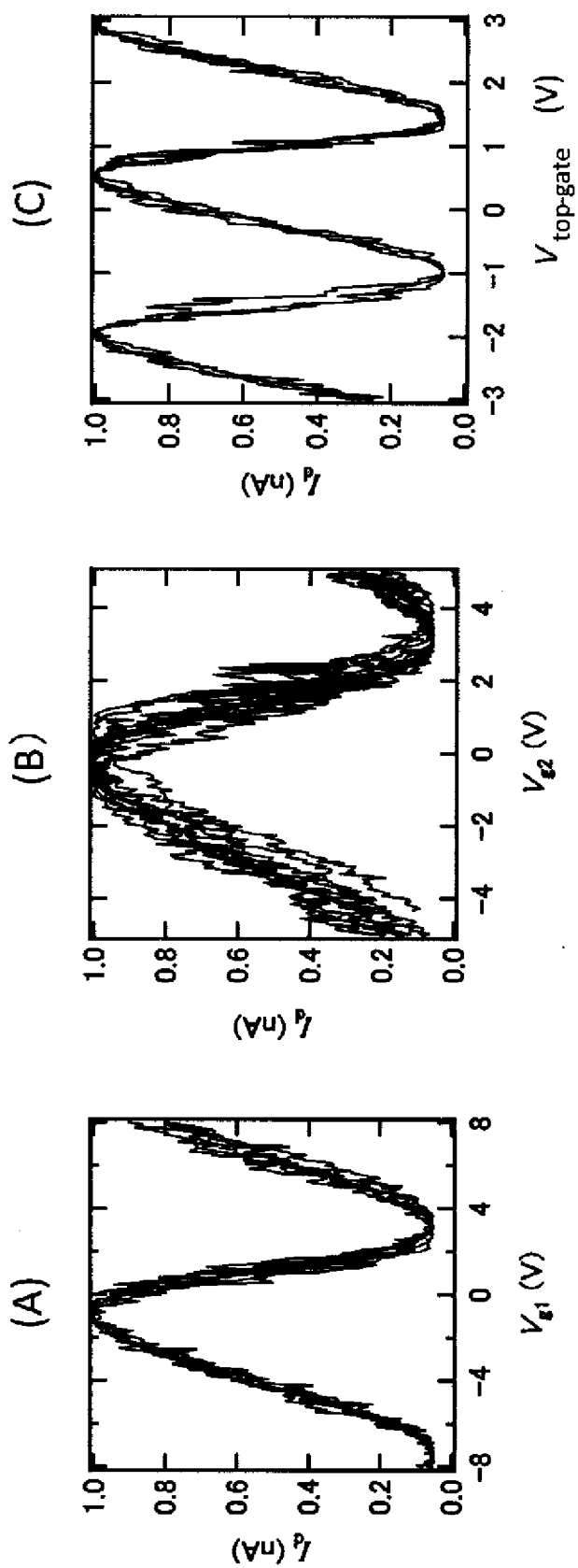
[図16]



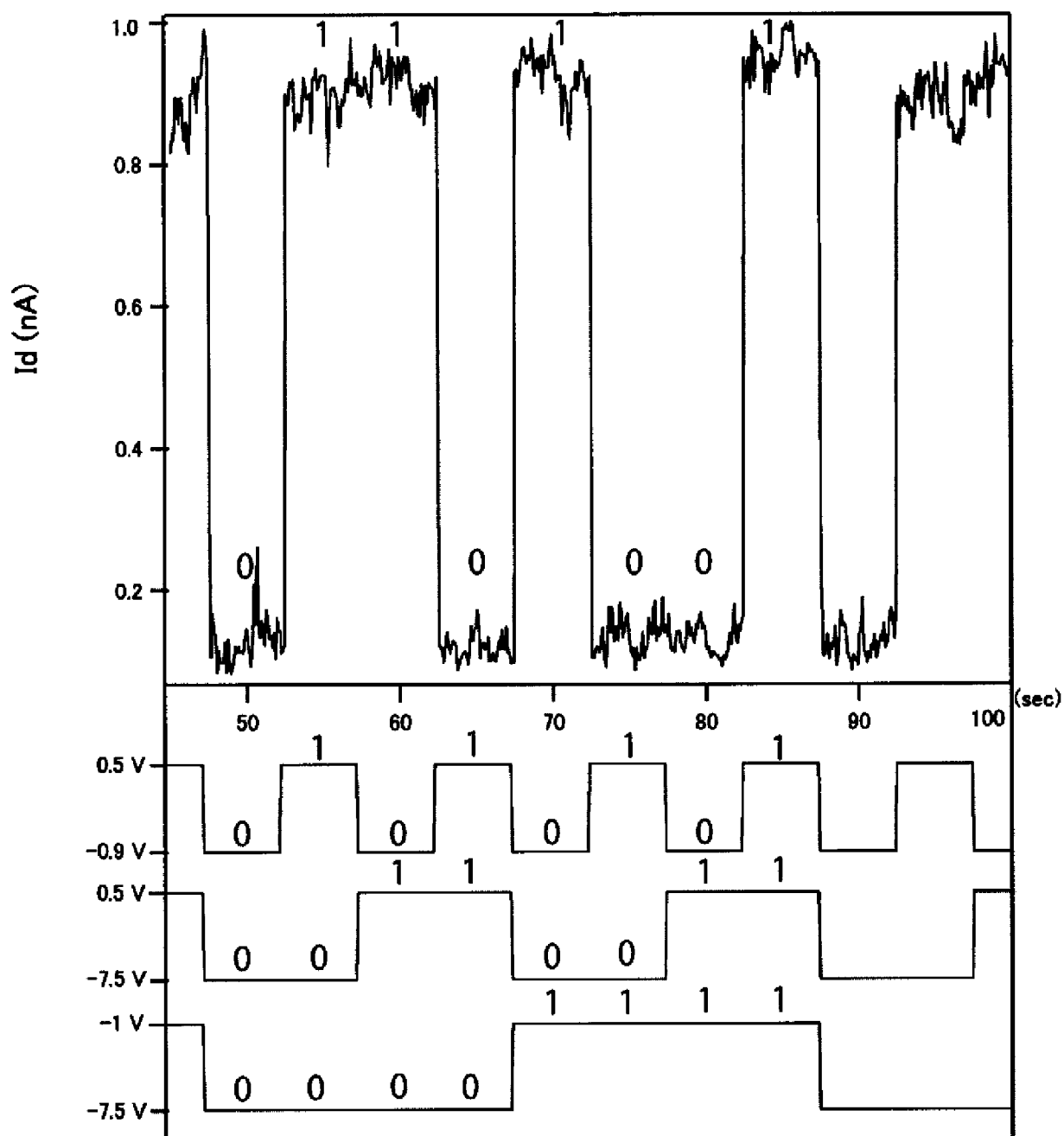
[17]



[18]

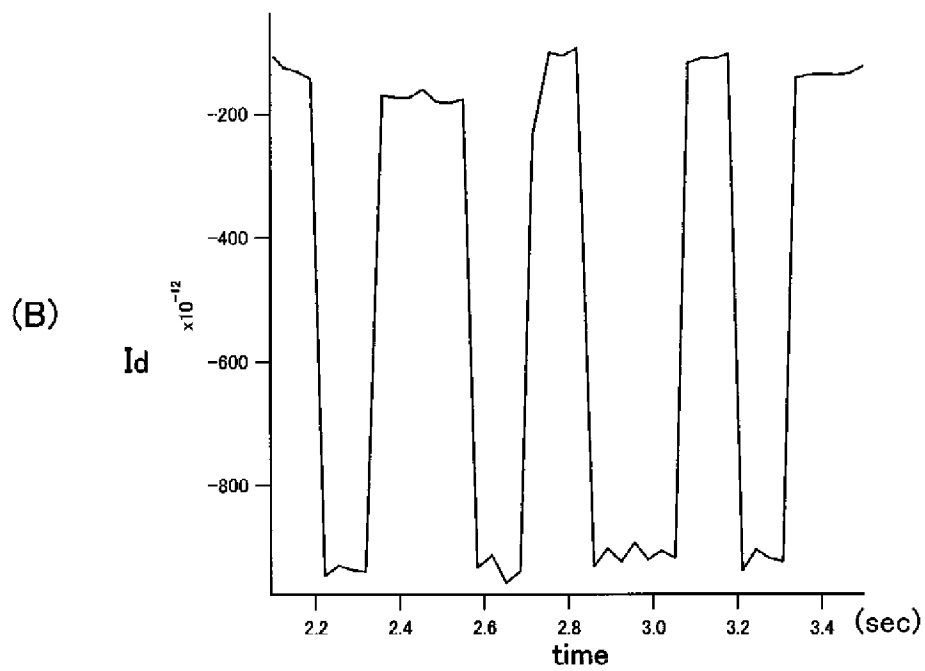
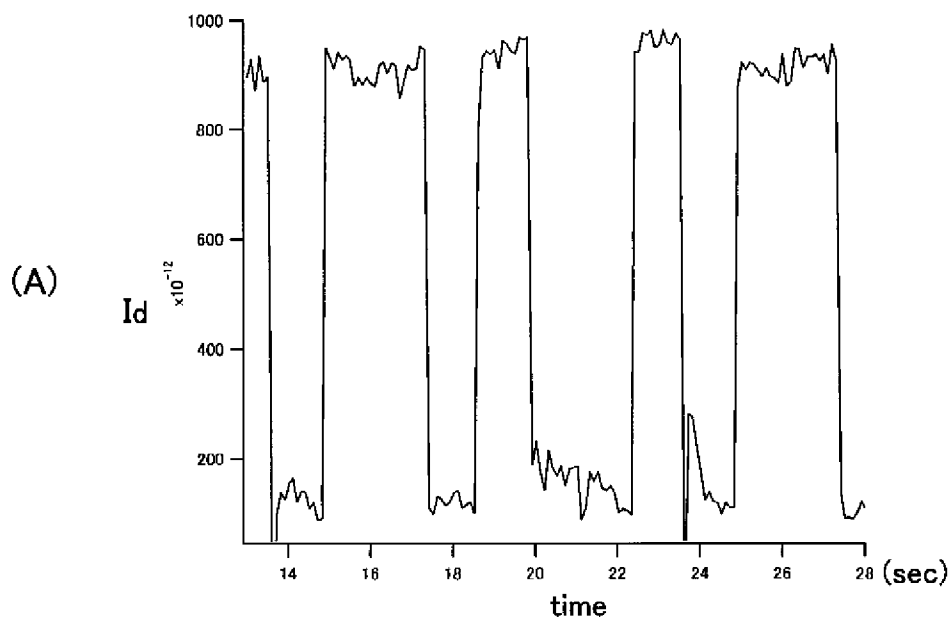


[図19]



Lowest current : 0.1 nA
Highest current : 0.94 nA
ON/OFF ratio : 9.4
Frequency : 0.025 Hz

[図20]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/056079

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/66(2006.01) i, H01L29/06(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/66, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 6-196720 A (Nippon Telegraph and Telephone Corp.), 15 July 1994 (15.07.1994), fig. 1; paragraphs [0009] to [0011] (Family: none)	1-2 3-6 7-8
Y A	JP 4054881 B2 (Matsushita Electric Industrial Co., Ltd.), 05 March 2008 (05.03.2008), fig. 1, 12, 13; paragraphs [0034] to [0037], [0119] to [0122], [0124] to [0127] & WO 2007/091364 A1	3-6 7-8

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 May, 2014 (21.05.14)	Date of mailing of the international search report 03 June, 2014 (03.06.14)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/056079

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4873335 B2 (Japan Science and Technology Agency), 08 February 2012 (08.02.2012), fig. 5, 14; paragraphs [0007], [0041] & JP 2001-313386 A & US 2002/0134996 A1 & EP 1198008 A1 & WO 2001/084634 A1 & TW 508821 B & CN 1366712 A & CN 1604336 A & CN 1604337 A	1-8
A	JP 9-102616 A (Max-Planck-Gesellschaft zur Forderung der Wissenschaften e.V.), 15 April 1997 (15.04.1997), fig. 11, 12; paragraphs [0035], [0061] to [0062] & US 5989947 A & DE 19522351 A1	1-8

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L29/66(2006.01)i, H01L29/06(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L29/66, H01L29/06		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 6-196720 A（日本電信電話株式会社）1994.07.15, 図1、段落009-0011（ファミリーなし）	1-2 3-6 7-8
Y A	JP 4054881 B2（松下電器産業株式会社）2008.03.05, 図1, 12, 13、段落0034-0037, 0119-0122, 0124-0127 & WO 2007/091364 A1	3-6 7-8
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 21.05.2014	国際調査報告の発送日 03.06.2014	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 儀同 孝信 電話番号 03-3581-1101 内線 3559	50 3566

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 4873335 B2 (独立行政法人科学技術振興機構) 2012.02.08, 図5, 14、段落0007, 0041 & JP 2001-313386 A & US 2002/0134996 A1 & EP 1198008 A1 & WO 2001/084634 A1 & TW 508821 B & CN 1366712 A & CN 1604336 A & CN 1604337 A	1-8
A	JP 9-102616 A (マックスプランク-ゲゼルシャフト ツール フェルデルンク デル ヴィッセンシャフテン エー. ファウ.) 1997.04.15, 図11, 12、段落0035, 0061-0062 & US 5989947 A & DE 19522351 A1	1-8