

【11】證書號數：I579841

【45】公告日：中華民國 106 (2017) 年 04 月 21 日

【51】Int. Cl. : G11C11/15 (2006.01) G11C11/412 (2006.01)

發明

全 33 頁

【54】名稱：記憶電路

【21】申請案號：104126085

【22】申請日：中華民國 104 (2015) 年 08 月 11 日

【11】公開編號：201618101

【43】公開日期：中華民國 105 (2016) 年 05 月 16 日

【30】優先權：2014/08/12

日本

2014-164526

【72】發明人：菅原聰 (JP) SUGAHARA, SATOSHI；周藤悠介 (JP) SHUTO, YUSUKE；山本修一郎 (JP) YAMAMOTO, SHUICHIRO

【71】申請人：國立研究開發法人科學技術振興 JAPAN SCIENCE AND TECHNOLOGY  
機構 AGENCY  
日本

【74】代理人：惲軼群

【56】參考文獻：

TW 201106371A1

TW 201419300A

TW 201430847A

US 7859936B1

US 2003/0076705A1

US 2014/0219010A1

審查人員：賴炳成

## 【57】申請專利範圍

1. 一種記憶電路，其特徵為包括：複數個記憶胞(cell)，各個記憶胞包含有：雙穩態電路，係記憶資料；及非揮發性元件，係非揮發地儲存已記憶於前述雙穩態電路的資料，且將已非揮發地儲存的資料復原至前述雙穩態電路；並且前述複數個記憶胞排列成複數個列及複數個行，且前述複數個列被分割，形成各個包含 1 個或複數個列之複數個記憶庫(bank)；及控制部，依序將前述複數個列進行儲存動作，將供給至第 1 記憶庫的記憶胞之電源的電壓設為第 1 電壓，該第 1 記憶庫為前述複數個記憶庫中包含被進行儲存動作列之記憶庫，並將供給至前述複數個記憶庫中前述第 1 記憶庫以外的記憶胞之電源的電壓，設為比前述第 1 電壓低、且維持前述雙穩態電路的資料的第 2 電壓。
2. 如請求項 1 之記憶電路，其中前述控制部對所含之列的儲存動作結束的每一記憶庫，將供給至前述記憶胞之電源的電壓設為前述第 2 電壓。
3. 如請求項 1 之記憶電路，其中前述控制部對所含之列的儲存動作結束的每一記憶庫，關斷供給至前述記憶胞之電源的電壓。
4. 如請求項 1 至 3 中任一項之記憶電路，其中前述非揮發性元件的一端連接於前述雙穩態電路內的節點，另一端連接於控制線；前述複數個記憶胞各個備有切換器，該切換器於前述節點與前述控制線之間，與前述非揮發性元件串聯；供給至前述複數個記憶胞之電源的電壓是供給至前述雙穩態電路。
5. 如請求項 1 至 3 中任一項之記憶電路，其中前述複數個記憶庫各個包含 1 個列。
6. 一種記憶電路，其特徵為包括：複數個記憶胞，各個記憶胞包含有：雙穩態電路，係記憶資料；及非揮發性元件，係非揮發地儲存已記憶於前述雙穩態電路的資料，且將非揮發地儲存的資料復原至前述雙穩態電路；1 個或複數個電源切換器，變更供給至前述複

(2)

數個記憶胞之電源的電壓；及控制部，將藉由 1 個電源切換器供給共通電壓的區域分割成複數個區塊，在於前述區域中前述複數個區塊各不相同的期間進行儲存動作。

7. 如請求項 6 之記憶電路，其中前述複數個記憶胞排列成複數個列及複數個行；前述區域包含 1 個或複數個列；1 個列被分割為前述複數個區塊。
8. 如請求項 7 之記憶電路，其中前述複數個記憶胞各個包含有執行資料的儲存之切換器；前述複數個區塊的各個記憶胞內之前述切換器連接於共通的子切換器線；相同列的子切換器線連接於 1 個切換器線；前述記憶電路更包括選擇電路，該選擇電路係選擇前述複數個區塊中之 1 個區塊，且對選擇的區塊的子切換器線，輸出開啟前述切換器的訊號。
9. 如請求項 8 之記憶電路，其中前述非揮發性元件的一端連接於前述雙穩態電路內的節點，另一端連接於控制線；前述切換器是於前述節點與前述控制線之間，與前述非揮發性元件串聯；供給至前述記憶胞之電源的電壓是供給至前述雙穩態電路。
10. 如請求項 7 至 9 中任一項之記憶電路，其中前述複數個區塊各個包含相同列內連續的記憶胞。
11. 如請求項 7 至 9 中任一項之記憶電路，其中前述複數個區塊各個包含相同列內之週期性排列的記憶胞。
12. 如請求項 6 至 9 中任一項之記憶電路，其包括：判定電路，判定前述複數個區塊之各個記憶胞內之前述雙穩態電路與前述非揮發性元件的資料一致或不一致；及選擇電路，在前述資料不一致時，進行相對應之區塊內的記憶胞的儲存動作，而在前述資料一致時，則不進行前述相對應之區塊內的記憶胞的儲存動作。
13. 一種記憶電路，其特徵為包括：複數個記憶胞，各個記憶胞包含有：雙穩態電路，係記憶資料；及非揮發性元件，其一端連接於前述雙穩態電路內的節點，另一端連接於控制線，該非揮發性元件係非揮發地儲存已記憶於前述雙穩態電路的資料，且將非揮發地儲存的資料復原至前述雙穩態電路；及切換器，係於前述節點與前述控制線之間，與前述非揮發性元件串聯；並且，前述複數個記憶胞排列成各個連接於共通的切換器線的複數個列、及各個連接於共通的控制線的複數個行；判定電路，對於相同的控制線共通地設置，根據相對應之控制線的訊號，判定連接於前述相對應之控制線之記憶胞內之前述雙穩態電路與前述非揮發性元件的資料一致或不一致；及選擇電路，在前述資料不一致時，令連接於前述相對應之控制線之記憶胞內之前述切換器開啟，而在前述資料一致時，則令連接於前述相對應控制線的切換器關閉。
14. 如請求項 13 之記憶電路，其中 1 個列被分割為各個包含複數個記憶胞之複數個區塊；前述選擇電路是於相對應之區塊內之複數個記憶胞的資料之至少 1 個不一致時，令前述相對應之區塊內之前述切換器開啟，而在前述相對應之區塊內之複數個記憶胞的資料全部一致時，則令前述相對應區塊內之前述切換器關閉。
15. 如請求項 14 之記憶電路，其中前述判定電路是於相同區塊內的複數個控制線共通地設置。
16. 如請求項 13 至 15 中任一項之記憶電路，其中一對前述非揮發性元件分別連接於前述雙穩態電路之互補節點；一對前述控制線分別連接於前述一對非揮發性元件；前述判定電路根據前述雙穩態電路的資料、及前述一對控制線的訊號，判定前述資料一致或不一致。
17. 一種記憶電路，其特徵為包括：雙穩態電路，從電源線及接地線被供給電壓，記憶資料；非揮發性元件，其一端連接於前述雙穩態電路內的節點，另一端連接於控制線，藉使電阻值因流經前述一端與前述另一端之間的電流而變更，以非揮發地儲存記憶於前述雙穩態電路的資料，且將非揮發地儲存的資料復原至前述雙穩態電路；FET，源極及汲極在前述節點與前述控制線之間，與前述非揮發性元件串聯；及控制部，於前述雙穩態電路，在將資料揮發地進行寫入及讀出的第 1 期間，當前述 FET 為 n 通道 FET 時，使施

(3)

加於前述 FET 的閘極的電壓低於前述接地線的電壓，當前述 FET 為 p 通道 FET 時，使其高於前述電源線的電壓。

18. 如請求項 17 之記憶電路，其中前述控制部是在前述雙穩態電路的資料維持、且前述電源線的電壓與前述接地線的電壓的差值小於前述第 1 期間中前述電源線的電壓與前述接地線的電壓的差值之第 2 期間，當前述 FET 為 n 通道 FET 時，使施加於前述 FET 的閘極的電壓低於前述第 1 期間中前述接地線的電壓，當前述 FET 為 p 通道 FET 時，則使其高於前述第 1 期間中前述電源線的電壓。
19. 如請求項 17 或 18 之記憶電路，其中前述控制部，當前述 FET 為 n 通道 FET 時，使於將已儲存於前述非揮發性元件的資料復原至前述雙穩態電路的期間中施加於前述 FET 的閘極的電壓，低於將已記憶於前述雙穩態電路的資料非揮發性地儲存於非揮發性記憶體的期間中施加於前述 FET 的閘極的電壓；當前述 FET 為 p 通道 FET 時，使前述復原之期間中施加於前述 FET 的閘極的電壓，高於前述儲存之期間中施加於前述 FET 的閘極的電壓。

#### 圖式簡單說明

圖 1 為實施例 1 至 3 之記憶胞的電路圖。

圖 2 是表示實施例 1 至 3 之記憶電路的方塊圖。

圖 3 是表示實施例 1 至 3 之 NV-SRAM 及 6T-SRAM 之各期間的消耗電流的圖。

圖 4(a)及圖 4(b)是說明實施例 1 之動作的圖。

圖 5 是表示實施例 1 之記憶胞陣列與電源切換器的連接的方塊圖。

圖 6 是表示實施例 1 之記憶胞陣列與電源切換器的其他連接的方塊圖。

圖 7 是表示實施例 1 之儲存動作之例 1 的時序圖。

圖 8 是表示實施例 1 之儲存動作之例 2 的時序圖。

圖 9 是表示實施例 1 之儲存動作之例 3 的時序圖。

圖 10 是表示實施例 1 之儲存動作之例 4 的時序圖。

圖 11 是表示實施例 1 中用於模擬的記憶電路的方塊圖。

圖 12(a)及圖 12(b)是表示實施例 1 中用於模擬的程序圖。

圖 13(a)是表示對於  $nRW$  之  $E_{cyc}$  的圖，圖 13(b)是表示對於  $t_{SD}$  之  $E_{cyc}$  的圖。

圖 14 是表示對於實施例 1 之記憶胞陣列尺寸之 BET 刪減率的圖。

圖 15(a)及圖 15(b)是表示實施例 2 之記憶胞及電源切換器的電路圖。

圖 16 是表示對於電源切換器的通道寬度  $W$  之虛擬電源電壓  $V_{VDD}$  的圖。

圖 17 是表示實施例 2 之記憶胞陣列的一部分的方塊圖。

圖 18(a)及圖 18(b)是表示實施例 2 之選擇電路例的方塊圖。

圖 19 為實施例 2 之切換器線、子切換器線及虛擬電源電壓  $V_{VDD}$  的時序圖。

圖 20 是表示實施例 2 之變形例的記憶電路的方塊圖。

圖 21(a)是表示對於實施例 2 之  $nSR$  之 MOSFET 總通道寬度的圖；圖 21(b)是表示對於實施例 2 之  $nSR$  之總通道寬度/記憶胞的圖。

圖 22 是表示實施例 2 之變形例 1 的記憶胞陣列之一部分的方塊圖。

圖 23 是表示實施例 2 之變形例 2 的記憶胞陣列之一部分的方塊圖。

圖 24 為實施例 2 之變形例 2 之各記憶胞的儲存動作、切換器線、子切換器線及虛擬電源電壓  $V_{VDD}$  的時序圖。

圖 25 是表示實施例 2 之變形例 3 的記憶胞陣列之一部分的方塊圖。



(5)

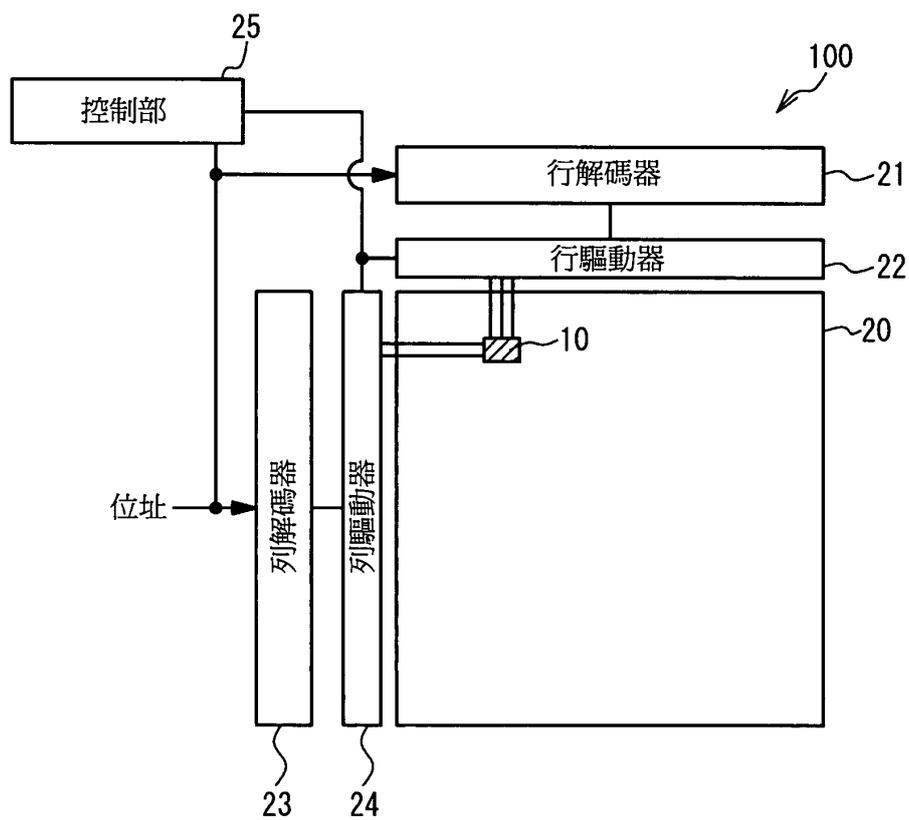


圖2

(6)

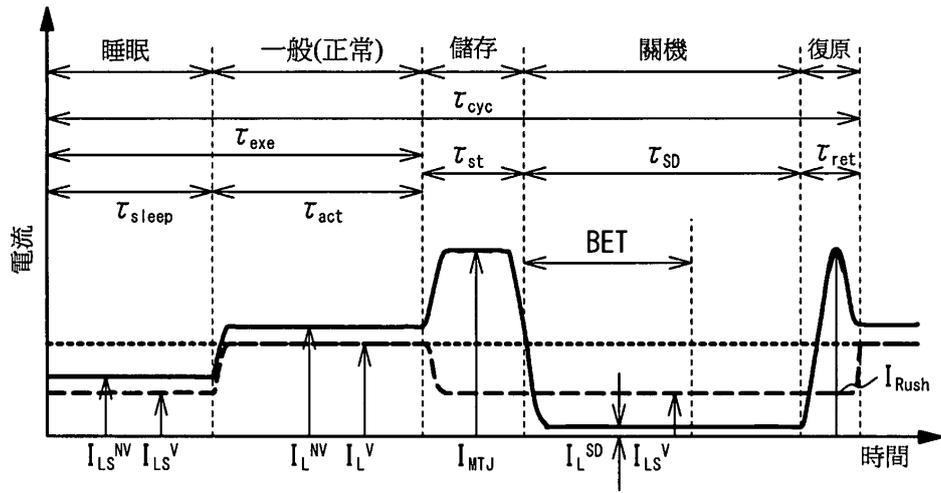
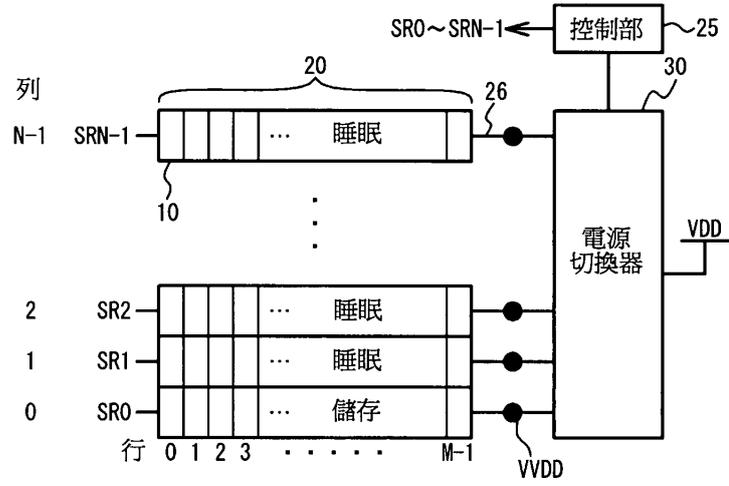


圖3

(7)

(a)



(b)

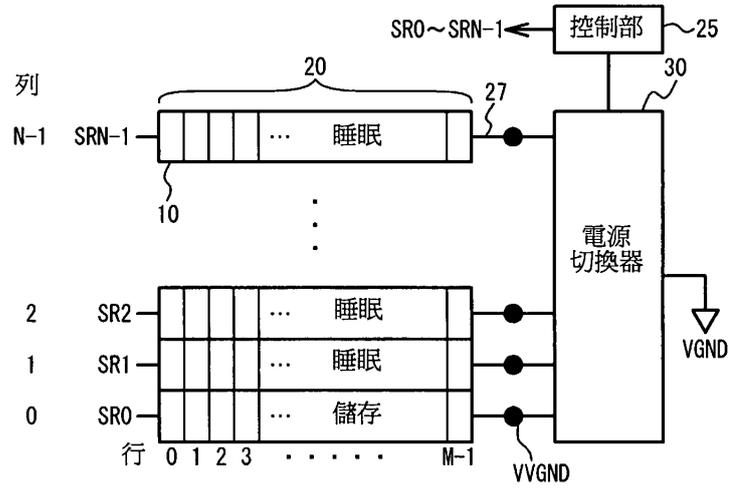


圖4

(8)

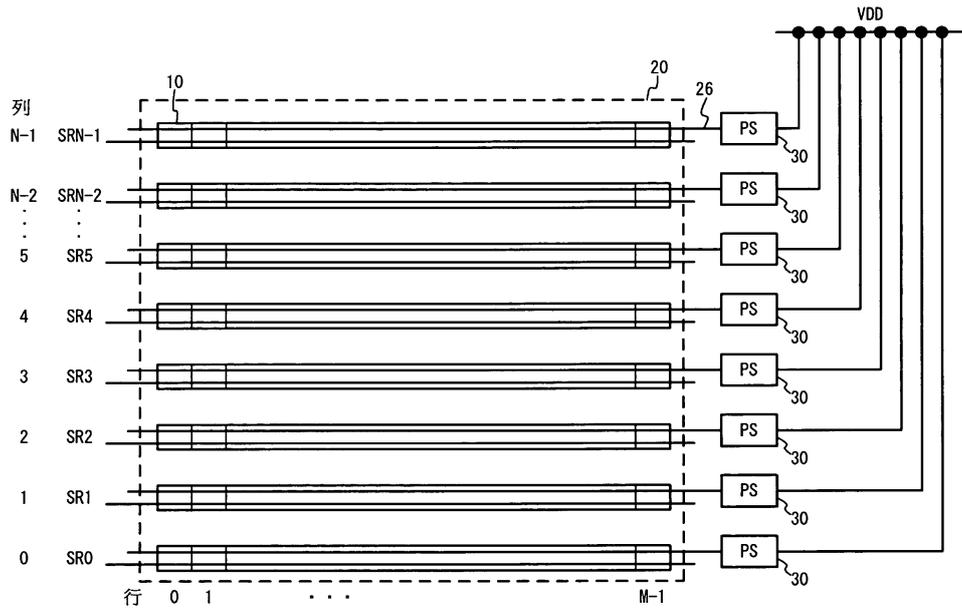


圖5

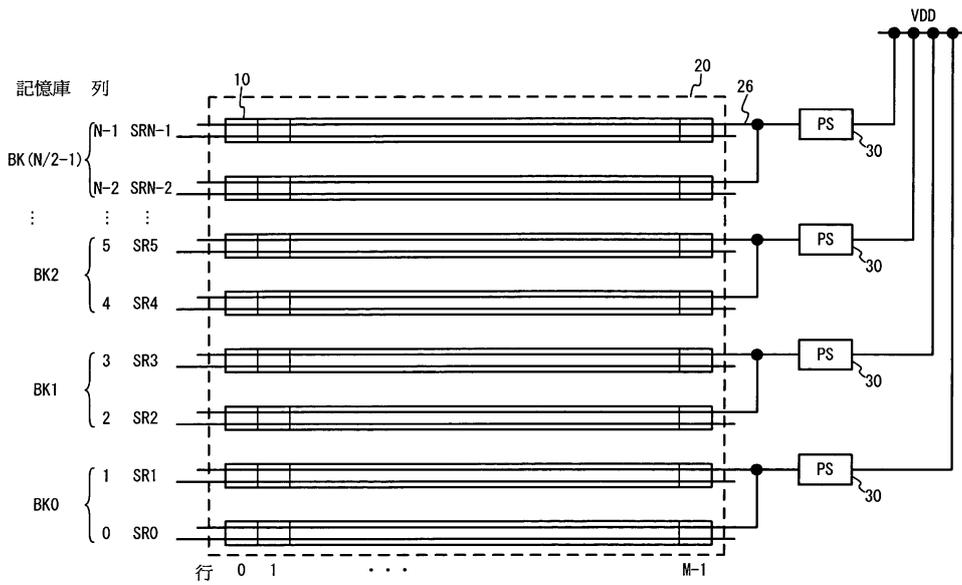


圖6

(9)

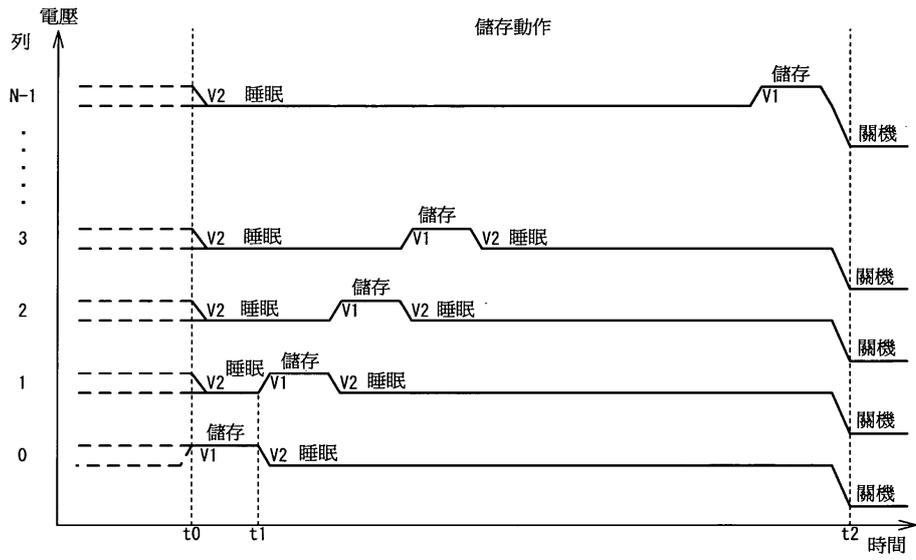


圖7

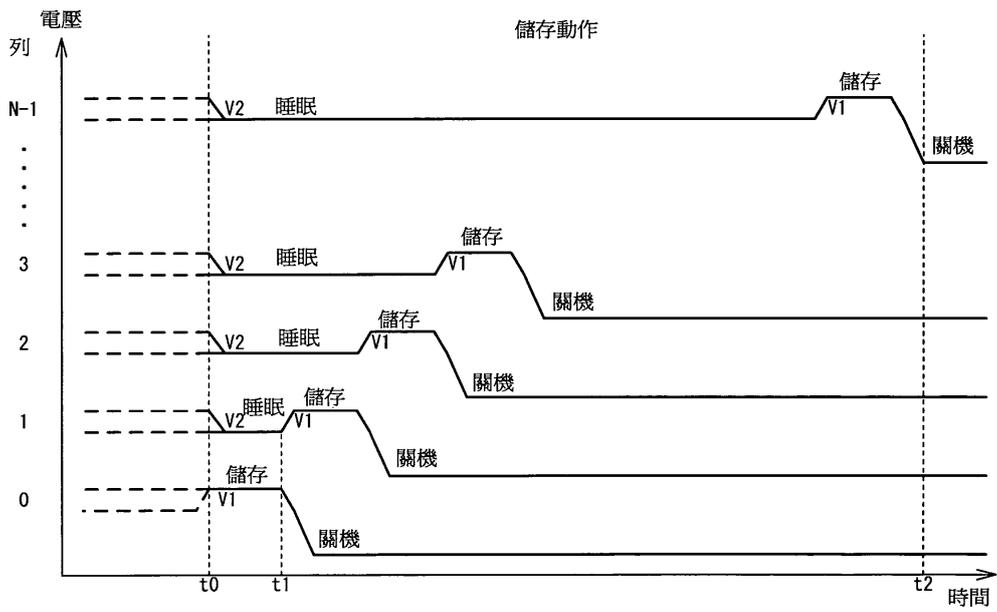


圖8

(10)

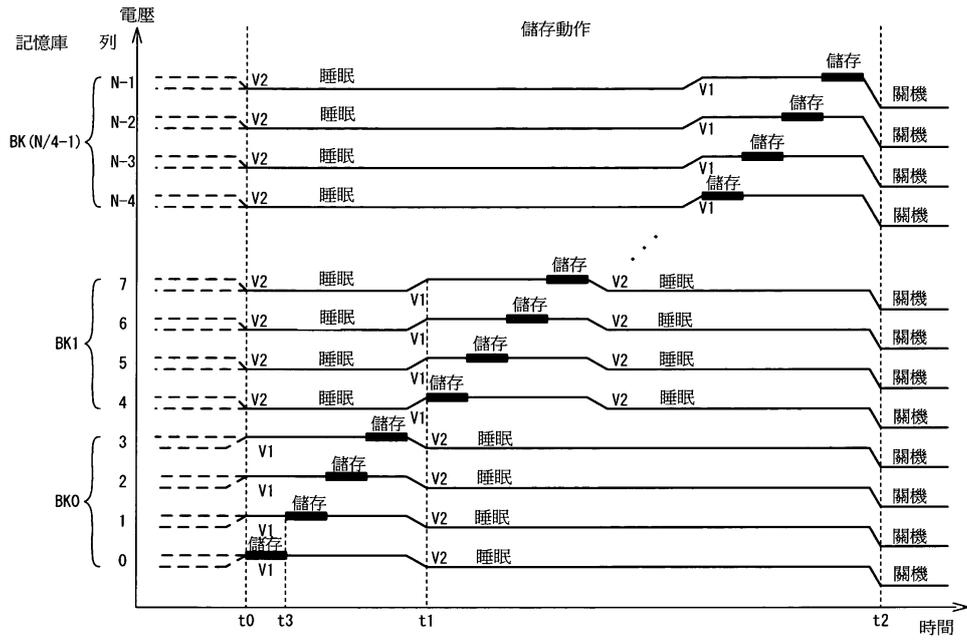


圖9

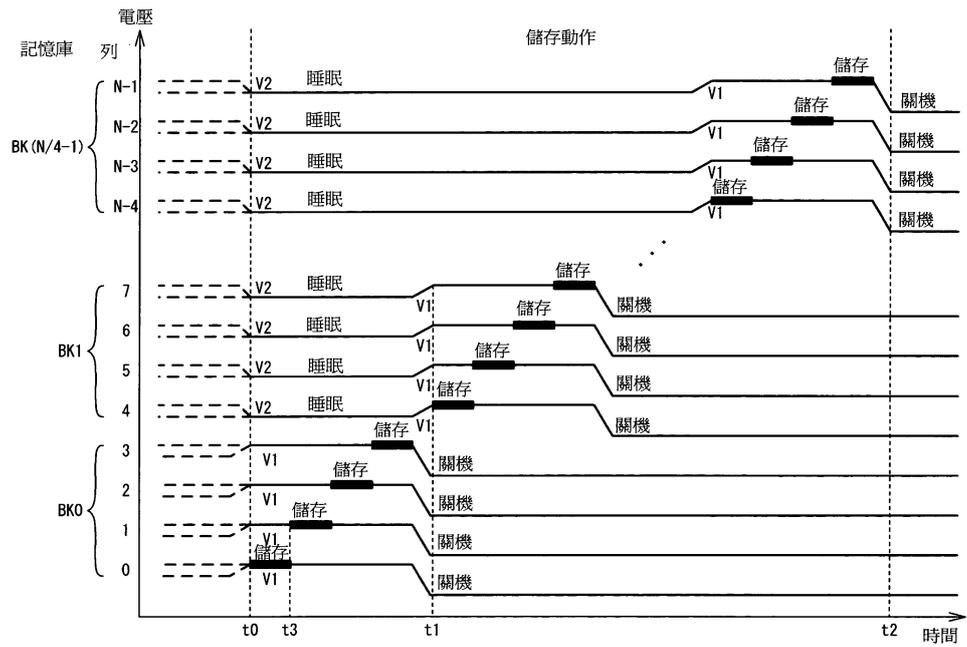


圖10

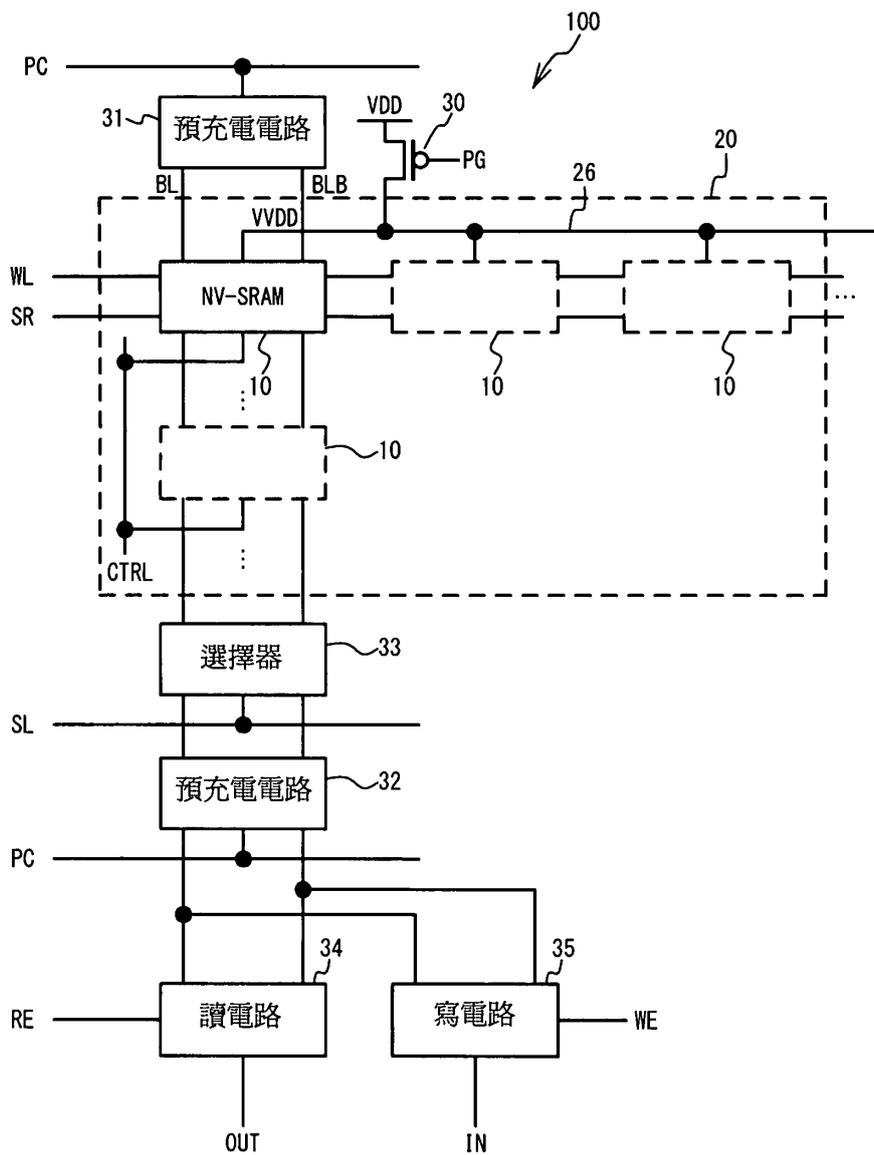
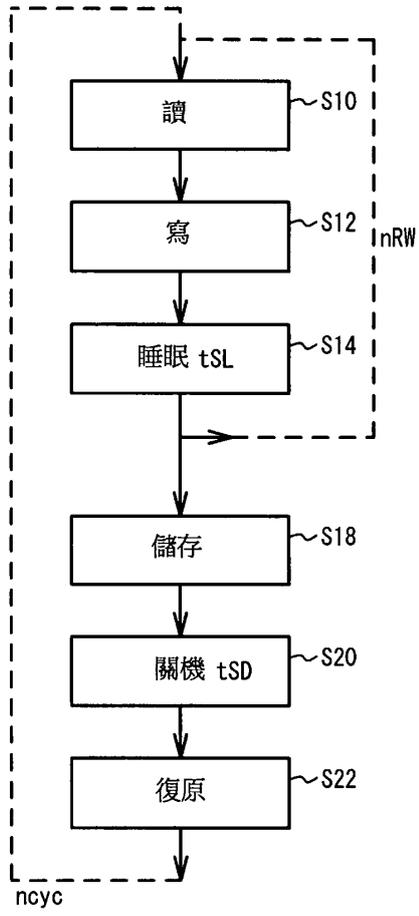


圖11

(12)

(a)



(b)

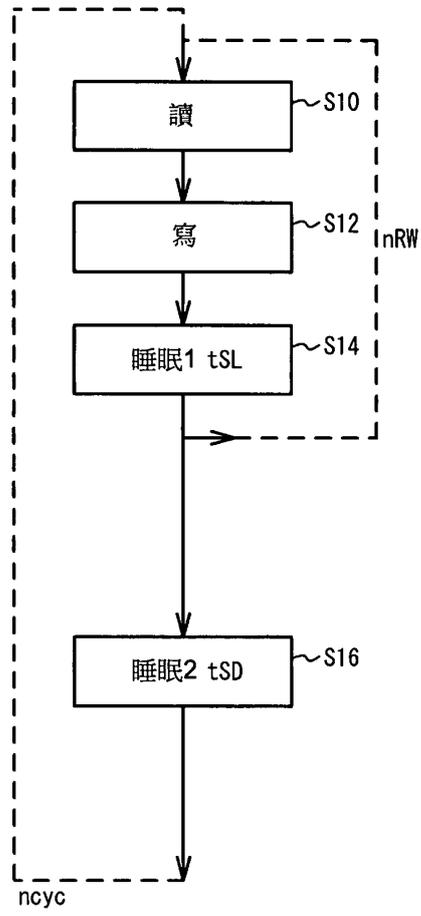
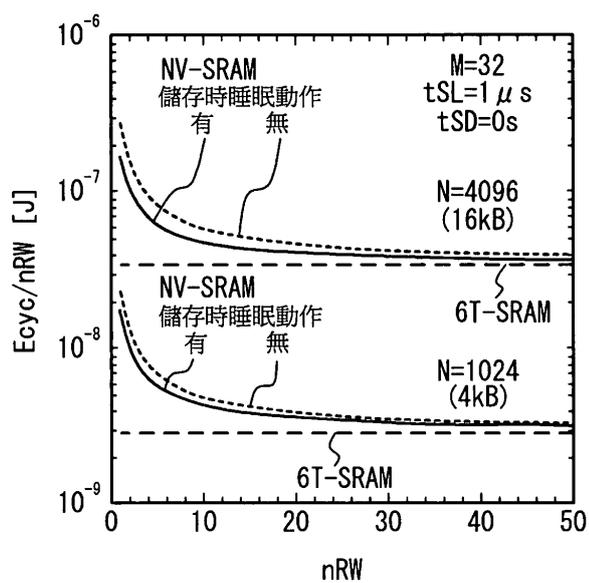


圖12

(13)

(a)



(b)

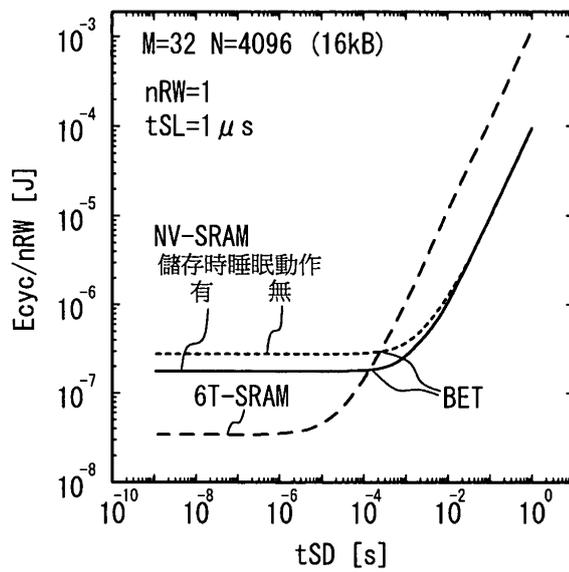


圖13

(14)

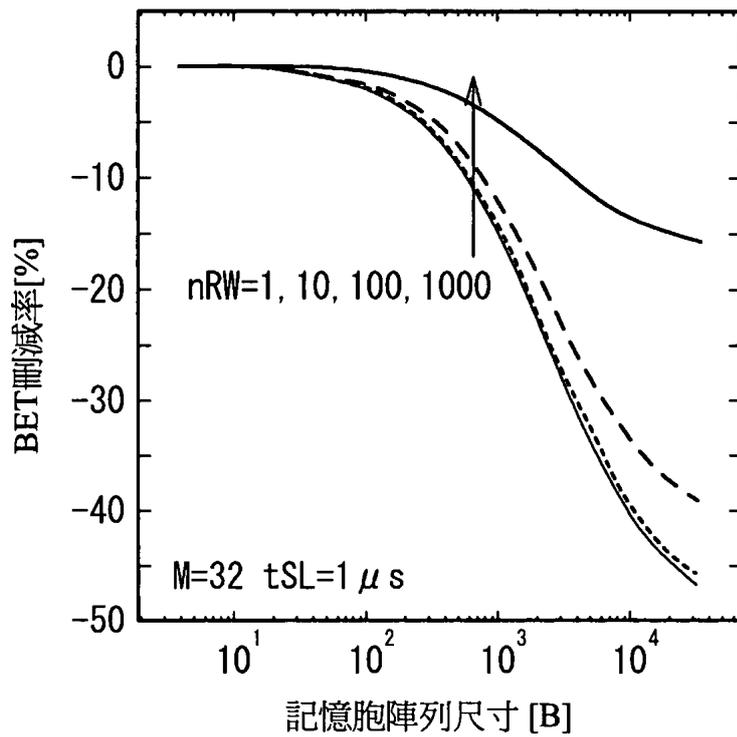


圖14

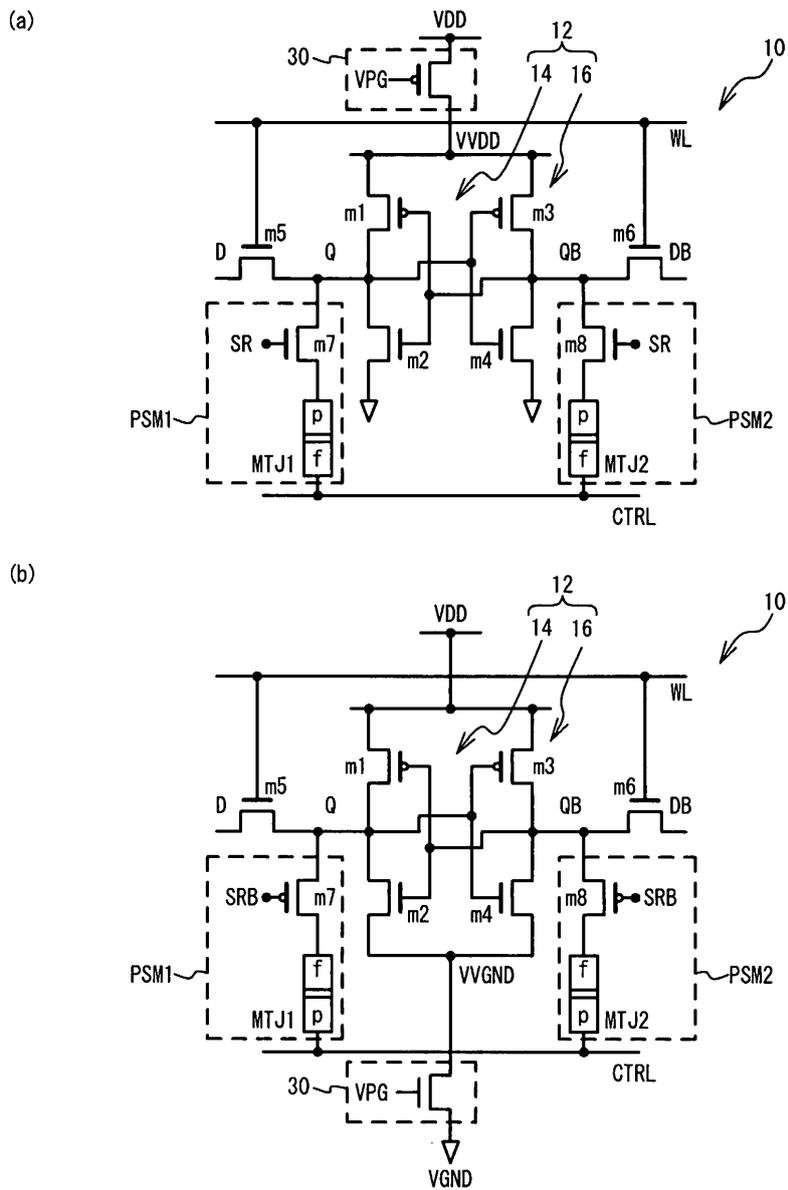


圖15

(16)

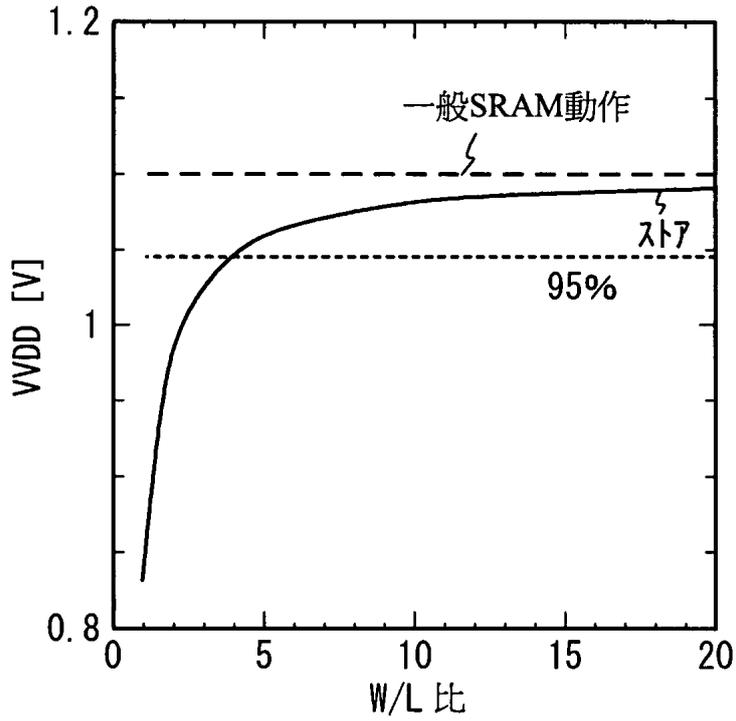


圖16

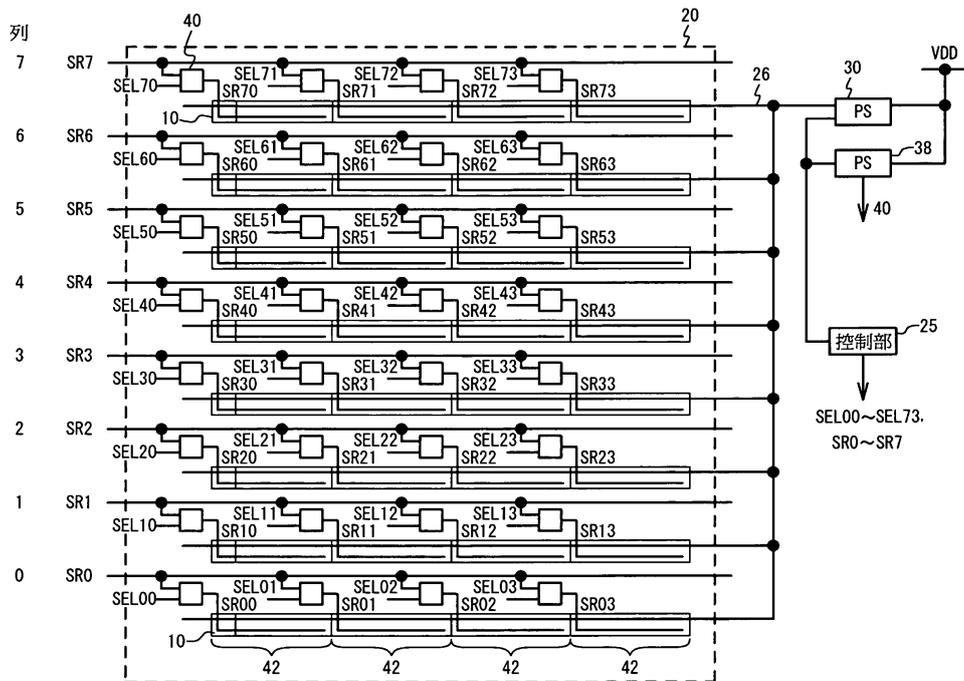
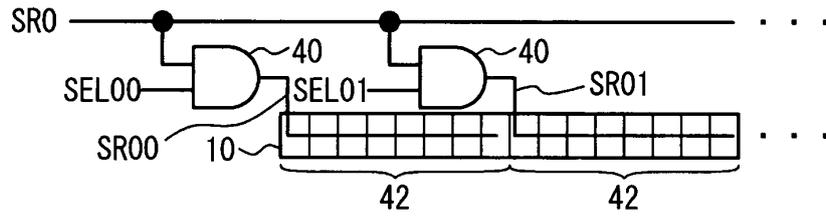


圖17

(a)



(b)

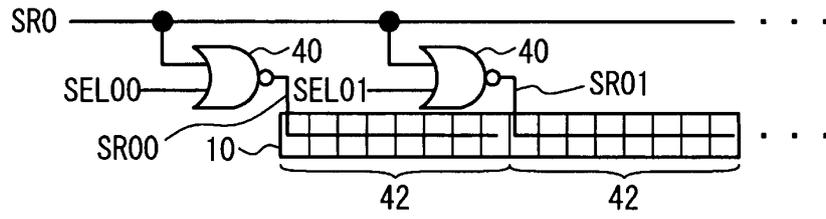


圖18

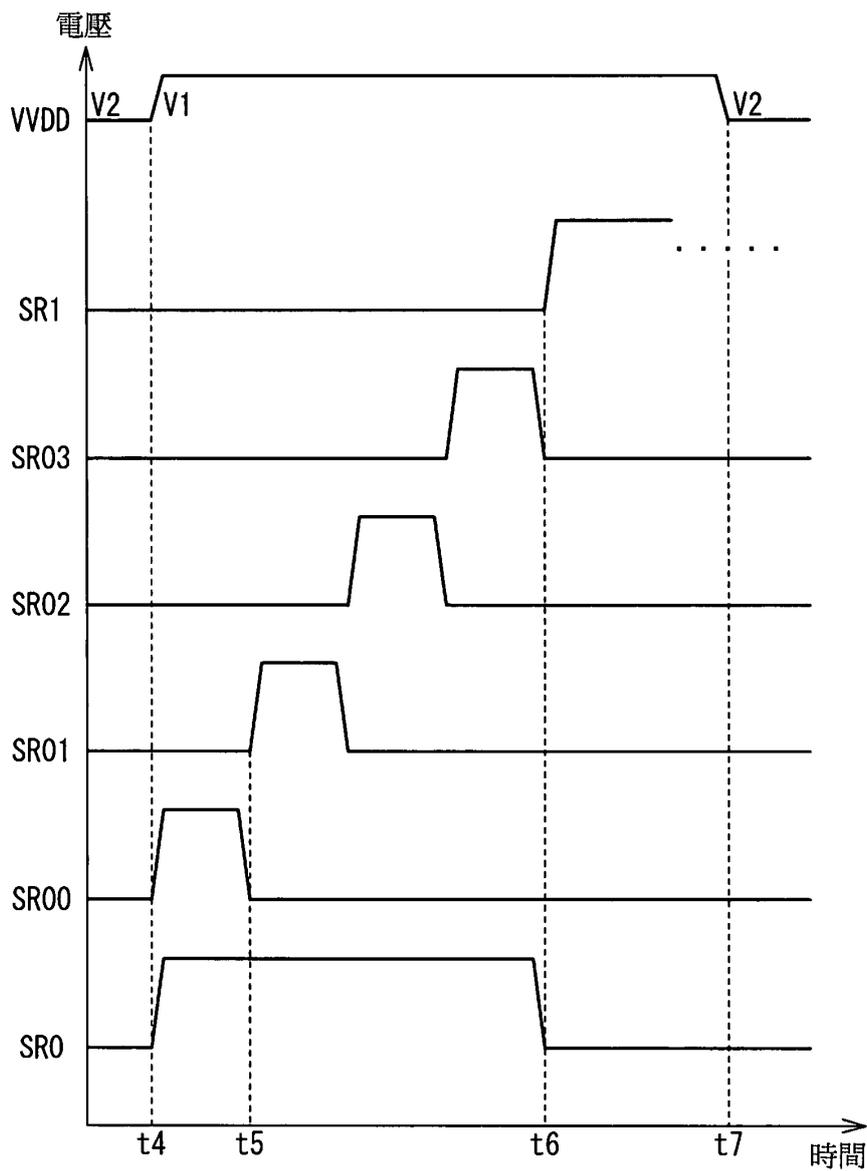


圖19

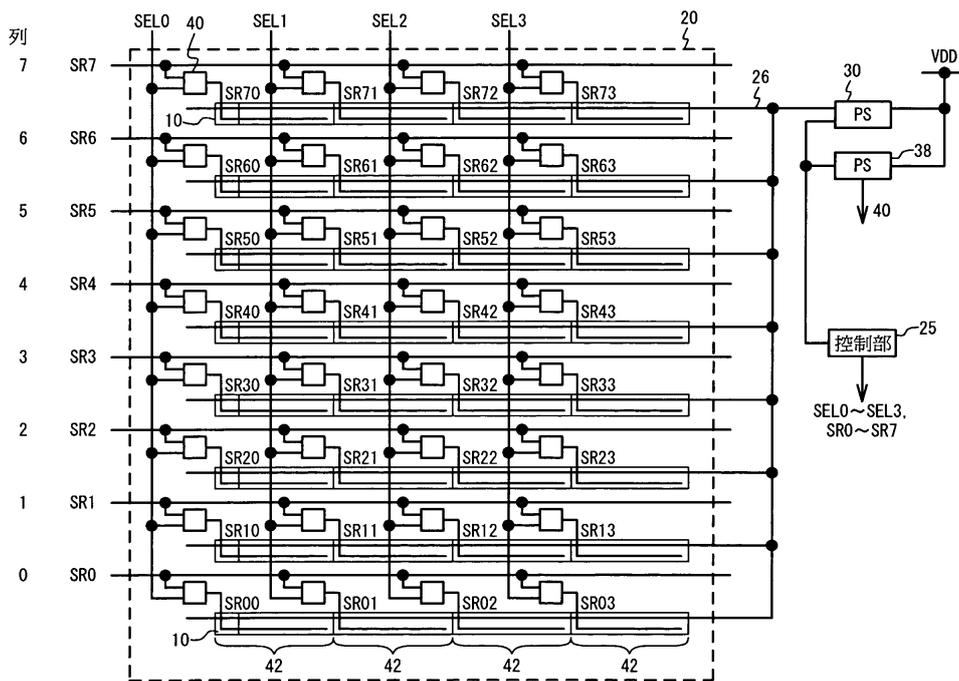


圖20

(20)

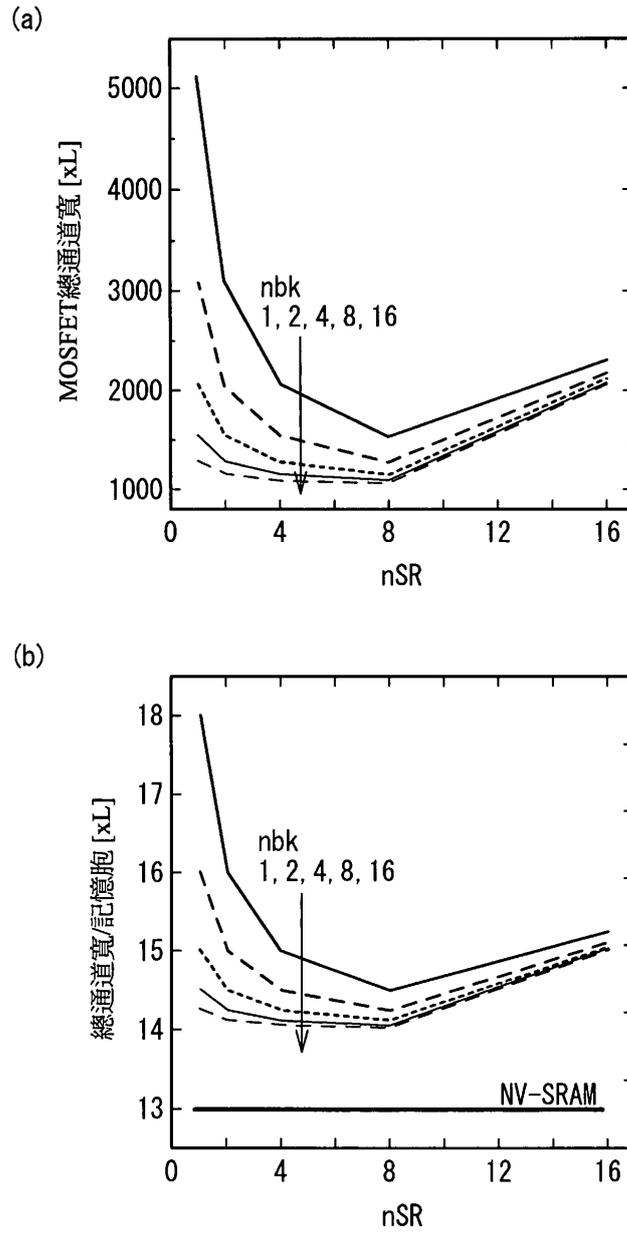


圖21

(21)

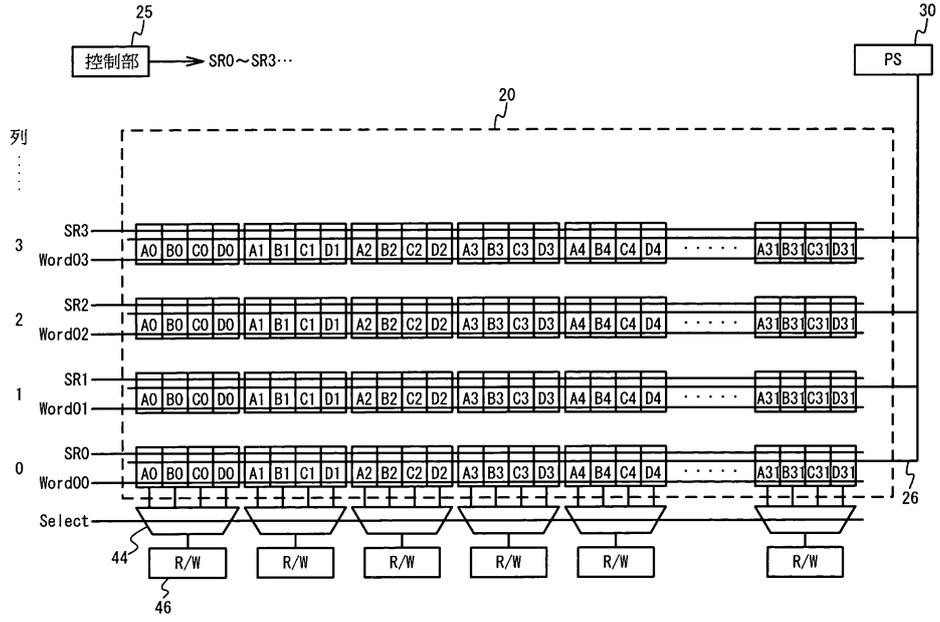


圖22

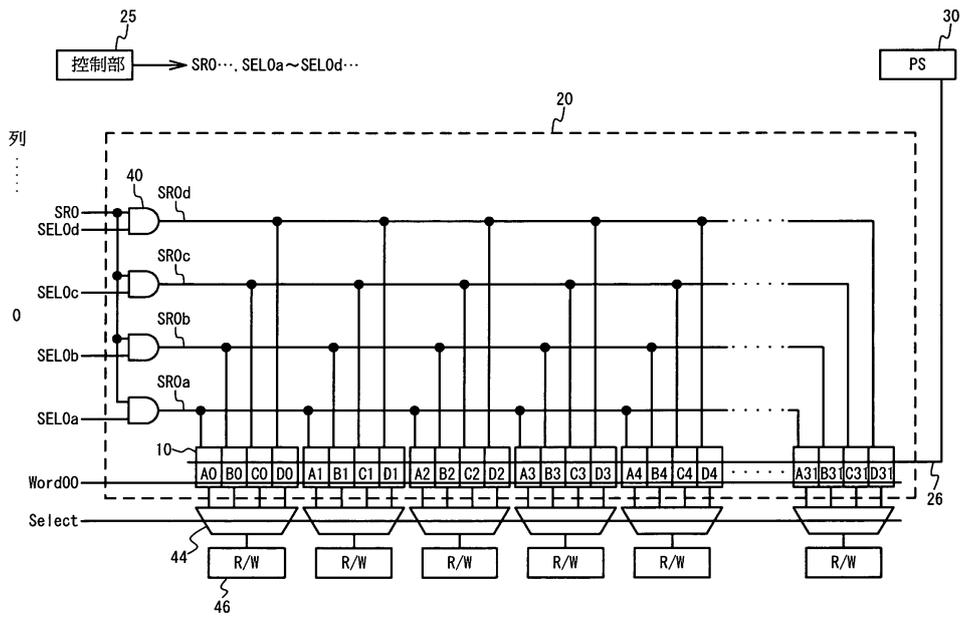


圖23

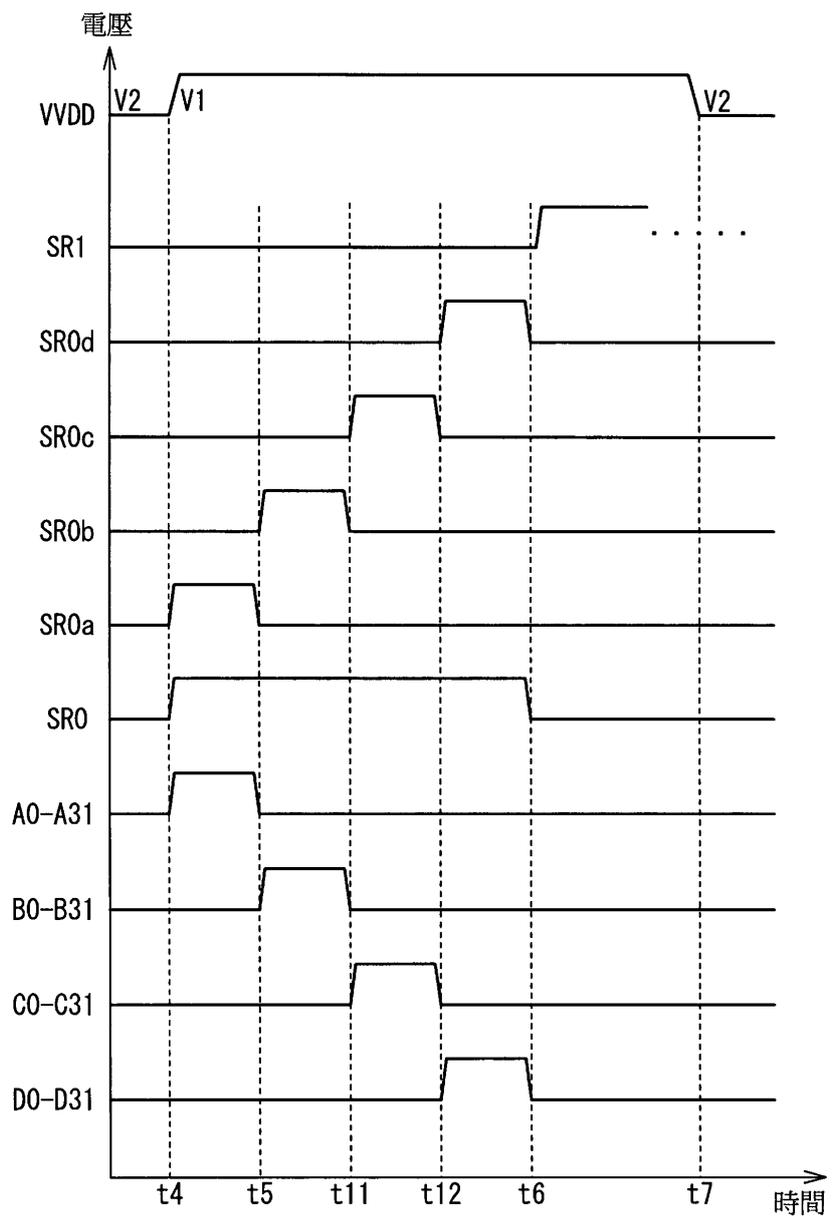


圖24

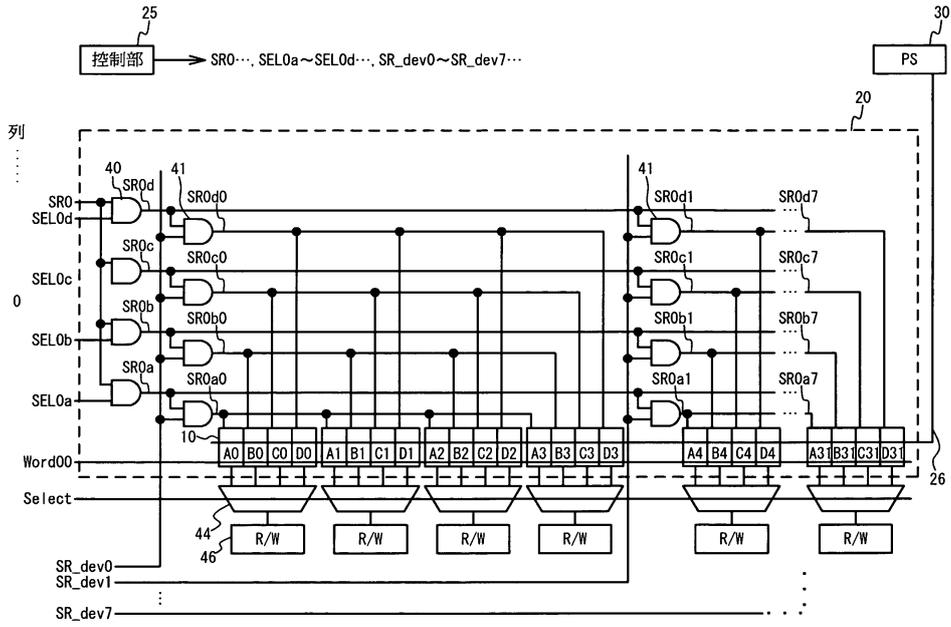


圖25

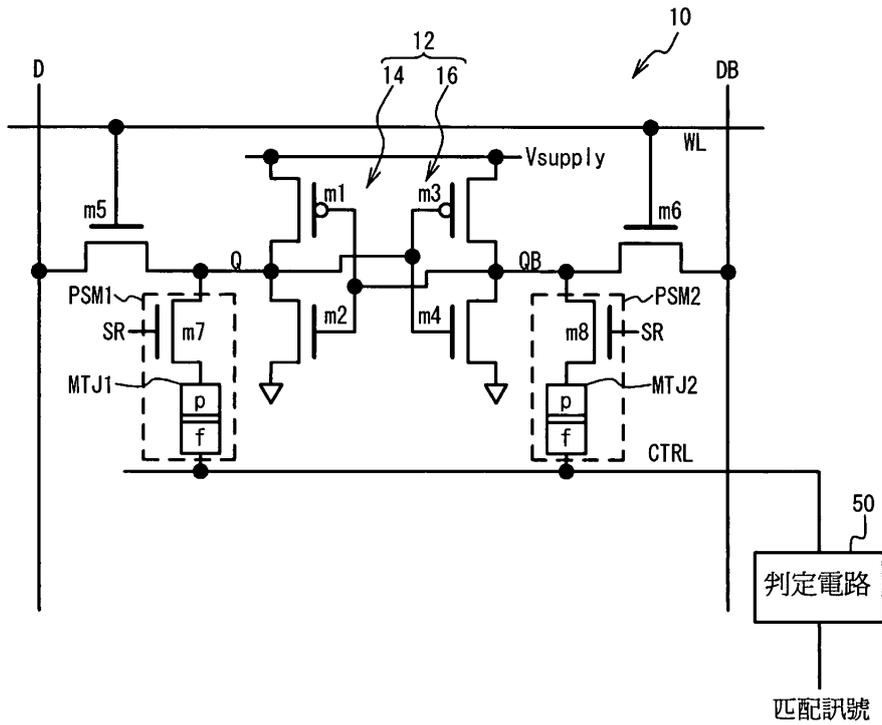


圖26

(24)

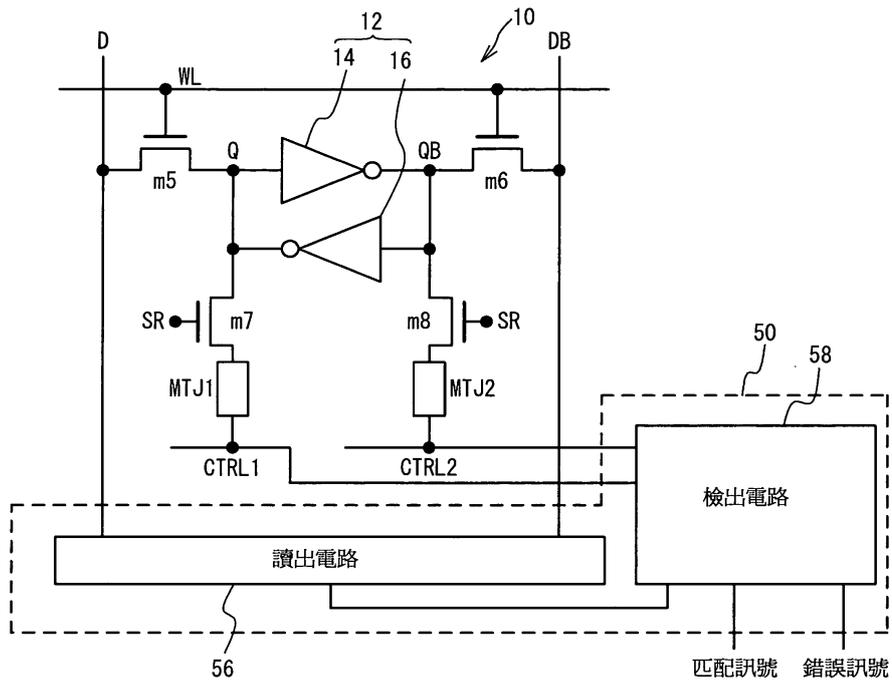


圖27

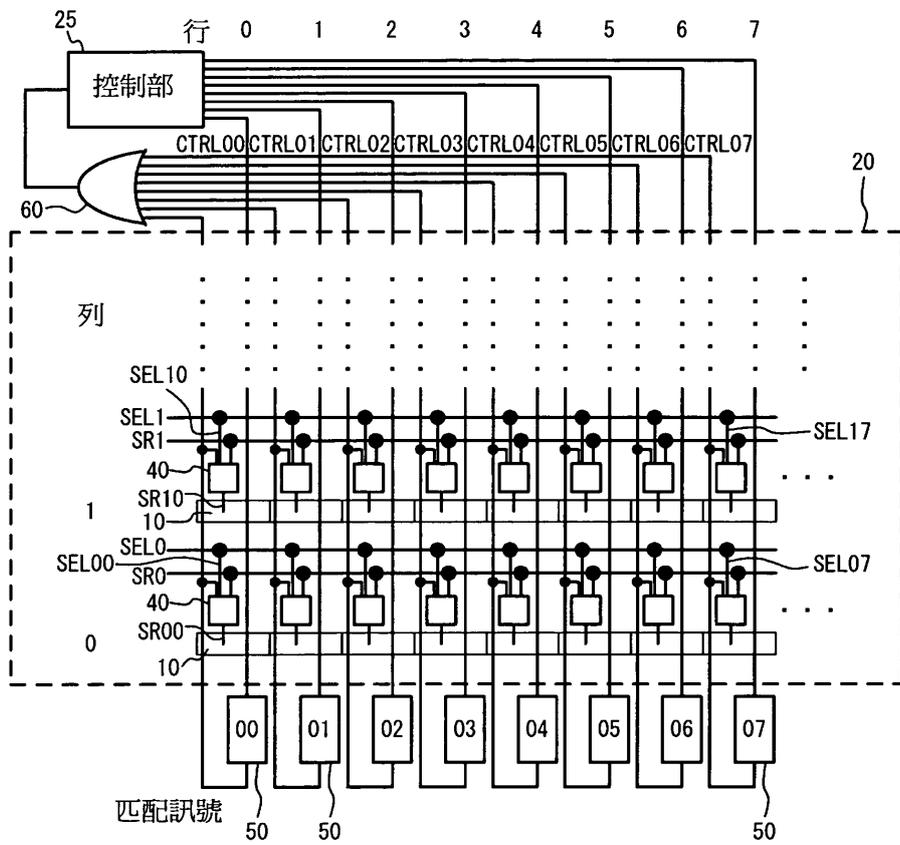


圖28

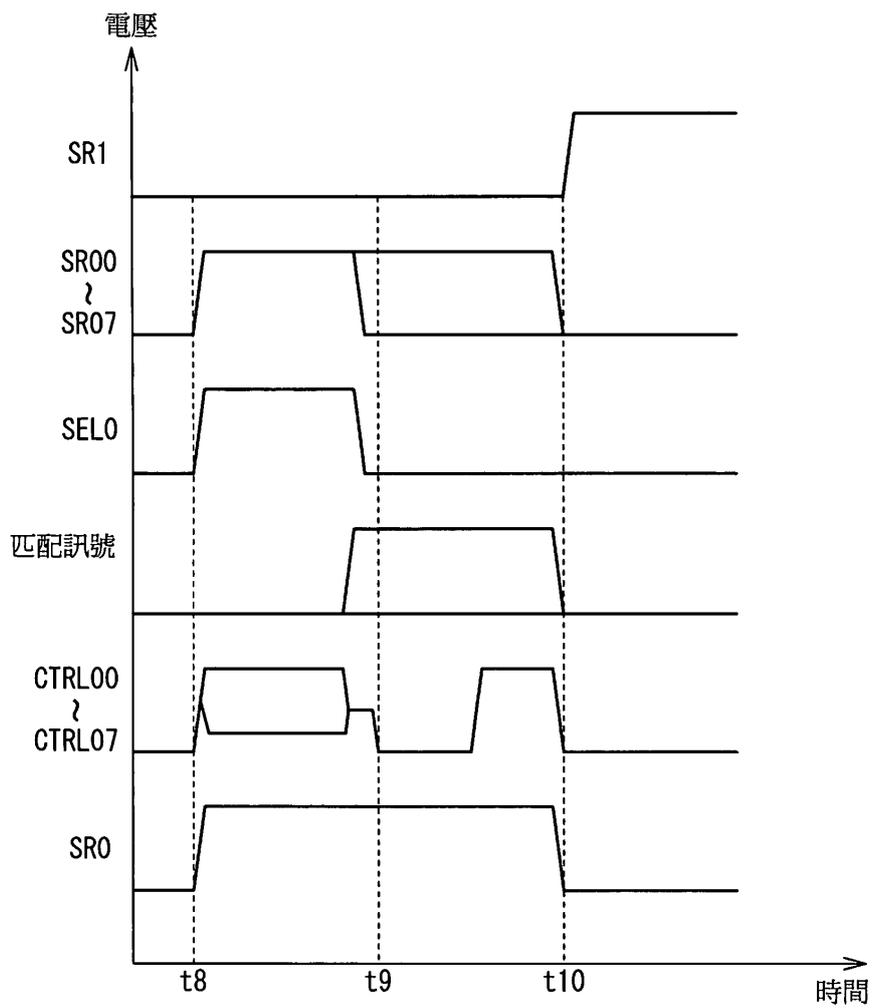


圖29

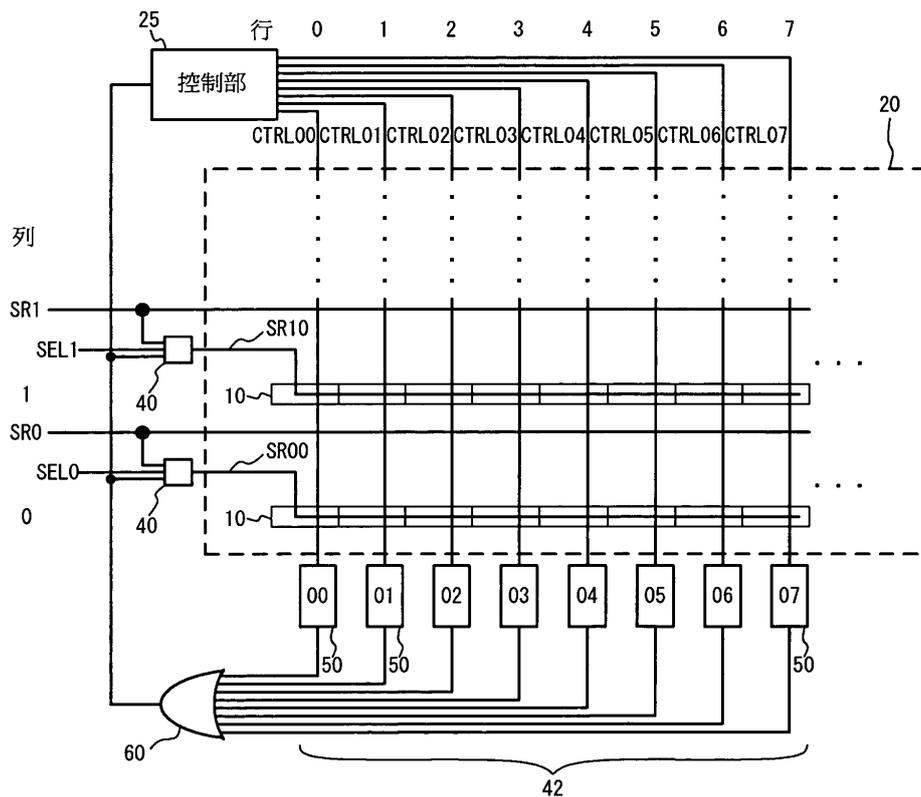


圖30

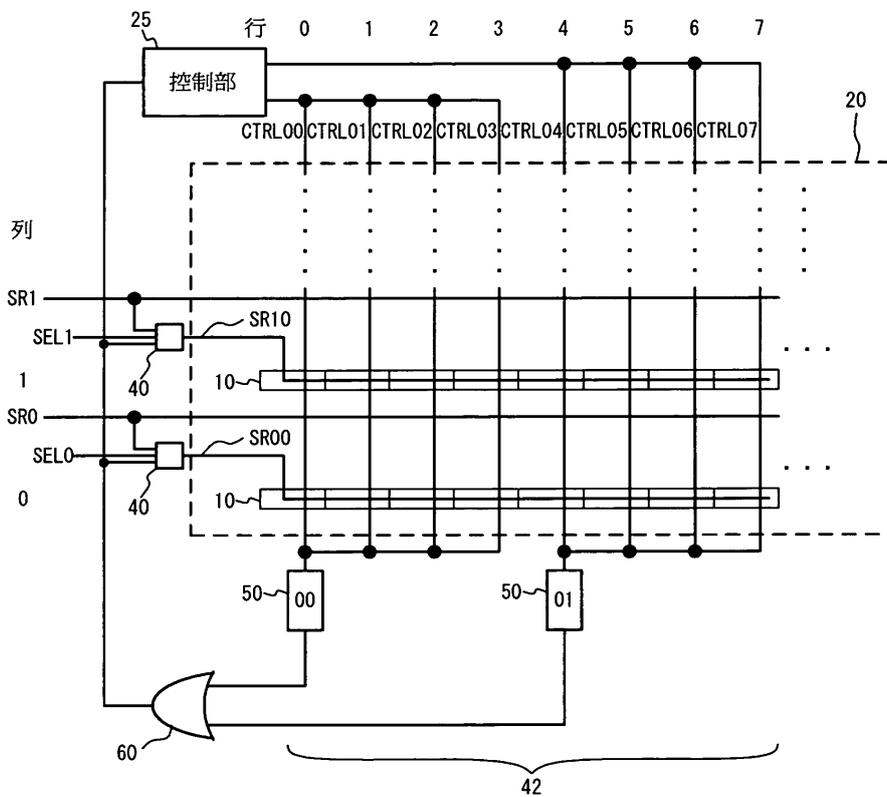


圖31

(27)

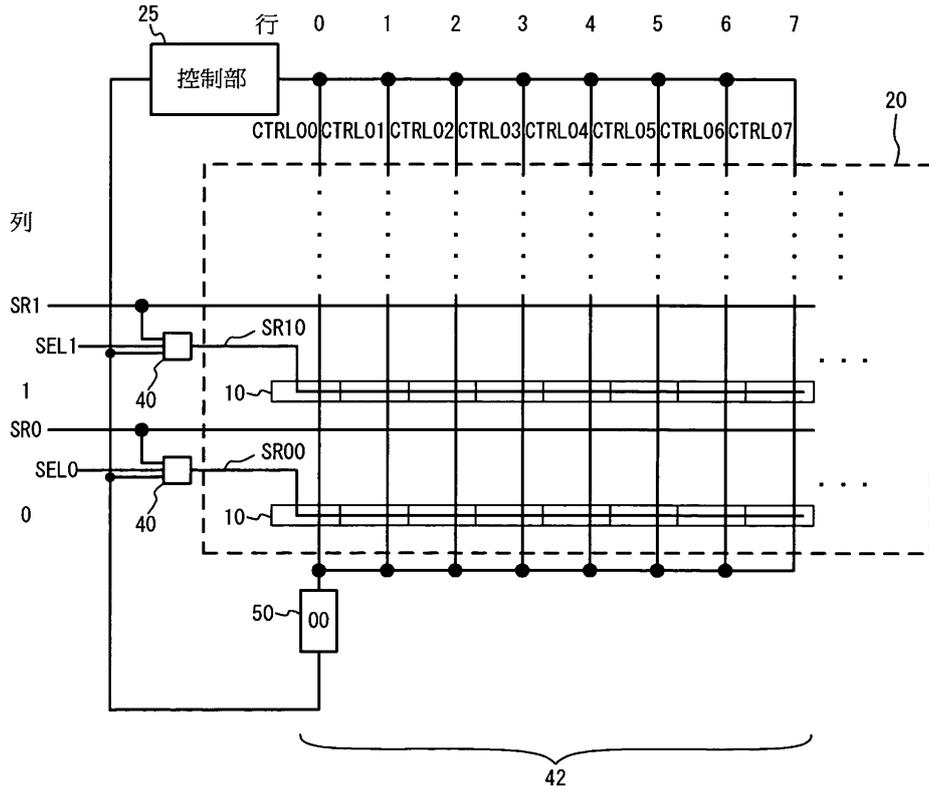


圖32

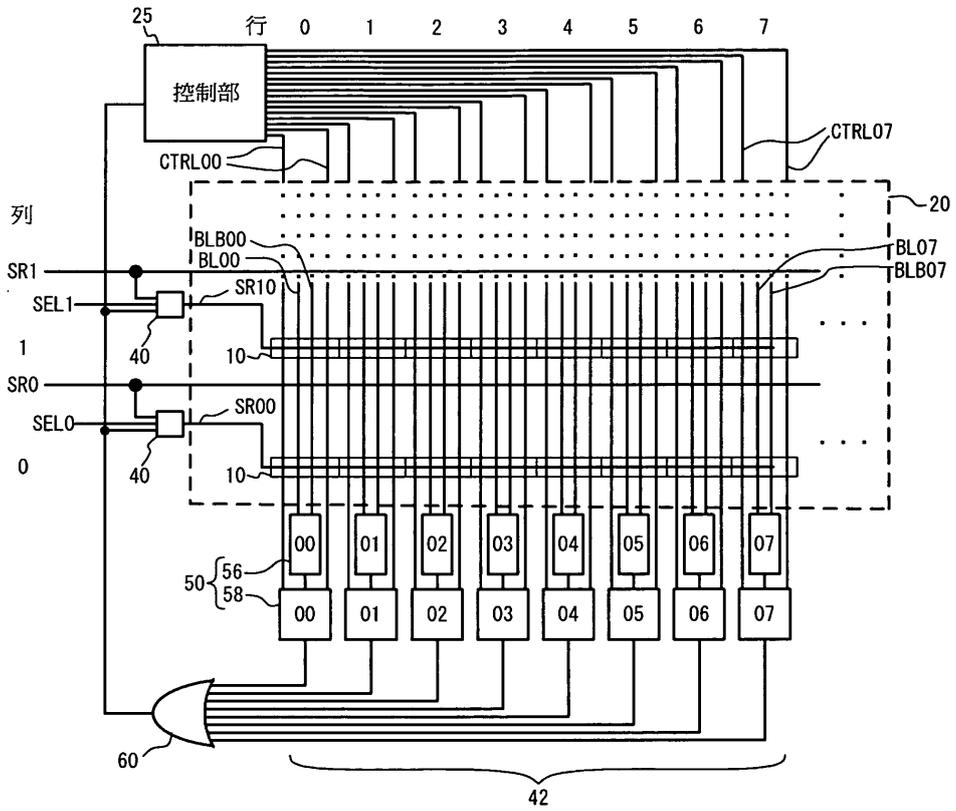


圖33

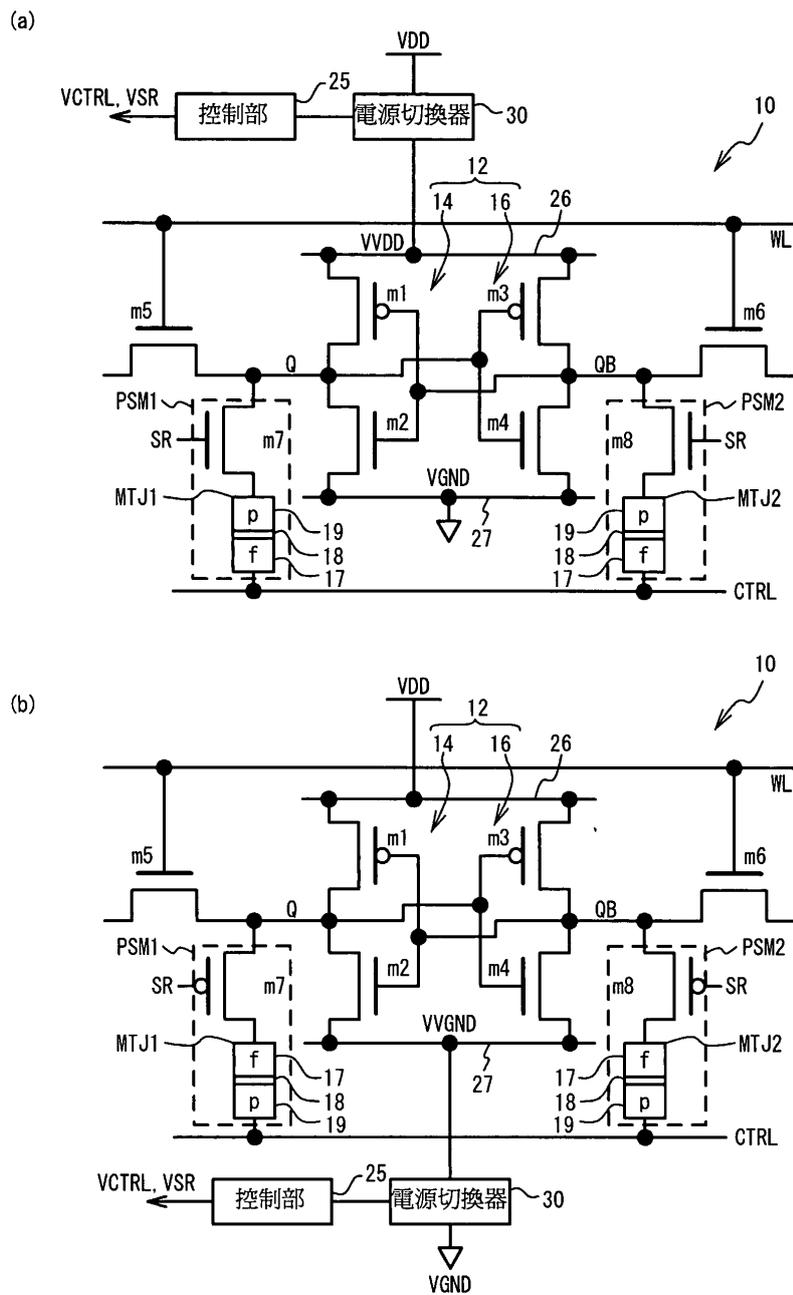


圖34

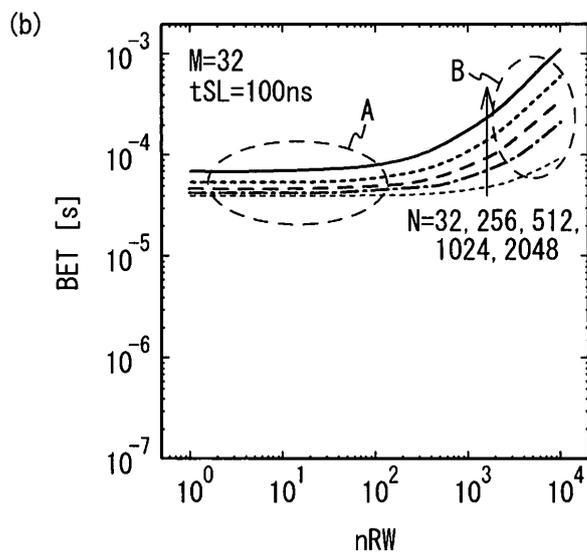
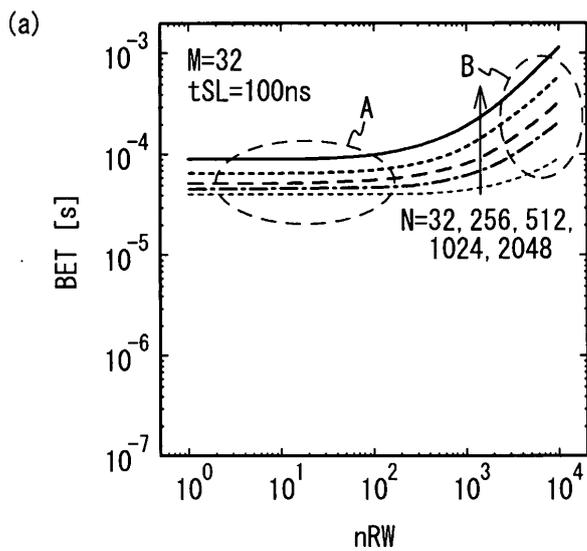


圖35

(30)

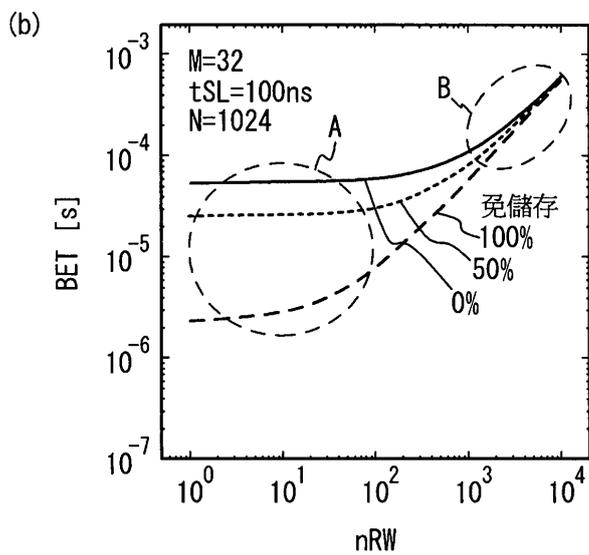
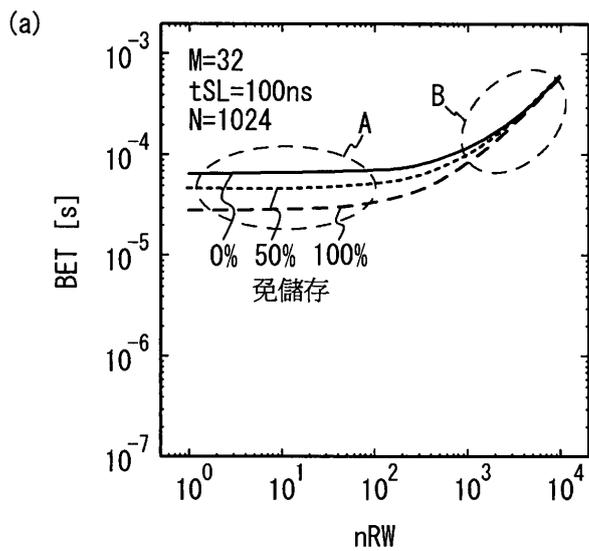


圖36

(31)

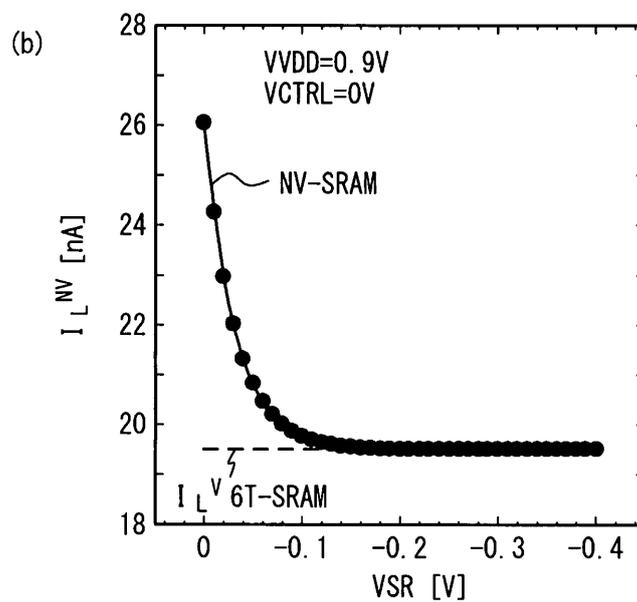
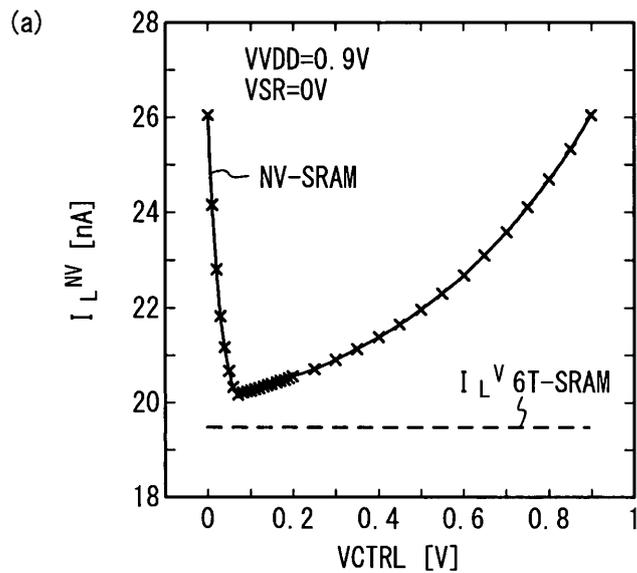


圖37

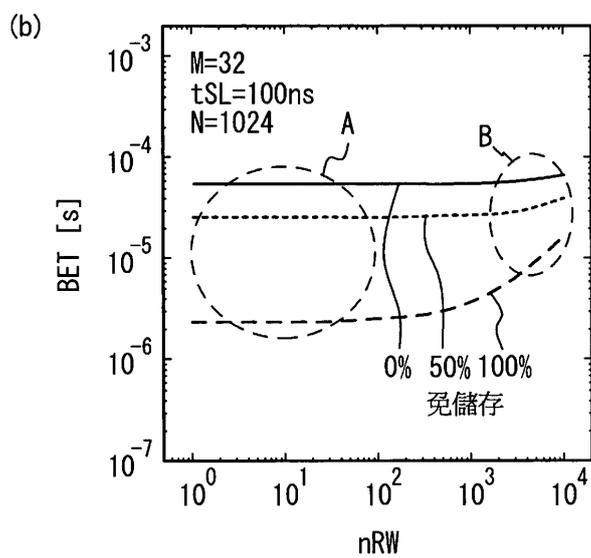
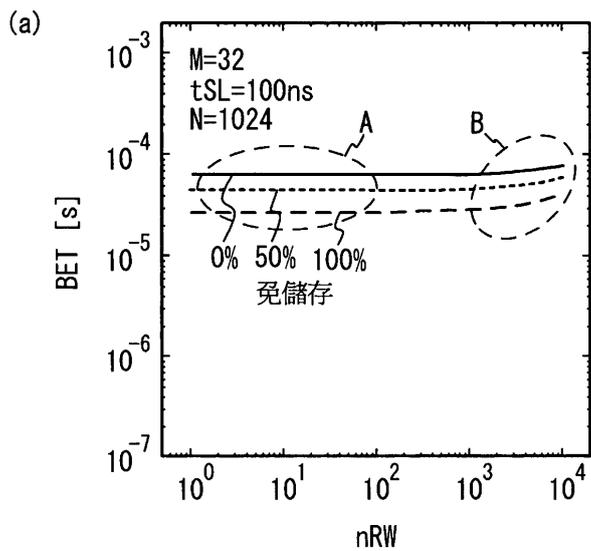


圖38

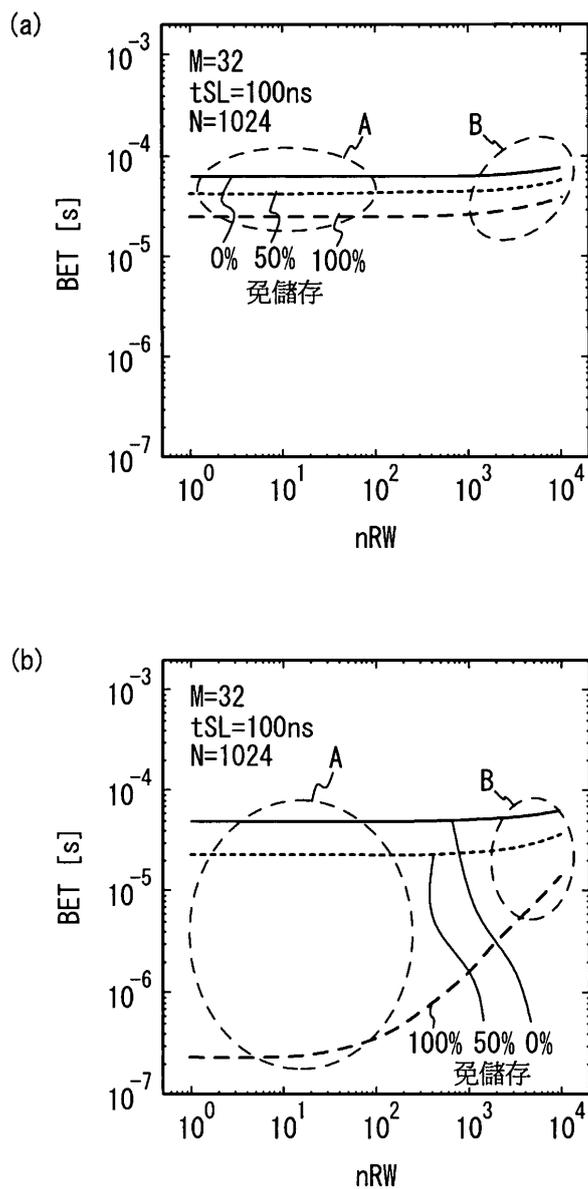


圖39