



(21)申請案號：104133519

(22)申請日：中華民國 104 (2015) 年 10 月 13 日

(51)Int. Cl. : **H01L21/336 (2006.01)**
H01L29/786 (2006.01)

H01L29/06 (2006.01)

(30)優先權：2014/10/16 日本

2014-211575

(71)申請人：國立研究開發法人科學技術振興機構(日本) JAPAN SCIENCE AND TECHNOLOGY AGENCY (JP)

日本

(72)發明人：植松真司 UEMATSU, MASASHI (JP)；伊藤公平 ITOH, KOHEI (JP)；森伸也 MORI, NOBUYA (JP)

(74)代理人：丁國隆；黃政誠

申請實體審查：無 申請專利範圍項數：13 項 圖式數：2 共 19 頁

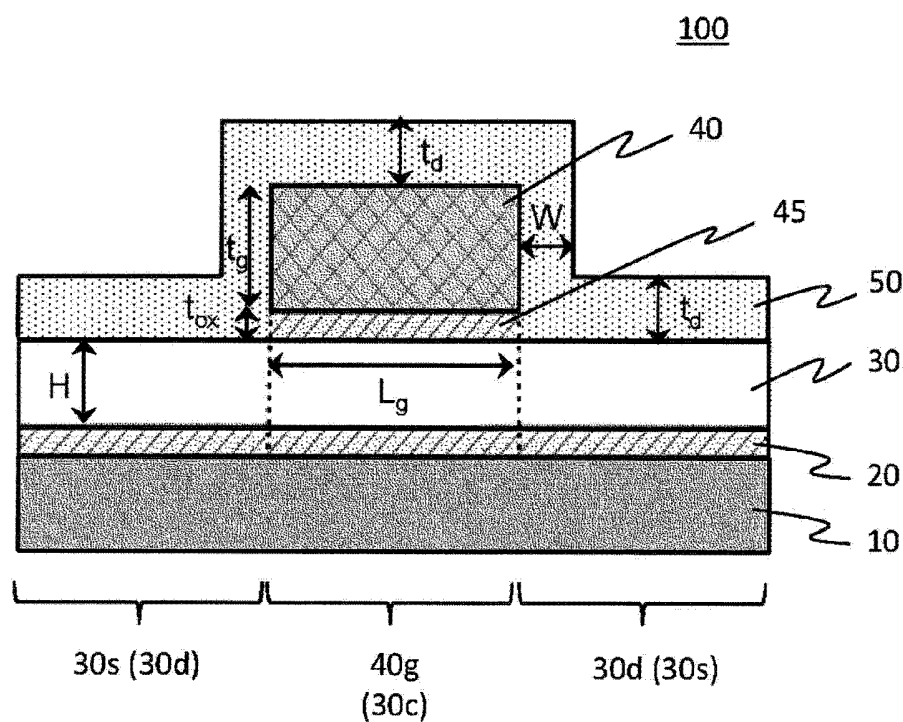
(54)名稱

場效電晶體

(57)摘要

場效電晶體(100)係具備由半導體奈米線(30)所形成之通道(30c)。鄰接此通道(30c)，形成有源極區域(30s)及汲極區域(30d)，在通道上方，設置有閘極電極(40)。於半導體奈米線(30)的主表面上，設置有包含屬於供體或受體之摻雜原子之遮罩層(50)。在閘極電極(40)之側壁部的遮罩層(50)中，也離子注入有摻雜原子，惟注入離子會停留於上方部，而不會注入至接觸到半導體奈米線(30)的主表面之部分。因此，於閘極電極(40)之側壁上形成為厚度 W 之遮罩層部分並不會當作為摻雜物之擴散源而有所作用。

指定代表圖：



第1圖

符號簡單說明：

- 10 . . . 矽基板
- 20 . . . 絕緣體膜
- 30 . . . 半導體奈米線
- 30c . . . 通道
- 30d . . . 汲極區域
- 30s . . . 源極區域
- 40 . . . 閘極電極
- 40g . . . 閘極區域
- 45 . . . 閘極氧化膜
- 50 . . . 遮罩層
- 100 . . . 場效電晶體
- H . . . 厚度
- Lg . . . 閘極長度
- td . . . 堆積 Si 氧化膜厚度
- tg . . . 閘極電極高度
- tox . . . 閘極氧化膜厚度
- W . . . 厚度

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

場效電晶體

【技術領域】

【0001】本發明係關於具備有由半導體奈米線般之半導體材料部所形成之通道的場效電晶體，詳言之，係關於具有可抑制閾值電壓之偏差，同時可充分取得導通電流(ON current)之源極-汲極構造的場效電晶體。

【先前技術】

【0002】於形成使用半導體奈米線般之半導體材料部的場效電晶體時，係有必要針對源極區域及汲極區域進行摻雜，當將閘極電極當作遮罩而直接將摻雜物予以離子注入時，即便是進行熱處理，仍會有離子注入所造成之結晶缺陷殘留在電晶體本體上。

【0003】在利用固相擴散法進行摻雜而形成源極區域及汲極區域時，雖可避免如上所述之缺陷殘留，但會因為擴散而摻雜物侵入到通道區域，而有電晶體之閾值電壓偏移的問題。又，在為了抑制閾值電壓偏移而降低摻雜物濃度時，會變得無法取得充分的導通電流。

【0004】本發明者等係以抑制場效電晶體之閾值偏差為目的，而已檢討過如下技術：在將摻雜物予以離子注入前，先設置間隔體於閘極電極之側壁上，以使摻雜物不會注入到該側壁間隔體正下方之半導體區域(植松等

：非專利文獻1)。依此，藉由設置此類側壁間隔體，則摻雜物難以侵入至通道區域，其結果係可確認到能顯著抑制關閉電流(OFF current)之變動與閾值電壓之偏差。

[先前技術文獻]

[非專利文獻]

【0005】

[非專利文獻1]M. Uematsu et al., "Simulation of the Effect of Arsenic Discrete Distribution on Device Characteristics in Silicon Nanowire Transistors" IEDM12-709 (2012)

【發明內容】

[發明欲解決之課題]

【0006】然而，即便如非專利文獻1所揭示般，在閘極電極側壁上設置間隔體，也無法充分抑制伴隨著離子注入後之熱處理等所造成之摻雜物朝向通道區域的侵入。況且，由於自摻雜物會有電子的「流出」，所以對於通道的影響，不僅是上述摻雜物的侵入，還需要考慮到該電子的「流出長度」。例如，在半導體奈米線為矽結晶，而摻雜物為砷時，電子的「流出長度」為2nm左右。

【0007】再者，即便有此類摻雜物的侵入和電子的「流出」，當於閘極長度較長的情況下，並不至於成為問題。惟，伴隨著場效電晶體的細微化，當閘極長度變短時，該摻雜物的侵入和電子的「流出」會大大地影響到通道區域，而導致閾值電壓之偏差的結果。因此，要求在更進一步抑制摻雜物對於通道區域之侵入的同時，還

考慮到電子的「流出長度」的通道形成技術(源極/汲極之形成技術)。又，亦有需要避開離子注入所造成之結晶缺陷會殘留於電晶體本體上的問題。

【0008】本發明係有鑑於上述問題而完成者，其目的係在於提供一種具有可抑制閾值電壓偏差，同時能充分取得導通電流之源極-汲極構造，而且不會引起因離子注入至電晶體本體上所造成之結晶缺陷，具備由半導體奈米線般之半導體材料部所形成之通道的場效電晶體。

[解決課題之手段]

【0009】為了解決上述課題，本發明之第1態樣的場效電晶體之特徵為：其係具備有由厚度 $H(\text{nm})$ 之半導體材料部所形成的通道、鄰接該通道所形成的源極區域及汲極區域、設置在該通道上方的閘極區域之場效電晶體，其中該閘極區域之閘極長度(L_g)為 4nm 以上 10nm 以下，該通道之中央區域的摻雜原子數為1以下。

【0010】又，本發明之第2態樣的場效電晶體之特徵為：其係具備有由厚度 $H(\text{nm})$ 之半導體材料部所形成的通道、鄰接該通道所形成的源極區域及汲極區域、設置在該通道上方的閘極區域之場效電晶體，其中具備有遮罩層，其係設置在該半導體材料部之主表面上，包含屬於供體或受體之摻雜原子之遮罩層，為設置於該閘極區域之閘極電極的側壁厚度為 $W(\text{nm})$ 之遮罩層，該遮罩層係覆蓋住形成有該源極區域及汲極區域之該半導體材料部之主表面部，該閘極區域之閘極長度(L_g)為 4nm 以上 10nm 以下，該閘極電極之側壁之該遮罩層厚度 $W(\text{nm})$ 係在 $[3H$

- 2]/7+[10 - L_g]/2 ≤ W ≤ [3H+19]/7的範圍。

【0011】就上述第2態樣的場效電晶體而言，較佳的是該通道之中央區域的摻雜原子數為1以下。

【0012】就本發明之場效電晶體而言，較佳的是從該通道端部朝向該源極區域及該汲極區域側之2nm區域的摻雜物濃度為 $5 \times 10^{19} \text{cm}^{-3}$ 以上。

【0013】該半導體材料部係包括矽、鍺、III-V族化合物半導體之任一材料。

【0014】例如，該半導體材料部包括矽，該遮罩層為矽氧化膜或矽化物膜。

【0015】此時，該摻雜物為例如磷、銻、砷、硼、鋁、銻、鎵之任一者。

【0016】又，例如，該半導體材料部包括鍺，該遮罩層為鍺氧化膜或鍺化物膜。

【0017】此時，該摻雜物亦為磷、銻、砷、硼、鋁、銻、鎵之任一者。

【0018】再者，例如，該半導體材料部包括III-V族化合物半導體，該遮罩層為矽氧化膜。

【0019】此時，該摻雜物為鋅、矽、鉍之任一者。

【0020】就某態樣而言，該半導體材料部為矽-奈米線、鍺-奈米線、III-V族化合物半導體奈米線之任一者。

【0021】本發明之場效電晶體之製法的特徵為：其係具備由厚度H(nm)之半導體材料部所形成之通道的場效電晶體之製造方法，其具備：以閘極長度(L_g)成為4nm以上10nm以下之方式，在該通道上方形成閘極電極的步

驟；形成遮罩層的步驟，該遮罩層係覆蓋住該閘極電極、及鄰接於該通道之形成有源極區域與汲極區域之該半導體材料部之主表面部的遮罩層，為該閘極電極的側壁厚度為 $W(\text{nm})$ 之遮罩層；對該遮罩層注入屬於供體或受體之摻雜原子的步驟；使注入至該遮罩層之該摻雜原子擴散到該源極區域與汲極區域的步驟；將該閘極電極之側壁之該遮罩層厚度 $W(\text{nm})$ 設定於 $[3H - 2]/7 + [10 - L_g]/2 \leq W \leq [3H + 19]/7$ 的範圍。

[發明之效果]

【0022】 根據本發明的話，可提供一種場效電晶體，其係在半導體奈米線般之半導體材料部的主表面上具備有包含摻雜原子且閘極電極側壁之厚度為 W 的遮罩層，在通道之中央區域的摻雜原子數為 1 以下。其結果係可抑制閾值電壓偏差，同時能充分取得導通電流。

【圖式簡單說明】

【0023】

第 1 圖係用以概念性說明本發明之場效電晶體之構造的剖面圖。

第 2 圖係就本發明之場效電晶體而言，顯示出用以決定閘極電極側壁之遮罩層厚度 $W(\text{nm})$ 之適當範圍所進行之模擬結果的圖。

【實施方式】

【0024】 第 1 圖係用以概念性說明本發明之場效電晶體之構造的剖面圖。另外，在此圖中，為了簡化說明，圖示了具有 1 個閘極電極(單一閘極)之構造，但並非限定

於此類態樣，亦可為雙閘極或三閘極構造之電晶體，還可以為通道周圍全視為閘極之構造的電晶體等。

【0025】第1圖中所例示之場效電晶體100係具備有由半導體奈米線30所形成之通道30c。鄰接到此通道30c，形成有源極區域30s及汲極區域30d，於通道上方，隔著閘極氧化膜45，設置有閘極電極40，該閘極電極之下方為閘極長度 L_g 之閘極區域40g。另外，此例中為半導體材料部係半導體奈米線之態樣，然此僅屬例示，構成本發明之半導體電晶體之半導體材料部並非限定於此態樣，只要是可形成通道的半導體材料部即可。

【0026】半導體奈米線30係例如為將SOI基板之半導體層予以加工所獲得之矽-奈米線，或者是在包括n型或p型之傳導型之矽基板10上所形成之矽氧化膜(SiO_2)的絕緣體膜20上所設置之矽-奈米線。另外，半導體奈米線並非限定在矽-奈米線，亦可為銻-奈米線和GaAs等之III-V族化合物半導體奈米線。

【0027】半導體奈米線30係長度與寬度之比(縱橫比)較大之細線狀結晶，其厚度H(nm)係例如為10nm左右。此類半導體奈米線30係可利用絕緣體上之半導體層的加工、或化學氣相堆積法(CVD法)和電漿強化化學氣相堆積法(PECVD法)來形成。在半導體奈米線30為矽-奈米線時，可使用SOI基板來形成半導體奈米線，或者是將矽烷(SiH_4)或四氯化矽(SiCl_4)氣體當作原料氣體來形成等即可。

【0028】於半導體奈米線30之主表面上，設置有包含

屬於供體或受體之摻雜原子之遮罩層 50。此遮罩層 50 係例如包括矽氧化膜，以閘極區域 40g 上方所設置之閘極電極 40 之側壁厚度成爲 W(nm) 的方式形成，同時覆蓋住形成有源極區域 30s 及汲極區域 30d 之半導體奈米線 30 之主表面部。

【0029】遮罩層 50 係例如在形成矽氧化膜之後，於半導體奈米線 30 中，離子注入有屬於供體或受體之摻雜原子者。

【0030】在半導體奈米線 30 爲矽-奈米線的情況下，遮罩層 50 係除了矽氧化膜之外，亦可爲包括矽化物膜之層，作爲遮罩層 50 所包含之摻雜原子，可例示有磷、銻、砷、硼、鋁、銻、鎵。

【0031】半導體材料部係不限於矽，在第 1 圖所例示之態樣中，半導體奈米線 30 亦可爲鍺-奈米線。此時，遮罩層 50 亦可爲包括鍺氧化膜和鍺化物膜之層，作爲遮罩層 50 所包含之摻雜原子，可例示有磷、銻、砷、硼、鋁、銻、鎵。

【0032】再者，半導體材料部並不限於矽或鍺，半導體奈米線 30 亦可爲 III-V 族化合物半導體奈米線。此時，遮罩層 50 係例如可作成爲包括矽氧化膜之層，而作爲遮罩層 50 所包含之摻雜原子，可例示有鋅、矽、鉍。

【0033】遮罩層 50 係在製作本發明之場效電晶體時，具有朝向源極區域 30s 及汲極區域 30d 之摻雜物之擴散源的作用。

【0034】習知係採用如下手法：於例如針對矽-奈米線

之源極區域及汲極區域進行摻雜時，將閘極電極當作爲遮罩，將摻雜物直接離子注入至矽-奈米線，其後，藉由進行熱處理，使注入離子電性活化，而作成爲供體或受體。然而，就此類手法而言，會有在電晶體本體上因爲離子注入所造成之結晶缺陷，且於熱處理後亦會殘留缺陷而使電晶體特性降低的問題。

【0035】爲了避開此問題而採用所謂的固相擴散法時，摻雜物仍會擴散到電晶體之通道區域，會有電晶體之閾值電壓偏移的問題。另一方面，爲了抑制閾值電壓而降低摻雜物濃度時，則會變得無法取得充分的導通電流。

【0036】依此，就本發明而言，在離子注入前的階段，將遮罩層50形成在包含閘極電極之區域，由此遮罩層50上方進行離子注入。因爲離子注入時之損害可由此遮罩層50來吸收，故而可避免對於半導體奈米線30之損害，不會引起結晶缺陷，故不需要用以恢復損害的熱處理。又，遮罩層50係可當作摻雜物之擴散源來作用，而關於可進行何種程度的摻雜，則是可利用離子注入量(摻雜量)來輕易控制。

【0037】閘極電極40之側壁部的遮罩層50中，也可離子注入摻雜物，而注入離子會留在上方部。亦即，不會注入至接觸到半導體奈米線30之主表面的部分。因此，於閘極電極40之側壁上形成厚度 $W(\text{nm})$ 的遮罩層部分係不會作用爲摻雜物之擴散源。其結果係藉由適當設計此厚度 $W(\text{nm})$ ，則可避免摻雜物朝向通道區域30c的侵入，能減少閾值電壓之偏差，同時可取得充分的導通電流。

【0038】第2圖係顯示出在上述構造之場效電晶體中，用以決定閘極電極40側壁之遮罩層50的厚度 $W(\text{nm})$ 之適當範圍所進行之模擬結果的圖。橫軸係半導體奈米線之厚度 $H(\text{nm})$ ，縱軸係閘極電極40之側壁之遮罩層50的厚度 $W(\text{nm})$ 。

【0039】此模擬時之條件係如表1所示，於此，將矽氧化膜堆積在包含奈米線MOS場效電晶體(10nm方形以下，長度30nm)之閘極電極的整個面上，自其上離子注入砷之後，透過進行 1000°C 之熱處理，可使摻雜物擴散。

【0040】[表1]

場效電晶體		砷離子注入及退火條件	
t_d (堆積Si氧化膜厚度)	3nm	加速電壓	0.5keV
L_{sd} (SD長度)	10nm	摻雜量	$1 \times 10^{15} \text{cm}^{-2}$
t_g (閘極電極高度)	5nm	退火溫度	1000°C
t_{ox} (閘極氧化膜厚度)	1nm	退火時間	最佳值

【0041】此處，將離子注入時之加速電壓設為0.5keV，係為了將砷注入至 t_g 為3nm之堆積Si氧化膜中。又，離子注入後，使摻雜物擴散之際的時間係設定為因應半導體奈米線厚度 $H(\text{nm})$ 之最佳值，為用於將SD(源極/汲極)部摻雜成大致均勻的最短時間，具體來說，因應 $H=2\text{nm}$ 、 3nm 、 5nm 、 7.5nm 、 10nm ，而為0.25秒、0.5秒、1秒、2.5秒、5秒。

【0042】首先，就厚度 $W(\text{nm})$ 之上限來說，在自通道端部往源極區域及汲極區域側的2nm中，當依摻雜物(此處是砷)濃度為 $5 \times 10^{19} \text{cm}^{-3}$ 以上之條件來進行評估時，厚度 $W(\text{nm})$ 之上限值 $W_u(\text{nm})$ 係成為 $[3H+19]/7$ 。當為此厚度

以上時，無法取得充分的導通電流。

【0043】另外，在自通道端部開始的2nm中，設定摻雜物濃度成爲 $5 \times 10^{19} \text{cm}^{-3}$ 以上之條件，係因爲在低於此濃度之摻雜物濃度時，會無法取得充分的導通電流所致。

【0044】另一方面，就厚度 $W(\text{nm})$ 之下限來說，在依摻雜物(此處是砷)朝向通道中央之侵入爲1以下之條件進行評估時，厚度 $W(\text{nm})$ 之下限值 $W_1(\text{nm})$ 爲 $[3H - 2]/7 + [10 - L_g]/2$ 。當爲此厚度以下時，閾值之偏差會變大。

【0045】因此，在本發明中，係將閘極電極40之側壁之遮罩層50厚度 $W(\text{nm})$ 設定爲 $[3H - 2]/7 + [10 - L_g]/2 \leq W \leq [3H + 19]/7$ 之範圍。另外，如由此關係式可知，上限值 $W_u(\text{nm})$ 不會依存於閘極長度 L_g ，而下限值 $W_1(\text{nm})$ 會依存於閘極長度 L_g 。

【0046】就本發明之場效電晶體而言，爲了將通道中央區域之摻雜原子數設爲1以下，換言之，爲了將通道中央區域之摻雜原子數不爲2以上，較佳的是閘極區域之閘極長度 L_g 爲4nm以上10nm以下。另外，此處所謂的通道之「中央區域」係意指將通道之幾何學中央位置視爲中心之 $\pm 1 \text{nm}$ 的區域。此係如上所述，例如，於矽結晶中存在當作爲摻雜物之砷原子時，電子自該摻雜物之「流出長度」爲 $2 \text{nm}(\pm 1 \text{nm})$ 左右所致。

【0047】如上所述，本發明之場效電晶體係具備有：由厚度 $H(\text{nm})$ 之半導體奈米線所形成之通道、鄰接於該通道所形成之源極區域及汲極區域、設置在該通道上方之閘極區域，亦具備有遮罩層，其係設置在該半導體奈米

線之主表面上，包含屬於供體或受體之摻雜原子之遮罩層，為設置於該閘極區域之閘極電極的側壁厚度為 $W(\text{nm})$ 之遮罩層，該遮罩層係覆蓋住形成有該源極區域及汲極區域之該半導體奈米線之主表面部，該閘極區域之閘極長度(L_g)為 4nm 以上 10nm 以下，該通道之中央區域的摻雜原子數為1以下。

【0048】上述場效電晶體所具備之遮罩層50係例如包括矽氧化膜，以設置於閘極區域40g上方之閘極電極40之側壁之厚度成為 $W(\text{nm})$ 的方式形成，同時覆蓋住形成有源極區域30s及汲極區域30d之半導體奈米線30之主表面部，在製作場效電晶體時，可具有當作為朝向源極區域30s及汲極區域30d之摻雜物的擴散源之作用。

【0049】就閘極電極40之側壁部的遮罩層50來說，注入離子會留在上方部，而不會注入到接觸半導體奈米線30之主表面的部分。因此，在閘極電極40之側壁上以厚度 $W(\text{nm})$ 所形成之遮罩層部分係不會當作為摻雜物之擴散源而有所作用。其結果係藉由適當設計此厚度 $W(\text{nm})$ ，則可以避免摻雜物朝向通道區域30c之侵入，可減少閾值電壓之偏差，同時能取得充分的導通電流。

【0050】如此根據本發明的話，可提供一種場效電晶體，其係具備有遮罩層，其係在半導體奈米線般之半導體材料部之主表面上包含摻雜原子之遮罩層，為閘極電極之側壁厚度為 W 之遮罩層，通道之中央區域之摻雜原子數為1以下。其結果係可抑制閾值電壓之偏差，同時亦可充分地取得導通電流。

[產業上之可利用性]

【0051】本發明係提供一種具有可抑制閾值電壓偏差，同時能充分取得導通電流之源極-汲極構造，具備由半導體奈米線般之半導體材料部所形成之通道的場效電晶體。

【符號說明】

【0052】

10	矽基板
20	絕緣體膜
30	半導體奈米線
30c	通道
30d	汲極區域
30s	源極區域
40	閘極電極
40g	閘極區域
45	閘極氧化膜
50	遮罩層
100	場效電晶體
H	厚度
L_g	閘極長度
t_d	堆積Si氧化膜厚度
t_g	閘極電極高度
t_{ox}	閘極氧化膜厚度
W	厚度

發明摘要

※ 申請案號：104133519

※ 申請日：104 10 13

※IPC 分類： H01L 21/336 (2006.1)
H01L 29/06 (2006.1)
H01L 29/786 (2006.1)

【發明名稱】(中文/英文)

場效電晶體

【中文】

場效電晶體(100)係具備由半導體奈米線(30)所形成之通道(30c)。鄰接此通道(30c)，形成有源極區域(30s)及汲極區域(30d)，在通道上方，設置有閘極電極(40)。於半導體奈米線(30)的主表面上，設置有包含屬於供體或受體之摻雜原子之遮罩層(50)。在閘極電極(40)之側壁部的遮罩層(50)中，也離子注入有摻雜原子，惟注入離子會停留於上方部，而不會注入至接觸到半導體奈米線(30)的主表面之部分。因此，於閘極電極(40)之側壁上形成為厚度W之遮罩層部分並不會當作為摻雜物之擴散源而有所作用。

【英文】

無。

【代表圖】

【本案指定代表圖】：第 1 圖。

【本代表圖之符號簡單說明】：

10	矽基板
20	絕緣體膜
30	半導體奈米線
30c	通道
30d	汲極區域
30s	源極區域
40	閘極電極
40g	閘極區域
45	閘極氧化膜
50	遮罩層
100	場效電晶體
H	厚度
L_g	閘極長度
t_d	堆積Si氧化膜厚度
t_g	閘極電極高度
t_{ox}	閘極氧化膜厚度
W	厚度

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

申請專利範圍

1. 一種場效電晶體，其係具備有由厚度 $H(\text{nm})$ 之半導體材料部所形成的通道、鄰接該通道所形成的源極區域及汲極區域、與設置在該通道上方的閘極區域之場效電晶體，其中
該閘極區域之閘極長度 (L_g) 為 4nm 以上 10nm 以下，
該通道之中央區域的摻雜原子數為 1 以下。
2. 一種場效電晶體，其係具備有由厚度 $H(\text{nm})$ 之半導體材料部所形成的通道、鄰接該通道所形成的源極區域及汲極區域、與設置在該通道上方的閘極區域之場效電晶體，其中
具備有遮罩層，其係設置在該半導體材料部之主表面上，包含屬於供體或受體之摻雜原子之遮罩層，為設置於該閘極區域之閘極電極的側壁厚度為 $W(\text{nm})$ 之遮罩層，
該遮罩層係覆蓋住形成有該源極區域及汲極區域之該半導體材料部之主表面部，
該閘極區域之閘極長度 (L_g) 為 4nm 以上 10nm 以下，
該閘極電極之側壁之該遮罩層厚度 $W(\text{nm})$ 係在 $[3H - 2]/7 + [10 - L_g]/2 \leq W \leq [3H + 19]/7$ 的範圍。
3. 如請求項 2 之場效電晶體，其中該通道之中央區域的摻雜原子數為 1 以下。
4. 如請求項 1 至 3 中任一項之場效電晶體，其中從該通道端部朝向該源極區域及汲極區域側之 2nm 區域的摻雜物濃度為 $5 \times 10^{19} \text{cm}^{-3}$ 以上。

- 5.如請求項1至4中任一項之場效電晶體，其中該半導體材料部係包括矽、銻、III-V族化合物半導體之任一材料。
- 6.如請求項5之場效電晶體，其中該半導體材料部包括矽，該遮罩層為矽氧化膜或矽化物膜。
- 7.如請求項6之場效電晶體，其中該摻雜物為磷、銻、砷、硼、鋁、銻、鎵之任一者。
- 8.如請求項5之場效電晶體，其中該半導體材料部包括銻，該遮罩層為銻氧化膜或銻化物膜。
- 9.如請求項8之場效電晶體，其中該摻雜物為磷、銻、砷、硼、鋁、銻、鎵之任一者。
- 10.如請求項5之場效電晶體，其中該半導體材料部包括III-V族化合物半導體，該遮罩層為矽氧化膜。
- 11.如請求項10之場效電晶體，其中該摻雜物為鋅、矽、鍍之任一者。
- 12.如請求項1至4中任一項之場效電晶體，其中該半導體材料部為矽-奈米線、銻-奈米線、III-V族化合物半導體奈米線之任一者。
- 13.一種場效電晶體之製造方法，其係具備由厚度 $H(\text{nm})$ 之半導體材料部所形成之通道的場效電晶體之製造方法，其係具備：

以閘極長度(L_g)成為 4nm 以上 10nm 以下之方式，在該通道上方形成閘極電極的步驟；

形成遮罩層的步驟，該遮罩層係覆蓋住該閘極電極、及鄰接於該通道之形成有源極區域與汲極區域之

該半導體材料部之主表面部，為該閘極電極的側壁厚度為 $W(\text{nm})$ 之遮罩層；

對該遮罩層注入屬於供體或受體之摻雜原子的步驟；

使注入至該遮罩層之該摻雜原子擴散到該源極區域與汲極區域的步驟；

將該閘極電極之側壁之該遮罩層厚度 $W(\text{nm})$ 設定於 $[3H - 2]/7 + [10 - L_g]/2 \leq W \leq [3H + 19]/7$ 的範圍。

